

## Memoria del proyecto

### 1. Introducción

En el presente proyecto, se desarrolla un filtro para ser utilizado dentro del hardware propio de un sistema de comunicaciones VDSL, para ello se parte de unas especificaciones determinadas y se hace un estudio de las posibilidades de diseño del filtro analizando dos implementaciones, una con amplificadores operacionales y otra con amplificadores de transconductancia, al hacer esto se llega a un punto en el que se opta por continuar el desarrollo de una de las dos posibilidades (la del diseño con OTAs dentro de una arquitectura Tow-Thomas) , al considerarla más interesante en ese momento y se deja abierta la otra vía para un futuro estudio, al decidir que el desarrollo de ambas sería un trabajo demasiado extenso como para ser realizado en un proyecto final de carrera como el presente.

Mediante el software Cadence, el cual es un entorno de automatización del diseño electrónico que permite el diseño y verificación de un circuito integrado (IC) analógico en todas sus etapas, se diseñan los distintos bloques del circuito a nivel de transistor (con la herramienta Composer Eschematic Editor de Cadence) y se realizan sus correspondientes simulaciones para verificar que cumple con las especificaciones iniciales; tras esto, se pasa al diseño del layout de dichos bloques mediante la herramienta Virtuoso Layout Editor de Cadence, intentando optimizar área, cumpliendo las reglas de diseño, siendo acordes con el frame proporcionado por el fabricante y realizando simulaciones postlayout que verifican la correcta concordancia con el esquemático.

Cuando todos los resultados parecen óptimos, se manda el layout del circuito a fábrica, la cual en una sala blanca sigue los procesos de fabricación de circuitos integrados partiendo de una oblea y realizando implantaciones o difusiones según las máscaras, oxidaciones, deposiciones, etchings, etc. Se corta la oblea y se encapsula el chip.

Una vez se tiene el chip de fábrica, se prueba en el laboratorio, para lo cual hay que realizar una placa de medida que lo permita, por ello se entra en el diseño de nuevos componentes tales como filtros para que la fuente de señal no introduzca armónicos en frecuencias no deseadas para las pruebas. Tras montar la placa se hacen las correspondientes medidas utilizando fuentes de señal, osciloscopio y analizador de red, y se comprueba si la diferencia con los resultados de simulación está dentro de unos márgenes aceptables, validando el diseño.

El filtro diseñado pretende ser usado en cabeceras analógicas de sistemas transeptores VDSL (Very high rate Digital Subscriber Line o línea de abonado digital de muy alta velocidad), es una nueva tecnología de alta velocidad y corto alcance todavía en etapa de definición que se asemeja en gran medida al conocido ADSL

(Asimetric Digital Subscriber Line), aunque ADSL debe hacer frente a rangos dinámicos mucho mayores y como resultado tiene una tecnología más compleja, hasta hace unos años se pensaba que ADSL forzaba al par de cobre más allá de sus límites, pero con las nuevas tecnologías de acceso sobre par de cobre se imponen nuevas marcas de velocidad y mayores anchos de banda.

Las líneas digitales de abonado (DSLs) han transformado millones de líneas telefónicas ordinarias en arterias de banda ancha que unen casas y negocios a Internet a velocidades de megabit.

VDSL debe ser más bajo en precio y en potencia, actualmente, el ADSL "sólo" llega a los 8 Mb/s de bajada y el VDSL puede llegar a los 52 Mb/s de bajada si se trata de líneas de corta longitud (hasta 300 metros), frente a 13 Mb/s para líneas de más de 1500 metros, VDSL es asimétrico teniendo velocidades de subida de 1.6 a 2.3 Mb/s, ambos canales de subida y bajada están separados en frecuencia. Las señales son transmitidas sobre pares de cobre convencionales, siendo más susceptibles a los deterioros de la línea al haber mayor atenuación, más fuentes posibles de ruido en RF e interferencias, pero al tener este soporte, VDSL es usado como solución comercial al problema de llevar fibra óptica hasta la casa del abonado que es una opción demasiado cara; la alternativa es llevar fibra a una unidad cercana al abonado y el último tramo conectarlo a las líneas telefónicas de pares de cobre por las que VDSL puede transmitir datos a alta velocidad en alcances cortos (cuanto más corta sea la distancia, más rápida será la tasa de la conexión).

Como código de línea, se usa DMT (Discrete Multitone) que es un sistema multiportador que usa transformada discreta de Fourier para crear y demodular portadoras individuales. DMT usa multiplexación por división en frecuencia (FDM) para el flujo de subida basada en QAM y CAP (AM/PM sin portadora). Hay otra técnica de modulación multiportadora con banco de filtrado, llamada FMT (filtered multitone) que se aplica a la transmisión de datos para tecnología VDSL, el esquema propuesto lleva a un menor solape entre subcanales adyacentes comparado con DMT. Esto permite disminuir las interferencias debidas al eco y al crosstalk, incrementando el rendimiento y alcance del sistema, y simplificando las operaciones para la transmisión VDSL.

En los frontales analógicos de VDSL, que son las interfaces al cable real, hay un prefiltro antes de la conversión a digital de la señal analógica recibida para eliminar señales de alta frecuencia que puedan causar aliasing en el muestreo de la conversión ADC, y un postfiltro de reconstrucción para eliminar el ruido fuera de banda después de la conversión a analógico para la transmisión. Ambos, pre y postfiltro, son paso de baja y son los que se pretenden diseñar en el proyecto.

Tras esta introducción al proceso de realización del proyecto y a la tecnología VDSL para la que pretende ser aplicado, se procede a la explicación detallada paso por paso de las etapas de diseño, fabricación y prueba del proyecto hasta su finalización.

## 2. Especificaciones

Se quiere diseñar un filtro paso de baja de tercer orden que pueda ser usado en el frontal analógico de una aplicación VDSL. Las especificaciones dadas son:

Parámetro	Especificaciones
Orden	3
Frecuencia de corte	12MHz
Rizado en banda pasante	1dB
Frecuencia de banda de rechazo	60MHz
THD	-75dB (min)
SNR	-78dB (min)
V <sub>in,ppd</sub>	2V
Nivel de ruido (referido a la entrada)	$< 20 nV / \sqrt{Hz}$

**Tabla 1 : Especificaciones del filtro.**

De las distintas arquitecturas para implementar filtros se estudian dos alternativas: filtros activos y continuos en el tiempo, por ser más adecuados en la frecuencia que se trata, con amplificadores operacionales (OPAMPs) o como segunda opción con amplificadores de transconductancia (OTAs), comenzando en la siguiente sección por el estudio de la especificación de ruido de la primera opción.

## 3. Diseño del filtro mediante OPAMPs

### 3.1. Informe ruido equivalente a la entrada del filtro

Se pretende realizar un estudio del ruido equivalente referido a la entrada del filtro, ya que una de las especificaciones de este, es que el ruido no supere los  $20 nV / \sqrt{Hz}$  en toda la banda de la señal es decir, hasta 12 MHz.

Al tratarse de un filtro de orden 3, se implementará con un integrador y un biquad puestos en serie.

Se comienza a probar con una de las posibles aproximaciones para el diseño del filtro que es la aproximación de Chebyshev, al tener una respuesta en magnitud similar a la de Butterworth y un rizado en la banda de paso que le permite tener una caída en la banda de transición más abrupta con un mismo orden del filtro.

Haciendo uso del software 'Filter Solutions', se obtiene la función de transferencia del filtro que se muestra en la figura 3.1.

Continuous Transfer Function

$$\frac{4.007s-25}{s^3 + 1.1e+09s^2 + 1.03e+10s + 4.007e+20}$$

3rd Order Low Pass Chebyshev I  
Pass Band Frequency: 4000 Hz  
Pass Band Edge: 1000 Hz

The Date: 11/11/2005

Figura 3.1 Función de transferencia del filtro.

De las posibles topologías de filtro, se escoge la de Sallen and Key obteniendo el diseño de la figura 3.2.

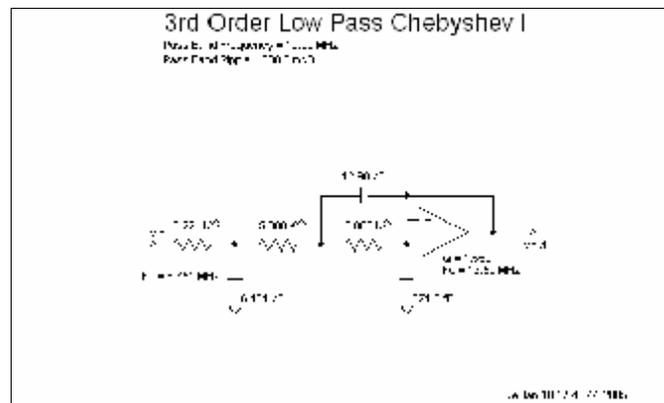


Figura 3.2 Diseño del filtro.

Mediante el software Cadence, se realiza un análisis de ruido del diseño escogido, sabiendo que el amplificador se puede simular como una fuente de tensión dependiente de tensión con una ganancia, así se llega a la figura 3.3 en la que se observa que el ruido no cumple la especificación impuesta en toda la banda de interés, ya en frecuencias cercanas a la de esquina, el ruido crece superando los valores permitidos, además se ve como crece muy rápidamente al ser la escala del orden de las micras.

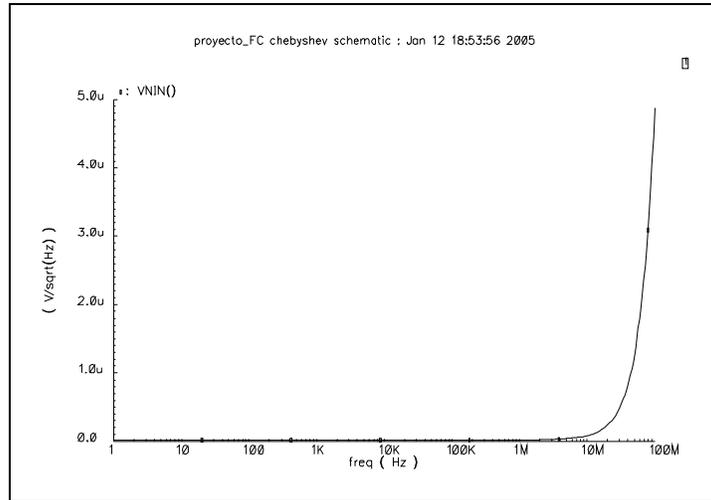


Figura 3.3 Análisis de ruido.

Si no se absorbe el primer orden, se obtiene un circuito con dos amplificadores operacionales como el de la figura 3.4 y un análisis de ruido como el de la figura 3.5 en el cual se ve como el ruido a mejorado respecto al anterior caso, pero sigue sin estar dentro de los valores permitidos.

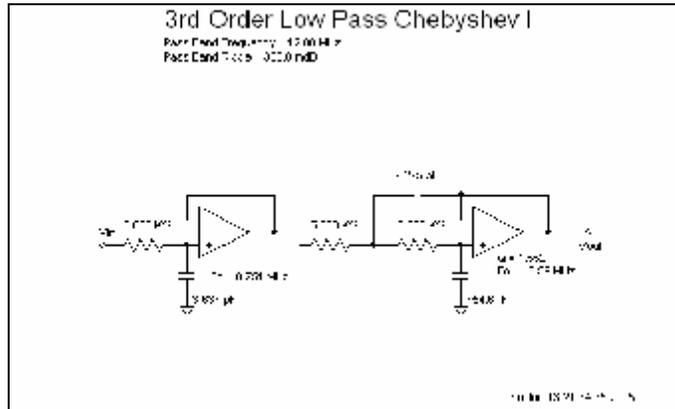


Figura 3.4 Diseño del filtro.





Se opta por cambiar de aproximación del filtro a una de Butterworth obteniendo el diseño de la figura 3.10 o el de la figura 3.12 si no se absorbe el primer orden, pero se sigue con el mismo problema como se ve en la figura 3.12 y 3.13.

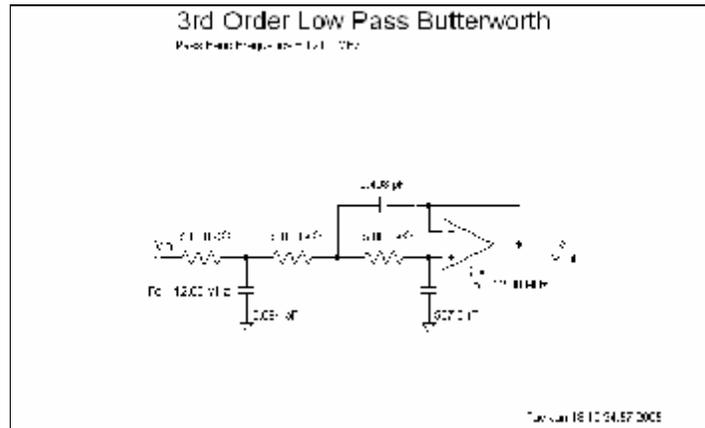


Figura 3.10 Diseño del filtro.

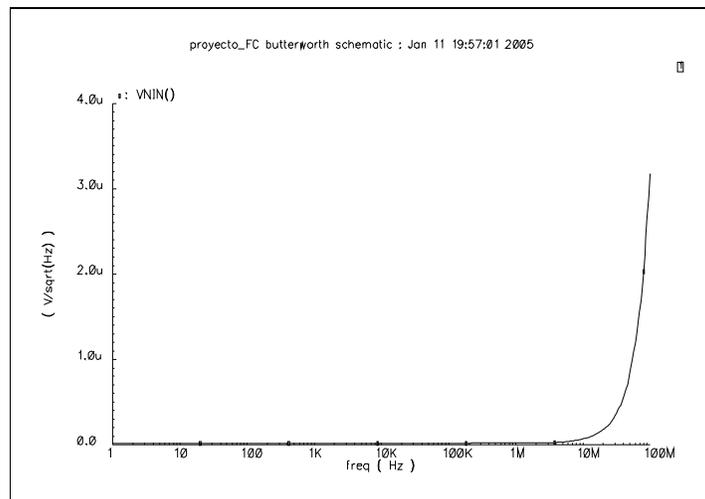


Figura 3.11 Análisis de ruido.

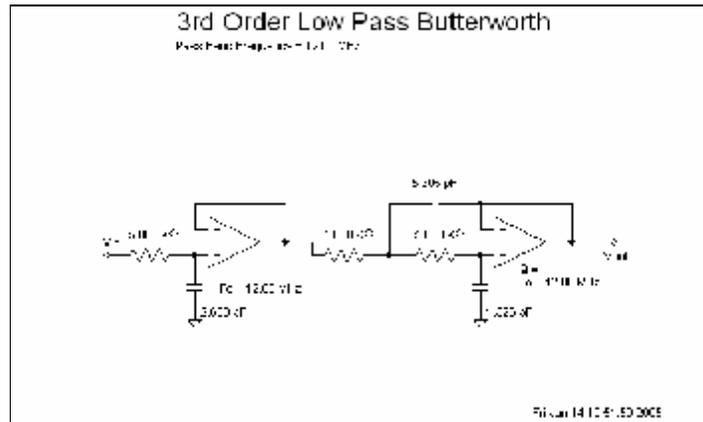


Figura 3.12 Diseño del filtro.

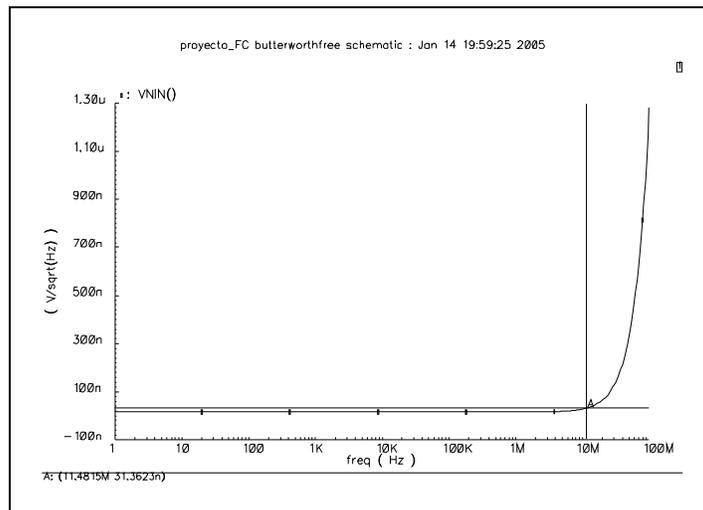


Figura 3.13 Análisis de ruido.

Se deduce que la topología escogida de ‘Sallen and Key’ tiene una realimentación positiva con la resistencia nombrada anteriormente, que provoca este aumento del ruido a altas frecuencias, por ello es esa resistencia la que más contribución al ruido tiene. Por esta razón se pasa a probar con topologías que no tengan realimentación positiva, y se reduce al estudio del biquad únicamente, sin el integrador, ya que es el que contribuye al ruido.

Primero se escoge la aproximación de Chebyshev para un filtro paso de baja de  $12\text{MHz}$  de frecuencia de corte y  $0.01\text{dB}$  de rizado en banda y se elige una topología de realimentación múltiple (MBF) como la indicada en la figura 3.14, la cual carece de realimentación positiva como se quería, para ello se hace uso del software ‘Filter Wiz PRO’, pero se vuelve a obtener los mismos resultados indeseados como se ve en la figura 3.15.

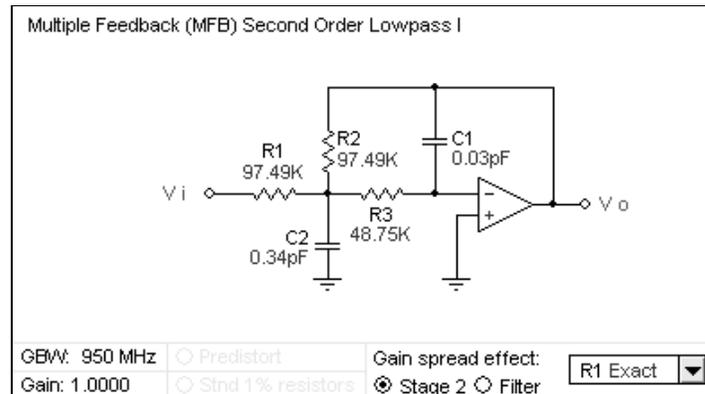


Figura 3.14 Diseño del filtro.

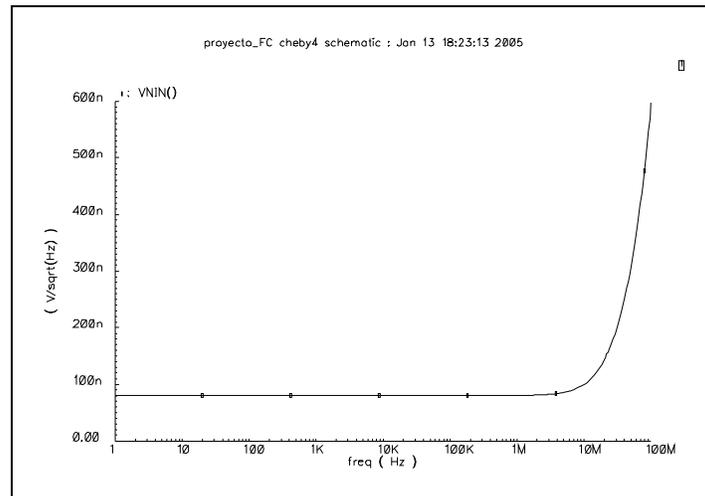


Figura 3.15 Análisis de ruido.

Si se recalcula el mismo circuito pero incrementando el valor de los condensadores ya que son de un orden demasiado bajo, esto provoca un decremento del valor de las resistencias que son las responsables del ruido (figura 3.16), por ello se obtendrá una mejora en los resultados como se ve en la figura 3.17, en la cual comprobamos que para una frecuencia algo mayor a los 12 MHz, el ruido no supera los  $20 nV/\sqrt{Hz}$  como pedía la restricción. Con lo cual podemos decir que esta topología con estos valores de sus elementos, es válida para cumplir con la especificación de ruido.

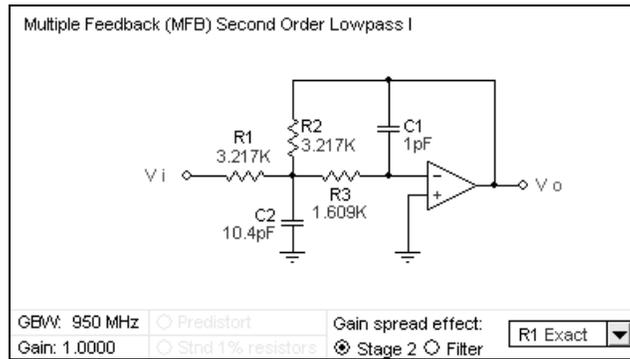


Figura 3.16 Diseño del filtro.

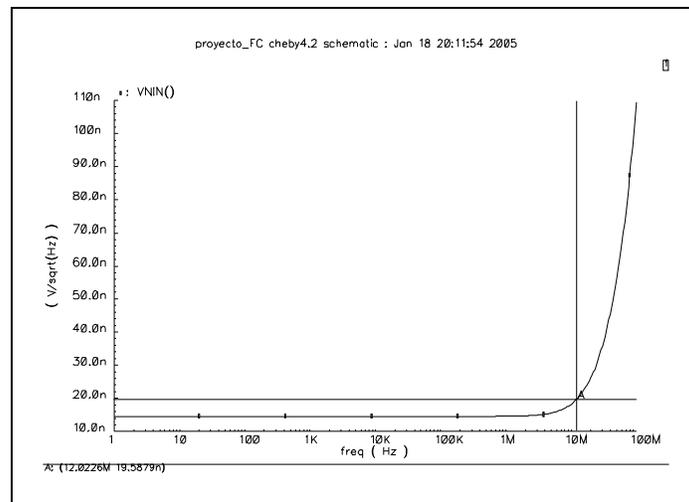


Figura 3.17 Análisis de ruido.

Se prueba ahora con una topología Tow-Thomas como la que se ve en la figura 3.18 y se obtienen los resultados del análisis de ruido de la figura 3.19, donde vemos que tampoco sirve esta elección.

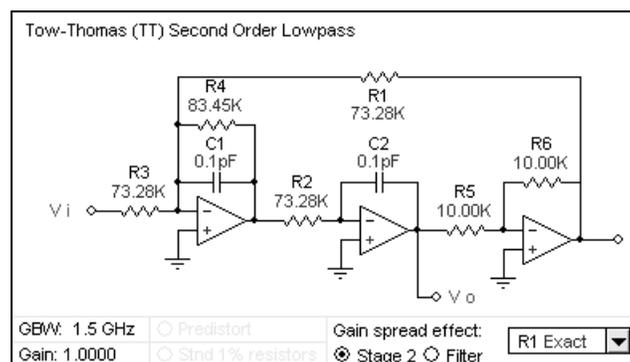


Figura 3.18 Diseño del filtro.

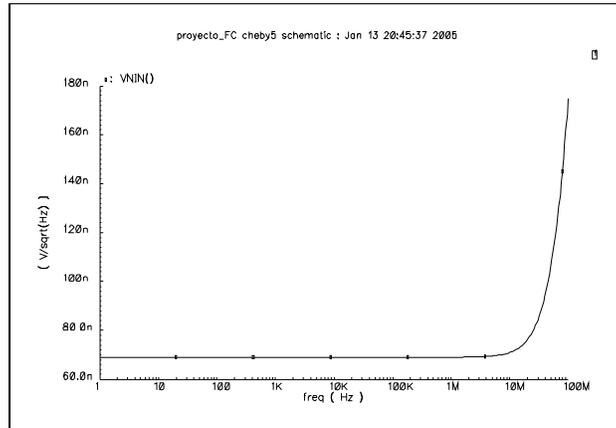


Figura 3.19 Análisis de ruido.

Se pasa a trabajar con la aproximación de Butterworth y se sigue estudiando la topología ‘Tow-Thomas’ obteniendo el circuito de la figura 3.20 y su análisis de ruido se puede ver en la figura 3.21.

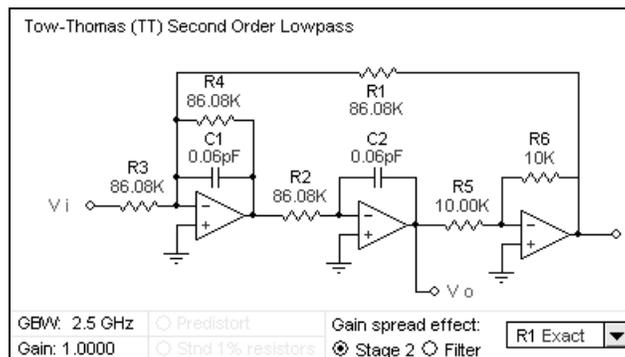


Figura 3.20 Diseño del filtro.

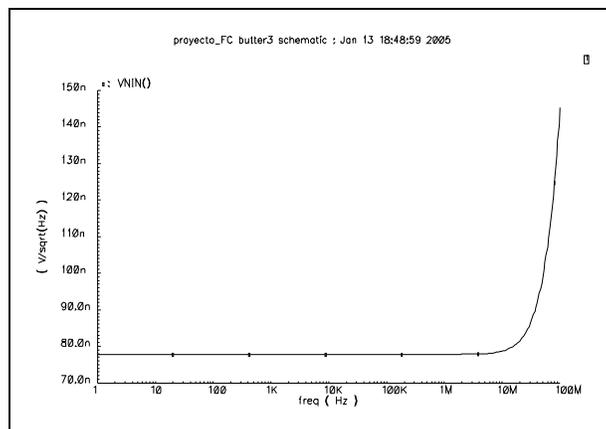


Figura 3.21 Análisis de ruido.

Cambiando el valor de los elementos obtenemos el circuito de la figura 3.22 y el análisis de ruido de la figura 3.23 en el cual se observa una gran mejora pero el ruido supera lo permitido.

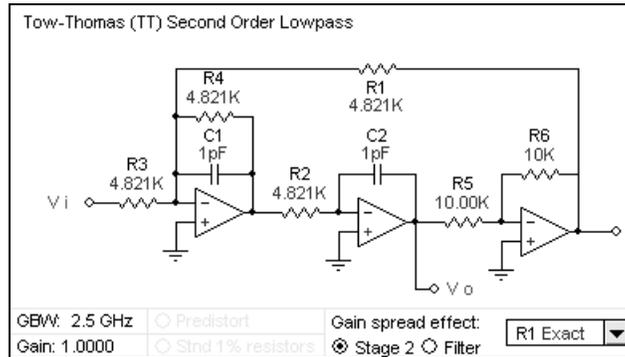


Figura 3.22 Diseño del filtro.

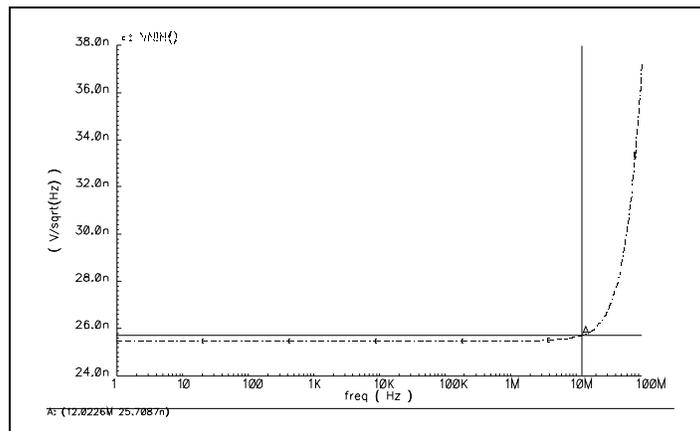


Figura 3.23 Análisis de ruido.

Por último, se usa una topología como la anteriormente utilizada de realimentación múltiple, viéndose esto en la figura 3.24 y en la figura 3.25 vemos su correspondiente análisis de ruido.

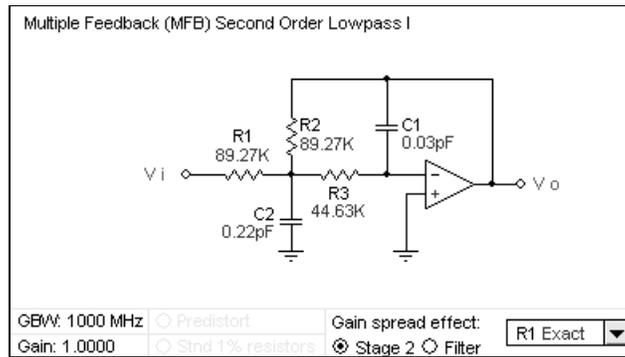


Figura 3.24 Diseño del filtro.

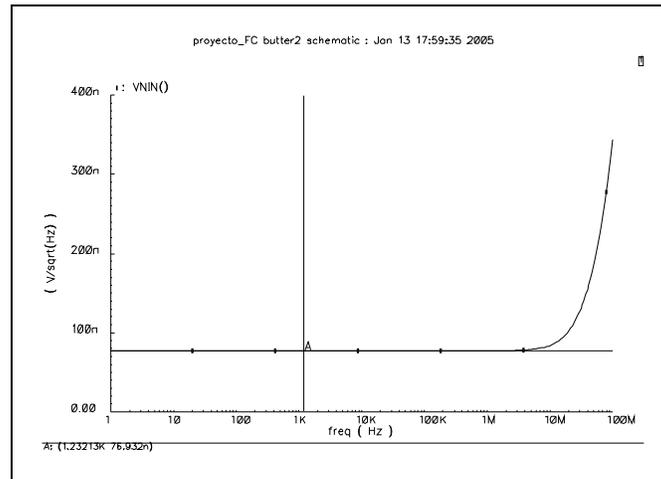


Figura 3.25 Análisis de ruido.

Si se vuelve a recalcular el mismo circuito pero incrementando el valor de los condensadores con un consecuente decremento del valor de las resistencias (figura 3.26), se obtiene una mejora en los resultados como se ve en la figura 3.27, en la cual comprobamos que para una frecuencia algo mayor a los 12MHz, el ruido no supera los  $20nV/\sqrt{Hz}$  como pedía la restricción y con un margen mayor que el obtenido en la figura 1.17. Con lo cual también podemos decir que esta topología con los valores indicados de sus elementos, es válida para cumplir con la especificación de ruido.

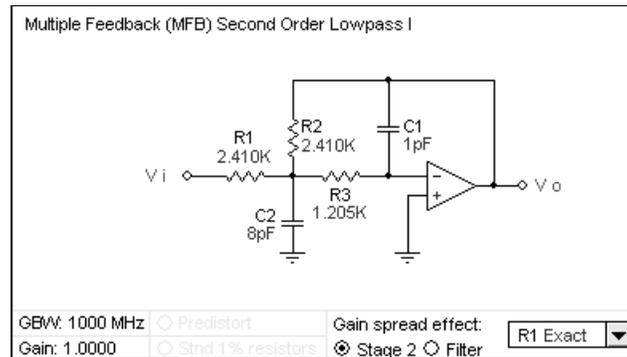


Figura 3.26 Diseño del filtro.

El circuito anterior en diferencial junto con la etapa de entrada, quedaría como el mostrado en la figura 3.26b, en el cual se ha creado un estímulo diferencial a la entrada, a la salida se vuelve a convertir a unipolar para posibilitar su medida y el amplificador diferencial se ha simulado como en la figura 3.26c. Las ventajas de hacer un circuito diferencial son la ausencia de armónicos de orden par teniendo mayor linealidad, mayor aprovechamiento del rango de señal que es una ventaja para los circuitos con tensión de alimentación baja, y componentes de ruido se convierten en señales de modo común, no afectando.

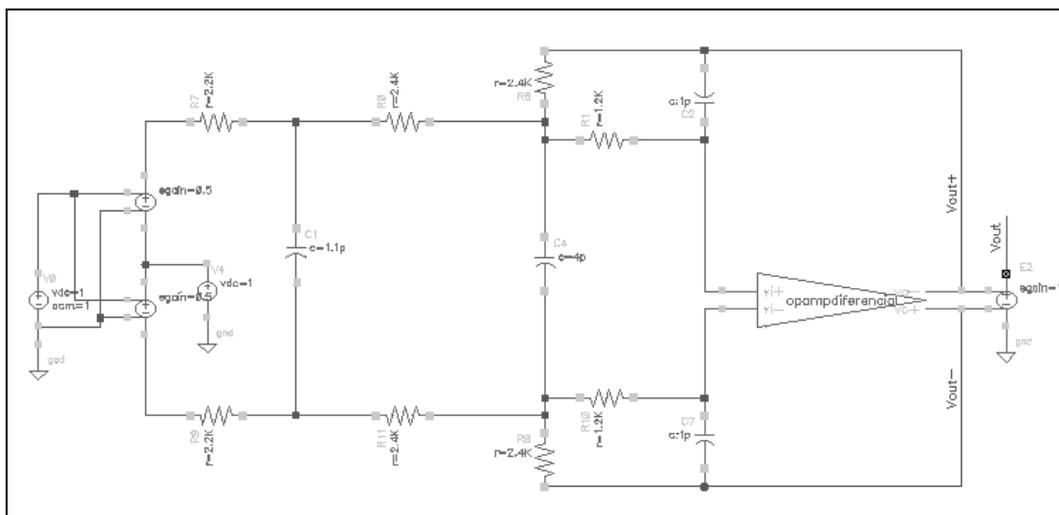


Figura 3.26b Circuito diferencial.

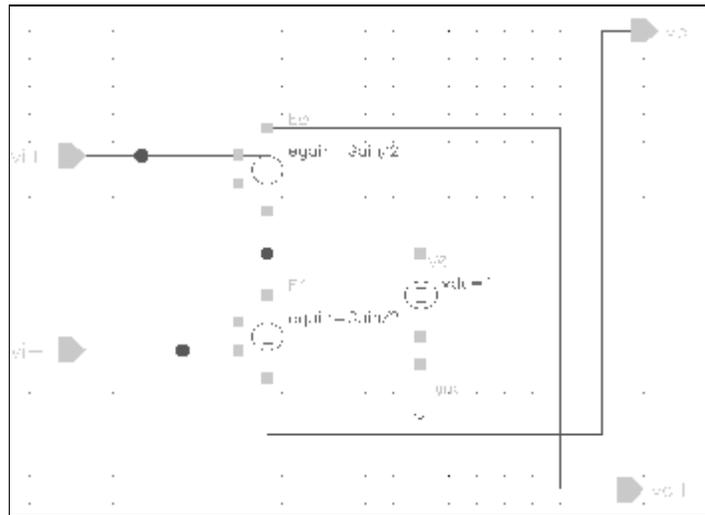


Figura 3.26c OPAMP diferencial

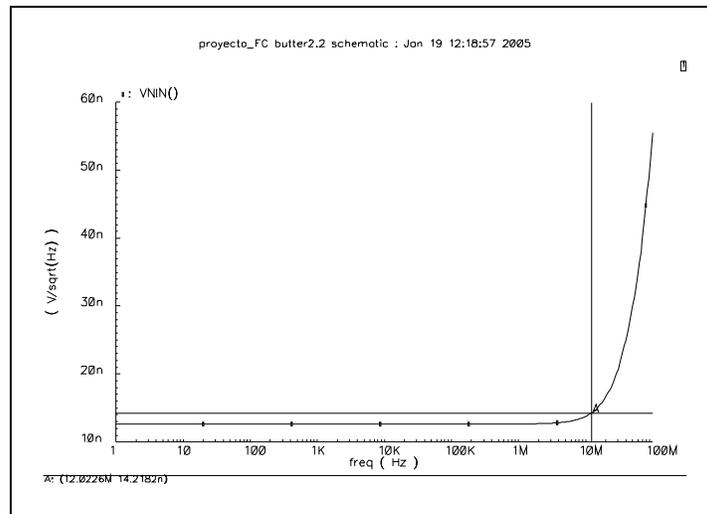


Figura 3.27 Análisis de ruido.

Simulando el anterior diseño, pero uniendo el biquad a la primera etapa de entrada que consta de un integrador con seguidor como se puede ver en la figura 3.28, se ve el nuevo comportamiento del ruido equivalente a la entrada llegando a la figura 3.29 en la que se observa que se sigue cumpliendo la especificación satisfactoriamente.

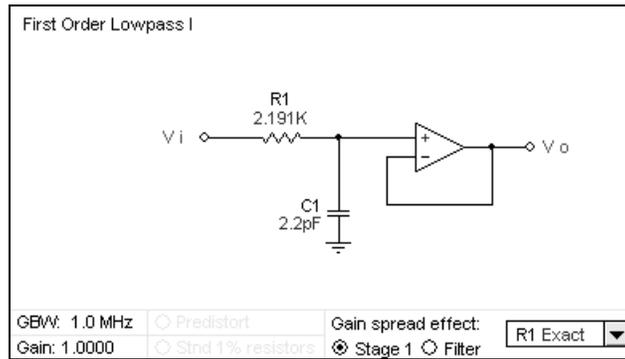


Figura 3.28 Etapa de entrada.

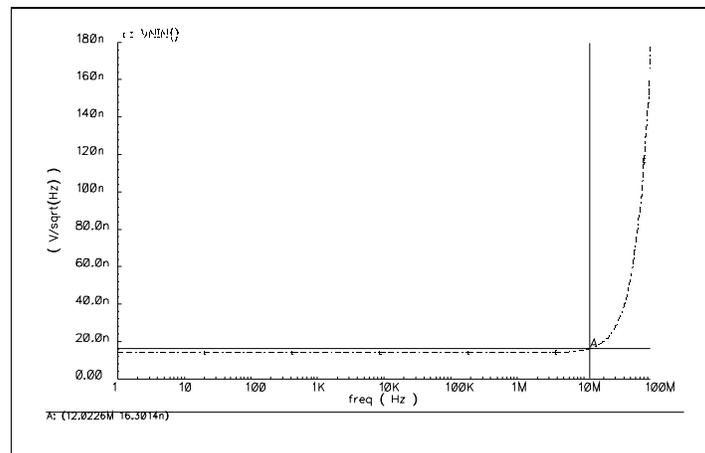


Figura 3.29 Análisis de ruido.

Para un posterior paso del circuito a su versión diferencial, se decide escoger la etapa de entrada que aparece en la figura 3.30, con la cual se obtiene un análisis de ruido como el indicado en la figura 3.31, en el cual se ve como seguimos cumpliendo las especificaciones.

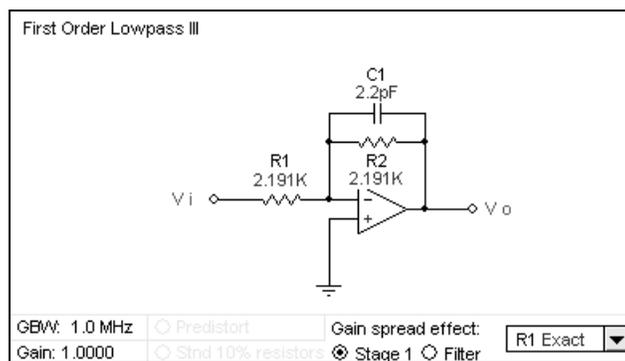


Figura 3.30 Etapa de entrada.

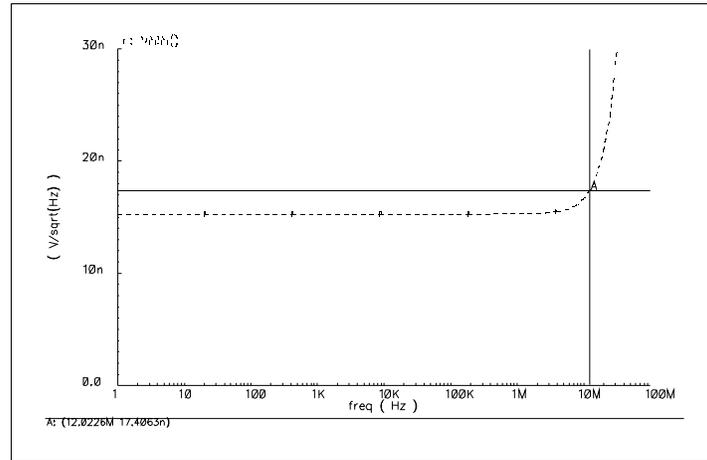


Figura 3.31 Análisis de ruido.

Pero es preferible usar la etapa de entrada de la figura 3.28 y eliminar el seguidor para que un segundo amplificador no introduzca más ruido, por ello se recalculan los polos de la función de transferencia de forma que esta no se vea modificada por la eliminación de dicho seguidor, quedando unos nuevos valores de los elementos como se observa en la figura 3.32 y en la figura 3.33 se pueden ver ambas funciones de transferencia las cuales, prácticamente no difieren.

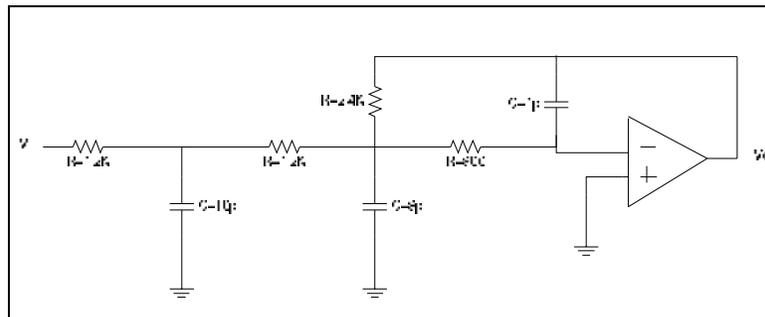


Figura 3.32 Diseño del filtro.

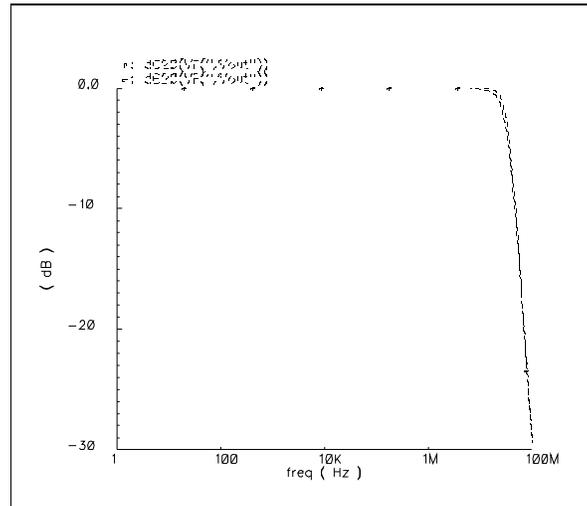


Figura 3.33 Funciones de transferencia del filtro con y sin seguidor en la etapa de entrada.

La función de transferencia del filtro tiene una respuesta plana hasta los 12MHz con 0dB de ganancia y comienza a caer estando, aproximadamente a 33MHz, 3dB por debajo, se observa en la figura 3.34.

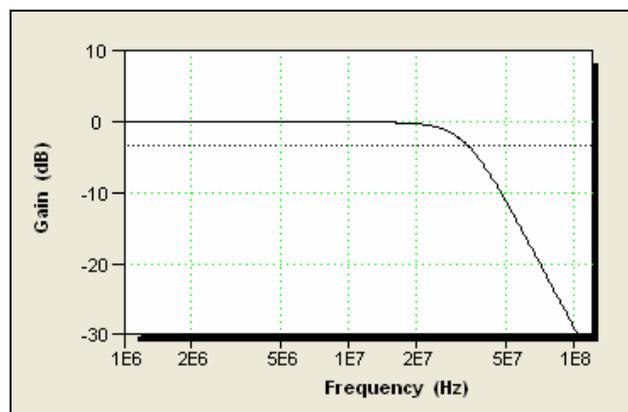


Figura 3.34 Función de transferencia del filtro con 0.01dB de rizado.

Esto se debe a la elección de 0.01dB de máximo rizado en banda permitido por el filtro, si escogemos un rizado de 0.3dB, como se hacía en las primeras topologías del presente informe, la caída de la función de transferencia comenzará antes con lo cual el corte a 3dB por debajo de los 0dB de ganancia, estará situado aproximadamente a 19MHz como se observa en la figura 3.35, y como el ruido equivalente a la entrada del filtro crece bruscamente al acercarse a esta frecuencia de corte, se obtendrá un mayor ruido a la frecuencia de 12MHz, ello es algo que se pasa a comprobar.

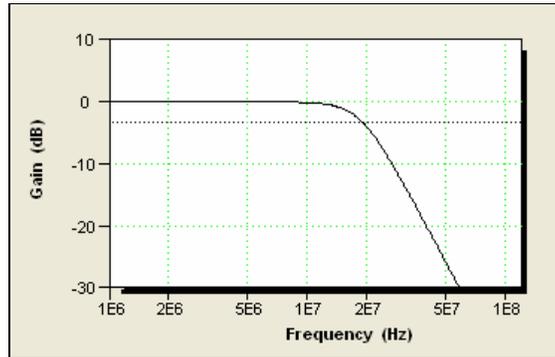


Figura 3.35 Función de transferencia del filtro con 0.3dB de rizado.

En las figuras 3.36 y 3.37 se observan las dos etapas del filtro para el caso de 0.3dB de rizado, los valores de sus elementos se han variado de forma que se cumpla la especificación de ruido como se ve en la figura 3.38, viéndose como el valor de estos elementos es menos óptimo que en el caso de 0.01dB de rizado.

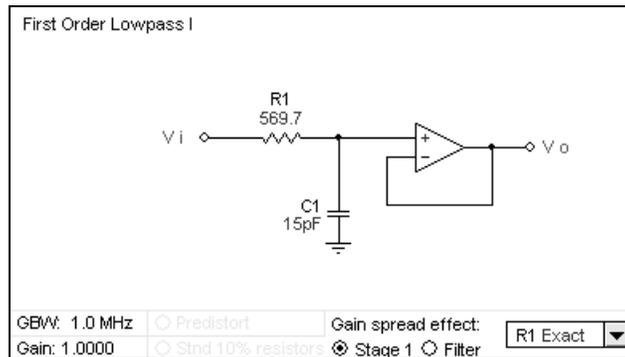


Figura 3.36 Etapa de entrada.

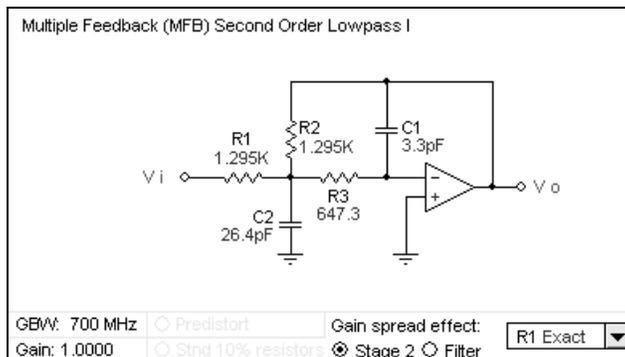


Figura 3.37 Segunda etapa.

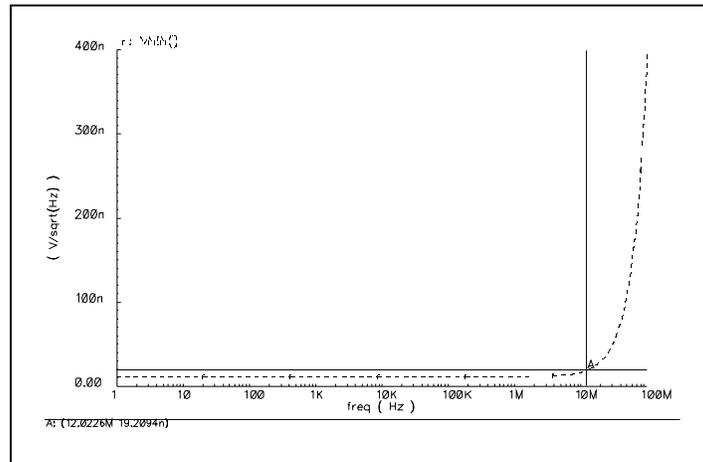


Figura 3.38 Análisis de ruido.

Si se elimina el seguidor de la etapa de entrada y se recalculan los polos para que la función de transferencia no difiera de la deseada, se llega al circuito de la figura 3.39, viéndose esta diferencia en la figura 3.41; el análisis de ruido se observa en la figura 3.40 viéndose que el ruido a disminuido debido a que hubo una disminución del valor de la resistencia R1.

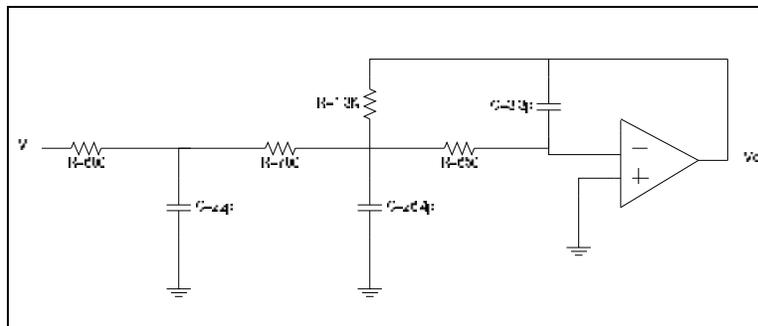


Figura 3.39 Diseño del filtro.

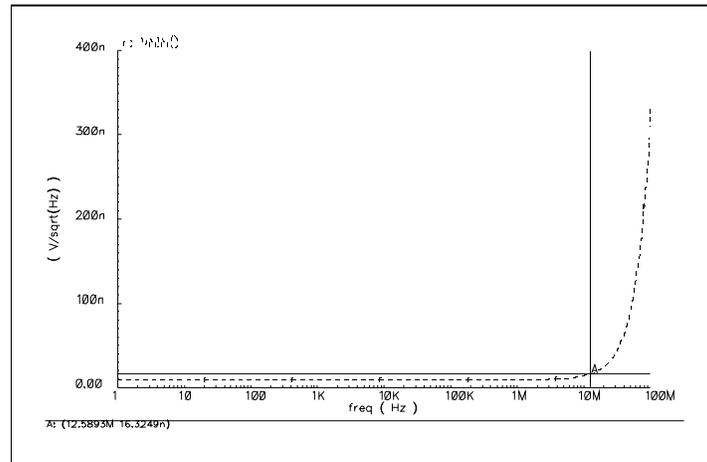


Figura 3.40 Análisis de ruido.

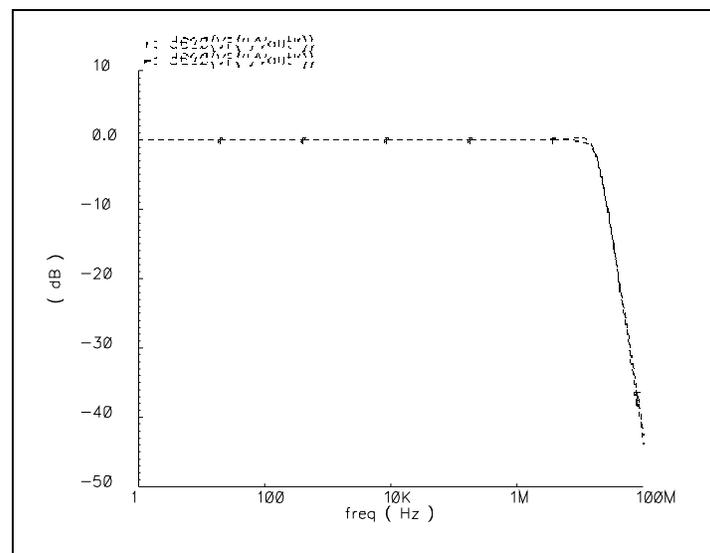


Figura 3.41 Funciones de transferencia del filtro con y sin seguidor en la etapa de entrada.

Como se ha podido observar en todas las pruebas, sólo las topologías de filtros activos escogidas de las figuras 3.16 y 3.26 cumplen con las especificaciones de ruido en toda la banda de interés de la señal siendo una aproximación de Chebyshev y la otra de Butterworth, pero al tener la aproximación de Butterworth unos valores más adecuados, se decide trabajar con esta y posteriormente se cambió el rizado en banda a 0.3dB y se recalcularon los polos para poder prescindir del seguidor de la etapa de entrada, quedándonos con el diseño de la figura 3.39. Ambos filtros se ven en la figura 3.42, aunque más tarde se vio que el diseño sin seguidor no era posible al crear una caída de 6dB en el Bode.

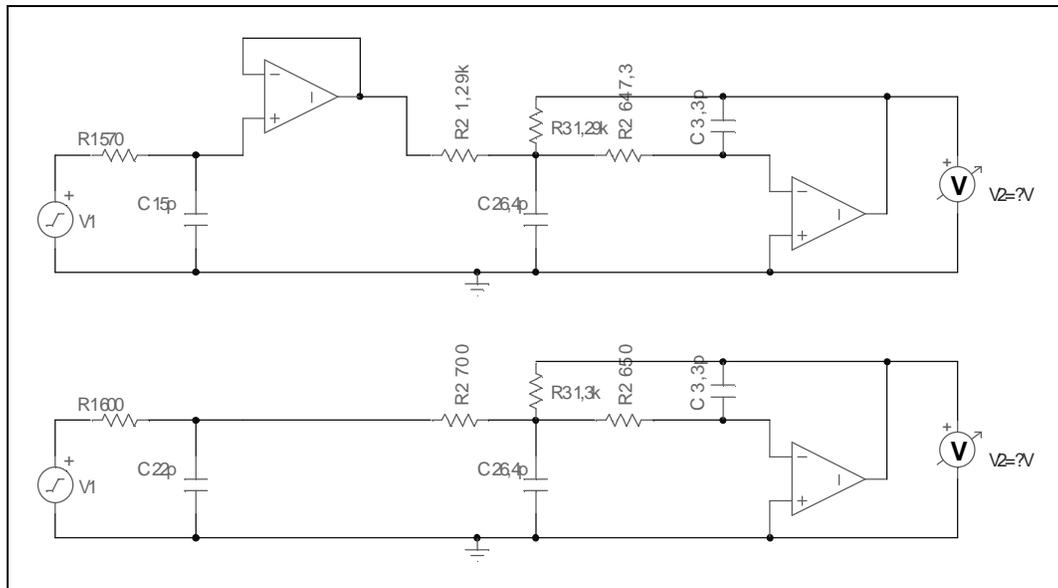


Figura 3.42 Filtro con y sin seguidor.

### 3.2. Estudio de sensibilidades

Al tratarse de un circuito que hace uso de resistencias y condensadores que son elementos pasivos, se debe tener en cuenta la sensibilidad a la variación de los componentes ya que un cambio de valor tras la fabricación de estos, con respecto al valor teórico estudiado, podría provocar cambios no deseados en el filtro.

En concreto se estudió la sensibilidad del filtro de Butterworth de la figura 3.26 con la etapa de entrada de la figura 3.28 sin seguidor.

El estudio de sensibilidad se puede hacer con un análisis de Montecarlo, que estima una distribución de riesgos por medio de la resolución repetitiva de las ecuaciones del modelo variando sus parámetros, pero el Kit de diseño de Cadence disponible, no incluía la posibilidad de realizar este análisis.

Otra opción para medir la sensibilidad de un circuito, es mediante un análisis paramétrico en el cual, se van variando los valores de cada parámetro un porcentaje determinado y se comprueba si el porcentaje de variación de la función esta dentro de unos márgenes aceptables. Esto es lo que se hizo, variando el valor de las resistencias un  $\pm 20\%$  y el de los condensadores un  $\pm 10\%$ , ya que es la variación máxima que

tendrán tras la fabricación, y viendo que la frecuencia de corte de la respuesta del filtro (figura 3.34 que tiene una frecuencia de corte de 33MHz) no variaba más de un 20%.

A continuación, se muestran los resultados de este estudio, en los que se comprueba que el filtro tiene una sensibilidad a la variación de sus componentes dentro del rango aceptable del 20% de variación.

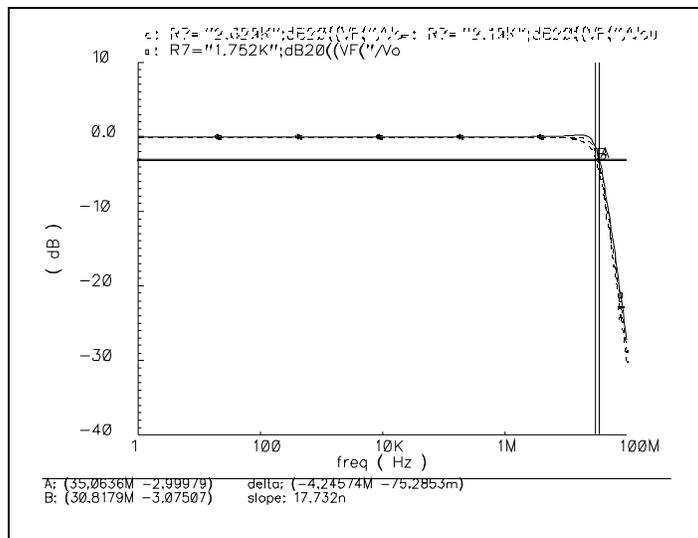


Figura 3.43 Sensibilidad del filtro a R1 de la etapa de entrada

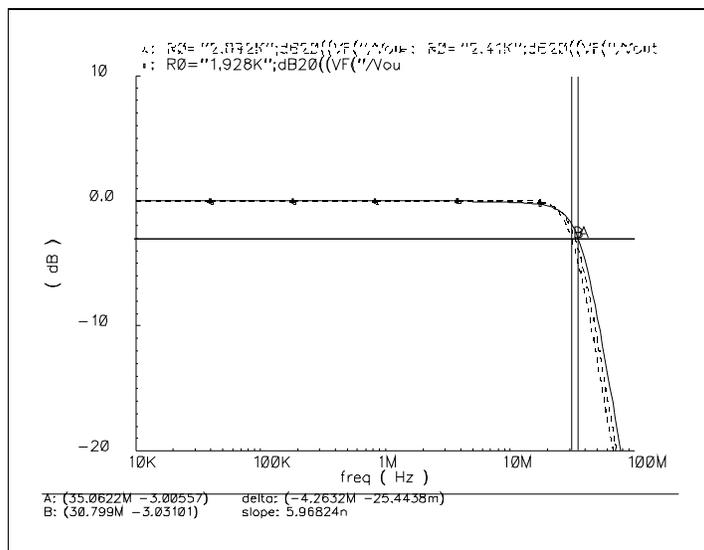


Figura 3.44 Sensibilidad del filtro a R1 y R2 de la etapa biquad

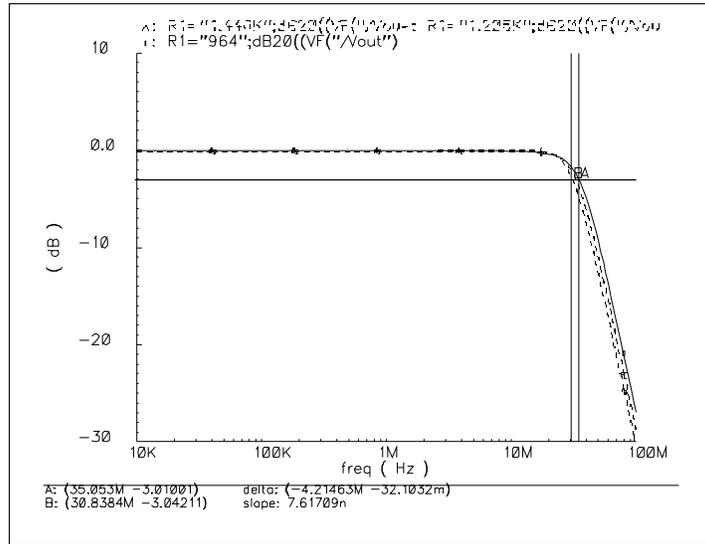


Figura 3.45 Sensibilidad del filtro a R3 de la etapa biquad

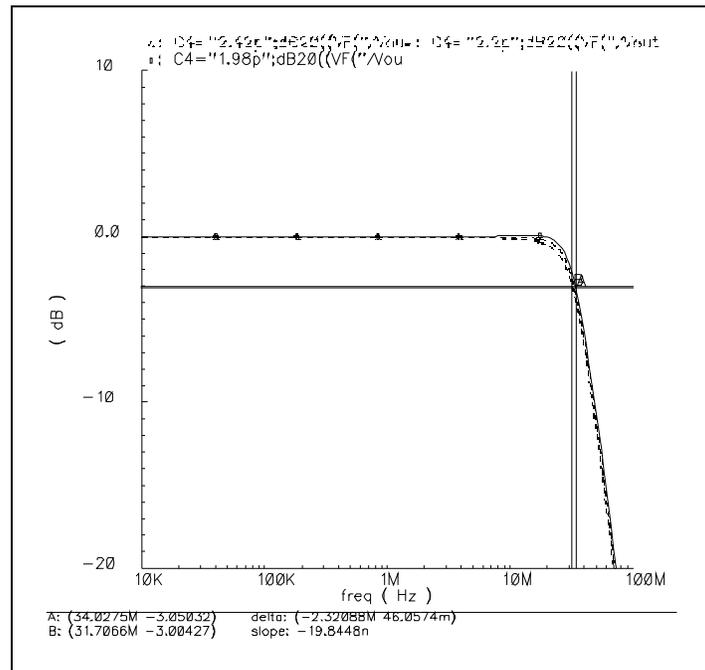


Figura 3.46 Sensibilidad del filtro a C1 de la etapa de entrada

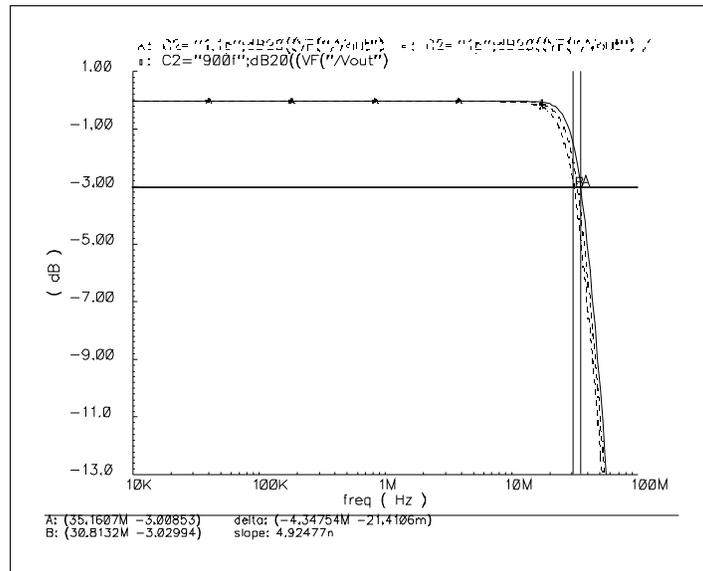


Figura 3.47 Sensibilidad del filtro a C1 de la etapa biquad

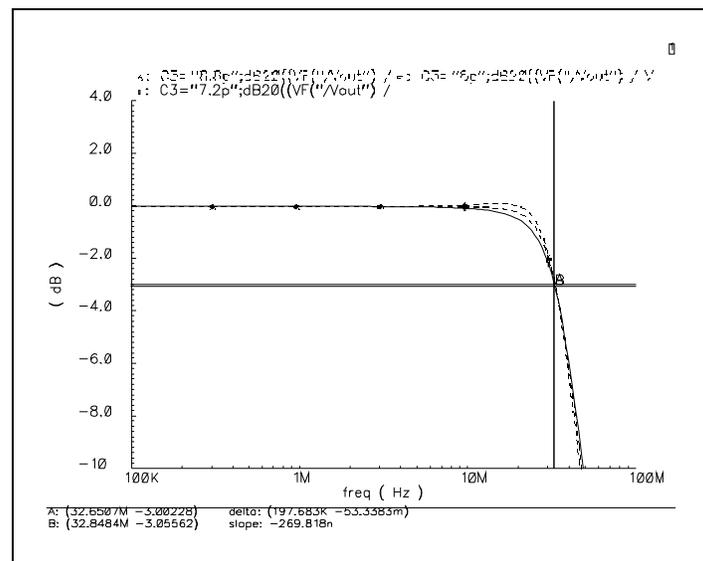


Figura 3.48 Sensibilidad del filtro a C2 de la etapa biquad

#### 4. Ventajas e inconvenientes de las implementaciones con OPAMs y OTAs

Hasta ahora se estudió la implementación del filtro mediante amplificadores operacionales que como ventaja tienen la linealidad, ésta es una especificación del filtro (se pide que sea mayor de 75dB), los armónicos se obtienen de la ecuación del amplificador (4.1) donde  $V_i$  es la tensión de entrada al amplificador y se observa como los términos de orden superior se pueden despreciar ya que  $V_i$  es una tierra virtual que en la práctica será un valor muy pequeño que al elevarlo al cuadrado, cubo... quedará un valor aún menor, con lo cual se trata de unos circuitos muy lineales donde con un amplificador de una linealidad por ejemplo de 40dB, se puede obtener un filtro de linealidad mayor, por ejemplo de 60dB de THD.

$$V_o = A \cdot V_i + A_1 \cdot V_i^2 + A_2 \cdot V_i^3 + \dots \quad (4.1)$$

Sin embargo, estos circuitos tienen como inconveniente la velocidad que debe ser muy alta, ya que por ejemplo para hacer un filtro de 10MHz de frecuencia de corte, necesito un OPAMP de 100MHz o más de ancho de banda; esto tiene como consecuencia un consumo mucho mayor.

La segunda opción era la implementación de un filtro Gm-C usando amplificadores de transconductancia (OTAs), que tiene como ventaja la velocidad que no tiene que ser tan alta, pero como inconveniente la linealidad que es más crítica ya que la linealidad del filtro vendría directamente de la linealidad del OTA y ya no ocurre como antes que la entrada del OTA sea pequeña.

En la siguiente sección se pasa al desarrollo de esta segunda implementación, centrando más el estudio en la linealidad. Tras esto, se decidió continuar con esta opción para su completa fabricación, ya que se consideró que el desarrollo de ambas vías, alargaría demasiado el proyecto, pero se deja abierta esa posibilidad para un futuro estudio.

#### 5. Diseño del filtro mediante OTAs

Transconductores lineales CMOS son comúnmente usados como bloques en muchas aplicaciones como convertidores de datos, filtros de tiempo continuo, o convertidores V-I para interfaces con circuitos de procesamiento de señal en intensidad.

Clásicas aproximaciones para el diseño de transconductores lineales, no consiguen más de 60dB de SFDR (spurious free dynamic range) que mide el rango libre de señales espúreas, es una medida de la linealidad al igual que el THD que a diferencia de este tiene en cuenta todos los armónicos no deseados. En comunicaciones con

modem inalámbricos y no inalámbricos, la linealidad se está convirtiendo en un objetivo a cumplir debido al uso de un gran número de portadoras como en sistemas de comunicación basados en OFDM. Por ejemplo aplicaciones basadas en ADSL necesitan más de 60dB de THD para el filtro de canal e incluso más (90dB) en el caso de comunicaciones inalámbricas VDSL. Estos filtros de canal son implementados normalmente con arquitecturas que usan OPAMPs, R y C ya que los transconductores típicos no pueden alcanzar la especificación de linealidad, pero en este apartado se muestra una implementación que consigue holgadamente la especificación de linealidad mediante el uso de OTAs (Operational Transconductance Amplifier), por ello se decidió continuar con el desarrollo de esta alternativa al considerarla muy interesante por la innovación que conlleva.

Un filtro Gm-C u OTA-C consta de condensadores y amplificadores de transconductancia (OTAs), al ser de orden tres constará de una etapa de entrada de primer orden integradora, seguida de un biquad para el cual, de las posibles arquitecturas de filtros se escogió la de ‘Tow-Thomas’.

Se comienza calculando el valor de las transconductancias del filtro y posteriormente se hace un estudio de las opciones para implementar el OTA diseñando el escogido y haciéndole un estudio de linealidad mediante pruebas de uno y dos tonos. Tras esto se diseña un circuito para controlar el modo común de los OTAs del filtro, y se simula el filtro completo para pasar al diseño del layout y su posterior fabricación.

### 5.1. Cálculo del valor de las transconductancias del filtro.

La función de transferencia en forma de cascada, para el filtro de orden 3 usando la aproximación de Chebyshev I, con un rizado en banda de 0.3 dB y frecuencia de corte de 12 MHz, se muestra en la figura 5.1.

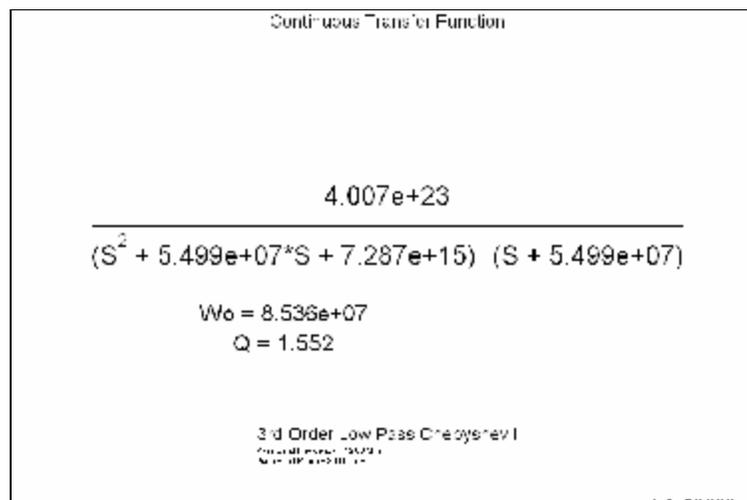


Figura 5.1 Función de transferencia del filtro.

El filtro gm-C se implementará usando una sección de primer orden como se muestra en la figura 5.3 y un biquad como el que se muestra en la figura 5.2, pero en su versión diferencial, ya que los mostrados son unipolares, de este interesa la salida  $V_{LP}$  ya que el filtro deseado es paso de baja.

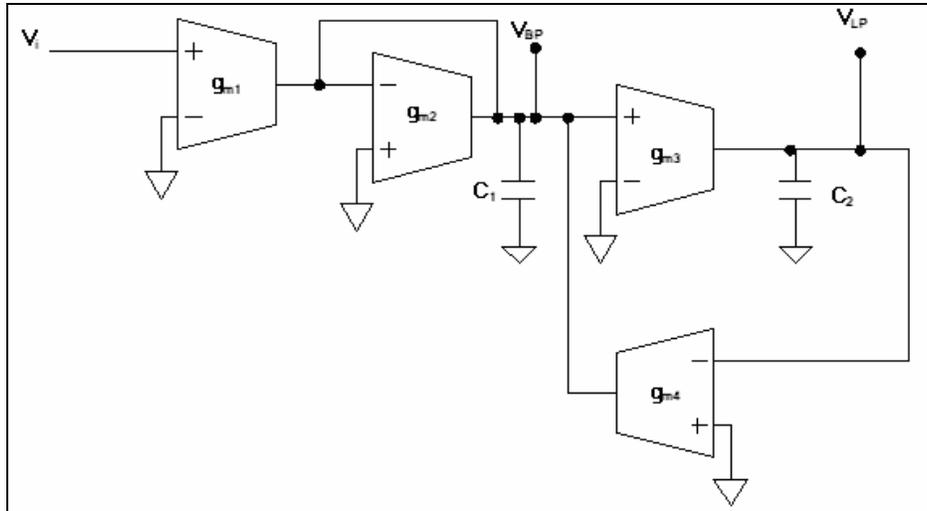


Figura 5.2 Filtro de orden 2 Tow-Thomas con OTAs

Del esquema de la figura 5.2, mediante ecuaciones nodales (5.1 y 5.2) en los nodos  $V_{BP}$  y  $V_{LP}$ , es fácil demostrar que:

$$-V_{BP} s C_1 + V_i g_{m1} - V_{LP} g_{m4} - V_{BP} g_{m2} = 0 \quad (5.1)$$

$$-V_{LP} s C_2 + V_{BP} g_{m3} = 0 \quad (5.2)$$

$$\frac{V_{BP}}{V_i} = \frac{\frac{g_{m1} \cdot s}{C_1}}{s^2 + \frac{g_{m2}}{C_1} \cdot s + \frac{g_{m3} \cdot g_{m4}}{C_2 \cdot C_1}} \quad (5.3)$$

$$\frac{V_{LP}}{V_i} = \frac{\frac{g_{m1} \cdot g_{m3}}{C_1 \cdot C_2}}{s^2 + \frac{g_{m2}}{C_1} \cdot s + \frac{g_{m3} \cdot g_{m4}}{C_2 \cdot C_1}} \quad (5.4)$$

Si se comparan las expresiones obtenidas con la forma general que tiene la expresión de un filtro paso de banda:

$$T(s) = \frac{H \cdot \omega_o \cdot s}{s^2 + \frac{\omega_o}{Q} \cdot s + \omega_o^2} \quad (5.5)$$

$$BW = \frac{\omega_o}{Q} \quad (5.6)$$

Se puede determinar por inspección, los parámetros del filtro diseñado en función de los valores de los componentes utilizados:

$$\omega_o = \sqrt{\frac{g_{m3} \cdot g_{m4}}{C_2 \cdot C_1}} \rightarrow f_o = \frac{1}{2 \cdot p} \cdot \sqrt{\frac{g_{m3} \cdot g_{m4}}{C_2 \cdot C_1}} \quad (5.7)$$

$$BW = \frac{\omega_o}{Q} = \frac{g_{m2}}{C_1} \quad (5.8)$$

Por último,  $H = \frac{g_{m1}}{g_{m2}}$  (5.9)

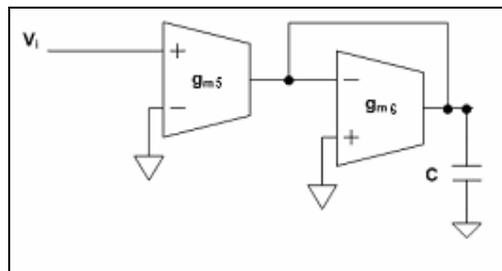


Figura 5.3 Sección de primer orden.

La función de transferencia que implementa la sección de primer orden es:

$$\frac{Vo}{Vi} = \frac{g_{m5}}{C} \cdot \frac{1}{s + g_{m6}/C} \quad (5.10)$$

De la función de transferencia del filtro que aparece en la figura 5.1 y de las ecuaciones 5.4 (ya que se quiere un filtro paso de baja) y 5.10, se obtienen los valores de los parámetros teniendo en cuenta que al tener grados de libertad, se deben imponer restricciones:

$C1 = C2 = C3 = C$  se escoge un valor de 1 pF.

$$g_{m4} = g_{m3}$$

Con esas restricciones y de la cascada de la etapa de primer orden con el biquad, se obtiene una función de transferencia del filtro:

$$\frac{V_o}{V_i} = \frac{g_{m5}}{C} * \frac{1}{s + g_{m6}/C} * \frac{g_{m1} * g_{m3} / C^2}{(s^2 + s * (g_{m2}/C) + (g_{m3}/C)^2)} \quad (5.11)$$

Al comparar con la de la figura 5.1, se obtiene:

$$g_{m6} = C * 5.499e7$$

$$g_{m2} = C * 5.499e7$$

$$g_{m3} = C * \text{sqrt}(7.287e15)$$

Para que en  $s = j0$  se obtenga  $H(s) = 1$ , se impone

$$\frac{(g_{m5}/C) * (g_{m1}/C)}{(g_{m6}/C) * (g_{m3}/C)} = 1 \quad (5.12)$$

Para maximizar el rango dinámico del filtro, se toma  $g_{m5}/C = g_{m6}/C$  que junto con la ecuación 5.12, se obtiene  $g_{m1}/C = g_{m3}/C$ .

Tomando  $C = 1$  pF, queda:

$$g_{m5} = g_{m6} = g_{m2} = 5.499 \cdot 10^{-5}$$

$$g_{m1} = g_{m3} = g_{m4} = 8.5364 \cdot 10^{-5}$$

Si se quiere una disminución del ruido y una mejora de la estabilidad, se debe bajar el valor de la resistencia del OTA, si se establece un valor de 3k $\Omega$  para ésta, como  $g_m = 2/R$  (que se obtiene de la configuración del OTA que posteriormente se mostrará) y el OTA que se va a diseñar como integrador es el 3 de la figura 5.2, se obtiene que  $g_{m3} = 2/R = 2/(3k) = g_{m4} = g_{m1}$ . Y aplicando las anteriores ecuaciones de diseño:

$$g_{m6}/C3 = 5.499e7$$

$$g_{m2}/C1 = 5.499e7$$

$$(g_{m3} * g_{m5})/(C1 * C2) = 7.287e15$$

Se impone  $C1 = C2 = C3 = C$

Con esto, se obtiene  $C = 7.81\text{pF}$ ,  $g_{m2} = g_{m6} = 4.29455\text{e-}4 = g_{m5}$

De la configuración del OTA unipolar que se ve en la figura 5.4, se observa que  $I_R = \frac{V_{ip} - V_{in}}{R}$  y como a la salida se tiene  $I_{out} = 2I_R = 2 \frac{V_{ip} - V_{in}}{R} = g_m V_i \Rightarrow g_m = 2/R$ .

De ahí se puede ver que es un OTA muy lineal ya que  $I_{out} = g_m V_i$  y  $g_m$  sólo depende de una resistencia que es un elemento lineal, lo que puede introducir distorsión, será el camino de la intensidad hacia la salida, por lo que habrá que buscar una configuración que no introduzca distorsión (por ejemplo los espejos de corriente la introducen). Otras configuraciones de OTAs dependen no solo de la resistencia, sino de la transconductancia de alguno de sus transistores, con lo que son menos lineales ya que esa transconductancia depende de la intensidad que pasa por el transistor introduciendo distorsión.

También se puede ver en la configuración diferencial de la figura 5.9, ya que  $(V_{ip} - V_{in})g_m = I_{out+} - I_{out-} \Rightarrow V_i g_m = 2I_R \Rightarrow V_i g_m = 2V_i / R \Rightarrow g_m = 2/R$ .

En la configuración del OTA de la figura 5.4 se ve como para una variación diferencial de las entradas  $V_{ip}$ ,  $V_{in}$  se obtiene una salida de  $2I_R$ , mientras que si no hay diferencia de tensión a la entrada, la corriente que circula por la resistencia sería nula ya que  $I_R = \frac{V_{ip} - V_{in}}{R}$ , con lo cual la salida en intensidad sería nula. Este es el funcionamiento del OTA basado en espejos de corriente (marcados en la figura 5.4 como 1, 2 y 3), constando además de referencias de intensidad externas ( $I_{bp}$ ,  $I_{bn}$ ) que son copiadas en las ramas del circuito necesarias mediante otros espejos de corriente, que se hicieron cascode para que la copia fuera más exacta.

En la figura 5.9 se puede ver un comportamiento similar pero en su versión diferencial. El bloque adicional de control del modo común se explicará más adelante.

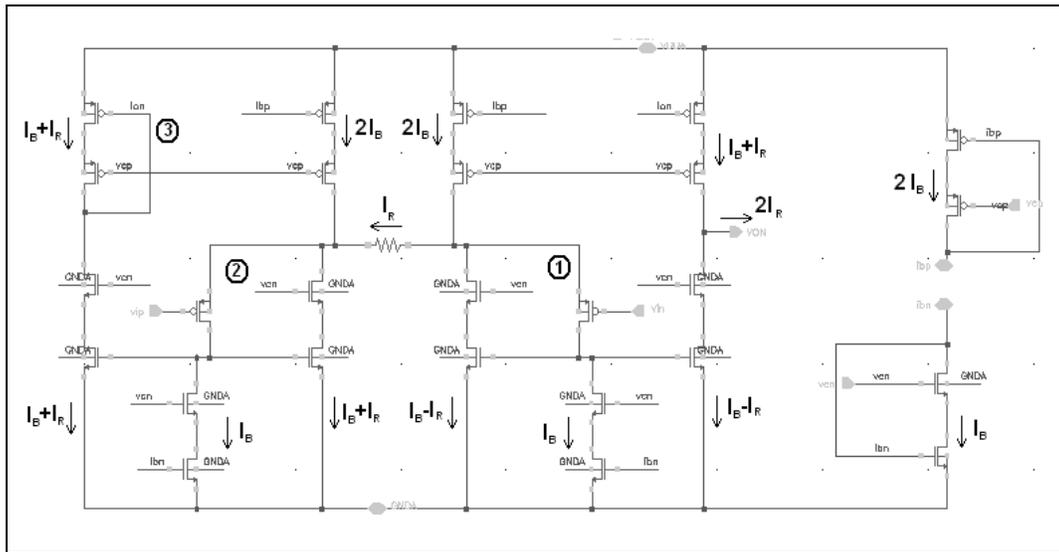


Figura 5.4 Configuración OTA unipolar.

## 5.2. Implementaciones del filtro.

Con estos valores de las transconductancias y de los condensadores, se simula el filtro diferencial completo (figura 5.5) con las dos etapas de primer y segundo orden, creando un estímulo diferencial a la entrada y convirtiendo la salida a unipolar como se hacía en la figura 3.26b, en esta primera simulación se hace uso de un modelo ideal del OTA diferencial que se muestra en la figura 5.6, el cual hace uso de fuentes de intensidad dependientes de tensión con una ganancia que será variable dependiendo del valor de la  $g_m$  de la que se trate. Se simula el Bode del circuito obteniendo la figura 5.7.

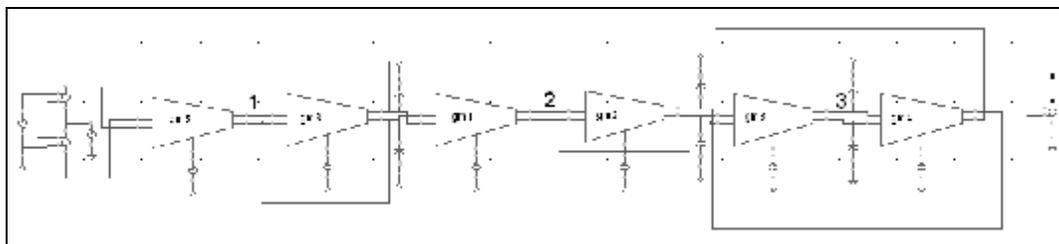


Figura 5.5 Esquemático del filtro con OTAs ideales.

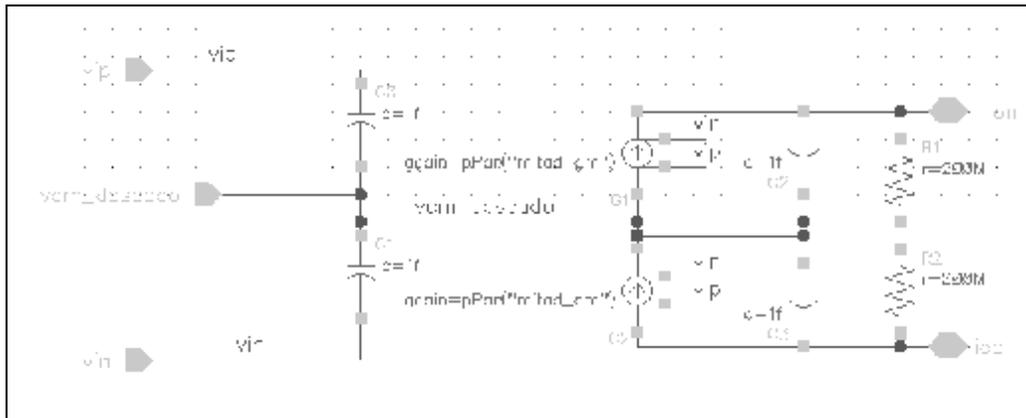


Figura 5.6 Modelo del OTA.

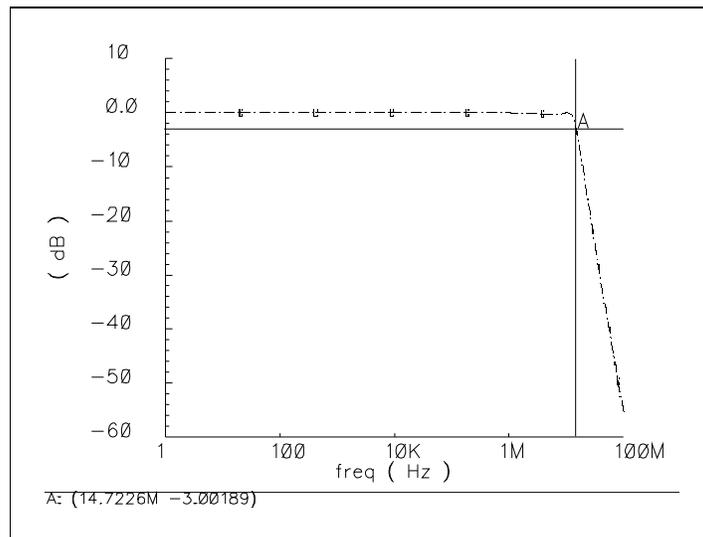


Figura 5.7 Bode del filtro ideal.

Tras esto se busca simular el filtro con OTAs reales, para lo cual hay que diseñar el OTA real. Inicialmente se usa el diseño de la figura 5.9 que tiene un funcionamiento explicado anteriormente, basado en espejos de corriente.

En un circuito single ended el modo común es conocido, pero al ser este un circuito diferencial, se necesita un control del modo común de las tensiones de salida del circuito para que la señal no exceda los márgenes ( $GND - V_{DD}$ ) de tensiones válidas para su correcto funcionamiento; con este fin se usó el bloque de control de modo común que inicialmente se simuló con el circuito ideal de la figura 5.11. Su funcionamiento consiste en sensar el modo común de las entradas del OTA y compararlos con la tensión de modo común deseada, generando una tensión de control sobre un transistor en las ramas de salida del OTA, como se puede ver en la figura 5.9, que crea una intensidad de control por dicho transistor que si es igual a la intensidad

continua de esta rama, no habrá variación de la intensidad a la salida permaneciendo la tensión de modo común constante; sin embargo, si esta intensidad de control es mayor o menor que la intensidad de continua de la rama, crecerá o decrecerá la intensidad por el nodo de salida generando un aumento o decremento de la tensión de modo común.

Esto se puede ver mejor en la figura 5.10 en la que se han esquematizado las ramas de salida del OTA asimilando los transistores a fuentes de corriente, las fuentes de corriente  $I_c$  (de control) e  $I_{dc}$ , controlan el modo común de las tensiones en los nodos de salida, de manera que si  $I_c = I_{dc}$  la corriente que circula por el condensador de salida no variará, permaneciendo el modo común constante, si  $I_c > I_{dc}$  la intensidad de salida aumentará aumentando la tensión en ambos nodos de salida con lo cual el modo común aumenta y si  $I_c < I_{dc}$  ocurrirá lo contrario decreciendo la tensión de modo común de salida. Esto sucede gracias a que en las dos ramas diferenciales de salida ocurre lo mismo, aumentando o disminuyendo la tensión de igual forma, por ello es de modo común.

Una vez hechas las simulaciones pertinentes del OTA real, se realiza el esquemático del filtro completo que se puede ver en la figura 5.8 con el que se puede seguir el estudio, pero más tarde se modifica ya que el control de modo común explicado, no corresponde con el necesario ya que sensa el modo común de las entradas y varía el de las salidas de un mismo OTA y lo que se quiere es sensar y controlar las salidas, pero nos sirve como estudio para el OTA individualmente. En el filtro completo, las salidas de un OTA coinciden con las entradas del siguiente, con lo cual se pueden sensar el modo común de las salidas de uno sensando el de las entradas del siguiente (más adelante se explicará cómo) y realimentando la medida (que será la tensión de modo común sensada) al que se quiere controlar; esta medida es la que se compara con la tensión deseada de modo común generando un señal de control en consecuencia, así se está midiendo y controlando el modo común de las salidas de un mismo OTA.

Esta realimentación de la señal de modo común sensada al OTA anterior, se puede ver en la figura 5.25 que es el esquemático algo más desarrollado del filtro, que tiene un bloque para crear las señales de referencias de intensidad y corriente, un OTA adicional para pasar la salida en tensión a salida en intensidad, y los OTAs contienen un bloque de control de modo común real. Se aprecia las realimentaciones donde la señales 'vcms' (tensión de modo común sensada) vienen del sensado en el OTA siguiente y se realimentan al anterior en las entradas 'vcmsi' que son las que se comparan con 'vcm\_deseado'.

Se realizaron OTAs con control de modo común y sin control de modo común ya que en el filtro sólo hay 3 nodos que necesiten ser controlados (indicados como 1, 2 y 3 en la figura 5.5)

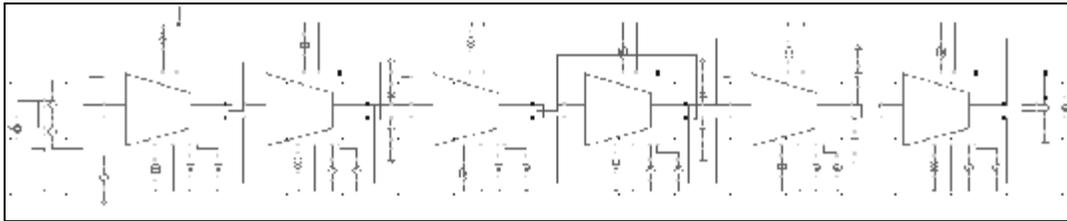


Figura 5.8 Esquemático del filtro con OTAs reales.

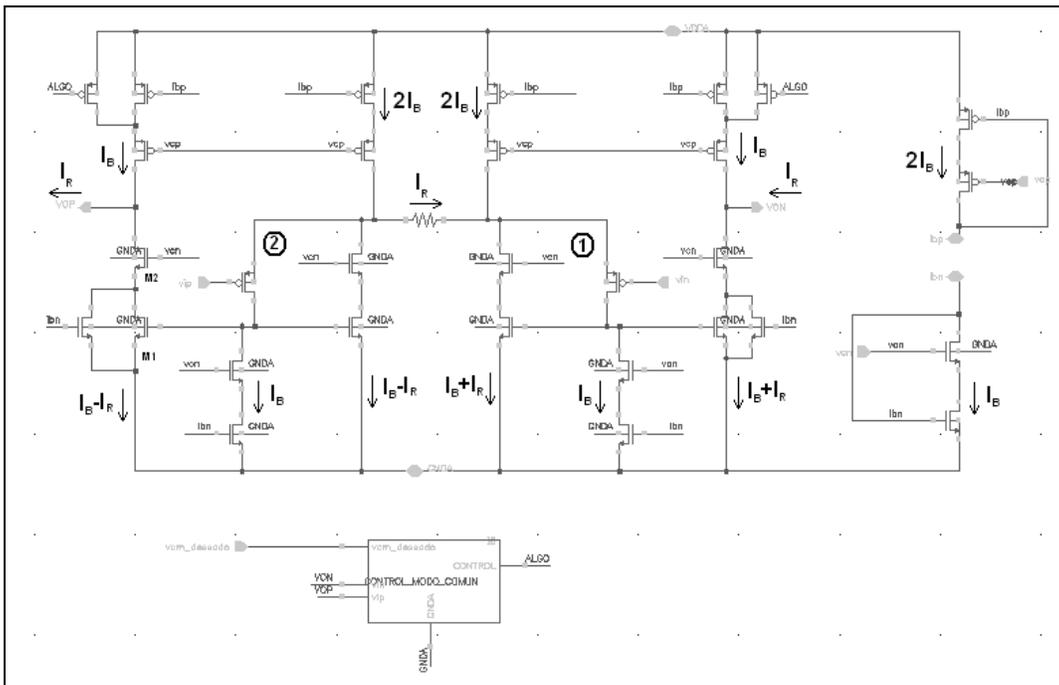


Figura 5.9 Implementación diferencial OTA1.

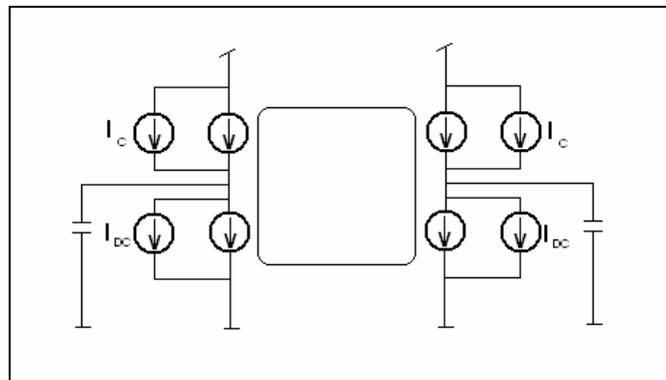


Figura 5.10 Esquema ramas de salida con control modo común.

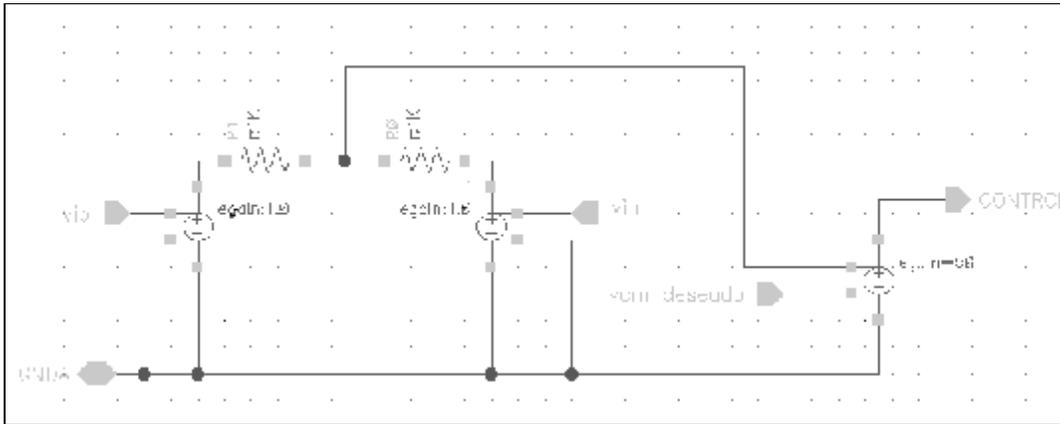


Figura 5.11 Control ideal del modo común.

Pensando en la posibilidad de tener un OTA programable en el que la intensidad dependa de una tensión constante, se cambió el diseño del OTA por el de la figura 5.12 también basado en espejos de corriente, pero tiene dos ramas más que el anterior con lo cual necesitaría mayor alimentación aumentando el consumo.

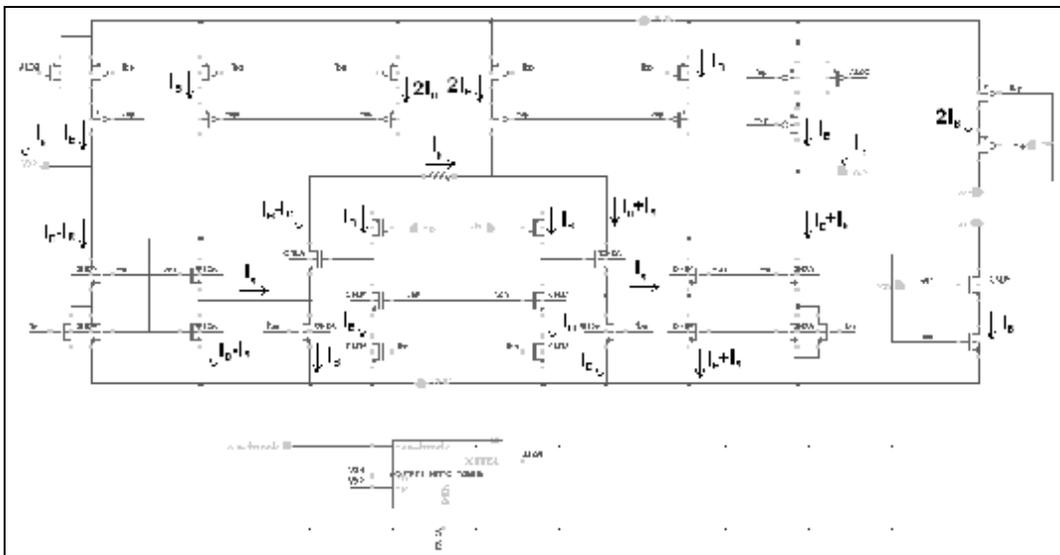


Figura 5.12 Implementación diferencial OTA2.

Finalmente se cambió a una tercera configuración del OTA (figura 5.13) que fue la que mejor características obtuvo, se trata de un OTA de alta linealidad ya que no hace uso de espejos de corriente que introducen distorsión al no hacer siempre copias perfectas de intensidad.

Su funcionamiento se basa en generar nodos de baja impedancia haciendo uso de bucles de realimentación locales en la etapa de entrada que reducen la impedancia del transistor que alimenta a la resistencia de degeneración; además, la intensidad generada en la resistencia es conducida directamente a la salida usando pares acoplados por la fuente, así no es necesario el uso de espejos de corriente tan poco robustos ante el ‘mismatch’ o desapareamiento de los componentes una vez fabricados, mejorando significativamente la linealidad del filtro y la insensibilidad ante el mismatch de los componentes. Los transistores indicados como A y B junto con los de la señal ‘ALGO’ en sus puertas, están haciendo la función de control de modo común. Se cambió las referencias externas de intensidad para que por ambas ramas, la de nmos y pmos, fuera  $I_B$  mejorando así el consumo.

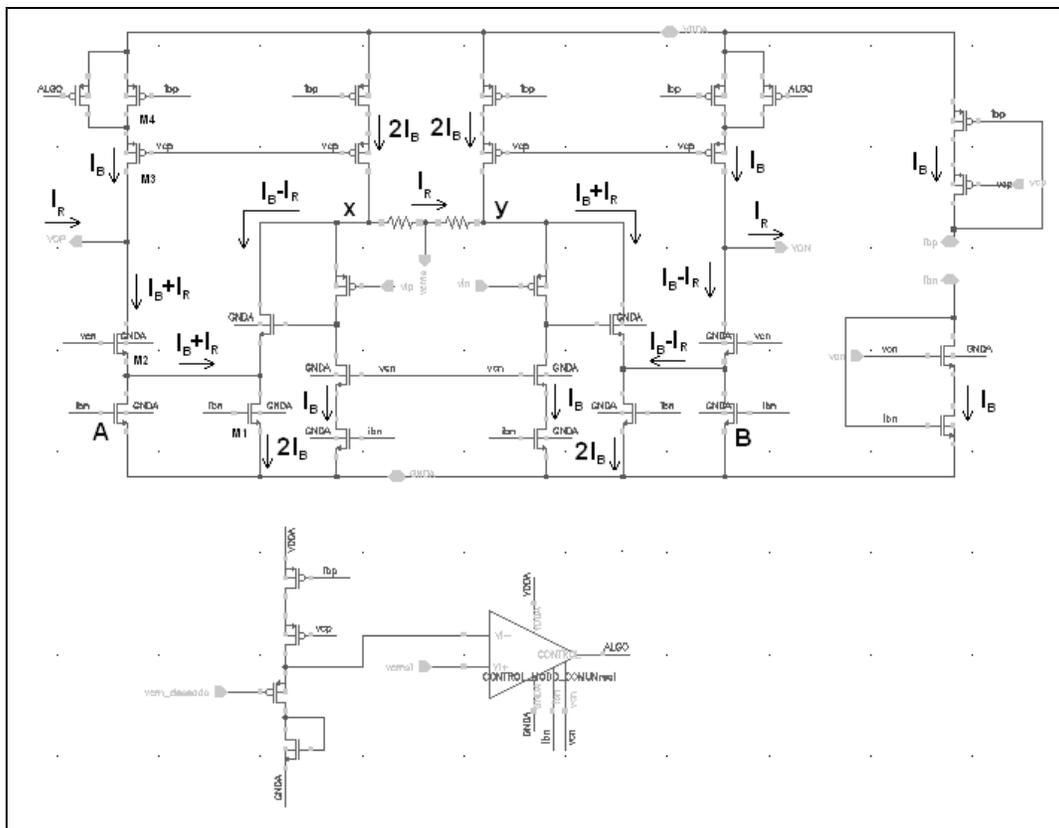


Figura 5.13 Implementación diferencial OTA3 con modo común real.

En las figuras 5.14 y 5.16 se muestra el mismo transconductor propuesto pero de una forma más esquemática para su explicación. La resistencia  $R_{OTA}$  es usada para implementar la conversión de voltaje a intensidad, la tensión de entrada  $V_s = V_{i+} - V_{i-}$  se aplica al resistor lineal a través de buffers de ganancia unidad que tienen como característica una baja impedancia de salida. El transconductor puede tener una alta impedancia de entrada si los terminales de entrada del buffer son implementados con transistores CMOS, eso es lo que se quiere para filtros gm-C donde la característica de

$R_{in} = \infty$  es necesaria, por ello otras implementaciones existentes de OTAs con resistencias a la entrada no eran posibles.

En la figura 5.14 (b) se muestra la implementación propuesta para el buffer de ganancia unidad, el transistor  $M_1$  actúa como seguidor de tensión mientras que  $M_2$  proporciona un nodo de salida con una impedancia de salida dada por:

$$r_o \cong \frac{1}{g_{m1}g_{m2}r_{o2}}$$

El transistor  $M_2$  además de proporcionar esta baja impedancia de salida, actúa llevando la intensidad que circula por en la etapa de entrada, al nodo fuente de  $M_2$  que puede ser conectado a la etapa de salida.

En la figura 5.14 se muestra el esquemático del transconductor propuesto, se observan dos buffers de ganancia unidad formados por  $M_1$ - $M_2$  que controlan el resistor  $R_{OTA}$ , transfiriendo la tensión de entrada ( $V_s = V_{it} - V_i$ ) a la resistencia. La corriente generada en la resistencia  $I_s$  es sensada en el transistor  $M_2$  que forma un par acoplado por la fuente con los transistores  $M_{CN}$  que se conectan a los nodos de salida. De esta manera, la corriente generada en la etapa de entrada es directamente transferida a la salida del transconductor; este camino directo de señal evita la distorsión causada por el desapareamiento geométrico y paramétrico en los espejos de corriente que de otra manera serían necesarios en el camino de la señal y que no realizarían la necesaria copia perfecta para no tener distorsión.

Esta implementación optimiza el efecto de las no idealidades como el mismatch entre transistores, que es una de las principales fuentes de distorsión en transconductores altamente lineales. Esto normalmente es debido al uso de espejos de corriente basados en estructuras que necesitan un buen matching entre los transistores del espejo de corriente (habiendo siempre un límite tecnológico para esto). Otras estructuras de transconductores están basadas en varios elementos pasivos que necesitan ser machedados o están basados en cancelaciones de los términos no lineales, estando también afectados por el mismatch.

Por el contrario, la implementación propuesta no muestra sensibilidad al mismatch debido a que sólo se basa en la creación de nodos de baja impedancia y bucles de realimentación locales con ganancia. Por ejemplo, cualquier mismatch entre los transistores de entrada  $M_1$  (figura 5.16) genera un offset de corriente que sólo varía la tensión de continua  $V_{GS}$  de un transistor de entrada con respecto al otro, siendo una variación constante que no afecta al funcionamiento del OTA. Cualquier mismatch entre los transistores  $M_2$ , tampoco genera distorsión ya que sólo genera una ligera diferencia de la tensión continua en la puerta de  $M_2$ . Un mismatch entre los transistores de los pares acoplados por fuente ( $M_2 - M_{CN}$ ), de nuevo sólo generan una diferencia del valor de la tensión de puerta de  $M_2$  con respecto a la de  $M_{CN}$ ; por último, un mismatch entre los transistores que implementan los espejos de corriente, sólo generan un offset con el valor de la corriente de polarización que no influye en la señal generada en la resistencia.

La mayor fuente de distorsión en el transconductor propuesto es la modulación de la longitud de canal del transistor de entrada  $M_1$ , que tiene un efecto directo en el valor de la  $V_{SG}$  que transfiere la tensión de entrada al terminal del resistor. La distorsión debida a esto puede ser disminuida usando transistores de  $L$  pequeñas, consiguiendo THD muy bajos.

Hay que mostrar especial atención en la implementación de las fuentes de corriente de valor  $2I$  que alimentan los buffers de entrada. El uso de cascodos mejoran la linealidad y disminuyendo la  $W$  y  $L$  del transistor conectado al nodo  $X$  de la figura 5.14, se modifica el polo de dicho nodo mejorando la estabilidad.

Los buffers propuestos (figura 5.14 b), se basan en la estructura “Fliped Voltage Follower” (FVF) de la figura 5.15 b, que a partir del “Voltage Follower” (figura 5.15 a) cuya resistencia equivalente vista desde el nodo de salida es  $R_{in} = \frac{1}{g_{m1}}$ , hacen que el

nodo de salida tenga una resistencia equivalente aún más pequeña  $R_{in} = \frac{1}{g_{m1}g_{m2}r_{o2}}$  que

es lo que se quería para no modificar la  $R_{OTA}$ . En la figura 5.9 se usó un esquema FFVF (“Folded Fliped Voltage Follower”) ya que al usar espejos de corriente, lo que interesaba era que las copias fueran buenas para que no introdujeran distorsión, para que un espejo de corriente haga una buena copia, es necesario que  $V_{GS1} = V_{GS2}$  (un espejo cumple eso por construcción) y que  $V_{DS1} = V_{DS2}$  ya que la intensidad depende de ambas tensiones como se ve en la ecuación del transistor en saturación :  $I = \frac{1}{2}K \frac{W}{L}(V_{GS} - V_T)^2(1 + I V_{DS})$ , por ello mediante el uso del espejo cascode, se consigue que en el drenador de los transistores del espejo haya una tensión constante, con lo que iguala las  $V_{DS}$ . Por esta razón en todos los espejos de corriente usados, se han introducido transistores cascode.

El problema del circuito de la figura 5.15 b, es que el drenador del transistor  $M_1$  estaría siempre fijo a la tensión  $V_{GS}$  de  $M_2$  (ya que la intensidad que pasa por él es constante), pudiendo tener problemas en el rango de tensiones de entrada, por ello se usó el circuito de la figura 5.14, que no tiene problemas de rango.

La celda FFVF tiene problemas de estabilidad conocidos. La estabilidad del transconductor propuesto se determina mediante la estabilidad de los buffers; la condición de estabilidad para estos está regida por  $\frac{C_x}{C_y} < \frac{g_{m1}}{4g_{m2}}$  que viene de imponer

$w_{2^\circ \text{ polo}} > 2GBW$ , donde  $C_x$  y  $C_y$  son las capacidades equivalentes de los nodos  $X$  e  $Y$  respectivamente (figura 5.14 b). Esta condición es fácilmente alcanzable mediante apropiadas relaciones  $W/L$  para los transistores  $M_1$  y  $M_2$  (ya que

$g_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{W}{L}(V_{GS} - V_T)$ ), haciendo grande  $g_{m1}$  y pequeña  $g_{m2}$ . De otra forma, una capacidad de compensación  $C_c$  sería requerida entre la puerta y el drenador de  $M_2$  para incrementar la capacidad equivalente en el nodo  $Y$ , ello es debido al efecto Miller que

crea dicho condensador al estar entre dos nodos con ganancia de uno a otro, aumentando la capacidad en uno de los nodos por el factor de ganancia.

Variando la  $L$  del transistor  $M_1$ , variará su resistencia de salida, variando la posición del polo del nodo, así se podrán separar los polos del sistema para conseguir su estabilidad.

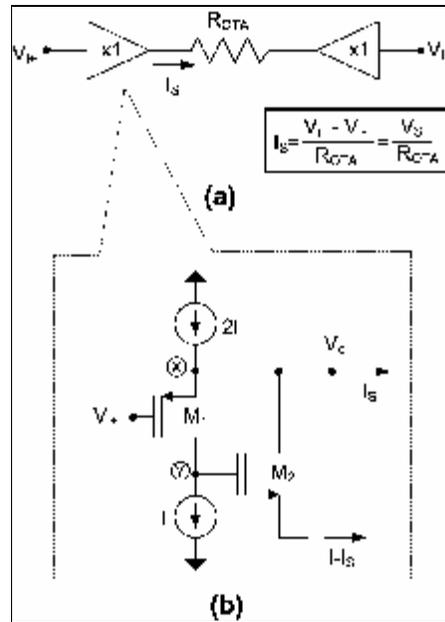


Figura 5.14 Transconductor propuesto

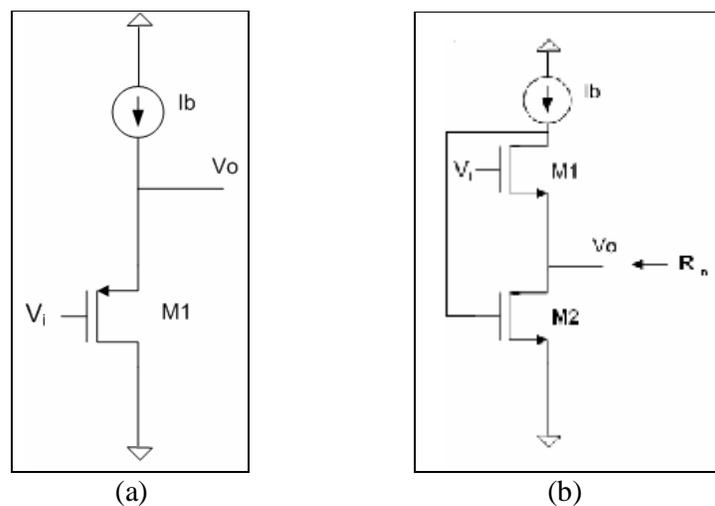


Figura 5.15 (a) Amplificador drenador común (voltaje follower).  
 (b) Fliped Voltaje Follower.

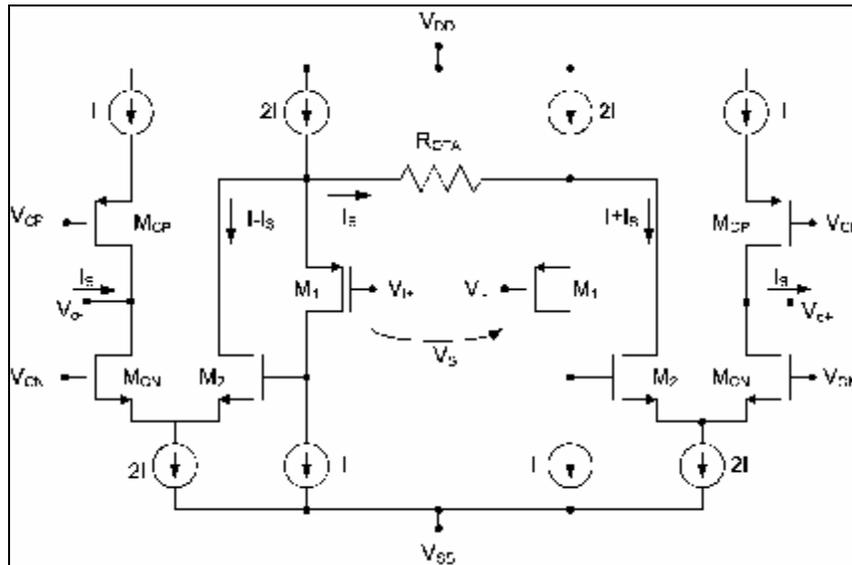


Figura 5.16 Transconductor propuesto.

Como se ve en la figura 5.13, la resistencia del OTA se ha dividido en dos en serie para poder medir el modo común de las señales de entrada (que como se dijo anteriormente, coincide con el de las salidas del OTA anterior del filtro completo y que por ello se aprovecha esta resistencia para su medida); el modo común de las entradas es

$$V_{icm} = \frac{V_{i+} + V_{i-}}{2} \quad (\text{que coincide con el modo común de las salidas del OTA anterior}$$

$$V_{ocm} = \frac{V_{o+} + V_{o-}}{2}) \quad \text{y esto se puede conseguir del punto medio entre las dos resistencias}$$

$$\text{en el que la tensión es } \frac{V_x - V_y}{2} + V_x = \frac{V_x + V_y}{2} = \frac{V_{i+} + \Delta + V_{i-} + \Delta}{2} = \frac{V_{i+} + V_{i-}}{2} + \Delta,$$

con lo que al sensar sólo se tiene un incremento  $\Delta$  constante de la tensión de modo común, debiendo incrementar la tensión deseada de modo común en esa cantidad a la hora de compararlas. La ventaja de aprovechar la resistencia del OTA para realizar el sensado, es que no hace falta incrementar el hardware del circuito y además si se colocaran dos resistencias para hacer el sensado a la salida del OTA, en lugar de realimentar el de la entrada del siguiente, ya no se tendría la configuración de integrador deseada.

Como se ve en la figura 5.13, las entradas del bloque de control del modo común que realiza la comparación, son la señal 'vcmsi' =  $\frac{V_{i+} + V_{i-}}{2} + \Delta$  que es el modo común

sensado en el transconductor siguiente, y la señal con la que esta debe ser comparada que es 'vcm\_deseada' +  $\Delta$ , por ello hay una rama a la entrada que realiza esa suma de  $\Delta$  a la señal deseada y que es una réplica de la rama de entrada del OTA para que se sume la misma cantidad  $\Delta$ , hay un transistor conectado como diodo que hace la función de poner aproximadamente un voltio en el drenador del transistor de entrada, para que la réplica de la rama del OTA sea más exacta.

En la figura 5.17 se muestran los circuitos de control de modo común implementados en este bloque, se trata de amplificadores nmos con espejos pmos como carga, que realizan la función de comparación, la razón de la elección nmos es por la señal que soportan a la entrada que será  $\frac{V_{i+} + V_{i-}}{2} + \Delta$ , y como los transistores de entrada al OTA son pmos y soportan a su entrada  $V_{i+}$  o  $V_{i-}$ , al sumarle la cantidad  $\Delta$  será más apropiado para ser soportado por nmos. El tamaño de los transistores de este bloque era aproximadamente el mismo que el de los del OTA pero escalados por un factor de 1/10.

Inicialmente se partió del amplificador de la figura 5.17 b sin el condensador, pero se comprobó que la señal de control generada no era constante debido a que el bloque tenía ganancia  $A = g_m \cdot r_{o1} \parallel r_{o2}$  (siendo las r las resistencias de salida de los transistores conectador a la salida), por ello se idearon los dos métodos de la figura 5.17 a y b para eliminar dicha ganancia, en el (a) se realiza una conexión diodo que a partir de su modelo de pequeña señal se obtiene que  $r_{o1} = 1/g_m$  despreciando  $r_{o2}$  en el paralelo y compensando la  $g_m$  del amplificador obteniendo ganancia unitaria, en el (b) se introduce un condensador que se comporta como un cortocircuito en alta frecuencia con lo que también se crea una conexión diodo. Para el caso b también se hizo el layout, pero finalmente se optó por seguir con el caso a.

Se debieron implementar OTAs que incluyeran el bloque de control de modo común y otros en que no, esto se debe a que en el filtro completo sólo tres de los seis OTAs harán la función de control del modo común ya que únicamente hay tres nodos en el circuito (como se ve en la figura 5.5 marcados como 1, 2 y 3), que son los que se deben controlar.

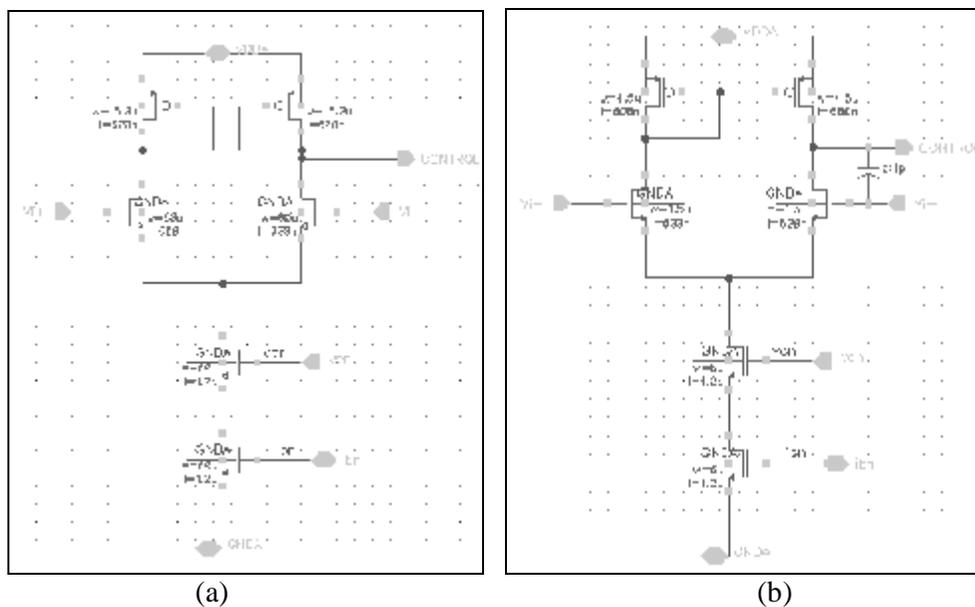


Figura 5.17 Circuitos de control del modo común.

### 5.3. Diseño del OTA.

Para el diseño en simulación del OTA, se usó el esquema de la figura 5.19, donde se puso una carga capacitiva a la salida para simular su comportamiento como integrador, los cuales tienen una característica mostrada en la figura 5.20 y en la frecuencia de corte por 0dB, la fase debe ser  $-90^\circ$ .

Para medir la linealidad del OTA, se usa el mismo esquema pero en lugar de terminarlo con un condensador, se pone una carga resistiva entre cuyos terminales caerá una tensión igual a  $V_o = V_{o+} - V_{o-} = (g_m (V_{i+} - V_{i-}))R = (i_+ - i_-)R = IR$ , pudiendo medir la distorsión que se crea; como la R es un elemento lineal, se puede medir la no linealidad del OTA ( $g_m$ ) mediante la no linealidad de la intensidad I que pasa por la resistencia de carga.

Así que se tienen dos configuraciones para la simulación del OTA, una con carga resistiva para medir la linealidad y otra con carga capacitiva ya que se diseña como integrador. Para hacer un integrador con pérdidas, se necesita una  $g_m$  para hacer la conversión de V a I y una resistencia de salida ( $r_{out}$ ) lo mayor posible para que como se ve en la figura 5.19, la ganancia sea grande y el polo a una frecuencia pequeña.

Para el diseño (cálculo de  $I_B$  y dimensionado de los transistores) de los dos OTAs necesarios en el filtro, cuyas  $g_m$  se calcularon en el apartado de cálculo de las transconductancias del filtro teniendo la  $R_{OTA}$  a partir de  $g_m = 2/R$ , se tiene como especificación que la tensión de entrada diferencial de pico a pico son 2Vpp (1Vpp para  $V_{i+}$  y  $V_{i-}$ ) por lo que la intensidad máxima por la resistencia del OTA será  $I_{\max\ por R} = \frac{2(V)}{R_{OTA}}$ , en la figura 5.13 se ve que hay ramas con corriente  $I_B - I_R$  por ello, para que la corriente que pasa por los transistores no sea nula se elige  $I_B > I_{\max\ por R}$  (por ejemplo el  $I_B = \frac{3}{2} I_{\max\ por R}$ ). Con esto se tendrá la corriente que pasa por todos los transistores, pudiendo dimensionarlos a partir de la ecuación del transistor en saturación:

$$I = \frac{1}{2} K \frac{W}{L} (V_{GS} - V_T)^2$$

El término  $(V_{GS} - V_T)$  lo elige el diseñador (se eligió  $(V_{GS} - V_T) = 0.4V$ ), la I es conocida y se despeja la W para varias L quedándose con las que den mejores características. Como la tecnología usada cumple que  $L = K\lambda$  siendo  $\lambda = 300nm$  y  $K_{\min} = 2$ , la longitud de canal mínima será 600nm. La resistencia de salida depende de L (cuanta mayor L, mayor será la  $r_{out}$ ) y como se ve en la figura 5.20,  $r_{out}$  modifica el polo de la respuesta en frecuencia la cual, para un integrador debe tener  $-90^\circ$  de fase a la frecuencia de corte por 0dB de ganancia, por ello si se modifica el polo, la fase también

variará pudiendo crear un exceso de fase a esa frecuencia si L y por tanto  $r_{out}$  es pequeña ya que el polo estaría cercano a la frecuencia de corte por 0dB no dando tiempo a la fase a caer hasta los  $-90^\circ$ , y un defecto de fase si L es grande ya que el primer polo estaría a una frecuencia suficientemente baja como para que le diera tiempo a la fase a caer hasta los  $-90^\circ$ , pero el segundo polo se acercaría al corte por 0dB empezando a caer antes la fase hasta los  $-180^\circ$ .

Simulamos la respuesta en frecuencia del OTA configurado como integrador, buscando que los  $-90^\circ$  de fase se den en el corte por 0dB, se comienza a probar con  $L=600nm$ , luego se subió a  $L=900nm$  y finalmente  $L=1.2\mu m$ .

En el apartado de cálculo de las transconductancias del filtro, se hallaron los valores:  $g_{m3} = g_{m4} = g_{m1} = 2/(3k)$   $g_{m2} = g_{m6} = g_{m5} = 4.29455e-4$   $C = 7.81pF$  por esta coincidencia en los valores de las transconductancias sólo hubo que diseñar dos OTAs distintos, se comenzó por diseñar el OTA con  $g_{m3}$  que se ve en la figura 5.2, ya que es el que tiene configuración de integrador dentro del filtro con la  $C=7.81pF$  (en la figura 5.18 se ve que el C es la mitad al ser configuración diferencial) y el otro se diseñó como si también fuera integrador de la misma frecuencia que le anterior diseñado, para ello se comparó el valor de la  $g_m$  con la del integrador y se escaló la capacidad por ese factor de comparación para que el corte por 0dB que se da en la frecuencia  $\frac{g_m}{C_L}$ , se diera en la misma frecuencia que para el OTA de  $g_{m3}$ .

Diseño del OTA1 de  $g_{m3} = 2/(3k) \Rightarrow R = 3k\Omega \Rightarrow I_{max\ por R} = \frac{2(V)}{R_{OTA}} = \frac{2}{3} mA$ , como

$$2I_B = 3I_{max\ por R} \Rightarrow I_B = 1mA$$

Para el dimensionado de los transistores por los que siempre circula una intensidad  $I_B$  o  $2I_B$  se diseñan para dicha intensidad y para los demás, también se diseñará para esas intensidades sólo que se elegirá una  $V_{CN}$  y  $V_{CP}$  adecuada para que nunca estén en triodo. Dimensionado para los transistores nmos por los que circula  $I_B$  : (por los que circula  $2I_B$  la W será el doble de esa)

$$W_n = \frac{L2I_B}{K_n(V_{GS} - V_T)^2} = \frac{L \cdot 2 \cdot 1mA}{57 \frac{mA}{V^2} (0.4)^2} = \begin{cases} L = 0.6m \\ L = 0.9m \\ L = 1.2m \end{cases} = \begin{cases} 131.6m \\ 197.36m \\ 263.15m \end{cases} \xrightarrow{2I_B} \begin{cases} 264m \\ 394m \\ 526m \end{cases}$$

Dimensionado para los transistores pmos por los que circula  $I_B$  : (por los que circula  $2I_B$  la W será el doble de esa)

$$W_p = \frac{L2I_B}{K_p(V_{GS} - V_T)^2} = \frac{L \cdot 2 \cdot 1mA}{19.2 \frac{mA}{V^2} (0.4)^2} = \begin{cases} L = 0.6m \\ L = 0.9m \\ L = 1.2m \end{cases} = \begin{cases} 390.6m \\ 586m \\ 781.25m \end{cases} \xrightarrow{2I_B} \begin{cases} 780m \\ 1172m \\ 1562m \end{cases}$$

Para el segundo OTA a diseñar (OTA2)  $g_{m2} = g_{m5} = g_{m6} = 4.29455e-4$ , también lo diseño como integrador de la misma frecuencia anterior  $\frac{g_{m3}}{C_L} = 85.364\text{Mrad/s} = 13.586\text{MHz}$  de corte por cero dB; para ello se hace un escalado del condensador, como  $g_{m2} = \frac{g_{m3}}{1.552355} \Rightarrow C_L = \frac{7.81\text{pF}}{1.552355} = 5.031\text{pF}$  (en la versión diferencial se pondrá la mitad).

Al igual que se hizo en el anterior,  $g_m = 2/R \Rightarrow R = 4.657\text{k}\Omega \Rightarrow I_{\text{max por R}} = \frac{2(V)}{R_{\text{OTA}}} = 0.43\text{mA}$ , como  $2I_B = 3I_{\text{max por R}} \Rightarrow I_B = 644.18\text{mA}$

El dimensionado se calcula como anteriormente para los nmos y pmos:

$$W_n = \begin{cases} L = 0.6\text{m} \\ L = 0.9\text{m} \\ L = 1.2\text{m} \end{cases} = \begin{cases} 84.76\text{m} \\ 127.14\text{m} \\ 169.52\text{m} \end{cases} \xrightarrow{2I_B} \begin{cases} 169.52\text{m} \\ 254.28\text{m} \\ 339\text{m} \end{cases}$$

$$W_p = \begin{cases} L = 0.6\text{m} \\ L = 0.9\text{m} \\ L = 1.2\text{m} \end{cases} = \begin{cases} 251.63\text{m} \\ 377.45\text{m} \\ 503.267\text{m} \end{cases} \xrightarrow{2I_B} \begin{cases} 503.26\text{m} \\ 754.9\text{m} \\ 1006.5\text{m} \end{cases}$$

Ya sólo queda por fijar  $V_{cn}$  y  $V_{cp}$  para poder simular el filtro, como se dijo anteriormente al haber diseñado todos los transistores para  $I_B$  o  $2I_B$ , puede que alguno entre en zona triodo, por ello  $V_{cn}$  y  $V_{cp}$  se elegirán para que ningún transistor entre en dicha zona estando siempre en saturación.

Fijándose en las ramas de salida de la figura 5.9 podrá circular una intensidad de  $I_B$  (si no hay diferencia de tensión a la entrada),  $I_B - I_{R_{\text{max}}}$  o  $I_B + I_{R_{\text{max}}}$  como casos extremos (intensidad mínima y máxima que puede circular); la condición de saturación es  $V_{DS} > V_{DS_{\text{sat}}} = V_{GS} - V_T$  y como el transistor marcado como M2 tiene una tensión puerta-fuente máxima ( $V_{GS_{\text{max}M2}}$ ) cuando por él pasa la intensidad máxima posible ( $I_B + I_{R_{\text{max}}}$ ), será el caso más desfavorable para que el transistor M1 pueda estar en triodo al ser su tensión drenador-fuente mínima ( $V_{DS_{\text{min}M1}} = V_{CN} - V_{GS_{\text{max}M2}}$ ).

Para garantizar que esa  $V_{DS_{\text{min}M1}}$  sea mayor que  $V_{DS_{\text{sat}}} = V_{GS} - V_T$ , primero se elige el DC del circuito, se comenzó alimentando el circuito con  $V_{DD} = 3.3\text{V}$  pero más tarde se cambió a  $V_{DD} = 5\text{V}$  al considerar que con 3.3V los márgenes de tensiones quedaban demasiado ajustados para tener todo en saturación y que la tensión diferencial de salida pico-pico fuera 2V; como  $V_{GS} - V_T$  se eligió a 0.4V (con lo que  $V_{GS} = 0.4 + V_T$  siendo  $V_{Tp} = 0.9\text{V}$  y  $V_{Tn} = 0.7\text{V}$ )  $V_{DS}$  se tomó a 0.5V para garantizar la saturación por lo

que como se ve en la rama de salida en la parte de los transistores pmos de la figura 5.13,  $V_{cp} = V_{DD} - V_{SD\_M4} - V_{SG\_M3} = 5 - 0.5 - (0.4 + V_{Tp}) = 5 - 0.5 - (0.4 + 0.9) \rightarrow V_{cp} = 3.2V$  garantizando la saturación por como se han hecho los cálculos, y en la parte de los nmos se calcula  $V_{cn} = V_{DS\_M1} + V_{GS\_M2} = 0.5 + (0.4 + V_{Tn}) = 0.5 + (0.4 + 0.7) \rightarrow V_{cn} = 1.6V$ .

Por último se debía escoger la tensión deseada para el modo común de las salidas, que debe ser compatible con el rango de tensiones a la entrada ya que en el filtro la salida de un OTA será la entrada del siguiente, por ello se eligen ambos modos comunes iguales  $V_{o\_cm} = V_{i\_cm}$ , en la figura 5.18 se muestra un esquema de las caídas de tensión en la rama de entrada y salida necesarias para garantizar la saturación, se han obtenido fijándose en la rama de salida de la figura 5.13 donde se ve que hay dos pmos y dos nmos que deben tener una  $V_{DS} = 0.5V$  para estar en saturación y en la rama de entrada que hay dos pmos con esa  $V_{SD}$  y otro pmos de entrada que debe tener  $V_{SG} = 1.4V$ , por ello el rango de tensiones en el que se podrá mover la salida irá de 1V a 2.6V y eligiendo el punto medio de ese rango de tensiones que queda libre, se obtiene una  $V_{cm\_deseada} = 1.8V$

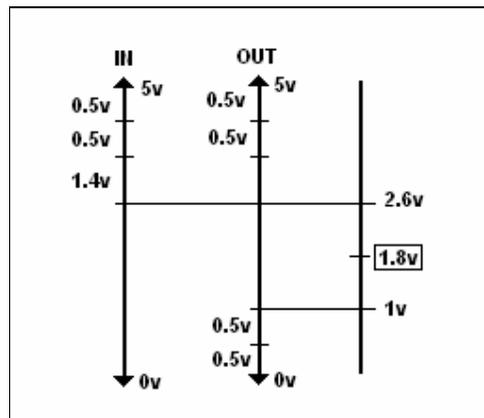


Figura 5.18 Esquema de tensiones para la elección de  $V_{cm}$ .

Una vez conocido el valor de  $I_B$ ,  $C_L$ ,  $R_{OTA}$ ,  $V_{cn}$ ,  $V_{cp}$ ,  $V_{cm\_deseado}$  y los tamaños de los transistores, se puede simular el OTA mediante el circuito de la figura 5.19, poniendo un AC = 0 y un DC = 1 o -1 a la fuente de entrada, se comprobó satisfactoriamente la saturación en los casos extremos de entrada para los cuales era más probable que alguno de los transistores pasara a triodo como se explicó anteriormente.

También se simuló la respuesta en frecuencia, se comprobó que con los tamaños calculados anteriormente de la  $W$  y  $L$  de los transistores el circuito era inestable (como se ve en el pico que presenta la respuesta en frecuencia de la figura 5.21), para satisfacer

la condición de estabilidad  $w_{2^{\text{o}} \text{ polo}} > 2GBW \Rightarrow \frac{C_x}{C_y} < \frac{g_{m1}}{4g_{m2}}$  (figura 5.14 b) hay que

separar los polos variando las  $g_m$  por lo que se varió las W de dichos transistores y también la W y L de los transistores pmos de las fuentes de corriente de  $2I_B$  que van a los nodos X e Y de la figura 5.13, ya que así también modificaba la capacidad equivalente en dichos nodos y por tanto variaba la posición del polo, además al hacer un sumario de las fuentes de ruido se vio que las fuentes cascode eran las que más contribución tenían en el ruido total, por ello también mejoró el ruido al hacerlas más pequeñas. Con esto se consiguió una respuesta en frecuencia aceptable para la estabilidad (figura 5.22) y donde se observa el que el corte por 0dB ocurre casi a los  $90^\circ$  de fase.

Se tuvo un compromiso entre linealidad y estabilidad, ya que la linealidad del OTA se mejoraba si la L de los transistores de entrada aumentaba ya que la dependencia de la intensidad con respecto a  $V_{DS}$  disminuiría (la pendiente de la figura 5.31 en zona de saturación disminuiría teniendo como resultado una menor distorsión ya que aunque  $V_{DS}$  varía al variar la tensión de entrada,  $V_{GS}=\Delta$  se mantendría constante al ser la I constante y la pendiente de la curva casi nula y  $\Delta \neq \text{cte}$  es lo que provoca distorsión) y la estabilidad mejoraba si dicha L disminuía (ya que se reduce la capacidad parásita en el nodo X); se estuvo probando con  $L=0.6\mu\text{m}$ ,  $L=0.9\mu\text{m}$  y  $L=1.2\mu\text{m}$ , finalmente se optó por  $L=1.2\mu\text{m}$ .

Para conseguir la estabilidad, se probó inicialmente con una capacidad  $C_{\text{miller}}$  entre los nodos fuente y drenador de los transistores de entrada, así también se conseguía separar los polos pero era peor opción al introducir un elemento más en el circuito, por ello se optó por la modificación de los tamaños de los transistores quedando el dimensionado final de los transistores de la figura 5.16 mostrado en la figura 5.25, los transistores que hacen de fuente de intensidad quedan con el mismo dimensionado calculado anteriormente salvo los pmos unidos a los nodos X e Y que como se explicó anteriormente se modifican quedando en el OTA1 y en el OTA2 con un dimensionado de  $300 \mu\text{m} / 0.6 \mu\text{m}$ .

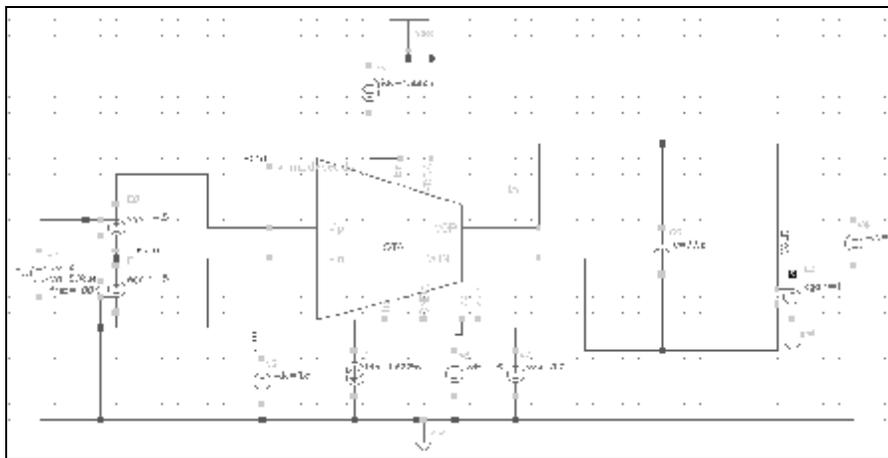


Figura 5.19 Esquema para la simulación del OTA.

Como se explicó al principio del apartado, para medir el THD (Total Harmonic Distorsion) que indica la linealidad del OTA, se usa el mismo esquema de la figura 5.19 pero con una resistencia de carga en lugar del condensador usado para su diseño como integrador, así se puede comprobar la distorsión de la intensidad que pasa por dicha resistencia. El valor de la resistencia de carga será el mismo que el de la resistencia del OTA. Se hacen medidas de distorsión en baja, media y alta frecuencia (cercana a la frecuencia de corte del filtro), para hacerlo en alta frecuencia, se utiliza la prueba de los dos tonos, midiendo la intermodulación (IM3), ya que la medida del THD sería engañosa al realizar un filtrado de los armónicos por la respuesta del filtro, teniendo estos una magnitud menor de la real. Para la medida del IM3, se introducen dos tonos a la entrada del filtro uno a 10MHz y otro a 11MHz, por lo que los armónicos estarán separados 1MHz; en la figura 5.23 (c) se observa esta medida, viendo que se obtienen 82dB de SFDR ya que se mide el rango libre de espúreos mientras que el IM3 tendría en consideración a todos los armónicos.

El IM3 se relaciona con el THD por la siguiente relación con la distorsión del tercer armónico:  $IM_3 = 3HD_3$  y  $THD = \sqrt{HD_2^2 + HD_3^2 + HD_4^2 + \dots}$  pero al ser un sistema lineal, los armónicos de orden par se anulan quedando el  $HD_3$  predominante con lo que  $IM_3 = 3HD_3 \rightarrow IM_3|_{dB} = 9dB + THD$  (siendo  $HD_3$  y  $THD$  cantidades negativas). Las medidas de THD e IM3 realizadas se observan en la tabla de la figura 5.24 y en las gráficas de la figura 5.23 realizadas para el OTA1 en Cadence mediante la orden 'dft' en un periodo de la señal y modificando las tolerancias de simulación. Como se observa, con  $L=1.2\mu m$  la característica de linealidad es mejor.

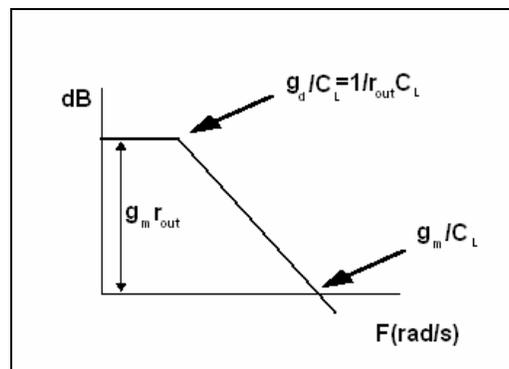


Figura 5.20 Respuesta integrador.

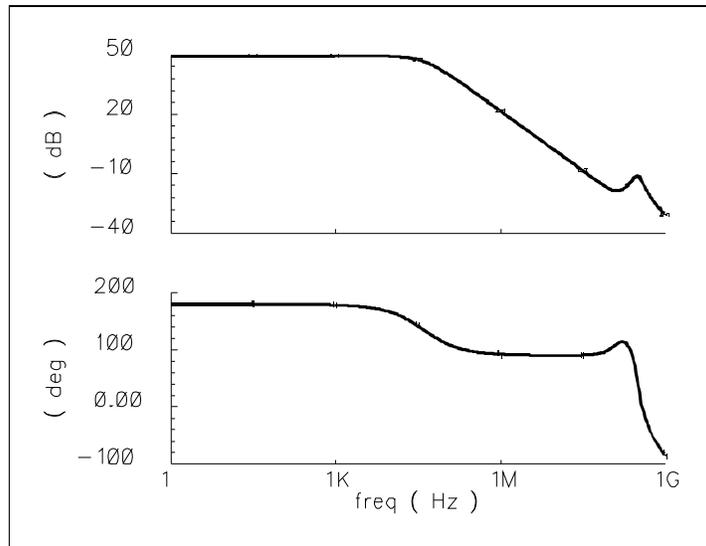


Figura 5.21 Respuesta inestable del integrador.

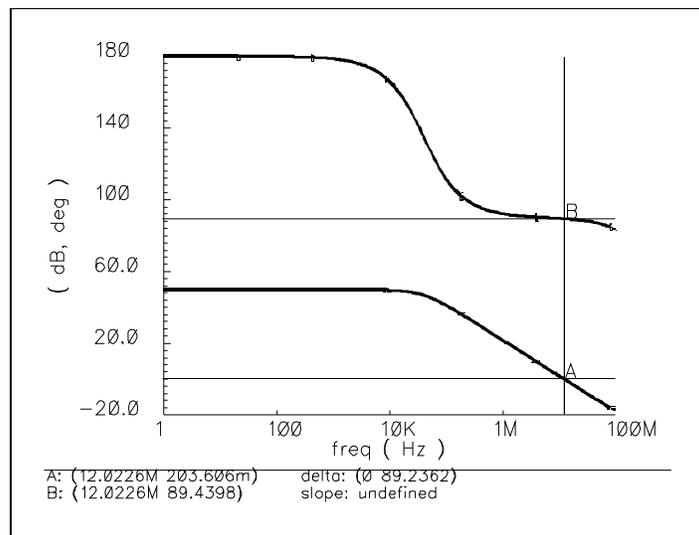
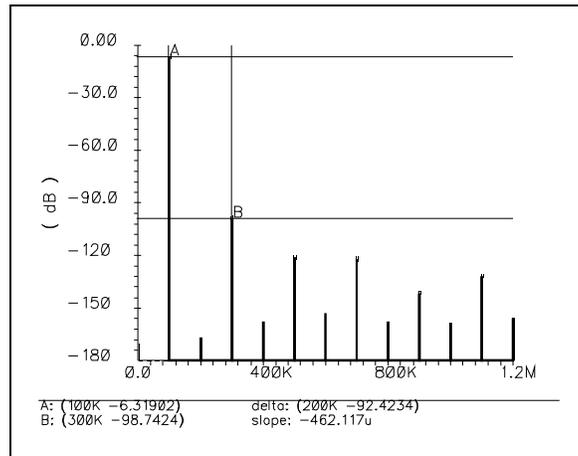
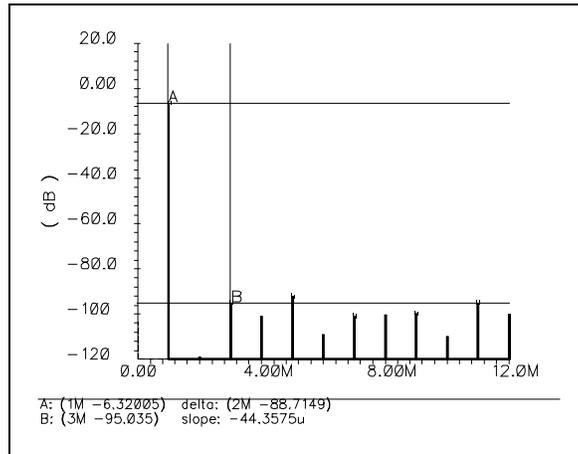


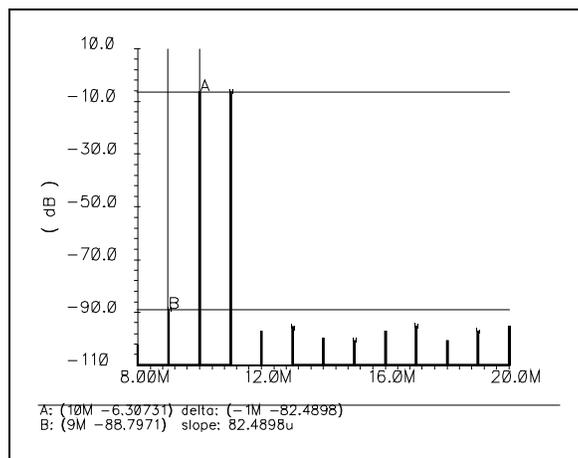
Figura 5.22 Respuesta estable del integrador.



(a)



(b)



(c)

Figura 5.23 Medidas del SFDR del OTA:  
 THD simulado (a) 100kHz señal de entrada. (b) 1MHz señal de entrada.  
 (c) IM3 simulado para señales de entrada a 10 y 11MHz.

THD (dB)	100kHz	1MHz	10MHz - 11MHz (IM3)
L=1.2μm	-92	-88	-82
L=0.9μm	-89	-86	-74
L=0.6μm	-86	-79	-73

Figura 5.24 Tabla distorsión del OTA1.

Parámetro	Unidades	Valor (OTA1)	Valor (OTA2)
$V_{DD} - V_{SS}$	V	5	5
$M_1$	μm/ μm	390/1.2	250/1.2
$M_2, M_{CN}$	μm/ μm	300/1.2	190/1.2
$M_P (Ib)$	μm/ μm	781/1.2	503/1.2
$M_P (2Ib)$	μm/ μm	1562/1.2	1006/1.2
$M_n (Ib)$	μm/ μm	263/1.2	169/1.2
$M_n (2Ib)$	μm/ μm	526/1.2	339/1.2
$R_{OTA}$	kΩ	3	4.657
$I$	μA	1000	644.18

Figura 5.25 Tabla dimensionado transistores OTAs.

#### 5.4. Filtro completo

En la figura 5.26 se muestra el esquemático del filtro completo en donde a diferencia de el de la figura 5.5, los OTAs ya no son modelos ideales sino el transconductor propuesto, se observa un OTA más a la salida introducido para posibilitar la medida de la salida en intensidad ya que pasa la salida en tensión a intensidad y se añade un bloque ‘Bias’. Como se dijo, el valor que se le da a la señal ‘vcm\_deseada’ de entrada al OTA, es el valor de la tensión de modo común de salida que se desea para que las señales de salida no saturan por encima de  $V_{DD}$  ni por debajo de GND, debe ser compatible con el valor del modo común a la entrada, de hecho se le asignó a ambos el mismo valor ( $V_{icm} = V_{ocm\_deseada}$ ) y es también una entrada que se proporciona externamente en la señal ‘Vcm’.

El bloque ‘Bias’ genera las referencias de intensidad y tensión necesarias en los OTAs a partir de una única referencia de intensidad ( $I_{bias}$  que será del valor de  $I_b$  anteriormente calculado para cada uno de los dos OTAs necesarios en el filtro) que se proporciona externamente, su diseño se puede ver en la figura 5.27 y se basa en varias ramas de espejos de corriente que copian la intensidad de referencia generando las

intensidades necesarias para cada OTA (hay 7 OTAs y cada uno necesita  $I_{bp}$  e  $I_{bn}$ , por lo que hay 14 ramas) mediante un tamaño apropiado de los transistores (tabla de la figura 5.28). También genera las tensiones ‘ $V_{cn}$ ’ y ‘ $V_{cp}$ ’ que se querían que no fueran unas tensiones fijas, sino que dependieran del parámetro  $V_t$  para que tras la fabricación, dichas tensiones variasen de igual forma que lo hacen los parámetros, por dicha razón se implementaron las ramas que generan ‘ $V_{cn}$ ’ (figura 5.29 a) y ‘ $V_{cp}$ ’ (figura 5.29 b), en la figura 5.29 se puede explicar mejor su funcionamiento que consiste en que la  $V_{cn} = V_{GS}$  del transistor M1 y esta depende de  $V_t$ , como la intensidad que circula por la rama es constante, si hago la  $W$  de M1 más pequeña que la de M2,  $V_{cn}$  aumentará ya que  $I = \frac{1}{2} K \frac{W}{L} (V_{GS} - V_T)^2 = \frac{1}{2} K \frac{W}{L} (V_{cn} - V_T)^2$ , así que se calcula el factor  $X$  para que  $V_{cn}$  sea la calculada anteriormente y tras la fabricación, las variaciones en los parámetros quedarán reflejadas en esta  $V_{cn}$ ; el transistor M2 está para que la  $V_{GS}$  del M1 no varíe con la variación de  $V_{DS}$  ya que como se veía en la curva característica  $I-V_{DS}$  de un transistor (figura 5.32), al ser la intensidad constante, si varía  $V_{DS}$  variaría  $V_{GS}$ . Así queda un dimensionado de M1 de  $45.6\mu\text{m}/1.2\mu\text{m}$  en el caso de  $V_{cn}$  y para  $V_{cp}$ , la rama sería la análoga a la explicada pero con transistores pmos teniendo M1 un dimensionado de  $110.85\mu\text{m}/1.2\mu\text{m}$ .

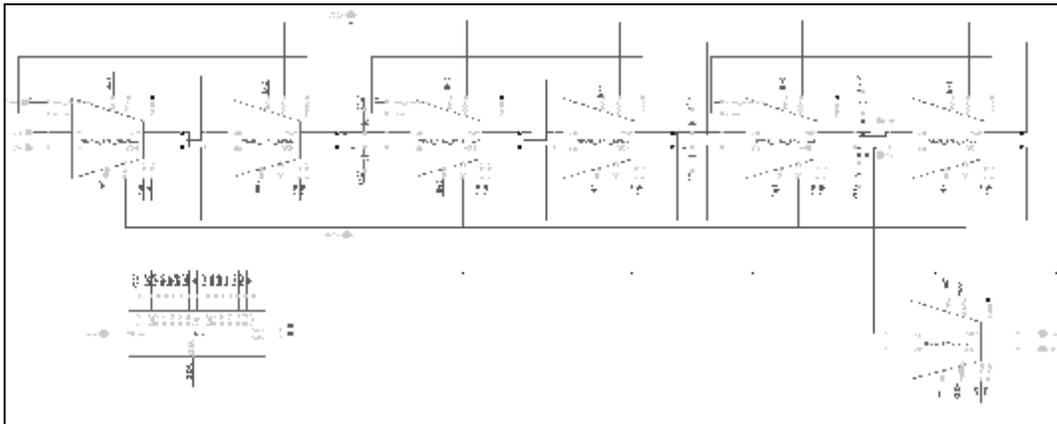


Figura 5.26 Esquemático del filtro con OTAs reales y bloque de referencias.

Para la simulación del filtro completo se usa el esquema de la figura 5.30 donde se observa como únicas entradas la tensión de alimentación  $V_{dd}$ , la tierra  $GND$ , la referencia externa de intensidad de valor  $I_b$  (ya que gracias al bloque Bias, las demás referencias se generarán internamente a partir de ésta), la tensión deseada de modo común y el estímulo diferencial de entrada, como salidas se tienen las señales de salida en tensión y en intensidad diferenciales. Con este esquemático se simuló la respuesta del filtro (figura 5.31) en la que se observa que es un filtro paso de baja con 0dB de ganancia en la banda de paso y frecuencia de corte cercana a los 12MHz pedidos.

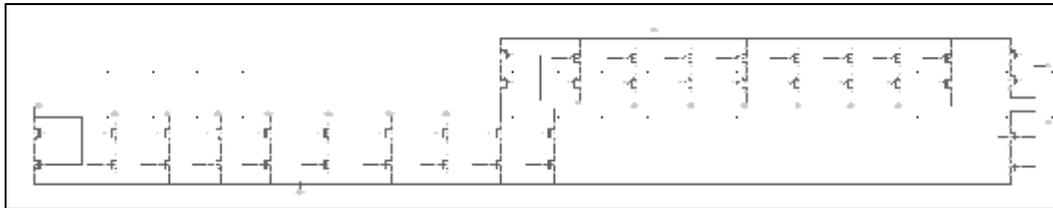


Figura 5.27 Bloque Bias.

Parámetro	Unidades	Valor (OTA1)	Valor (OTA2)
$M_P (I_b)$	$\mu\text{m}/\mu\text{m}$	781/1.2	503/1.2
$M_n (I_b)$	$\mu\text{m}/\mu\text{m}$	263/1.2	169/1.2

Figura 5.28 Dimensionado de los transistores del bloque Bias.

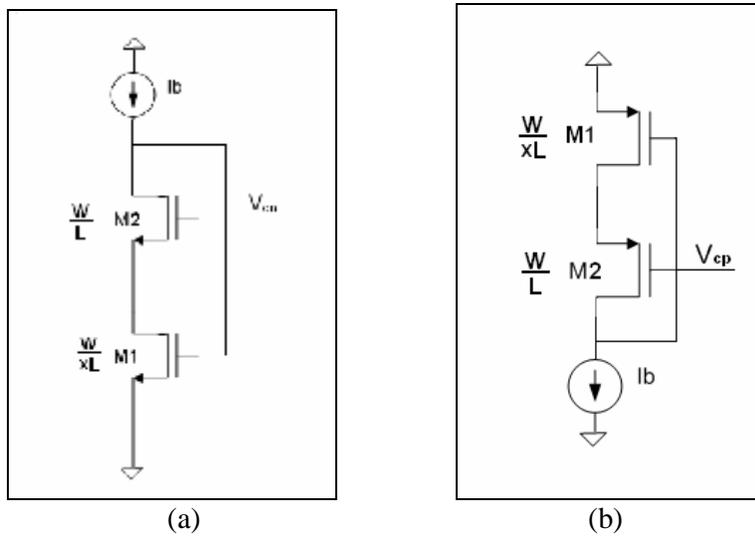


Figura 5.29 Rama generación (a)  $V_{cn}$  y (b)  $V_{cp}$ .

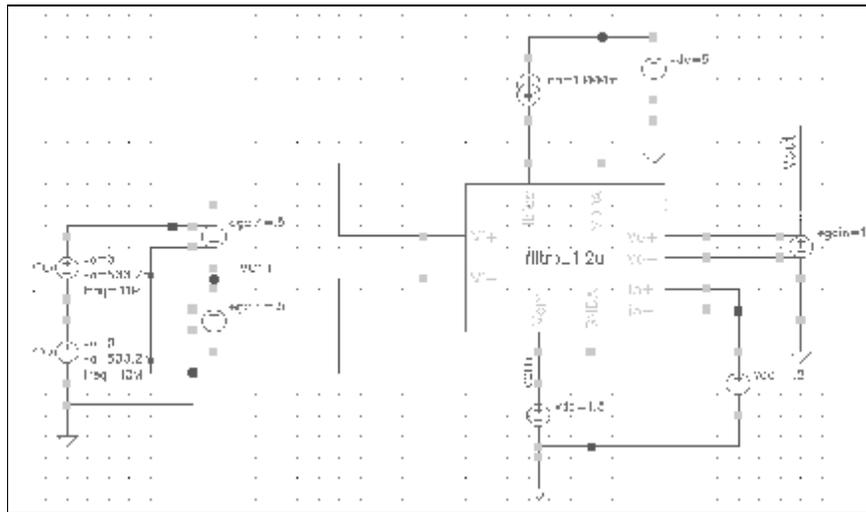


Figura 5.30 Esquema para la simulación del filtro.

Filtro.hplg

Figura 5.31 Respuesta del filtro.

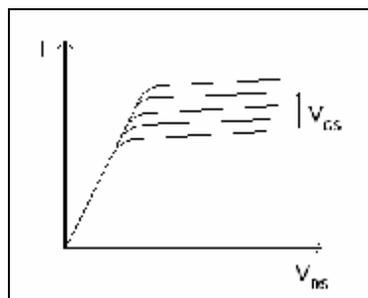


Figura 5.32 Característica V-I de un transistor.

El diseño realizado tiene una buena característica de linealidad, habiendo obtenido un transconductor de muy baja distorsión, novedoso al conseguir unos 90dB de SFDR no alcanzados por ningún otro diseño; por esta razón se decidió seguir con su estudio aunque la característica de ruido, que es otra especificación del filtro, no fuera buena y no se alcanzara el nivel de ruido equivalente a la entrada deseado.

Se probaron distintos tamaños de los transistores, buscando una configuración que minimizara el ruido, ya que este tiene una componente de ruido flicker que es inversamente proporcional a la W y L de los transistores, y una componente térmica que es inversamente proporcional a la  $g_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{W}{L} (V_{GS} - V_T)$ .

También se pensó en configuraciones del OTA con ramas unidas a una única fuente de intensidad que generara el mismo ruido en ambas ramas, con lo que al ser diferencial estos ruidos se pudieran restar.

Pero finalmente se restó importancia al ruido ya que cuando se ve el diseño realizado, funcionando dentro de un sistema completo de comunicaciones (figura 5.33) que consta de otros bloques a parte del filtro como pueden ser amplificadores de bajo ruido (LNAs), mezcladores, amplificadores de ganancia variable (VGAs), convertidores A/D o D/A, etc., teniendo el sistema completo una figura de ruido (ecuación 5.13) que depende de las figuras de ruido de cada bloque escaladas por las correspondientes ganancias, por ello se le puede dar menor importancia a la característica de ruido del filtro al quedar dividida por las ganancias de los bloques anteriores en la cadena del sistema.

$$NF = NF_1 + \frac{NF_2}{A_1} + \frac{NF_3}{A_1 A_2} + \dots \quad (5.13)$$

Si se tiene una característica crítica de ruido, se debería optar por el estudio del filtro mediante OPAMPs, que como se vio, sí cumplía con esta especificación.

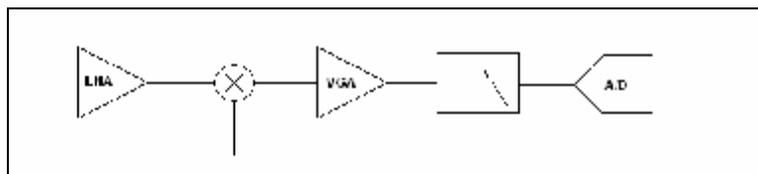


Figura 5.33 Bloques sistema de comunicaciones.

## 6. Layout y Fabricación

Una vez finalizado el diseño del filtro, el siguiente paso es realizar su layout para su posterior fabricación, para ello se plantearon varias posibilidades, realizar un layout completo del filtro con transistores de entrada de  $L=1.2\mu\text{m}$  y  $L=0.9\mu\text{m}$  ambos casos con las dos posibilidades de control de modo común vistas en la figura 5.17, obteniendo así 4 diseños de layout aunque finalmente se optó por el de  $L=1,2\mu\text{m}$  y modo común sin condensador.

El layout es donde el diseñador describe la geometría detallada y la posición relativa de cada máscara de fabricación. Se realiza con un editor de layout que en el kit de diseño Cadence es la herramienta 'Virtuoso'; es muy importante que el diseño del layout no viole ninguna de las reglas de diseño del proceso de fabricación, esto se comprueba mediante la herramienta del editor de layout llamada 'DRC' (Design Rule Check), por último se hace una extracción del netlist del layout para dos fines, uno es poder comparar con el netlist extraído del esquemático, la comparación se realiza mediante el 'LVS' (Layout Versus Schematic) asegurando que la funcionalidad del layout implementado es la requerida, y el otro es la simulación post-layout.

Con miras a la realización del layout, se realizó el esquemático del filtro de la figura 6.1 similar al de la figura 5.26, sólo que se ha cableado completamente en lugar de usar referencias y los condensadores se han dividido por 4 condensadores en paralelo para que la comparación 'layout' frente al 'schematic' sea satisfactoria. Además se han colocado los bloques en un orden igual al que aparecerán en el layout del filtro.

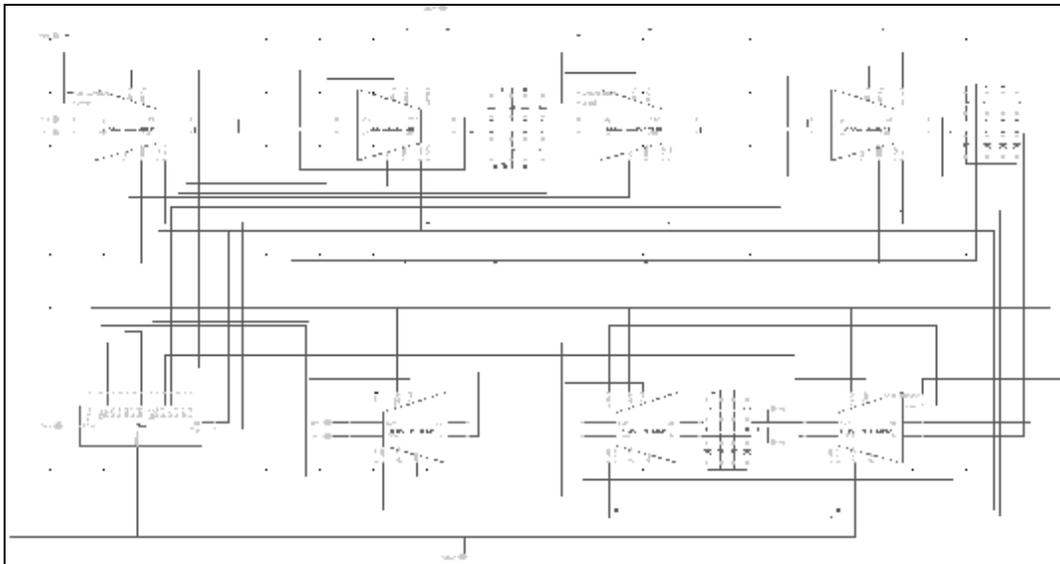


Figura 6.1 Esquemático del filtro preparado para el layout.

Se comenzó realizando el layout de los dos OTAs de  $L=1.2\mu\text{m}$  necesarios en el filtro (figura 6.2), señalando que como medida de seguridad se colocaron anillos de guarda alrededor de todos los transistores pmos (ya que la tecnología utilizada es nwell) para mantener los pozos n a igual potencial mediante contactos NTAP (de pozo n a metal 1), los transistores se diseñaron de manera que la razón  $W/L$  no fuera mayor a 50, por ello los anchos se dividieron por un factor  $n$  y se dividió cada transistor en  $n$  conectados en paralelo para que el resultado fuera el mismo al transistor de ancho  $W \cdot n$ , y las dos resistencias de igual valor que tiene cada OTA se machearon en dos partes de manera que la diferencia de sus valores tras la fabricación fuera mínima, para su diseño se usó una capa elec (poly 2) y otra de high\_res viendo que la resistencia por cuadrado era  $1037\Omega/W$  (dato proporcionado por el fabricante de circuitos integrados MOSIS). Por último se hizo una simulación postlayout del OTA comprobando su correcto funcionamiento.

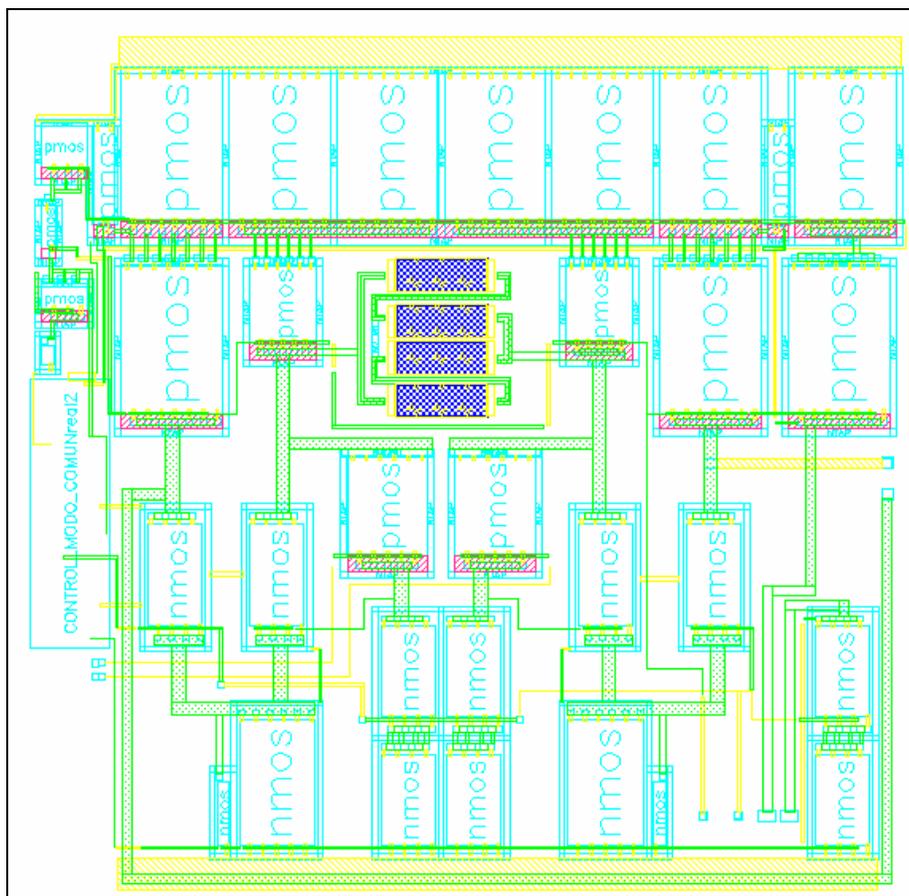


Figura 6.2 (a) Layout OTA con control de modo común a nivel de bloques.

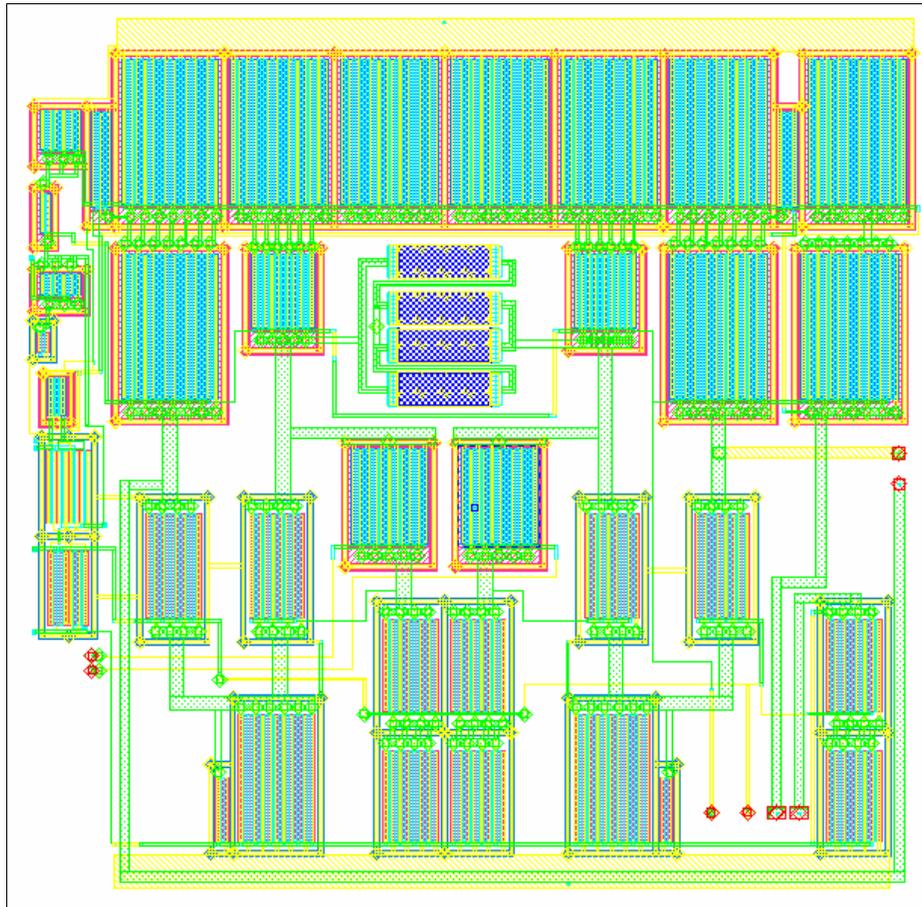


Figura 6.2 (b) Layout OTA con control de modo común.

Posteriormente se le añadió el bloque de control de modo común a los OTAs dejando un diseño con control y otro sin control ya que en el filtro completo harán falta los dos. Se diseñaron los dos bloques de control de modo común propuestos de la figura 5.17 cuyos layout se pueden ver en la figura 6.3, aunque para la fabricación se optó por el que no tiene condensador (figura 6.3 (a) en la que se observa el macheado de los dos transistores nmos en paralelo), dicho condensador era de 1pF y se diseñó con una capa de poly y otra de elec (poly 2) de un área adecuada a la geometría de diseño y calculándola mediante el conocimiento del dato capacidad por unidad de área ( $903aF / mm^2$ ) proporcionado por el fabricante MOSIS para esta tecnología.

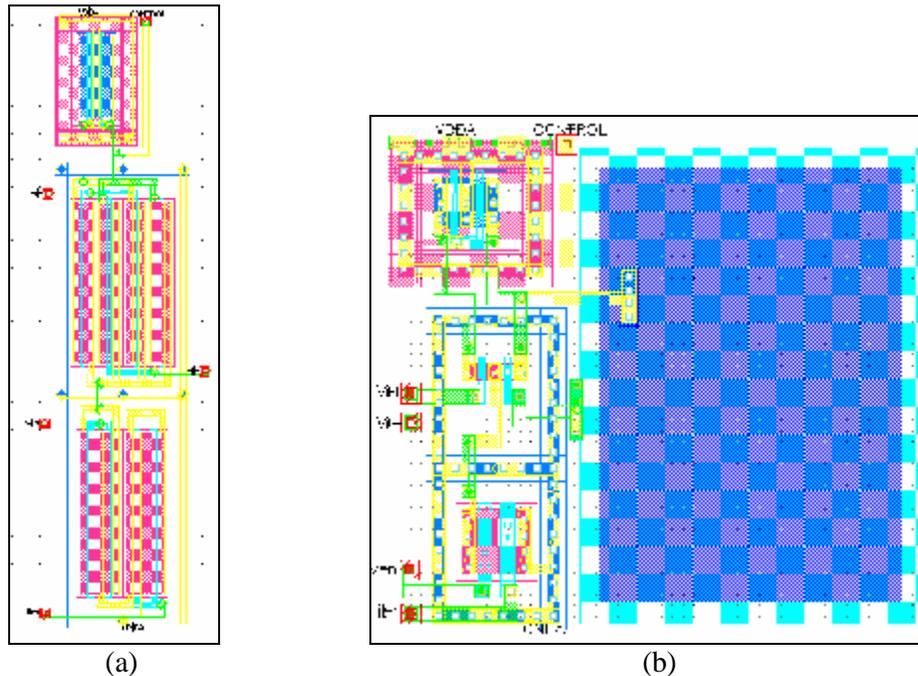


Figura 6.3 Layout del bloque de control de modo común.

Una vez diseñados los OTAs, se comenzó con el layout del filtro colocando los 4 tipos de OTA (de gm1 y gm2 con y sin control de modo común) en su lugar correspondiente (similar al posicionamiento de la figura 6.1), se necesitó más área de la que proporciona un chip (aproximadamente  $1000\mu\text{m} \times 1000\mu\text{m}$ ) por lo que se amplió al área de dos chips, haciendo un layout rectangular para no tener que pagar por más chips de los necesarios.

Se vio que era mejor dejar dos condensadores en cada nodo unidos a tierra que uno de valor mitad entre las dos ramas, ya que aunque el área fuera mayor al ser dos y de valor mayor, al tratarse de un circuito diferencial se evitaban diferencias de capacidad entre ambas ramas, debidas a que un condensador tiene capacidades parásitas distintas de cada placa a tierra, mientras que si se colocan dos condensadores de cada rama a tierra, la placa conectada a tierra tiene su capacidad parásita cortocircuitada.

Las capacidades de  $7.81\text{pF}$  se consideraron de un valor elevado por lo que se dividieron en 4 de  $1.95\text{pF}$  en paralelo, para evitar la depresión en fabricación que quedaría al ocupar demasiada área un condensador que utiliza sólo dos capas con el riesgo de una posible rotura que ello conlleva. Ello equivale a un relleno de capas que los fabricantes realizan en zonas vacías para evitar dichas depresiones en la superficie del chip. Se machearon en bloques de 8 perteneciendo 4 a un condensador y los otros 4 al otro, esto se puede ver en la figura 6.4 y además se colocaron anillos de guarda alrededor de cada condensador para aislarlos.

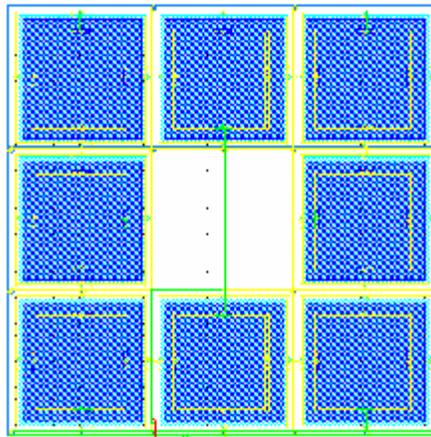


Figura 6.4 Macheado de dos condensadores.

Posteriormente se diseñó el bloque 'Bias' (figura 6.5), señalando su complejidad ya que existía la necesidad de machear todos los transistores (se machearon en 7 partes) para evitar las diferencias de uno a otro tras la fabricación, cosa que es crítica en dicho bloque al tratarse de ramas de espejos de corriente que deben copiar la misma intensidad debiendo ser lo más parecidos posibles. El macheado como se ha dicho, se hace para evitar diferencias entre elementos que en teoría deben ser iguales, pero que al estar situados físicamente en posiciones distintas de la oblea, resultan diferentes ya que la oblea tiene propiedades que varían en la dirección del espacio; lo que se hace es dividir los elementos que deben ser iguales en varias partes, colocando estas intercaladas en el espacio de manera que el centroide del conjunto quede justo en el centro compensando las diferencias espaciales de propiedades, y el conexionado de las partes se hace de manera adecuada para que el resultado sea igual a los elementos sin dividir, por ejemplo resistencias conectadas en serie o condensadores y transistores en paralelo.

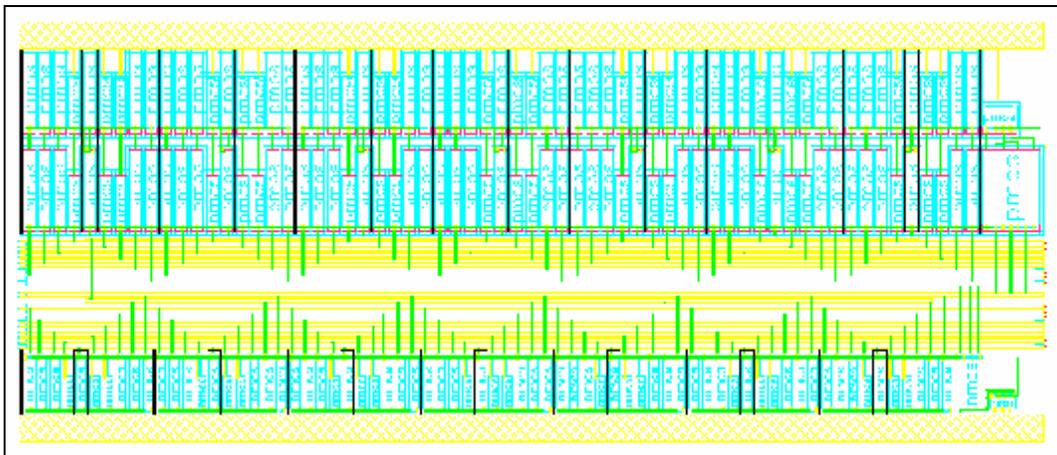


Figura 6.5 Layout del bloque Bias.



Terminado el layout del filtro, se hizo una simulación LVS para comparar con el esquemático, y tras esto una simulación postlayout comprobando que seguía realizando la misma función realizada por el esquemático. Tras esto, hay que mandar a fabricar el chip diseñado, para lo cual se introdujo el layout dentro de un marco (frame) rectangular diseñado al doble de longitud, donde están los pads proporcionados por el fabricante con sus reglas de diseño particulares por lo que no pasaría una prueba de DRC. El encapsulado del chip es un DIP40 por lo que tiene 40 pads repartidos entre pads protegidos (pad protected), no protegidos (pad bare), de esquina, para alimentación y tierra, esto se puede ver en la figura 6.14.

El layout fabricado se puede ver en la figura 6.8, en la que se observa una vista al microscopio del chip y en la figura 6.9 se muestra un detalle de dicho layout, mostrando un OTA y dos condensadores macheados. Se puede ver como en el proceso de fabricación, se añaden capas de material en los huecos libres del diseño para evitar diferencias en la superficie que puedan provocar roturas.

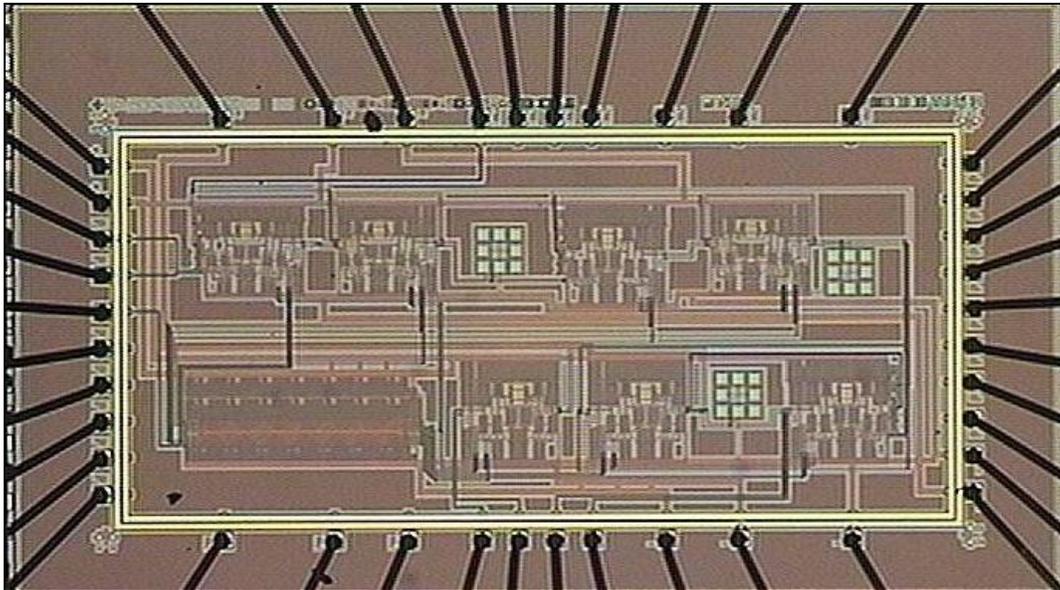


Figura 6.8 Vista del layout al microscopio.

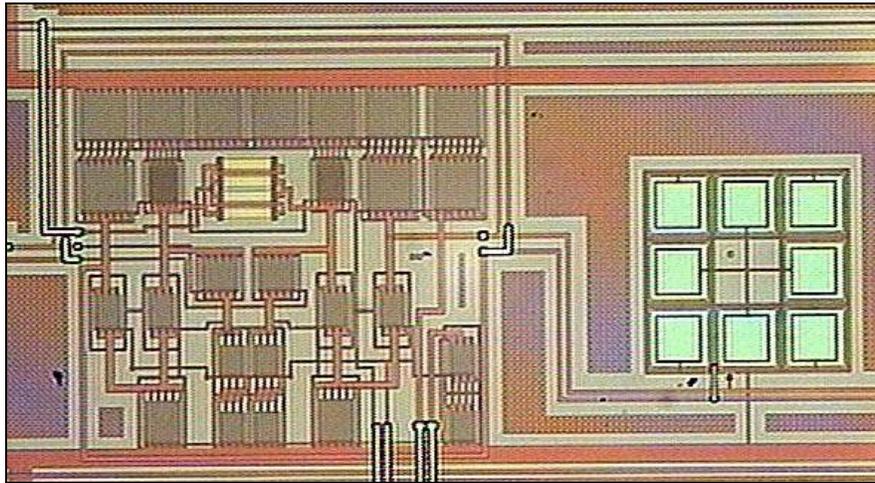


Figura 6.9 Detalle del layout al microscopio.

Tras mandar a fabricar el diseño explicado, se comenzó a diseñar una mejora que pretendía minimizar la diferencia de valores teóricos tras la fabricación o que las  $gm/C$  de los OTAs variaran de igual forma para que la aproximación de Chebyshev no variara, consistía en el macheado de los seis condensadores que tiene el filtro (figura 6.10 (a) en la que se observa en cada color un condensador y el centroide común), también se pensó en hacerlo con las siete resistencias del filtro (una en cada OTA) ya que para que el factor de calidad del filtro fuera alto, los OTAs debían ser iguales para lo que se podían machear entre sí dividiéndolos en varios, pero como la  $gm$  sólo dependía de la  $R$ , se reducía a machear las resistencias; se vio que esto tenía demasiada complicación por lo que se optó únicamente por colocar todas las resistencias en una misma ubicación lo más cerca posible unas de otras, para que la diferencia de propiedades debida a diferencias espaciales se minimizara siendo las  $gm$  iguales a las teóricas. Para ello se eliminó la resistencia en cada OTA (figura 6.11) y se colocaron pines de conexión para colocarlas todas externamente en el bloque del filtro. Tras esto se volvió a mandar a fabricación el layout de la figura 6.12 o 6.13 a nivel de bloques.

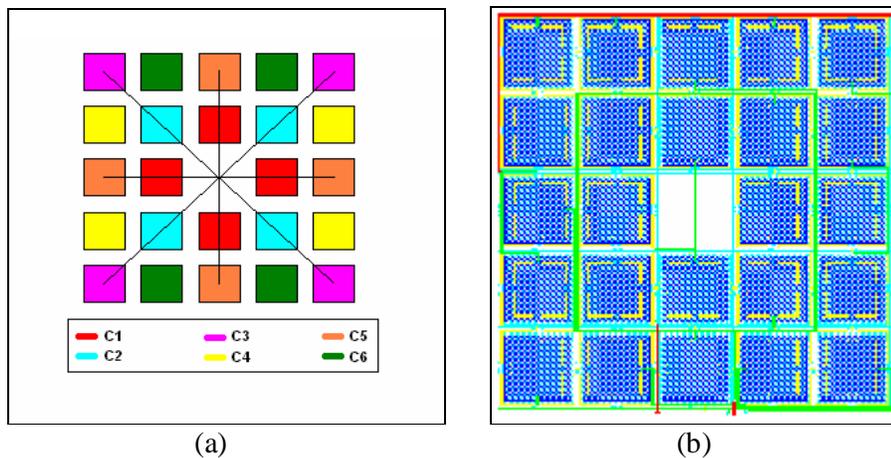


Figura 6.10 Macheado de todos los condensadores.

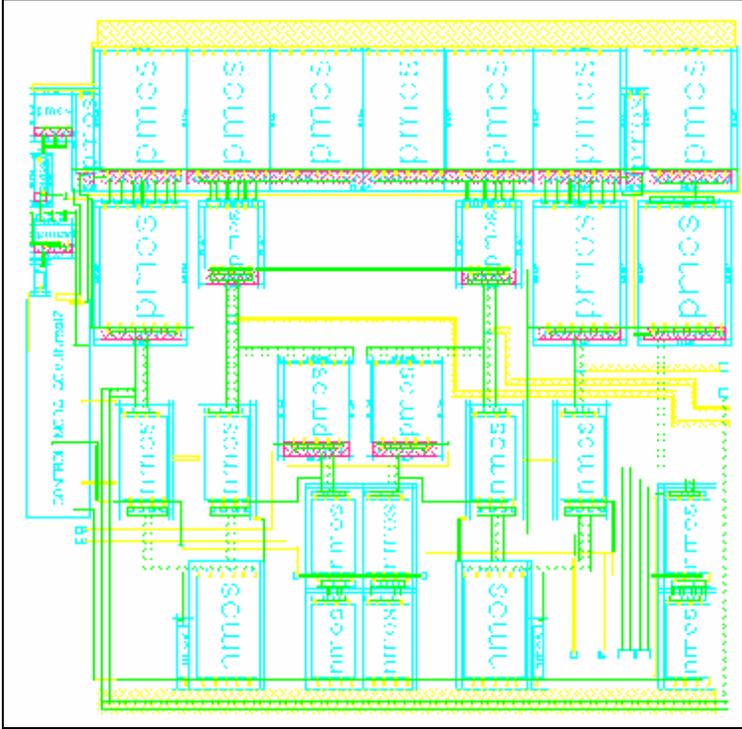


Figura 6.11 Layout del OTA sin resistencia.

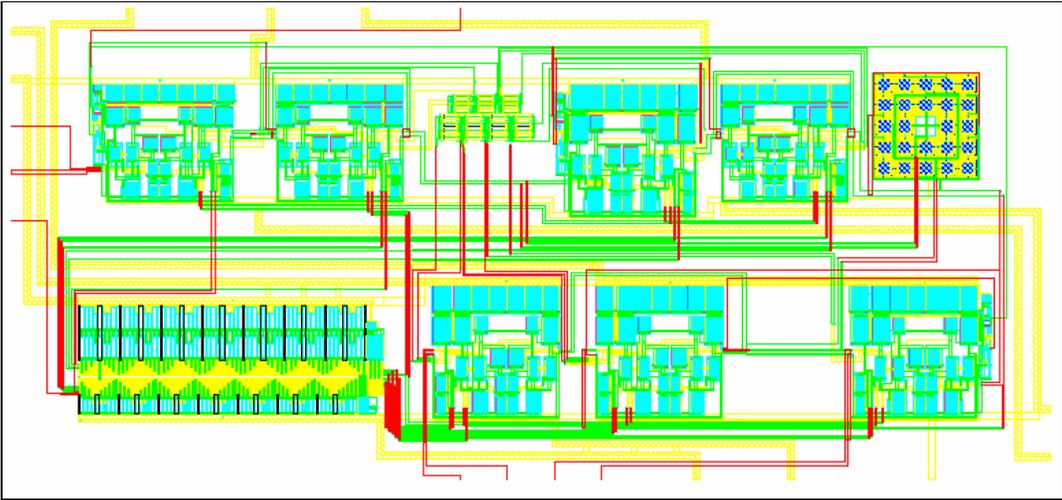


Figura 6.12 Layout filtro mejorado.

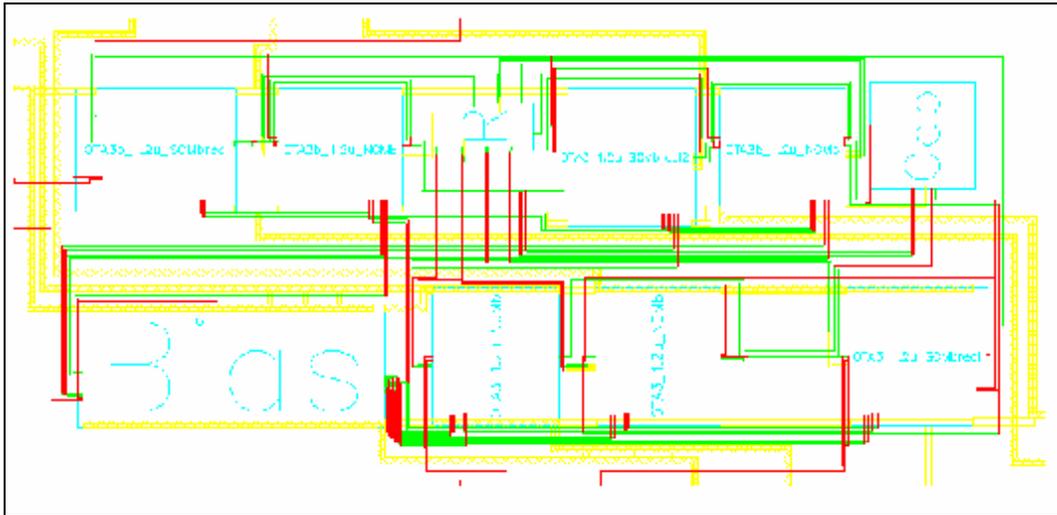


Figura 6.13 Layout del Filtro a nivel de bloques.

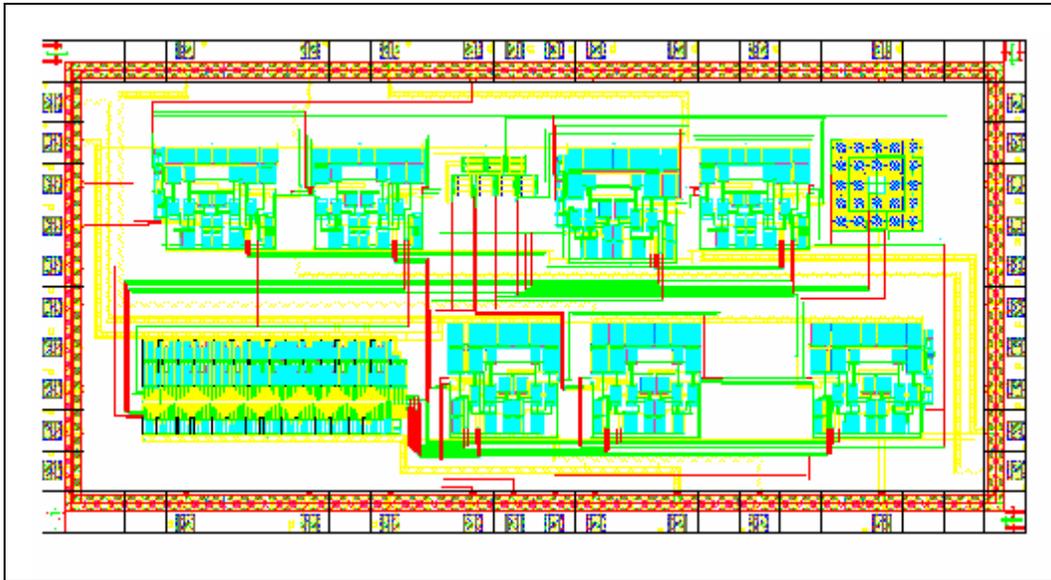


Figura 6.14 Layout filtro con frame.

Otra mejora pensada pero que se dejó para futuros estudios sería la introducción de resistencias variables en lugar de fijas para poder ajustar el filtro a una frecuencia determinada, para ello se podría hacer uso de transistores en zona lineal que pueden hacer el papel de resistencia controlable mediante su tensión de puerta.

También se pensó en dos métodos para ajustar el filtro a la frecuencia deseada, uno era la introducción de una capacidad variable mediante varios condensadores con switches, pero así la frecuencia de corte tendría un rango de variación ya que la

capacidad estaría discretizada y el otro era mediante un circuito de autoajuste con un PLL.

Por último, se mandó a fabricación el mismo diseño pero con los transistores de entrada a los OTAs con  $L = 0.9\mu\text{m}$  para comprobar cual sería el óptimo en el laboratorio debido al citado compromiso entre linealidad y estabilidad.

## 7. Prueba y medidas en el laboratorio

Una vez se tubo el chip del filtro proveniente de fábrica, había que medirlo en el laboratorio, para ello se debió realizar una placa de circuito impreso PCB (Printed Circuit Board) con los componentes necesarios para posibilitar las medidas (figura 7.1).

Para medir un circuito con 90dB de linealidad, se debe tener un generador de estímulos con una linealidad igual o superior a la que se pretende medir, el primer problema encontrado es que los generadores de señal disponibles en el laboratorio no son lo suficientemente lineales, introduciendo armónicos no deseados a parte del tono de la señal, la solución a esto fue colocar filtros a la salida del generador que dejaran pasar sólo el tono de interés; como se realizan medidas de linealidad con entrada a baja (100kHz con 20kHz de ancho de banda), media (1MHz con 200kHz de BW) y alta (10MHz con 2MHz de BW) frecuencia, se querían diseñar varios filtros LC de orden 7, pero posteriormente se encontraron filtros comerciales elípticos proporcionados por 'Coilcraft' cuyas hojas de catálogo se adjuntan, que daban unas características adecuadas, también a baja (300kHz y 600MHz), media-alta frecuencia (1.5MHz y 6MHz), atenúan 50dB el primer armónico y como el primer armónico de las fuentes de señal están unos 40dB por debajo del tono fundamental, se quedarán a unos 90dB por debajo que es suficiente.

En el caso de alta frecuencia para realizar la prueba de dos tonos, se necesitan sumar dos tonos a la entrada, para ello se usa un mixer que es un circuito lineal que no introduce armónicos a la suma (figura 7.2), el valor de las resistencias se intenta para que la equivalente sea  $50\Omega$  ya que es lo que se quiere para el filtro LC que le sigue a continuación, pero como no se puede conseguir para ambos casos (con una fuente de entrada y con dos) se opta por un valor de  $R=150\Omega$ .

A la entrada se coloca un transformador 1:1 que pase la señal de entrada unipolar procedente del generador de señal, a diferencial con el modo común deseado que es lo que necesita la entrada del chip generándolo mediante el circuito de la figura 7.3, y se coloca un condensador en el primario que elimine la continua para que no sature el transformador.

Se medirá a partir de los pads de salida en intensidad del filtro, ya que si se hiciera desde las salidas en tensión, el condensador del pad vería variaciones de tensión por lo que chuparía intensidad; en los pads de salida en intensidad se colocará un buffer que proporcionará mayor intensidad de salida para que pueda atacar a la entrada del analizador de red cuya  $R_{in}=50\Omega$ , básicamente constará de un amplificador operacional

diferencial y unas resistencias del mismo valor que las del OTA de salida ( $1.5k\Omega$ ) formando un transconductor para pasar a salida en tensión, además los pads del chip suelen tener una capacidad de  $5pF$  con lo cual, modificaría la carga capacitiva de  $7,81pF$  que tiene el filtro y gracias a que la entrada del OPAMP está fija, por esas capacidades de los pads no circulará intensidad no interfiriendo en el funcionamiento del filtro. También se podían haber puesto en el filtro condensadores de distintos valores, con switches para que se pudiera poner el valor deseado.

El OPAMP usado debe tener unas características adecuadas a las del filtro (mayor ancho de banda que el filtro, menor ruido y menor distorsión), el componente AD 8138 de Analog Devices por ejemplo, cuya hoja de catálogo se adjunta, las cumple ya que tiene un  $BW > 100MHz$ ,  $ruido < 10 nV / \sqrt{Hz}$  y  $THD > 90dB$  con una resistencia de carga de  $800\Omega$ .

Para conseguir esa carga de  $800\Omega$ , a la salida del buffer se coloca un transformador  $n:1 = 4:1$  (el buffer vería una resistencia de  $800\Omega$  mientras que la carga es de  $50\Omega$  ya que por la relación de transformación  $n^2 R = 4^2 \cdot 50 = 800$ ) y que pase la señal diferencial a unipolar para poder ser medida en el analizador de red. En el primario se colocan condensadores para eliminar la continua.

Para conseguir la tensión de alimentación  $V_{DD} = 5V$  se usaron reguladores de tensión, ya que se disponía de una batería que proporcionaba  $\pm 12V$  y mediante el componente regulador programable de tensión 317, se obtenían los  $5V$ . El buffer usado se alimenta a  $\pm 5V$  por ello se debió usar el componente regulador de tensión 7905 que proporciona los  $-5V$  a partir de  $-12V$  y el 7805 que proporciona los  $5V$  a partir de los  $12V$ . Para conseguir la tensión deseada de modo común  $V_{cm} = 1.8V$ , se usó el circuito de la figura 7.3 para que no se introdujera ruido.

Para generar  $I_{bias}$  se usó una resistencia conectada a  $V_{DD}$ , primero se colocó una fuente de intensidad mediante el componente LM334, ajustada a  $1mA$  que es la intensidad deseada y se midió la tensión que había en el nodo, así mediante la ley de Ohm, se podía prescindir de la fuente de intensidad ruidosa y sustituirla por una resistencia que es un elemento no ruidoso, de un valor tal que se tuviera la misma tensión medida, que resultó ser  $4.32k\Omega$  conseguidos mediante dos resistencias en serie.

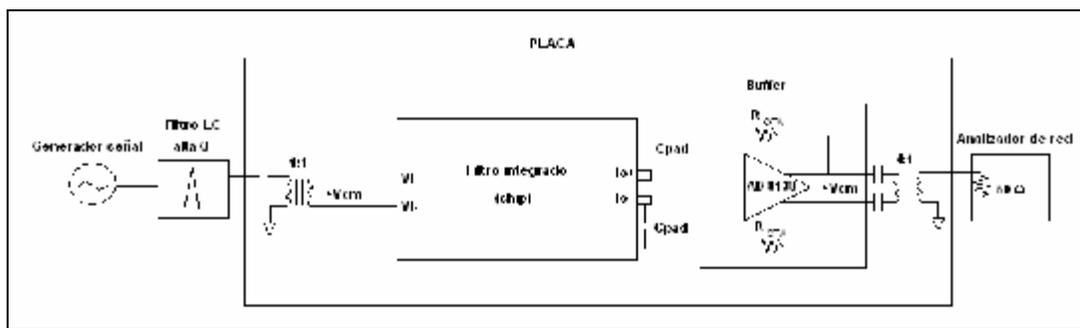


Figura 7.1 Esquema de bloques del sistema para su medida.

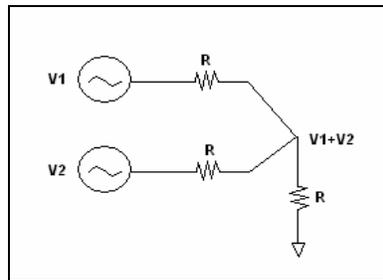


Figura 7.2 Generación estímulo para prueba de dos tonos.

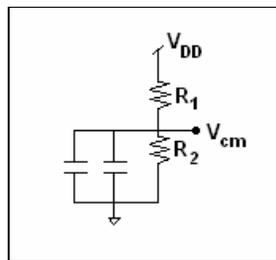


Figura 7.3 Generación tensión modo común deseada.

Se podía haber hecho las medidas directamente sin el buffer teniendo las ventajas de menor ruido al no estar el OPAMP pero la linealidad podía verse empeorada al haber en ese caso intensidad por el pad de salida de la placa, pero además al no haberle puesto control de modo común al OTA de salida en intensidad, no era posible.

Mediante el software PCAD, se diseñó la placa de circuito impreso que posteriormente fue fabricada en el laboratorio, se implementó a doble cara. El esquemático de la placa se puede ver en el circuito de la figura 7.4 y en la figura 7.5 las máscaras de fabricación de la placa, en la que se observa en verde las pistas de la cara top y en rojo las de la cara bottom. El resultado final de la placa se puede observar en la figura 7.6.

Tras realizar la placa se pasó a su medida, para lo que se usaron generadores de señal para generar el estímulo, fuente de dc para las alimentaciones, multímetro, osciloscopio, analizador de espectros para medidas de linealidad y analizador de redes vectoriales para medir el bode.

El analizador de redes vectoriales genera un estímulo de entrada que realiza un barrido en frecuencia, pudiendo medir la respuesta en frecuencia del sistema, dicho bode se observa en la figura 7.7 en el que se ve la frecuencia de corte del filtro paso de baja aproximadamente en 11MHz, pero a altas frecuencias el comportamiento del filtro quedaba enmascarado por una no estabilidad del buffer de salida.

Con el analizador de espectros se vio como el tono generado a 1.5MHz por la fuente de señal, no era un tono puro teniendo unos armónicos elevados que impiden la medida de linealidad del filtro, por ello se puso a la salida del generador un filtro LC de 1.5MHz observando en la figura 7.8 como los armónicos se han visto reducidos hasta estar casi confundidos con el ruido, estando el segundo armónico 87dB por debajo del tono fundamental.

Este tono es el que se aplica como estímulo a la placa de pruebas, su amplitud se varía de manera que al medir con el osciloscopio que la amplitud de entrada al filtro no se superen los 500mV que serían 1V en diferencial, ya que como especificación se tenía que no se podían superar los 2Vpp a la entrada, observando en la figura 7.9 y 7.10 el espectro de la señal de salida tras el filtro. En la figura 7.9 se ve la medida del segundo armónico y en la figura 7.10 la del tercer armónico, estando ambos unos 80dB por debajo del tono fundamental.

Posteriormente se probó el sistema con una alimentación de 3.3V [1].

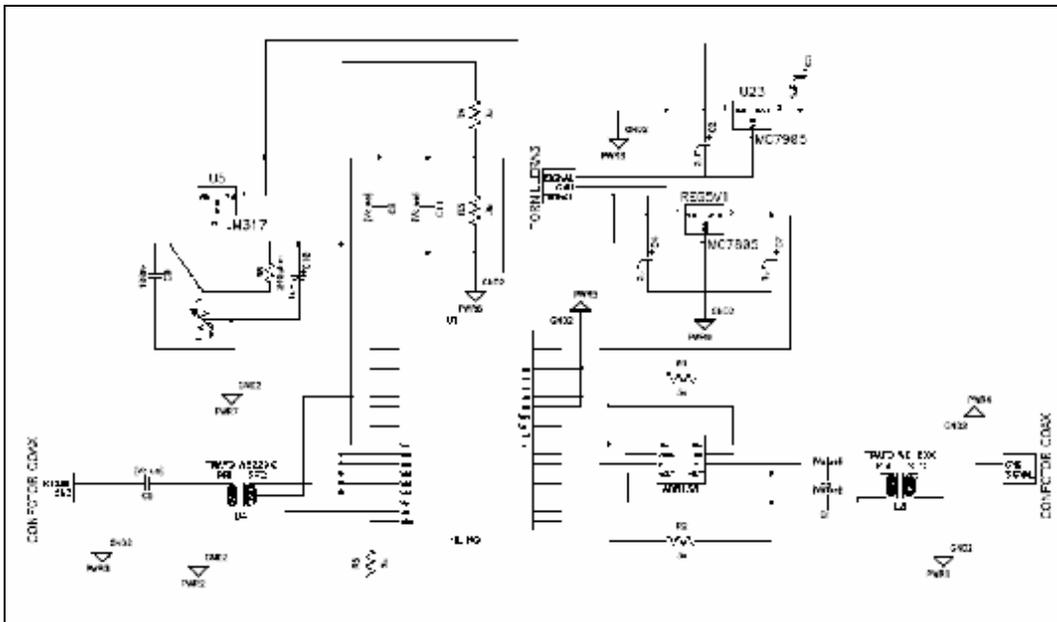


Figura 7.4 Esquemático de la placa de prueba.

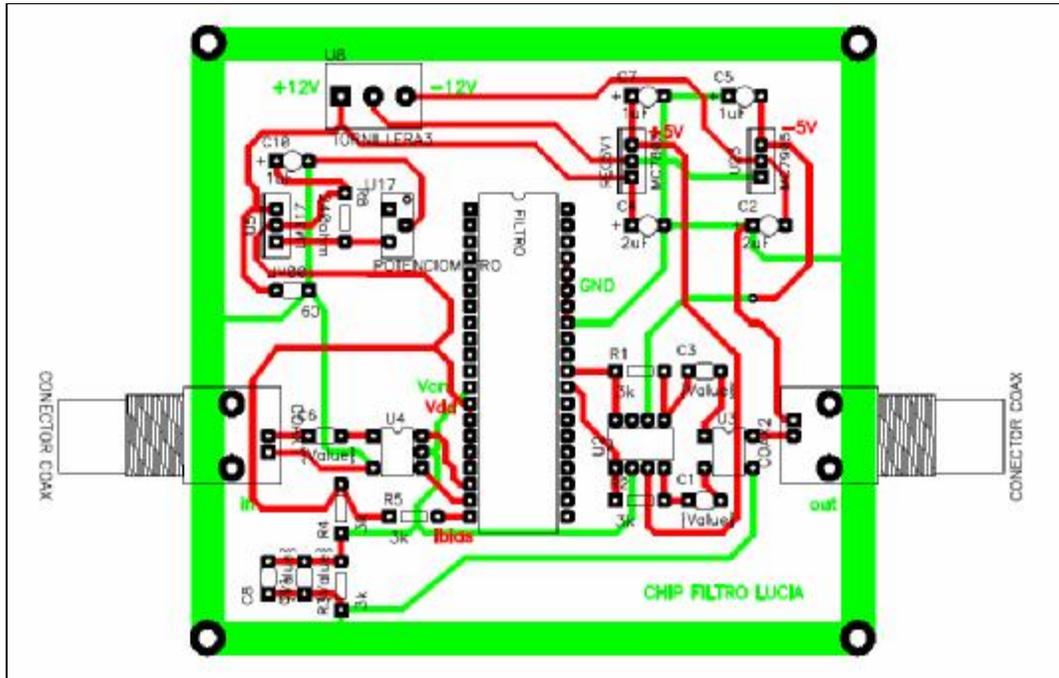


Figura 7.5 Máscaras de fabricación de la placa.



Figura 7.6 Placa de pruebas.

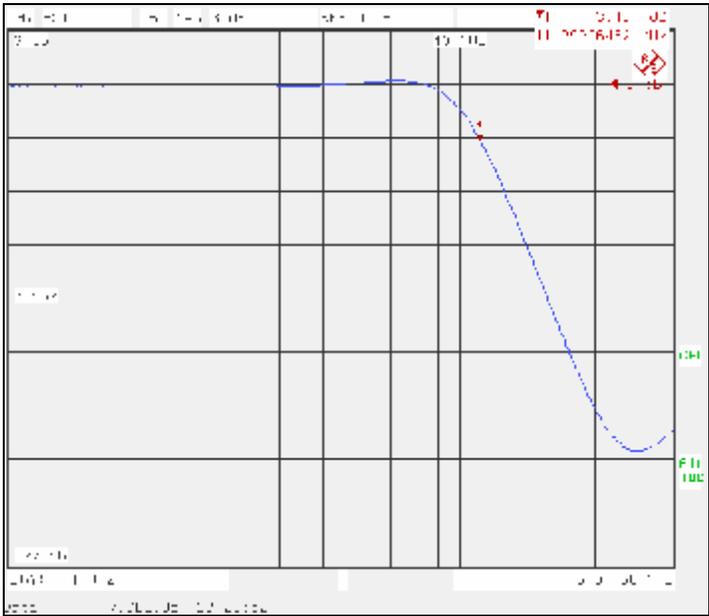


Figura 7.7 Diagrama de Bode medido en el laboratorio.

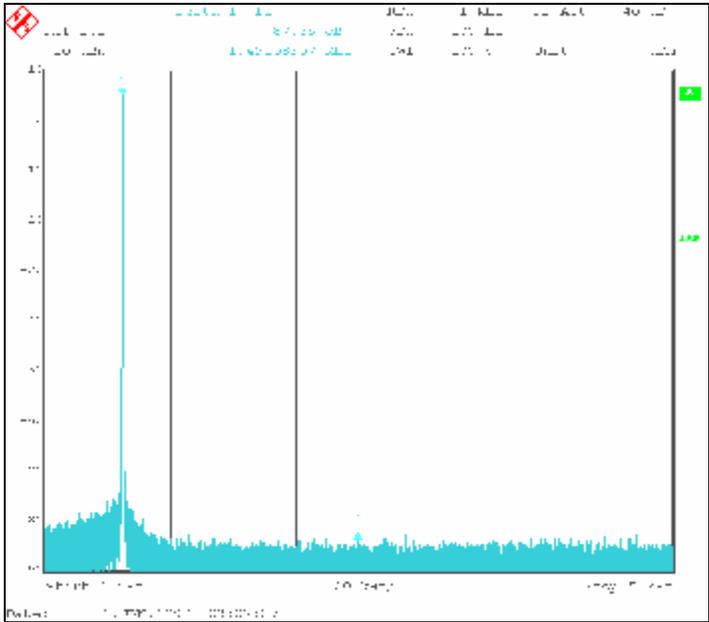


Figura 7.8 Señal de entrada a 1.5MHz.

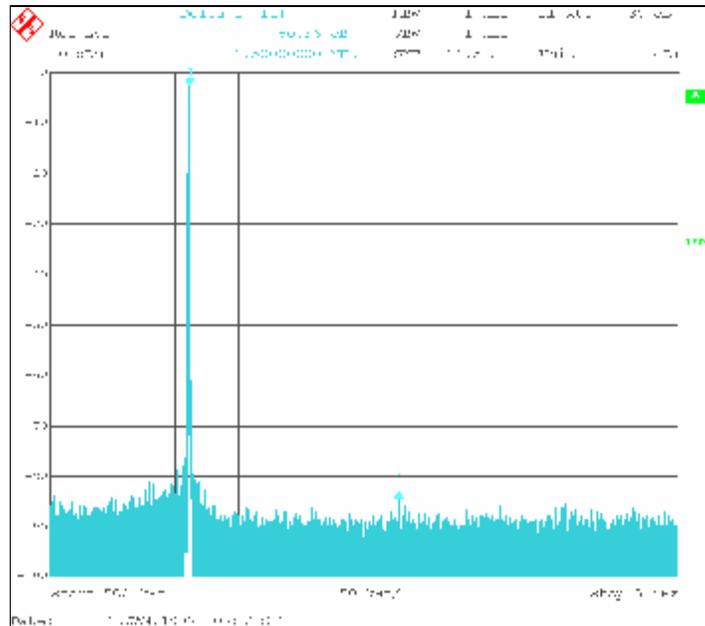


Figura 7.9 Respuesta del filtro, medida del segundo armónico.

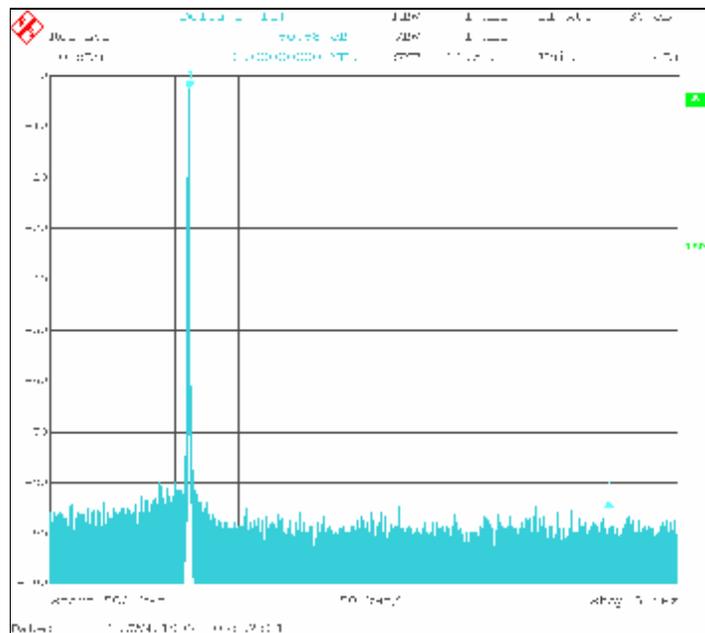


Figura 7.10 Respuesta del filtro, medida del tercer armónico.

## 8. Conclusiones

Con la realización del presente proyecto se han cumplido los objetivos del diseño de un filtro con las características pedidas, obteniendo un diseño altamente lineal.

A lo largo de su realización, se hizo un aprendizaje de programas de diseño de circuitos (Filter Solutions, Filter Wiz Pro, Tina), diseño de circuitos integrados (Cadence), diseño y fabricación de placas PCB (PCAD), consiguiendo la fabricación de un circuito integrado y su correspondiente placa de prueba para hacerle las medidas que ratificaran el correcto funcionamiento del circuito hasta entonces verificado únicamente por simulación.

Se ha conseguido la resolución de un proyecto desde sus especificaciones iniciales, hasta su completa finalización, pasando por todas las etapas necesarias para su ejecución: diseño, simulaciones, fabricación y prueba. Acercando así al alumno a la resolución íntegra de un problema real, cosa a la que en las asignaturas de la carrera no se había tenido que enfrentar.

Por todo lo anterior, se considera que se han adquirido los conocimientos que se plantearon en un principio para la correcta superación del proyecto final de carrera.

## 9. Referencias

[1] A.Lopez-Martin, L. Acosta, R. González Carvajal and M. Jiménez, “A CMOS Transconductor with 90 dB SFDR and Low Sensitivity to Mismatch”, ISPASS, 2006.

[2] A.M. Durham, W. Redman-White, “Very high linearity tunable OTA in 5 V CMOS”, IEE proceedings-G, Vol. 140, N° 3, June 1993, pp. 207-210.

[3] A. Lewinski, Student Member, IEEE and J. Silva-Martinez, Senior Member, IEEE, “OTA Linearity Enhancement Technique for High Frequency Applications With IM3 Below -65 dB”, IEEE transactions circuits and systems, vol. 51, N° 10, October 2004, pp.542-548.

[4] S. Ouzounov, E. Roza, J. A. Hegt, G. van der Weide, and A. H. M. van Roermund, “A CMOS V-I converter with 75-dB SFDR and 360- $\mu$ W power consumption”, IEEE journal of solid-estate circuits, vol.40, N° 7, July 2005, pp. 1527-1532.

[5] S. Koziel, A. Ramachandran, S. Szczepanski, and E. Sánchez-Sinencio, "Dynamic range, noise and linearity optimization of continuous-time ota-C filters", IEEE 2004, pp.41-44.

[6] U. Chilakapati, T. S. Fiez, and A. Esraghi, "A CMOS transconductor with 80-dB SFDR up to 10 MHz", IEEE journal of solid-estate circuits, vol.37, N° 3, March 2002, pp. 365-370.

[7] S. Lindfors, J. Jussila, K. Halonen, and L. Siren, "A 3-V continuous-time filter with on-chip tuning for IS-95", IEEE journal of solid-estate circuits, vol.34, N° 8, August 1999, pp. 1150-1154.

[8] H. Weinberger, A. Wiesbauer, M. Clara, C. Fleischhacker, T. Pötscher, B. Seger, "A 1.8V 450mW VDSL 4-Band Analog Front End IC in 0.18 $\mu$ m CMOS", ISSCC, February 2002, session 19, DSL and wireline circuits.

[9] H. Weinberger, A. Wiesbauer, C. Fleischhacker, J. Hauptmann, "A 800mW, full-rate ADSL-RT analog front end IC with integrated line driver", IEEE 2001, custom integrated circuits conference, pp. 115-118.

[10] H. Weinberger, A. Wiesbauer, C. Fleischhacker, J. Hauptmann, M. Staber, D. Sträußnigg, and B. Seger, "An ADSL-RT full-rate analog front end IC with integrated line driver", IEEE journal of solid-estate circuits, vol.37, N° 7, July 2002, pp. 857-865.

[11] F. Ramirez-Mireles, Q. Aldrubi, and S. Heidari, "The benefits of discrete multi-tone modulation for VDSL systems, part II".

# **Hojas de Catálogo.**