

Capítulo 2.

CONVERTIDOR A/D TIPO FLASH

2.1 FUNCIONAMIENTO

2.2 FUENTES DE ERROR EN CONVERTIDORES A/D TIPO FLASH

2.1 FUNCIONAMIENTO

El método flash utiliza comparadores que comparan tensiones de referencia con una tensión de entrada analógica. Cuando la tensión de entrada analógica sobrepasa la tensión de referencia de un comparador determinado, se genera un nivel alto. La figura 2.1 presenta un convertidor de N bits. En general se requieren $2^N - 1$ comparadores para la conversión a un código binario de N bits. Una de las desventajas del convertidor A/D tipo flash es el gran número de comparadores necesarios para un número binario de tamaño razonable. La principal ventaja de este tipo de convertidores es que es el más rápido en realizar la conversión. Debido a que en nuestro proyecto pretendemos conseguir elevadas frecuencias de funcionamiento a la larga, será imprescindible usar este tipo de convertidores en lugar de otros más lentos.

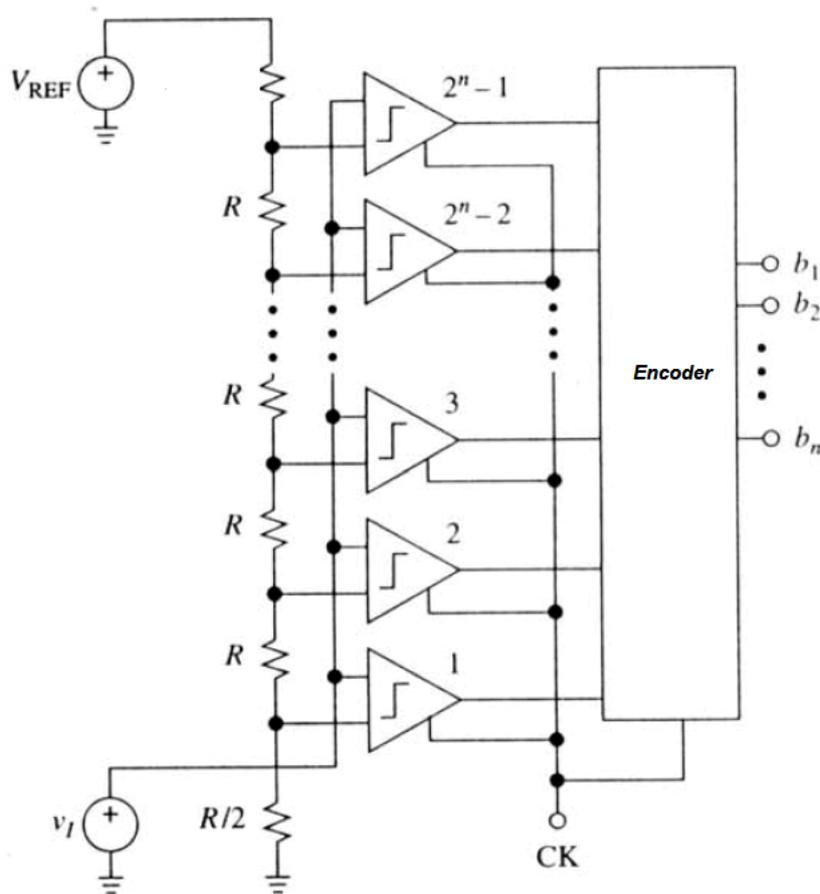


Figura 2.1. Convertidor A/D Flash de N bits

La tensión de referencia de cada comparador se establece mediante un circuito divisor de tensión. La salida de cada comparador se conecta a una entrada del encoder. El encoder muestreará su entrada y el código de N bits que representa el valor de la entrada

analógica se presenta en las salidas del encoder. El código binario queda determinado por la entrada de mayor orden a nivel alto.

La arquitectura anterior presenta 2^N resistencias en la escalera de referencia, proporcionando (en el caso ideal, es decir, si las resistencias fuesen todas idénticas) $2^N - 1$ niveles de tensión equidistantes a los comparadores. La diferencia de tensiones entre 2 resistencias adyacentes es:

$$V_{LSB} = \frac{V_{HIGH} - V_{LOW}}{2^N}$$

Donde V_{HIGH} y V_{LOW} representan las 2 referencias de tensión proporcionadas al convertidor (3,3V y 0V en nuestro caso).

2.2 FUENTES DE ERROR EN CONVERTIDORES A/D TIPO FLASH

Una vez explicado el funcionamiento de este tipo de convertidor, pasaremos a señalar algunas fuentes de error importantes que habrá que tener en cuenta a la hora de diseñar convertidores A/D tipo flash.

- **Capacidad de carga a la entrada:** El gran número de comparadores que tenemos conectados a V_{in} da lugar a una capacidad de carga parásita en el nodo V_{in} . Una capacidad de entrada grande en nuestro convertidor limitará la velocidad de éste con lo que necesitaremos un buffer de tamaño grande y que consuma para mantener nuestra V_{in} . Esta gran capacidad de carga a la entrada puede ser reducida considerablemente usando una arquitectura de interpolación.
- **Errores de tensión en la escalera de resistencias:** Las corrientes de entrada de los comparadores bipolares causan errores en los nodos de la escalera de resistencias. Para prevenir estos errores es necesario que la corriente en la escalera de resistencias sea dos órdenes de magnitud mayor que la corriente de los comparadores aproximadamente. Estos errores son mayores en el nodo central de la escalera de resistencias y pueden ser mejorados usando una circuitería adicional que fuerce que la tensión central de la escalera sea corregida.

- **Retraso de la señal de entrada y/o el reloj:** Incluso diferencias muy pequeñas en la llegada de señales de reloj o señal de entrada en diferentes comparadores puede causar error. Para ver mejor esto consideremos una señal sinusoidal de entrada de 250MHz y 1V de pico. Esta señal tiene una subida máxima de $1570 \text{ V}/\mu\text{s}$ en el cruce por cero. Si esta señal es convertida por un convertidor A/D de 8 bits con $V_{\text{ref}}=2\text{V}$ (la senoide cubre el rango completo) nos llevara sólo 5 ps cambiar 1 LSB. Este es aproximadamente el mismo tiempo que emplea una señal en propagarse $500 \mu\text{m}$ en una conexión metálica. Si hay un clock skew entre comparadores mayor que éste, el convertidor tendrá más de 1 LSB de error. Una manera de suavizar este error consiste en preceder el convertidor por un circuito sample-and-hold. El único problema que existe con esto es que los circuitos sample-and-hold de alta velocidad son más difíciles de construir que los convertidores flash. Además, la señal de reloj y V_{in} deberían de estar rutadas conjuntamente, con los retrasos matcheados. Las diferencias de retraso pueden no ser causadas por diferencias de rutado, pero pueden ser debidas a diferencias de las cargas capacitivas o a diferencias de fase entre los preamplificadores del comparador a altas frecuencias.
- **Ruido de sustrato y ruido de alimentación:** Para una $V_{\text{ref}}=2\text{V}$ y un convertidor de 8 bits, $7,8\text{mV}$ de ruido son capaces de producir un error de 1 LSB. Normalmente, en un circuito integrado en el que tenemos una frecuencia de reloj de decenas de MHz, es difícil mantener el ruido de alimentación por debajo de unas cuantas décimas de voltio. Este ruido de alimentación se puede acoplar rápidamente por la circuitería o el sustrato dando lugar a errores. Para minimizar este problema, es necesario proteger los relojes del sustrato y de la circuitería analógica. También, el uso de relojes diferenciales que estén muy juntos, ayuda a prevenir que las señales se acoplen por el aire o por el sustrato. Además de todo esto, sería conveniente separar las fuentes analógicas de las fuentes digitales. Si es necesario se pueden poner incluso unas fuentes analógicas para los preamplificadores de los comparadores mientras usamos fuentes digitales para la etapa de latches. También es recomendable hacer un buen rutado de los cables de alimentación en el chip. Por último, es necesario también estar seguro de que el rutado de la fuente de tensión no forma un circuito resonante con los bonding wires (incluyendo las pequeñas capacidades en serie con las capacidades de rutado).
- **Errores de burbuja:** Las salidas de los comparadores, deben ser un código termométrico con una transición abrupta entre unos y ceros. Sin embargo, hay veces en las que aparece un “1” solitario sin una cadena de ceros consecutivos o aparece un “0” solitario sin una cadena de unos. Esto es debido a la metaestabilidad del comparador, al ruido, al crosstalk, al ancho de banda limitado, etc. A este fenómeno de aparición de unos o ceros

inesperados se les llama “burbujas”. Estas burbujas aparecen normalmente cerca del punto de transición del código termométrico. Afortunadamente, estas burbujas pueden ser eliminadas fácilmente sin apenas complejidad adicional al circuito, tan sólo bastará con colocar puertas NAND de dos entradas a la salida de los comparadores, de manera que se realice la NAND de cada salida de un comparador con la salida del comparador que lo precede como podemos ver en la figura 2.2.

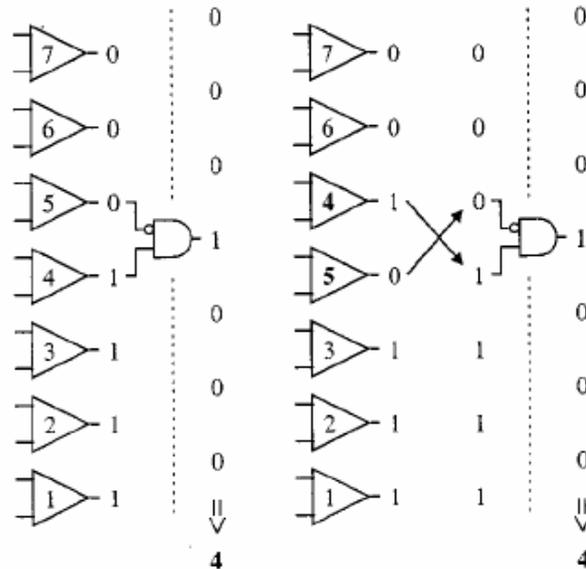


Figura 2.2. Corrección de errores de burbuja

Hay otras soluciones que aseguran una mejor corrección de estas burbujas, como por ejemplo sustituir las puertas NAND de dos entradas del circuito anterior por NAND de tres entradas como podemos ver en la figura 2.3. Con esta modificación, debería de haber dos unos inmediatamente después de un cero en el punto que determina la transición en el código termométrico¹.

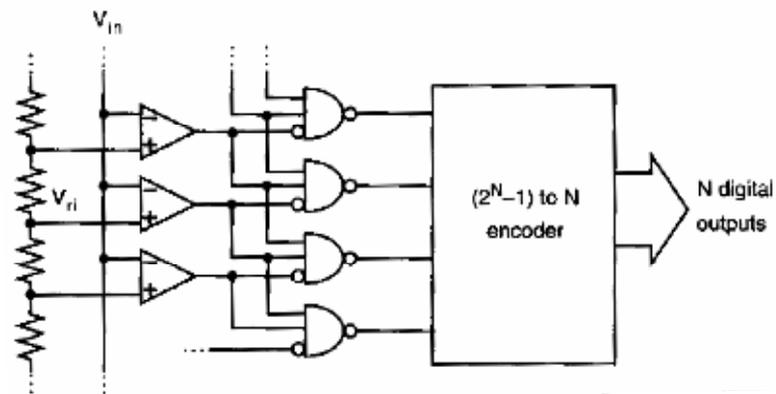


Figura 2.3. Corrección de errores de burbuja con NAND de tres entradas

¹ Steyaert, 1993

No obstante, este circuito no elimina el problema de tener un 0 apartado dos lugares mas allá del punto de transición, cosa que puede causar un gran error de decodificación. Otra mejora digital para reducir el efecto de los errores de burbuja, consiste en permitir errores de burbuja en los 2LSBs más bajos pero tener el resto de MSBs determinados mediante la búsqueda de transiciones entre cada cuatro comparadores.² Con esta mejora, los errores de burbuja que ocurren a menos de cuatro lugares del punto de transición, no causarán error. Una posible mejora para reducir el efecto de la distancia de la burbuja, consiste en crear dos encoders (uno tipo AND y otro tipo OR), esto dará mejores resultados que usar un encoder simple.³ Cuando tenemos una salida inesperada en las salidas de las NAND, los errores en los dos encoders tenderán a tener igual magnitud pero signo opuesto. De esta forma, la salida final, se toma como la media de las salidas de los dos encoders, la cual es mejorada sumando las dos salidas y dejando a un lado el LSB (para dividir por dos).

- **Retraso Latch-to-Track de los comparadores**: Otra consideración que es a veces ignorada es el tiempo que tarda un comparador en pasar del modo latch al modo track cuando aparece una pequeña señal a la entrada de polaridad opuesta a la del periodo anterior. Este tiempo se puede reducir manteniendo las constantes de tiempo de los nodos internos del latch tan pequeñas como sea posible. Esto se puede conseguir manteniendo pequeña la ganancia del latch (del orden de dos o cuatro). En algunos casos, los nodos internos diferenciales pueden ser cortados justo después del tiempo de latch.
- **Flashback**: Otra fuente de error muy común es el flashback. El flashback es casuado por los comparadores con latch que se usan con mucha frecuencia en este tipo de arquitecturas. Cuando los comparadores con reloj pasan del modo en track al modo en latch o viceversa, hay un importante glitch a la entrada del latch. Si no tenemos preamplificador, esto causará errores de importancia debido a las impedancias nomatcheadas que tenemos a la entrada del comparador (una entrada va hacia la escalera de resistencias y la otra hacia la señal de entrada). Para minimizar este efecto, la mayoría de los comparadores modernos tienen una o dos etapas de buffering en tiempo continuo y/o una etapa de preamplificación.

Otra técnica usada para minimizar el efecto del flashback consiste en matchear las impedancias de entrada tanto como sea posible. Por ejemplo, es posible implementar una segunda escalera de resistencias matcheada, con los nodos de los comparadores que originalmente estaban conectados a

² Gendai, 1991

³ Ito, 1994

V_{in} conectados nuevamente a V_{in} , y con los últimos nodos de la escalera conectados juntos a V_{in} . Esta mejora machea las impedancias y también minimiza los errores de tensión de la escalera de resistencias debido a la corriente de entrada de los comparadores. Desafortunadamente, esto implica diferentes retrasos de la señal V_{in} a la hora de alcanzar los comparadores y estos retrasos diferentes no son tolerables a no ser que se machee con el rutado del reloj.