

Capítulo 3.

CONVERTIDOR A/D DE DONOVAN

- 3.1 INTRODUCCIÓN*
- 3.2 CALIBRACIÓN DIGITAL DEL OFFSET*
- 3.3 DISTRIBUCIÓN DE LOS NIVELES DE TENSIÓN*
- 3.4 ARQUITECTURA DEL CONVERTIDOR*
- 3.5 FUNCIONAMIENTO*

3.1 INTRODUCCIÓN

En este capítulo nos vamos a centrar en explicar el esquema de convertidor que se va a desarrollar en nuestro proyecto. Este esquema está basado en el artículo “A Digital 6-bit ADC in 0.25- μ m CMOS” de Conor Donovan y Michael P. Flynn¹.

En todo convertidor tipo Flash, tenemos un elemento que será el más importante de todo y en cuyo buen diseño radicará la bondad de nuestro esquema. Estos elementos que son la llave de nuestro diseño son los comparadores. Para tener un buen diseño de convertidor, es estrictamente necesario tener unos comparadores con una gran precisión y con un offset mínimo. Esto implica que deberemos hacer un diseño muy fino de nuestros comparadores con el objetivo de reducir al mínimo el offset, cosa para la cual será necesario aumentar el consumo. Otra opción para no tener que hacer comparadores tan precisos y de tanto consumo, consiste en elaborar comparadores que sean un poco menos precisos (que tengan un poco más de offset) y usar esquemas de corrección de offset analógicos. El problema de esto radica en que en convertidores que tengan una resolución de bits considerable, como es nuestro caso, la circuitería analógica para corregir este offset aumenta considerablemente siendo cada vez más difícil de integrar en los modernos procesos de integración CMOS. Es por esta razón por la que las consideraciones con los offset de los comparadores está provocando un cuello de botella en el diseño de convertidores A/D tipo Flash.

La solución propuesta para evitar toda esta complejidad analógica causada por la corrección del offset, consiste en reducir toda la circuitería analógica en el convertidor pasando parte del procesado de señal del convertidor del dominio analógico al dominio digital. Lo que se hace en este esquema que se mostrará a continuación es construir un convertidor A/D Flash sin necesidad de usar comparadores con mucha precisión, esto facilitará en gran medida el diseño de los comparadores disminuyendo además su consumo. Toda la circuitería analógica para la corrección del offset se ha pasado al dominio digital, de manera que toda la corrección de offset se hará de manera digital usando también redundancia de comparadores. En resumen, se han usado técnicas digitales para compensar la no idealidades analógicas de los comparadores, esto alivia la dificultad del diseño analógico y además aprovecha la mejora que implican los circuitos digitales.

Debido a que ahora los comparadores no tienen tantas restricciones a la hora de ser diseñados, estos comparadores serán ahora más pequeños, más rápidos y de menos consumo que antes. Las verdaderas claves de este diseño son la redundancia y asignación de comparadores. Cuando nuestro convertidor se enciende, se ejecutará un ciclo de calibración en el que se elegirán de entre muchos comparadores, los 63 cuyo offset sea menor, es por esta razón por la que ahora no es tan importante el que los comparadores tengan un offset muy bueno. Esta elección de los comparadores con mejor offset es puramente digital, ahorrándonos todas las técnicas analógicas anteriores de corrección del offset. Este ciclo de calibración se ejecutará sólo la primera vez que se enciende el convertidor. Cuando el ciclo de calibración ha terminado, el convertidor está ya listo para convertir.

¹ IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 37, NO. 3, MARCH 2002

3.2 CALIBRACIÓN DIGITAL DEL OFFSET

La mejora en la calibración del offset usada en este esquema, se basa en circuitería digital. Con este esquema se permite que los comparadores tengan un gran offset aleatorio, lo que da lugar a que estos comparadores sean más rápidos y consuman menos potencia y menos área.

Para introducir el esquema de calibración del offset consideraremos la distribución de niveles de tensión de la figura 3.1. En la figura 3.1(a) podemos ver la salida de un convertidor A/D tipo Flash ideal en el cual los comparadores tiene offset cero. Como se puede observar la conversión no tiene errores DNL y es perfectamente lineal. En la figura 3.1(b), los offset de los comparadores han causado que los niveles de tensión de los comparadores 3 y 4 se hayan intercambiado. La secuencia de niveles de tensión ahora no es monótonica. Si usamos un sistema de codificación sencillo, se producen pérdidas de código y discontinuidades a la salida del convertidor como podemos ver en la figura. Esto da lugar a grandes errores de DNL y hace que el convertidor pierda su linealidad.

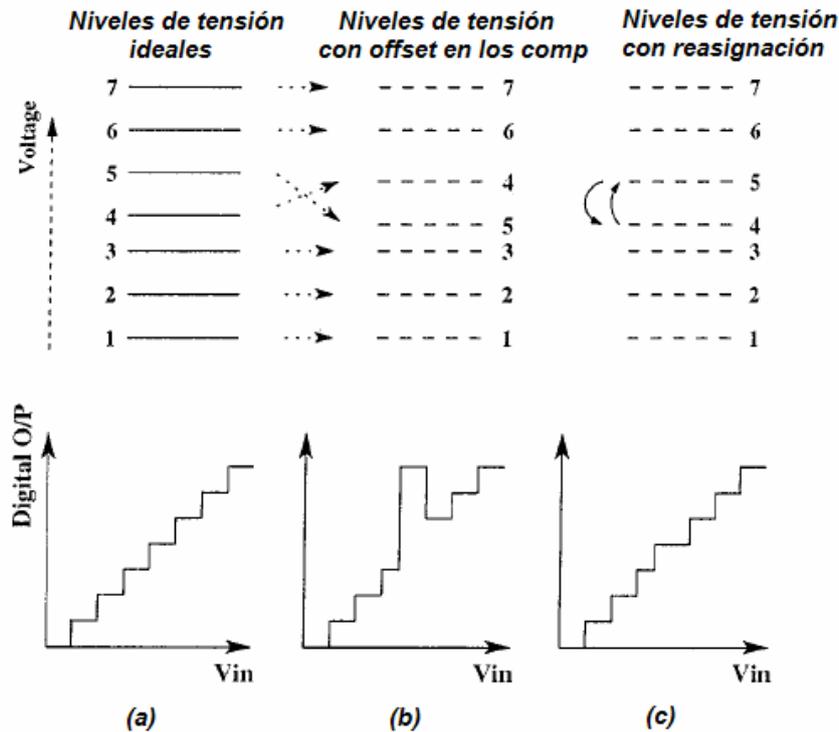


Figura 3.1. Niveles de tensión

A continuación, pasaremos a detallar las distintas partes en las que se puede dividir el funcionamiento de la parte digital de calibración del offset en nuestro circuito.

▪ **Reasignación de comparadores**

La no monotonicidad dentro de los niveles de tensión que nos dan los comparadores a su salida, se puede solventar fácilmente haciendo reasignación de comparadores. En la figura 3.1(c), podemos ver como el comparador 5 se reasigna para representar el código 4, mientras que el comparador 4 es reasignado para representar el código 5. Con esta reasignación se reducen considerablemente los errores de DNL y el código que se pierde es nulo como podemos ver en la escalera obtenida a la salida del convertidor. La técnica de la reasignación de comparadores asegura monotonicidad a pesar de la magnitud del offset. Sin embargo, a pesar de que se asegura buena monotonicidad sin restricción de offset, la mayoría de las aplicaciones requerirán buena linealidad.

▪ **Redundancia de comparadores**

La reasignación de comparadores nos asegura monotonicidad, sin embargo puede haber todavía errores grandes de DNL. Para solucionar esto, usamos la redundancia de comparadores junto con la reasignación con el objetivo de reducir los errores DNL. LA redundancia consiste en asignar más de un comparador a cada código. Esto incrementa la posibilidad de encontrar un comparador cuyo nivel de tensión esté cerca del ideal. Para encontrar cual de los comparadores tiene su nivel de tensión más cerca del ideal habrá que hacer una búsqueda mediante técnicas digitales. Tras la búsqueda, los comparadores que estén más cerca de los niveles de tensión ideales serán activados mediante una señal de activación y serán usados posteriormente para la conversión, mientras que el resto se apagarán desactivando la señal de activación y serán ignorados en durante la conversión. Para demostrar el efecto de la redundancia, consideremos la distribución de niveles de la figura 3.2. en este ejemplo estamos asignando tres comparadores a cada código, es decir, los comparadores 3^a, 3b y 3c, están asignados al código 3. Si ignoramos la redundancia y considerando solamente los comparadores 1a → 5a en el caso actual (figura 3.2(b)), podemos ver como la distribución de niveles de tensión es irregular, causando grandes errores de DNL.

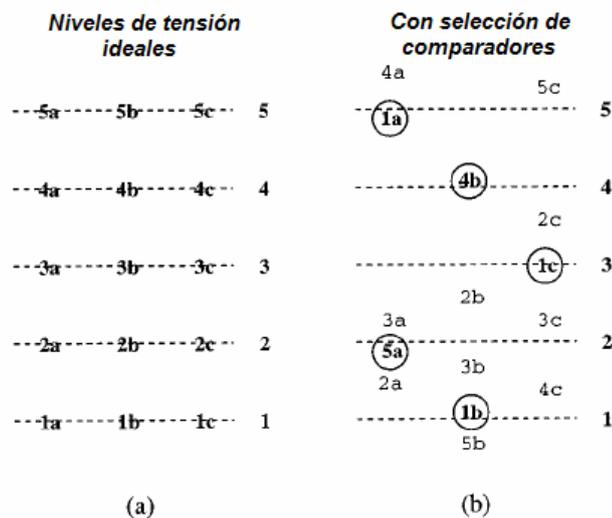


Figura 3.2. Redundancia de comparadores y reasignación

Incorporando redundancia, es decir, considerando ahora todos los niveles de tensión de la figura 3.2(b), podemos ver como hay un nivel de tensión actual cerca de cada nivel de tensión ideal. Los comparadores 1b, 5a, 1c, 4b y 1a forman el conjunto de los niveles de tensión bien distribuidos y dan lugar a errores de DNL muy bajos. En general, empleando suficiente redundancia, se puede encontrar un nivel de referencia que esté lo suficientemente cerca de cada nivel de tensión ideal. Eligiendo estos niveles de referencia obtenemos una correcta distribución de niveles de tensión y por tanto una buena linealidad.

▪ **Selección de comparadores**

Cuando nuestro convertidor se enciende, empieza una secuencia de calibración. Durante este periodo de calibración, el comparador con el nivel de referencia más cercano al ideal es seleccionado para cada código. Si tenemos en cuenta de nuevo la figura 3.2(b), vemos como el comparador 1b es el que tiene un menor offset. Su nivel de referencia es el más cercano al código 1, así que este comparador será el seleccionado para el código 1. A pesar de que el comparador 5 tiene un offset de unos 3LSB, su nivel de referencia es el más cercano al código 2 así que este comparador es el seleccionado para el código 2. el comparador 1 tiene un offset de unos 2LSB, sin embargo su nivel de referencia es el más cercano al código 3 y es seleccionado para el código 3 por tanto.

A pesar de que un comparador puede tener un gran offset (algunos LSBs) vemos como puede ser asignado todavía a un código. Este resultado contrasta enormemente con los Flash tradicionales que requieren que cada comparador tenga un offset muy bajo con el objetivo de obtener un buen funcionamiento. Con la mejora expuesta aquí, el buen funcionamiento del convertidor, depende únicamente de que tengamos un nivel de referencia lo suficientemente cerca de cada código. Tampoco será necesario con esta mejora que los comparadores estén matcheados porque un comparador puede ser asignado en principio a cualquier código, el uso de los comparadores es ahora mucho más eficiente ya que se aprovecharán más.

Durante la fase de calibración, se eligen 2^N-1 comparadores, en nuestro caso, el número de comparadores que deberán ser elegidos al final de este ciclo es de 63. Los comparadores que no han sido elegidos se apagan, con lo cual, vemos que la redundancia no incrementa el consumo. Por mucha redundancia que tengamos, al final sólo vamos a tener 63 comparadores encendidos. El esquema de calibración rompe el lazo entre el matcheo de los comparadores y el buen funcionamiento del convertidor. Los comparadores tendrán pocos requerimientos de offset, lo que implicara diseños de comparadores sencillos, que ocuparán poca área y con un consumo pequeño. Es por esto por lo que la redundancia no implica un coste demasiado elevado en área.

3.3 DISTRIBUCIÓN DE LOS NIVELES DE TENSIÓN

El éxito de nuestro esquema, depende de encontrar un nivel de tensión cercano al ideal. Esto se consigue asegurando una distribución de niveles de tensión en el rango de entrada del convertidor.

Pasaremos ahora a estudiar dos aspectos esenciales para asegurar que dicha distribución de niveles de tensión sea totalmente correcta. Estudiaremos el grado de redundancia de comparadores óptimo que necesitamos para un buen funcionamiento, y el número de comparadores exacto para asegurar el buen funcionamiento incluso en los bordes de tensión del rango de entrada.

▪ Grado de redundancia

Como ya hemos señalado anteriormente, para obtener un buen funcionamiento, deberemos incorporar una suficiente cantidad de redundancia de comparadores. En la figura 3.3, podemos ver una simulación en MATLAB en la que se relaciona el grado de redundancia de comparadores con el SNDR para un comparador de 6 bits.

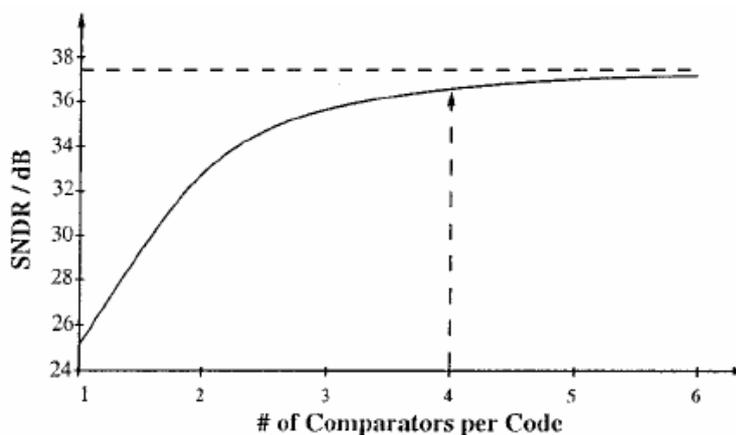


Figura 3.3. Variación del SNDR en base a la redundancia de comparadores

Como podemos observar en la gráfica, el SNDR tiende al SNDR ideal conforme aumentamos la redundancia. Para un convertidor de 6 bits como es nuestro caso una redundancia de cuatro comparadores por código significa un SNDR de 36,8 dB. Si aumentamos la redundancia por encima de cuatro, la mejora en el SNDR es despreciable. Por tanto un grado de redundancia de cuatro será idóneo para nuestro diseño. Mediante simulaciones, se obtiene que para este SNDR se puede permitir en los comparadores un offset de:

$$\sigma_{offset} = 5LSB$$

Esto es mucho más (aproximadamente 40 veces más) que el offset permitido para un comparador en un diseño tradicional. En este esquema es necesario que los comparadores tengan precisión “digital” únicamente.

▪ **Bordes del rango de entrada**

Para el correcto funcionamiento del convertidor, es necesario una distribución de niveles de tensión a lo largo del rango de entrada. En el caso ideal (ver figura 3.4(a)), la distribución es uniforme a lo largo del rango de entrada. En el caso actual, (figura 3.4(b)), algunas referencias de tensión asignadas en principio a códigos cercanos a los bordes del rango de tensiones a la entrada, pueden ocurrir fuera de dicho rango debido a los offsets aleatorios de los comparadores. Este efecto puede ser comparado con una especie de difusión. Debido a este efecto se reduce la densidad de referencias de tensión en el rango de entrada, siendo difícil encontrar referencias de tensión adecuadas en los extremos del rango de tensiones a la entrada. Esto dará lugar a grandes errores de DNL en estos códigos.

Para solucionar este problema, se incluyen referencias extra en el rango de tensiones de entrada. El efecto de esto se puede ver en la figura 3.4(c). La densidad de referencias de tensión en el rango de tensiones a la entrada es ahora uniforme. Las simulaciones muestran que es suficiente añadir 10 referencias extras para obtener un buen funcionamiento. Estas 10 referencias deberán ser colocadas tanto por el extremo de altas tensiones como por el extremo de bajas tensiones, con lo cual el número total de referencias de tensión es: $10 + 63 + 10 = 83$ referencias de tensión.

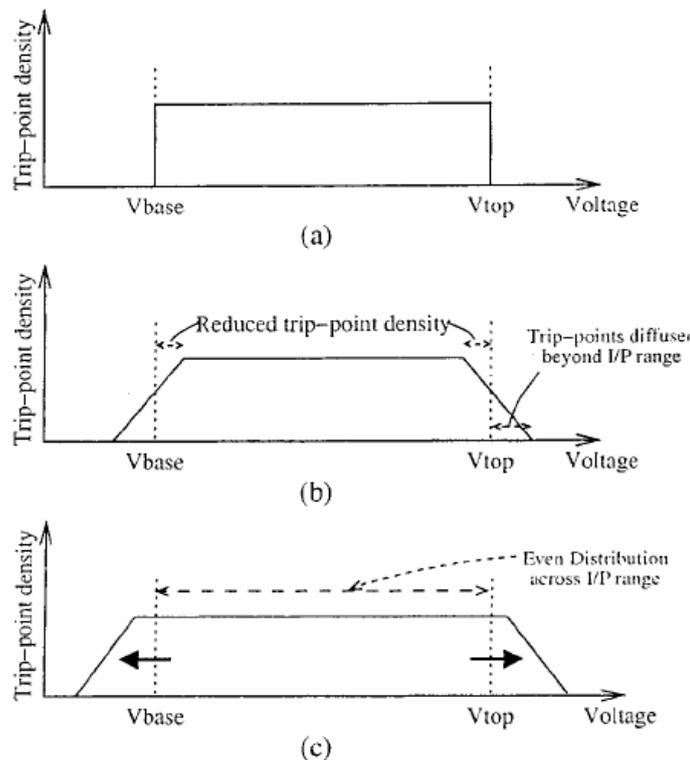


Figura 3.4. Distribución de las referencias de tensión sobre el rango de tensiones a la entrada

3.4 ARQUITECTURA DEL CONVERTIDOR

En este apartado haremos un pequeño esquema mostrando los diferentes bloques de los que irá compuesto nuestro convertidor. El diseño y las particularidades o modificaciones de cada uno de estos elementos, será estudiado en más profundidad en capítulos posteriores. El esquema propuesto es el mostrado en la figura 3.5. Como vemos, a diferencia de otros esquemas de convertidores Flash, el esquema que vamos a implementar incluye además del encoder y el bloque de flash, un bloque de calibración digital que es la clave de nuestro proyecto y que tendrá las funciones explicadas anteriormente.

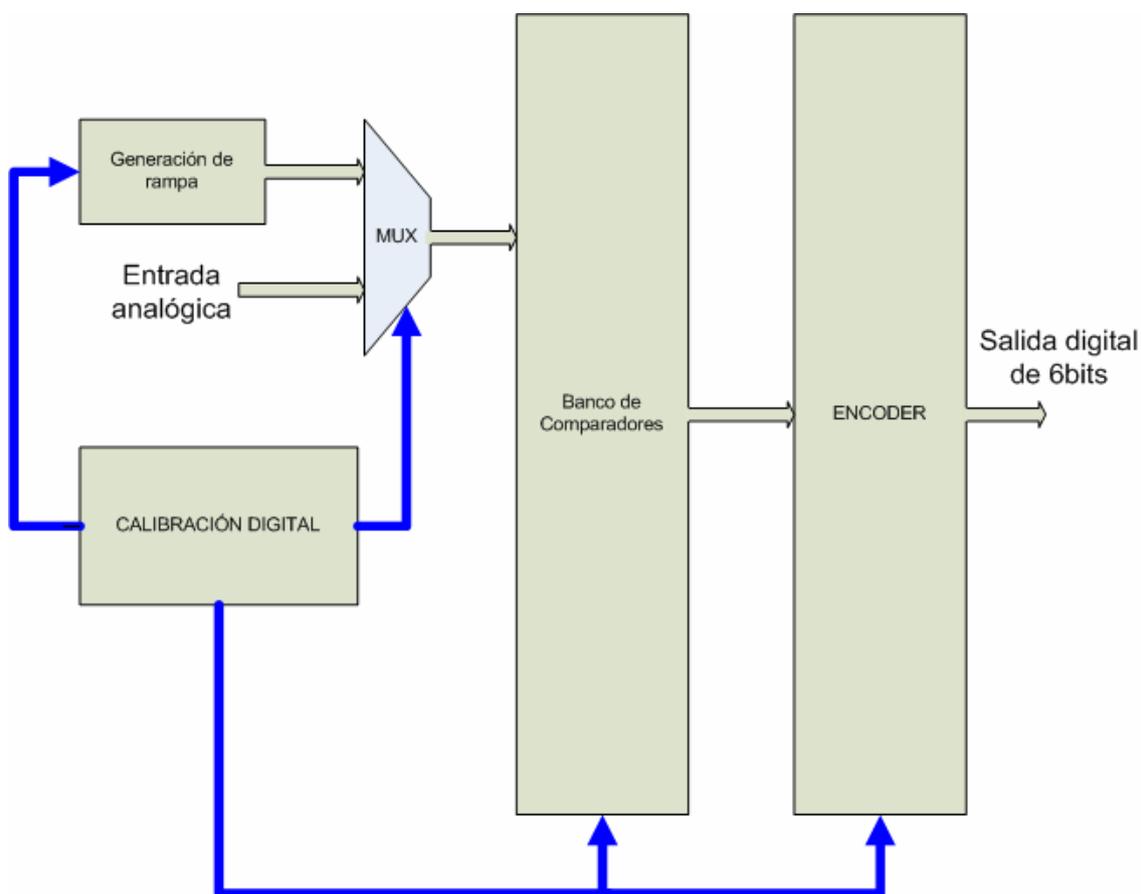


Figura 3.5. Arquitectura del convertidor A/D de Donovan

Las partes en las que se divide el convertidor son principalmente cinco:

1. Generación de Rampa: en esta parte se generará una rampa digitalmente con el objetivo de barrer todo el rango de tensiones (0V a 3.3V). Esta rampa se le pasará a la entrada de los comparadores durante la fase de calibración con el objetivo de comprobar qué comparadores son los que están más cerca de la referencia de tensión ideal

2. Multiplexor: Estará controlado por el bloque de calibración. Al comenzar la calibración el multiplexor da paso a la rampa generada para que sea muestreada a la entrada del bloque de comparadores. Cuando la fase de calibración ha concluido, el estado del multiplexor cambia, dando paso ahora a la entrada analógica que será convertida. Una vez terminada la fase de calibración, el multiplexor permanecerá siempre en el mismo estado dando paso siempre a la entrada analógica que queremos convertir.
3. Calibración digital: Al encender el convertidor tiene lugar un ciclo de calibración controlado enteramente por el circuito de calibración digital. Este esquema de calibración se encargará de encontrar los 63 mejores comparadores con menor offset de entre todos los comparadores y los activará, dejando apagados los que no hayan sido seleccionados.
4. Bloque de comparadores: Aquí irá el bloque de comparadores en cuestión igual que otro convertidor Flash cualquiera. La única diferencia es que tendremos que tener en cuenta la redundancia con lo cual, si para los 6 bits que necesitamos nos hacen falta un total de 63 comparadores en cualquier esquema flash clásico, ahora, debido a que tomaremos un grado de redundancia de 4 (mirar apartado anterior), tendremos un total de $4 \times 63 = 252$ comparadores en nuestro bloque de comparadores.
5. Encoder: Este bloque será el más sencillo puesto que se trata de un conversor de código termométrico a código binario que cuente el número de unos que tenemos a la salida de nuestro bloque de comparadores.

3.5 FUNCIONAMIENTO

El funcionamiento del esquema mostrado anteriormente se puede resumir de la en dos pasos.

1. Encendido del convertidor: Justo en el momento en que se enciende el convertidor, entramos en la etapa de calibración. Esta etapa tiene lugar sólo cuando se enciende el convertidor y no se vuelve a ella nunca más. En este momento el bloque de calibración pondrá un “0” en el multiplexor para que deje pasar la rampa generada por el circuito de generación de rampa. Esta rampa recorre el rango completo de tensiones a la entrada (0 a 3,3V). Conforme la rampa va creciendo se irán activando las salidas de algunos comparadores de manera aleatoria. El esquema de calibración que sabe en todo momento por que nivel de referencia va la rampa, dejara activados los comparadores que conmuten

más cerca de los valores de referencia hasta tener los 63 comparadores necesarios para los 63 niveles de referencia barridos por la rampa. Cuando termina la rampa el esquema de calibración se encargará de apagar los comparadores que no han sido seleccionados, con lo cual al final sólo nos quedará un bloque de 63 comparadores disponibles para la conversión.

2. Fin ciclo de calibración: cuando la rampa llega a su fin es que el ciclo de calibración ha terminado. Ahora el bloque de calibración digital pondrá a “1” el multiplexor con lo que ahora la entrada que pasará a los 63 comparadores que permanecen activos será la entrada analógica que queremos convertir. Y ya tenemos nuestro convertidor funcionando normalmente con los 63 mejores comparadores funcionando.