

Capítulo 5.

GENERADOR DE RAMPA

- 5.1 ARQUITECTURA*
- 5.2 ARQUITECTURA DEL DAC*
- 5.3 ESCALERA DE RESISTENCIAS*
- 5.4 DECODIFICADOR*
- 5.5 DAC DE 3 BITS*
- 5.6 PREAMPLIFICADOR*
- 5.7 CIRCUITO DE CONTROL DE MODO COMÚN*
- 5.8 CIRCUITO DE SAMPLE & HOLD*
- 5.9 DAC DIFERENCIAL DE 7 BITS*
- 5.10 FILTRO DE PRIMER ORDEN*

5.1 ARQUITECTURA

En este capítulo nos centraremos en desarrollar el esquema que se ocupará de la generación de rampa. Esta rampa recorrerá todo el rango de tensiones a la entrada y será la que se pase a los comparadores en la fase de calibración con el objetivo de que la lógica de calibración digital seleccione los 63 mejores comparadores y los deje encendidos, apagando el resto para que no consuman. La arquitectura del circuito generador de rampa se muestra a continuación:

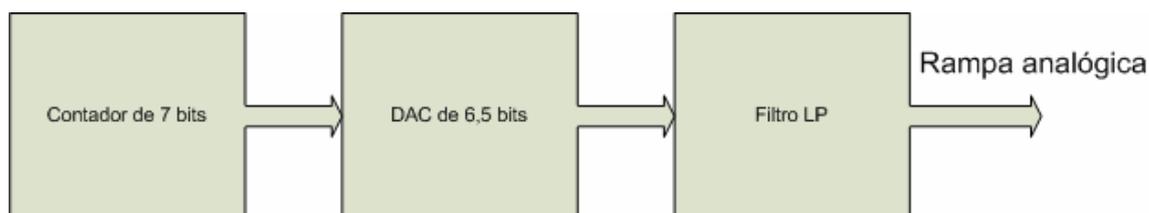


Figura 5.1. Arquitectura generador de rampa

Los elementos de los que se compone el generador de rampa son los siguientes:

1. DAC de 6,5 bits: en principio el DAC que creará la rampa analógica debía ser de 6 bits puesto que estamos trabajando con un convertidor A/D de 6 bits. Un convertidor D/A de 6 bits tendrá 64 referencias de tensión en la escalera y por tanto 64 resistencias. Como ya hemos señalado en capítulos anteriores, por sencillez en el diseño y ahorro de consumo, usaremos la misma escalera para los cuatro bloques redundantes comparadores. Además esta misma escalera, la usaremos también para nuestro DAC por la misma razón. Entonces debido a las referencias de tensión extra que hay que colocar en la escalera de resistencias (ver capítulo 4) ya no tenemos una escalera de 64 referencias de tensión sino de 80 referencias de tensión, es decir, nuestra escalera para el DAC será de 80 resistencias. Esto no se corresponde con un DAC de 6 bits, pero tampoco se corresponde con un DAC de 7 bits ya que para 7 bits el número de resistencias debería ser $2^7=128$. Es por esta razón por lo que el convertidor será de 6,5 bits, ya que sobrepasa la escalera de un DAC de 6 bits pero no llega a ser la de un DAC de 7 bits.
2. Contador de 7 bits: Es el encargado de crear la rampa digital. En un principio se ideó un contador de 6 bits puesto que el convertidor A/D que estamos construyendo es de 6 bits, pero debido a que el DAC que va en cascada con este contador es de más de 6 bits, diseñaremos un contador de 7 bits.

3. Filtro LP: No es más que un filtro LP lo más sencillo posible formado por una resistencia y un condensador. Su misión es linealizar la salida del DAC y corregir posibles imperfecciones.

A continuación de tallaremos el diseño y funcionamiento del DAC que es la parte más crítica y complicada de este esquema. El filtro y el contador se pueden diseñar sin ningún problema y no presentan ninguna dificultad.

5.2 ARQUITECTURA DEL DAC

La arquitectura elegida para nuestro DAC es la de un DAC con decodificación digital como el que se muestra a continuación:

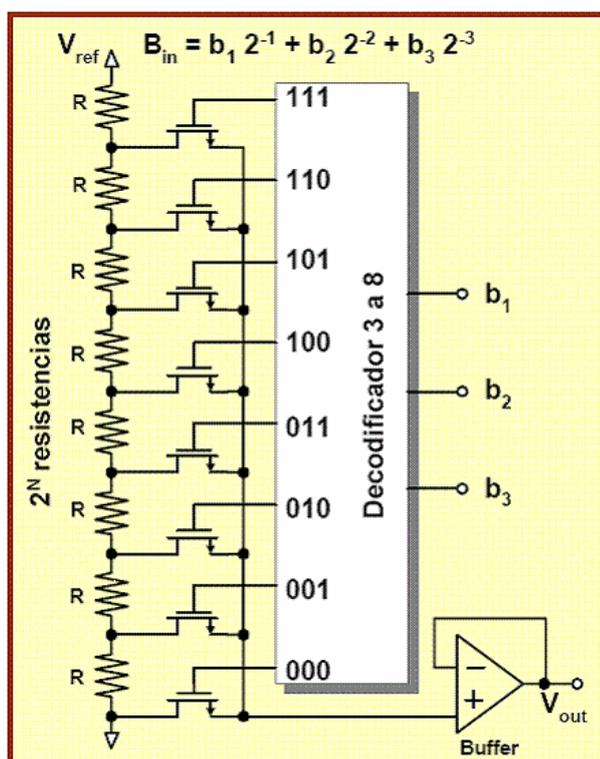


Figura 5.2. DAC de 3 bits con decodificación digital

Con este DAC conseguiremos una mayor velocidad si el decodificador digital es pipeline. No obstante como el DAC funcionará durante la fase de calibración, no importará demasiado su velocidad, esto lo comentaremos más detalladamente cuando hablemos de la parte de calibración digital. El único inconveniente que presenta este DAC respecto a otra serie de DAC es el área, que en este caso será mayor. La gran

ventaja respecto a otros esquemas basados en interruptores con llaves MOS, es que en este caso elegido, sólo tenemos un interruptor entre la escalera de resistencias y el buffer de salida con lo que obtendremos una salida más limpia ya que afectarán menos las no idealidades de las llaves MOS reales.

5.3 ESCALERA DE RESISTENCIAS

La escalera de resistencias usada para nuestro DAC, será la misma que usen los bloques de comparadores del convertidor A/D Flash. Debido a que va a ser única y usada por varios elementos debemos de hacer un diseño metódico y fiable de dicha escalera de resistencias. Los valores de las resistencias de dicha escalera serán todos iguales pero para saber que valor dar a las resistencias deberemos de tener en cuenta varios factores.

En el caso de un sistema continuo en el tiempo como este, la señal de referencia y la señal de entrada están conectadas directamente al par diferencial de los comparadores. El par diferencial acopla la señal de entrada y la referencia de tensión aplicada a las puertas de los transistores a través de la capacidad C_{gs} de cada transistor MOS. Para evitar que el feedthrough de la escalera de resistencias sea significativo, tendremos que calcular el valor máximo de las impedancias de nuestra escalera.

En la figura 5.3 tenemos un esquema de la etapa de ganancia. Como podemos ver en la figura, una de las dos entradas de esta etapa estará conectada al voltaje de referencia mientras que la otra estará conectada a la señal de entrada. La capacidad C_{gs} de los transistores MOS en la etapa de ganancia de la entrada, enganchará señal de la escalera de resistencias lo que conllevará un deterioro de las referencias de tensión (figura 5.4(a)).

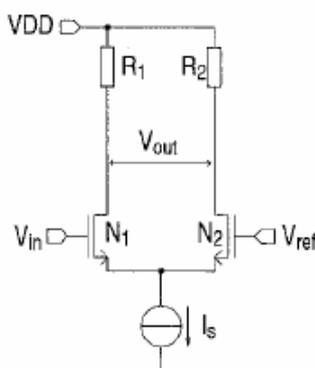


Figura 5.3. Etapa de ganancia a la entrada

En la figura 5.5(b) tenemos un modelo para calcular la máxima resistencia permitida para la escalera para un cambio en la referencia de tensión¹. En este modelo, la

¹ A. G. W. Venes et al., "Low power folding A/D converters," in Analog Circuit Design, J. H. Huijsing et al., Eds. Dordrecht: Kluwer, 1996, I - pp. 105-124.

resistencia total de la escalera R, ha sido dividida en cuatro partes de R/4 cada una. La capacidad total de acoplo de la etapa de entrada es C, y ha sido dividida en cinco capacidades. La capacidad C está formada por la suma de todas las capacidades de todas las etapas de ganancia de entrada (figura 5.5(a)).

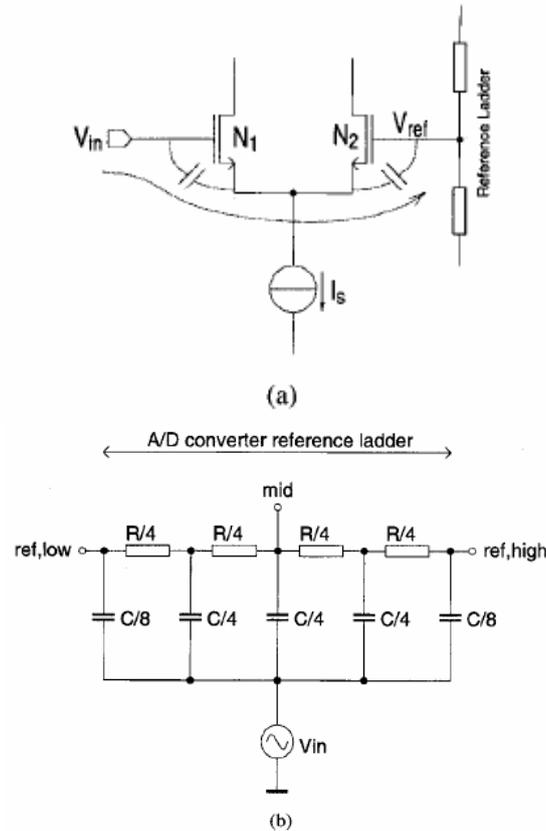


Figura 5.5. Modelos de la escalera de resistencias

Para un par diferencial común, la capacidad entre la señal de entrada y la escalera es igual a $\frac{1}{2}C_{gs}$. Si tenemos n_s etapas en paralelo, la capacidad de carga total a la entrada de la escalera viene dada por:

$$C_{total} = n_s \frac{1}{2} C_{gs}$$

Las capacidades C_{gs} de nuestros transistores las podemos obtener de la hoja de características de nuestra tecnología dada por el fabricante AMS.

$$C_{gsdon} = 0,120 \text{ fF} / \mu\text{m}$$

$$C_{gsdop} = 0,096 \text{ fF} / \mu\text{m}$$

Para diseñar nuestro esquema, consideraremos el peor de los casos, transistores n a la entrada, ya que tienen una mayor C_{gs} . Tomaremos como n_s el número de comparadores

en paralelo después de la escalera con lo que tenemos $n_s = 79$. Con estos datos y usando la ecuación anterior, obtenemos:

$$C_{total} = 79 \cdot \frac{1}{2} \cdot 0,120 \text{ fF} / \mu\text{m} = 4,74 \text{ fF}$$

El máximo feedthrough de la señal de entrada tendrá lugar en el centro de la escalera. Siguiendo las recomendaciones de Van de Plassche², una buena estimación del valor máximo que debe tener la escalera de resistencias para tener un margen de error determinado, viene dado por:

$$R_{ladder \max} = \frac{4 \frac{V_{mid}}{V_{in}}}{\pi \cdot f_{in} \cdot C_{total}} = \frac{4\phi}{\pi \cdot 2^n \cdot f_{in} \cdot C_{total}}$$

Donde ϕ determina la cantidad de feedthrough de la señal de entrada en LSBs, f_{in} la frecuencia máxima de entrada y n el número de bits. Con esta ecuación establecemos una relación entre el valor de las resistencias y el error máximo en LSBs. Con esta expresión lo que obtenemos es el valor máximo de R que hay que poner para conseguir un determinado error máximo. La parte derecha de la ecuación está relacionada con el error. El peor caso posible ocurrirá cuando el error sea de 0,5 LSBs, por lo tanto en nuestros cálculos consideraremos el peor caso posible tomando $\phi = 0,5 \text{ LSB}$. Considerando una frecuencia de funcionamiento de 300Mhz (es la frecuencia que nos limitaba el encoder), obtenemos:

$$R_{ladder \max total} = 6995 \Omega$$

Pero esta es la resistencia de la escalera completa. Como tenemos 80 resistencias en nuestra escalera (8+64+8 debido a las referencias de tensión extras), el valor de cada una de las resistencias será:

$$\underline{R_{ladder \max} = 87,5 \Omega}$$

² R.J. van de Plassche, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters, 2nd Edition*. Boston: Kluwer Academic Publishers, 2003.

5.4 DECODIFICADOR

A continuación pasaremos a detallar el diseño del decodificador digital que usaremos para montar nuestro DAC con decodificación digital. Como podemos ver en la figura 5.2, necesitaremos un decodificador N a R, siendo N el número de bits de entrada de nuestro DAC y R el número de referencias de tensión (número de resistencias) de la escalera de resistencias. En nuestro caso tendremos:

$$N = 7$$

$$R = 80$$

Es decir tendremos que diseñar un decodificador 7 a 80. Tomaremos $N=7$ ya que aunque nuestro convertidor será de un poco menos resolución ($N=6,5$), la entrada digital proveniente del contador que genera la rampa digital es de 7 bits. Las 80 referencias de tensión son las 64 de siempre más las referencias de tensión extras que hemos comentado en capítulos anteriores ($8 + 64 + 8$).

En primer lugar probamos a diseñar el decodificador con lenguaje VHDL y pasándolo de ahí a puertas lógicas. El circuito resultante con este método de diseño resultaba bastante complicado de implementar con puertas así que probamos a diseñar el decodificador manualmente basándonos en decodificadores más pequeños.

Un decodificador 3 a 8 es muy fácil de implementar en VHDL. El circuito resultante al hacer la vista esquemática del código resulta también bastante sencillo de pasar a puertas lógicas. En la figura 5.6 podemos ver el circuito resultante de hacer el código del decodificador en VHDL, pasarlo luego a vista esquemática y pasarlo a CADENCE. Como podemos ver en la figura, el decodificador no consiste más que en un grupo de LUTs que irán cableadas entre sí. Cada una de estas LUTs está formada por puertas lógicas sencillas. A este circuito hemos añadido además una señal de habilitación (CS) cuya función es habilitar o deshabilitar las salidas y que nos será muy útil más tarde. Cuando $CS="1"$ el decodificador está habilitado, luego las salidas tienen lugar normalmente. Cuando $CS="0"$, se deshabilita el decodificador poniéndose todas las salidas a "0".

Una vez que tenemos diseñado el decodificador 3 a 8 y hemos comprobado su buen funcionamiento, tendremos que intentar diseñar un decodificador 7 a 80. La idea es llegar a un decodificador 7 a 80 usando sólo decodificadores 3 a 8. La solución es bastante sencilla y la tenemos en la figura 5.8. Como podemos ver, la solución consiste en usar diez decodificadores 3 a 8 y usar un decodificador 4 a 10 para habilitar los chips select de los decodificadores 3 a 8. Es por esto por lo que los decodificadores 3 a 8 de la figura 5.6 han sido diseñados con una señal de selección. La idea ahora es construir ese decodificador 4 a 10 también mediante decodificadores 3 a 8. La solución la mostramos en la figura 5.7. Para estos decodificadores 3 a 8 no es necesaria la señal de selección CS. Las cinco últimas salidas del segundo decodificador 3 a 8 se dejaron sin conectar (non connect en CADENCE).

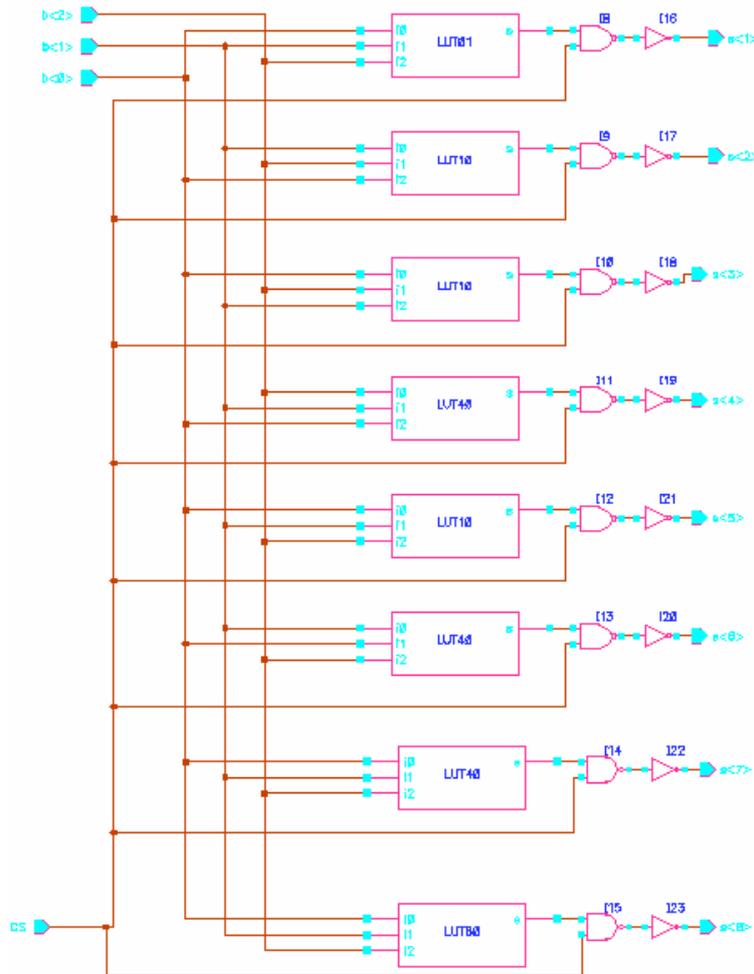


Figura 5.6. Decodificador 3 a 8 implementado en CADENCE

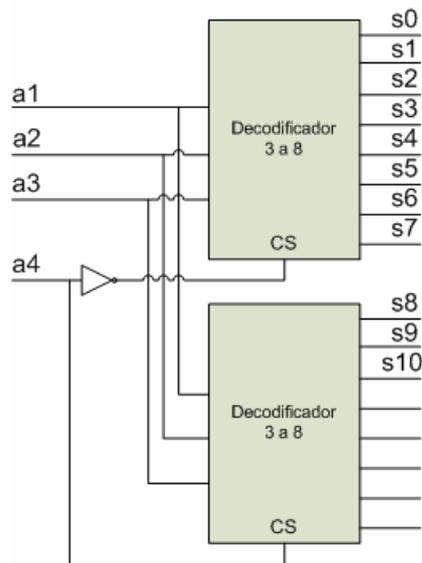


Figura 5.7. Decodificador 4 a 10 basado en decodificadores 3 a 8

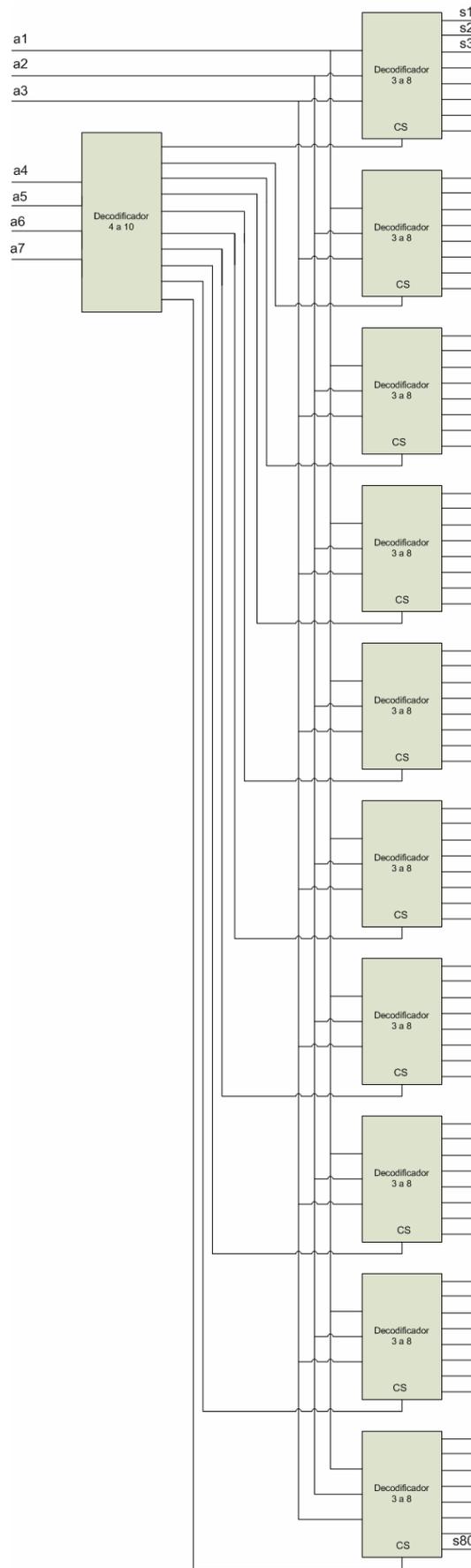


Figura 5.8. Decodificador 7 a 80

5.5 DAC DE 3 BITS

Una vez que ya que tenemos hecho el decodificador y la arquitectura de DAC clara, pasaremos a implementar un DAC sencillo de muy poca resolución para comprobar que el esquema de conversión funciona según lo previsto. Montaremos un DAC de 3 bits como el mostrado en la figura 5.2.

En nuestro esquema cambiaremos los transistores MOS por llaves reales con el objetivo de conseguir un mejor comportamiento y evitar problemas con las tensiones umbrales de los transistores (V_t) en las zonas cercanas a los extremos del rango de tensiones a la entrada (0 y 3,3V). La llave usada para nuestro DAC es la que se muestra a continuación:

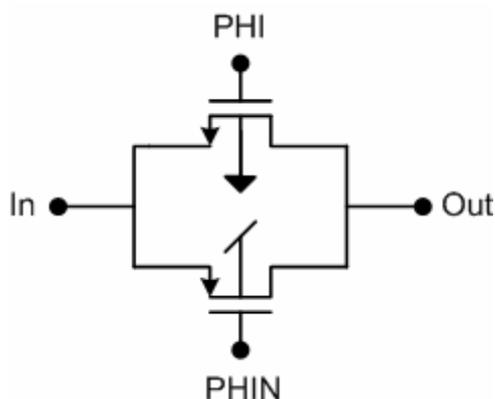


Figura 5.9. Llave MOS real

Una vez que tenemos las llaves, pasamos a montar nuestro DAC de 3 bits siguiendo el esquema de la figura 5.2. Para la simulación daremos los siguientes tamaños a los parámetros:

$$Mn = 10\mu m$$

$$Mp = 30\mu m$$

$$R = 1K\Omega$$

El esquema completo del DAC de 3 bits montado en CADENCE se muestra en la figura 5.10.

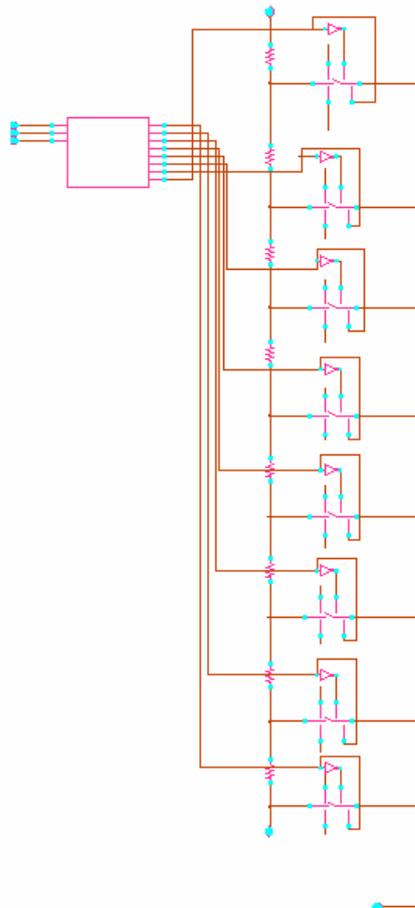


Figura 5.10. DAC de 3 bits en CADENCE

Como podemos ver en la figura, las llaves reales tendrán cuatro conexiones: Vdd, gnd, PHI y PHI negado. Para observar la bondad de los resultados hemos simulado también un DAC de la misma resolución pero basándonos en otra arquitectura. Esta arquitectura en la que nos hemos basado para comparar, es la mostrada en la figura 5.11. Como podemos ver, el número de llaves para esta arquitectura es mucho mayor que para la arquitectura escogida para nuestro esquema con lo que es de esperar que los resultados salgan peor.

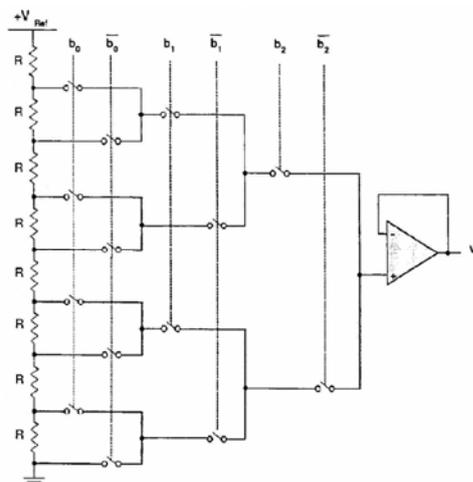


Figura 5.11. DAC de 3 bits escalado en tensión

Si hacemos un análisis transitorio con una entrada digital variando desde 000 a 111 progresivamente obtenemos los siguientes resultados:

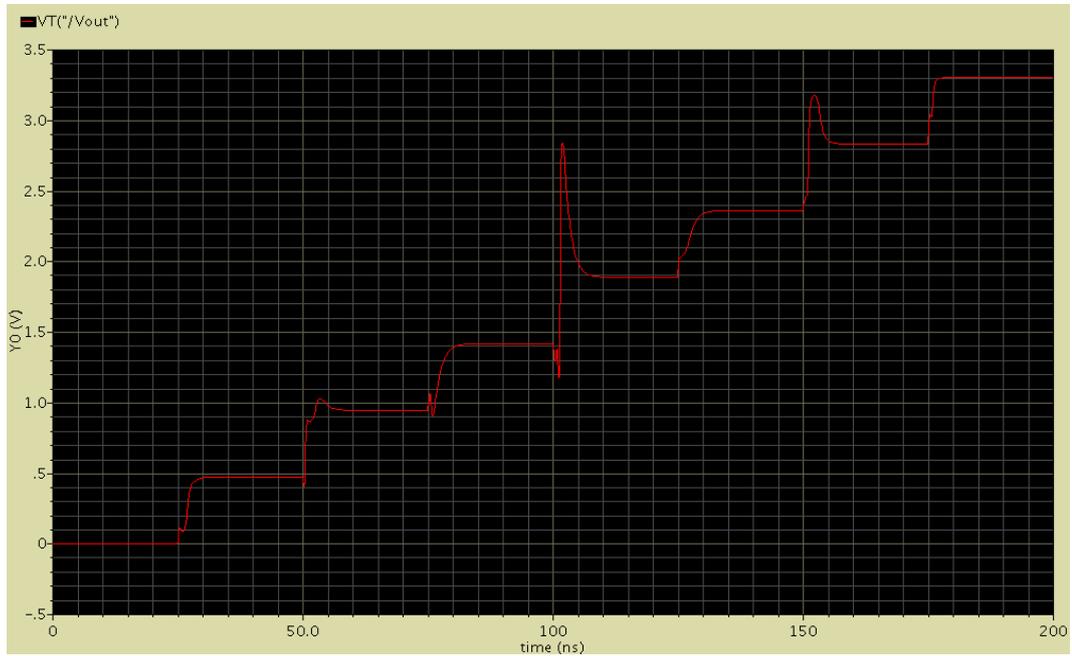


Figura 5.12. DAC escalado en tensión

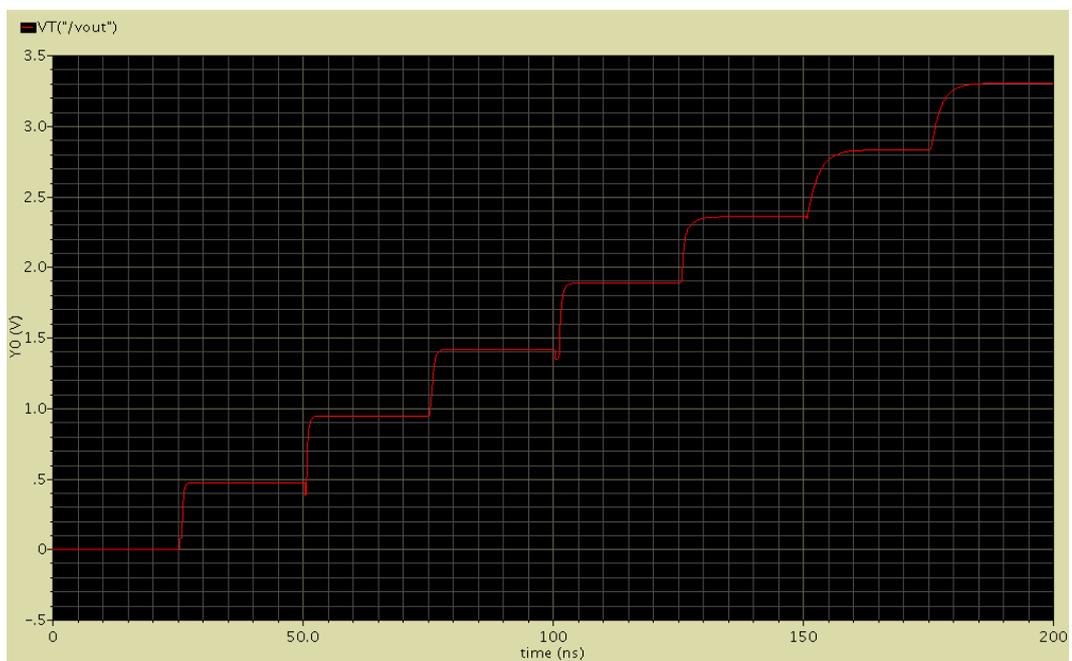


Figura 5.13. DAC con decodificación digital

Como podemos ver en las figuras, la salida para el DAC con decodificación digital es mucho más limpia que la del DAC escalado en tensión. Esto es debido a que el número de llaves en este DAC es menor por tanto las fugas de corriente serán menores dando lugar así a una escalera más limpia. Esas fugas de corriente hacen que se produzcan picotazos de tensión cuando cambiamos de un valor digital a otro.

5.6 PREAMPLIFICADOR

Una que hemos comprobado la validez de nuestro esquema para el DAC, tendremos que obtener una salida diferencial del mismo. Para pasar la salida del DAC de single-ended a diferencial podremos optar por tres opciones:

1. Duplicar la estructura del DAC en forma de espejo con las habilitaciones de las llaves invertidas.
2. Pasar de single-ended a diferencial mediante un preamplificador.
3. Pasar de single-ended a diferencial mediante un circuito de Sample & Hold.

Nosotros en este proyecto optaremos por la segunda de las soluciones ya que la primera implicará un mayor consumo debido a que el número de llaves y por tanto el número de transistores a duplicar será elevado, sobrepasando el número de transistores de un preamplificador. No obstante debido a que la tercera solución implica también bastante sencillez de diseño y un bajo consumo debido a que trabajaremos con pocos interruptores, explicaremos también a lo largo de este capítulo el diseño e implementación de esta tercera opción posible.

El esquema que usaremos para diseñar nuestro amplificador real será el siguiente:

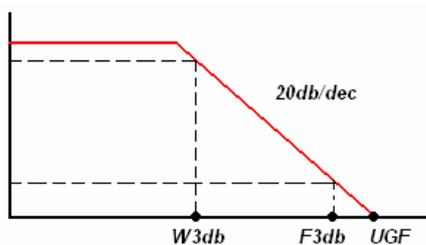


Figura 5.15. Diagrama de Bode de la magnitud

Para calcular ahora la UGF podemos usar las relaciones trigonométricas conociendo las relaciones entre las frecuencias. Estos cálculos se detallan a continuación:

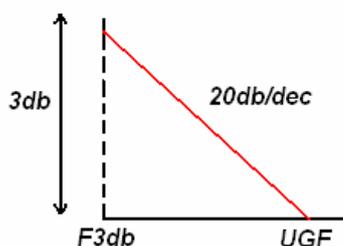


Figura 5.16. Detalle del diagrama de Bode

$$3dB = 20dB / dec \cdot (\log(UGF) - \log(F_{3dB}))$$

$$3dB = 20dB / dec \cdot \log\left(\frac{UGF}{F_{3dB}}\right)$$

$$\frac{UGF}{F_{3dB}} = 10^{\frac{3}{20}} = 1,4125$$

$$UGF = F_{3dB} \cdot 10^{\frac{3}{20}}$$

Con el valor de UGF obtenido podemos calcular el tamaño de los transistores usando las siguientes ecuaciones:

$$g_m = UGF \cdot C_C$$

$$I = g_m \cdot V_{ds} |_{sat}$$

$$I = \frac{1}{2} \mu_p C_{ox} \frac{W_p}{L_p} (V_{SG} - V_T)^2$$

$$R_C = \frac{1}{g_m}$$

Con una F_{3dB} de 5MHz en nuestro diseño y usando las ecuaciones anteriores, obtenemos:

$$UGF = 7,06MHz$$

Consideraremos como regla de diseño, que la capacidad de compensación de nuestro preamplificador tiene el mismo valor que la capacidad de carga a la salida, por tanto:

$$C_C = C_L = 1pF$$

Ahora una vez aquí, podemos calcular el valor de g_m mediante las siguientes ecuaciones:

$$UGF = \frac{g_m}{C_C} \Rightarrow g_m = UGF \cdot C_C = 4,44 \cdot 10^{-5} A/V$$

Ahora nos hará falta el valor de I_{bias} que deberemos conectar al esquema (ver figura 5.14). Eligiendo $V_{ds}=0,2V$ como un valor típico y siguiendo las ecuaciones de diseño anteriormente expuestas, tenemos:

$$I_{bias} = I_{dp} = g_m \cdot V_{ds} |_{sat} = 8,87 \mu A$$

Es importante señalar, que en nuestro esquema, el valor de I_{bias} será el mismo que para I_{dp} debido a que M1 y M_{dp} tienen el mismo tamaño.

Ahora ya sólo nos falta calcular el valor de la resistencia de compensación interna, R_C . El valor calculado mediante las ecuaciones, es un valor de R_C aproximado. Al principio del diseño del preamplificador consideraremos como valor de R_C este valor calculado, pero para obtener un funcionamiento correcto deberemos de encontrar el valor más idóneo de R_C mediante simulaciones y análisis paramétricos con CADENCE. El valor de R_C calculado teóricamente es:

$$R_C = \frac{1}{g_m} = 22,5K\Omega$$

Una vez que tenemos todos los parámetros, y siguiendo la ecuación característica de un transistor MOS, podemos despejar fácilmente los tamaños de los transistores.

$$I_{bias} = \frac{1}{2} \mu_p C_{ox} \frac{W_p}{L_p} (V_{SG} - V_T)^2$$

Eligiendo $(V_{SG} - V_T) = 0,2V$ (por definición), podemos calcular el tamaño de los transistores despejando (W/L) de la expresión anterior.

$$\frac{W_p}{L_p} = \frac{2I_{bias}}{(0,2)^2 \mu_p C_{ox}}$$

Consideraremos un tamaño para nuestros transistores n tres veces menor que para los p.

$$\frac{W_n}{L_n} = \frac{1}{3} \frac{W_p}{L_p}$$

De la hoja de características de la tecnología podemos sacar las constantes:

$$KP_p = \mu_p \cdot C_{ox} = 58 \mu A / V^2$$

$$KP_n = \mu_n \cdot C_{ox} = 170 \mu A / V^2$$

Considerando $L_p = L_n = L_{min} = 0,35 \mu m$, obtenemos el tamaño de los transistores p y n.

$$W_p = 2,68 \mu m$$

$$W_n = 0,914 \mu m$$

Por tanto, siguiendo las relaciones establecidas en la figura 5.14 para los tamaños de los transistores, tenemos:

$$W_{dp} = 2,68 \mu m = W_1$$

$$W_2 = 1,34 \mu m = W_4 = W_6 = W_8 = W_{10}$$

$$W_3 = 0,446 \mu m = W_5 = W_9 = W_7$$

El valor de la fuente de corriente externa será elegido mediante simulaciones. Haciendo diferentes simulaciones con CADENCE, los mejores valores de corriente encontrados para nuestro esquema son:

$$I_{bias} = 20 \mu A$$

$$I_{bias_externa} = 80 \mu A$$

Una vez que tenemos todos los parámetros calculados, pasaremos a encontrar el valor de R_c idóneo mediante simulaciones. Para asegurar el correcto funcionamiento del

preamplificador, debemos asegurar que el margen de fase de nuestro preamplificador es el correcto incluso variando la R_c un 20% arriba y debajo de su valor nominal.

Haciendo simulaciones, comprobamos que el valor idóneo para nuestra R_c era $R_c=15K\Omega$, ya que con este valor se obtiene un buen margen de fase, además si variamos este valor un 20% arriba y abajo tenemos $R_c=18 K\Omega$ y $R_c=12K\Omega$, valores estos con los que también se obtienen márgenes de fase adecuados. El resultado de estas simulaciones se muestra en la figura 5.17.

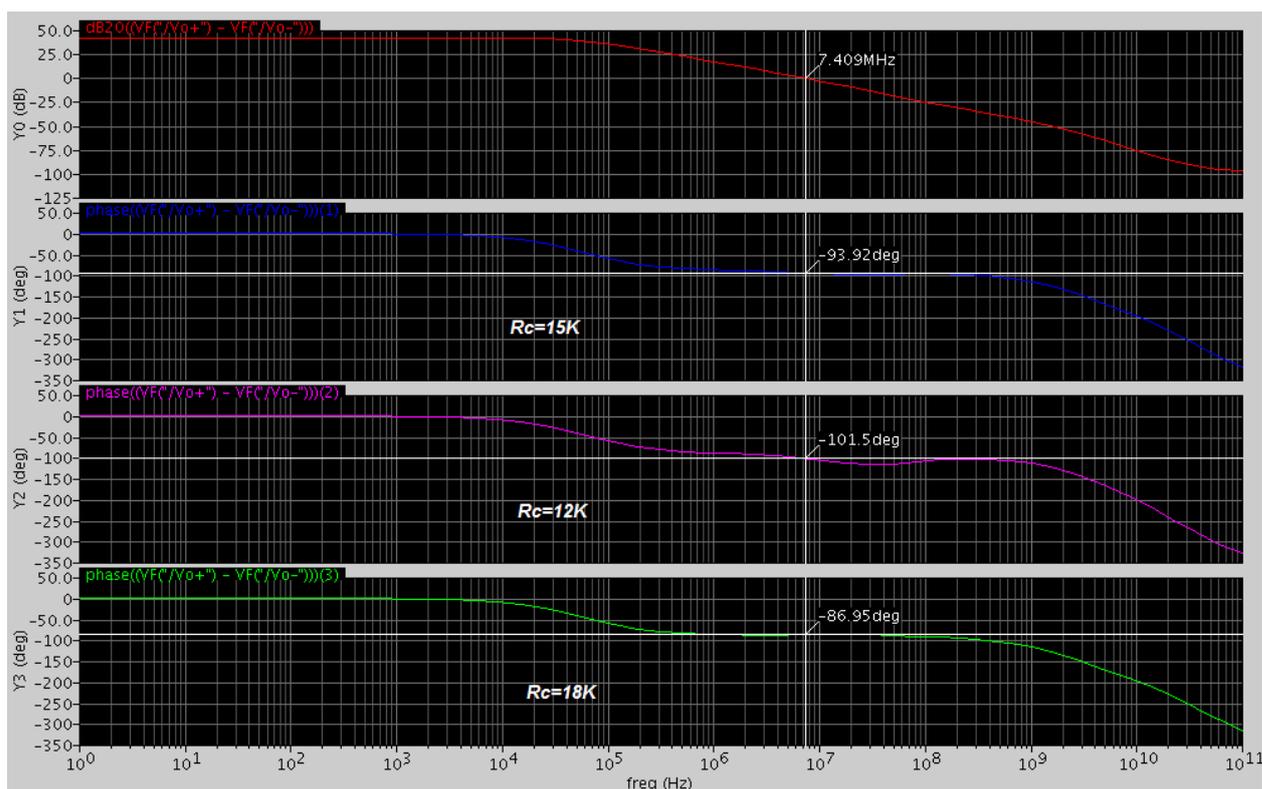


Figura 5. 17. Márgenes de Fase obtenidos variando R_c

5.7 CIRCUITO DE CONTROL DE MODO COMÚN

Como podemos observar en la figura 5.14, uno de los parámetros que tendremos que pasar como entrada a nuestro preamplificador, será una señal de control de modo común de manera que dicha señal permita controlar el modo común a la salida de forma automática. Esta señal de control del modo común vendrá dada por un circuito de control de modo común que se encargará de fijar un modo común a la salida de forma automática, para lo cual subirá o bajará la señal de control de modo común dependiendo de si la tensión a la salida del circuito sube o baja. Un circuito capaz de hacer este control es el mostrado en la figura 5.15.

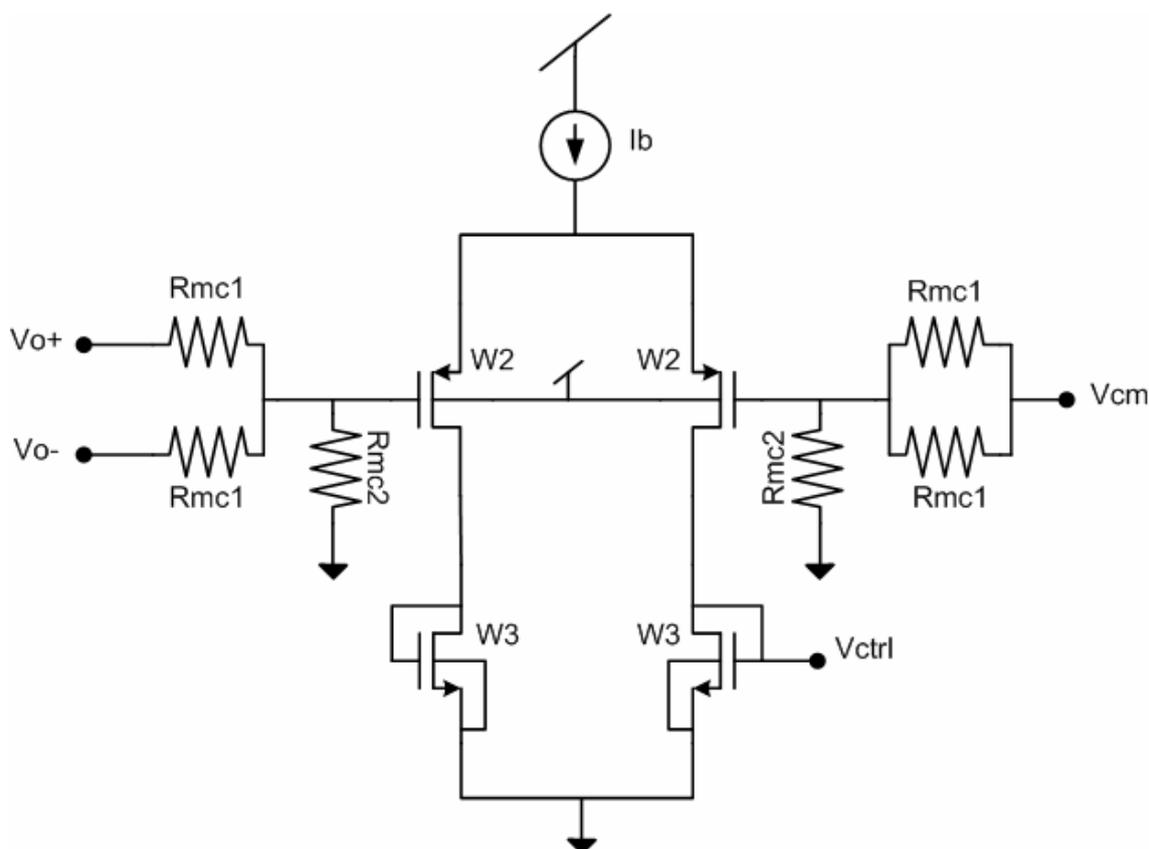


Figura 5.15. Circuito de control de modo común real

El circuito generará una señal de control (V_{ctrl}) que controlará el modo común del preamplificador, a partir del modo común deseado (V_{cm}) y de las referencias de tensión a la salida del preamplificador (V_{o+} y V_{o-}). Los transistores usados deberán tener el mismo tamaño que los transistores de la parte central de nuestro preamplificador, debido a que la I_b usada, será la misma que para el preamplificador. Teniendo en cuenta esto, tenemos que los parámetros para nuestro circuito de control de modo común tienen los siguientes valores:

$$\begin{aligned}
 I_b &= 20\mu A \\
 W_2 &= 1,34\mu m \\
 W_3 &= 446nm \\
 R_{mc1} &= 1M\Omega \\
 R_{mc2} &= 500K\Omega
 \end{aligned}$$

Estamos ante un circuito de control de modo común real por lo que será difícil que el modo común al que nos mueva dicho circuito sea exactamente el V_{cm} deseado. Concretamente en nuestro caso tenemos un modo común deseado de 1,65V mientras que el modo común real proporcionado a la salida cuando se aplica el circuito de control de modo común es de 1,44V. Como vemos el valor deseado no difiere demasiado del valor real obtenido, siendo por tanto éste un buen valor de modo común aceptable para nuestro circuito.

5.8 CIRCUITO DE SAMPLE & HOLD

Como ya hemos mencionado anteriormente, otra de las posibilidades que tenemos a la hora de pasar a diferencial la salida de nuestro DAC es mediante el empleo de un circuito sample & hold. El esquema más sencillo que podemos usar para pasar a diferencial con un circuito sample & hold es el mostrado en la figura 5.19.

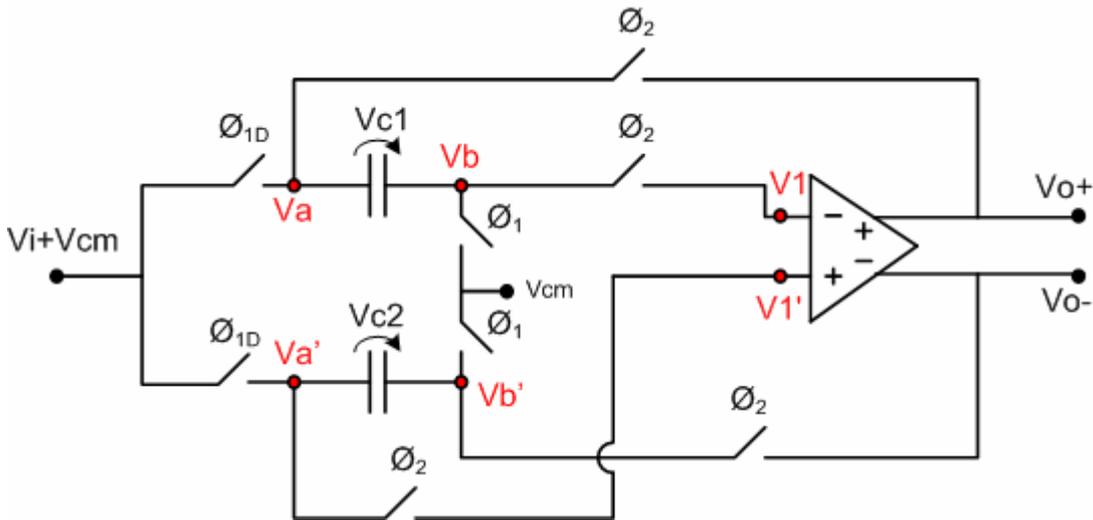


Figura 5.19. Circuito Sample & Hold

La tensión de entrada estará referida sobre el modo común de entrada, siendo el modo común de entrada igual al modo común de salida. Para conectar el circuito a nuestro DAC, tomaremos el modo común como el nodo central de la escalera de resistencias de nuestro DAC, así todas las tensiones que estén por encima de dicho nodo central serán $V_i + V_{cm}$, mientras que todas las tensiones que estén por debajo de dicho nodo central serán $V_{cm} - V_i$, con lo cual el comportamiento del circuito será el siguiente:

ϕ_1 : se carga la tensión de entrada en las capacidades de entrada al circuito.

$$V_{C1} = V_{C2} = V_i$$

ϕ_2 : el circuito pasa a ser el de la figura 5.20, teniendo por tanto:

$$V1 = V1' = V_{cm}$$

$$V_o^+ = V_i + V_{cm}$$

$$V_o^- = -V_i + V_{cm}$$

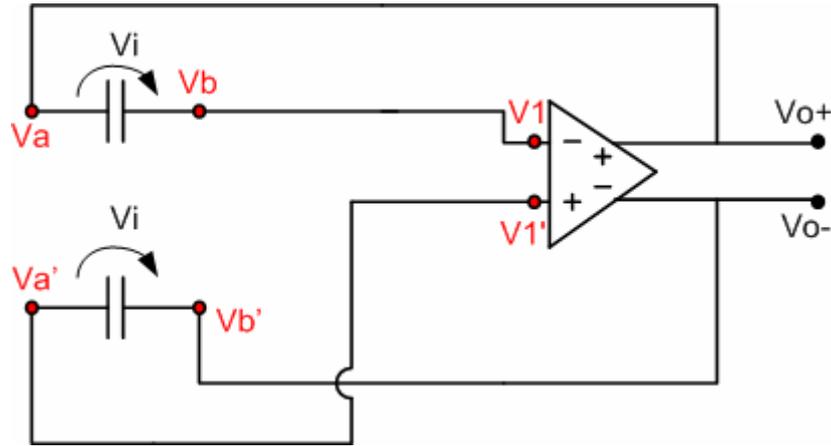


Figura 5.20. Comportamiento del circuito en Φ_2

Siguiendo el desarrollo de las expresiones anteriores, vemos como lo que obtenemos a la salida no es más que la tensión de entrada con respecto al modo común en versión diferencial, es decir, la versión diferencial de la tensión del nodo de la escalera que vaya conectado a V_i .

Una vez que tenemos el esquema de nuestro circuito sample & hold con su comportamiento perfectamente definido, pasamos nuestro esquema al entorno CADENCE para poder simular y comprobar su funcionamiento. A continuación mostraremos sólo los resultados obtenidos con llaves reales que son los de mayor interés teniendo en cuenta una posible futura implementación física del esquema. Para comprobar el funcionamiento tomamos:

$$V_i = 0,35V$$

$$V_{entrada} = V_i + V_{cm} = 0,35V + 1,65V = 2V$$

Con lo cual no tenemos más que una fuente de 2V conectada a la entrada del esquema. Según las ecuaciones de funcionamiento mostradas anteriormente para la fase Φ_2 , las salidas esperadas para esta tensión de entrada son:

$$V_{o^+} = 2V$$

$$V_{o^-} = 1,3V$$

Los valores obtenidos de la simulación realizada en CADENCE se muestran en la figura 5.21. Como podemos ver en dicha figura, los valores finales alcanzados son efectivamente los valores de tensión esperados a la salida.

Una segunda prueba fue realizada al circuito sample & hold con el objetivo de comprobar su paso a diferencial. Dicha prueba consistía en colocar a la entrada del circuito una rampa de tensión que variase entre 0 y 3,3V (todo el rango de tensiones). La salida esperada sería una rampa muestreada junto con su versión diferencial, es

decir, dos rampas, una de 0 a 3,3V y la otra de 3,3 a 0V, ambas muestreadas por tratarse de un circuito en tiempo discreto. El resultado obtenido se muestra en la figura 5.22.

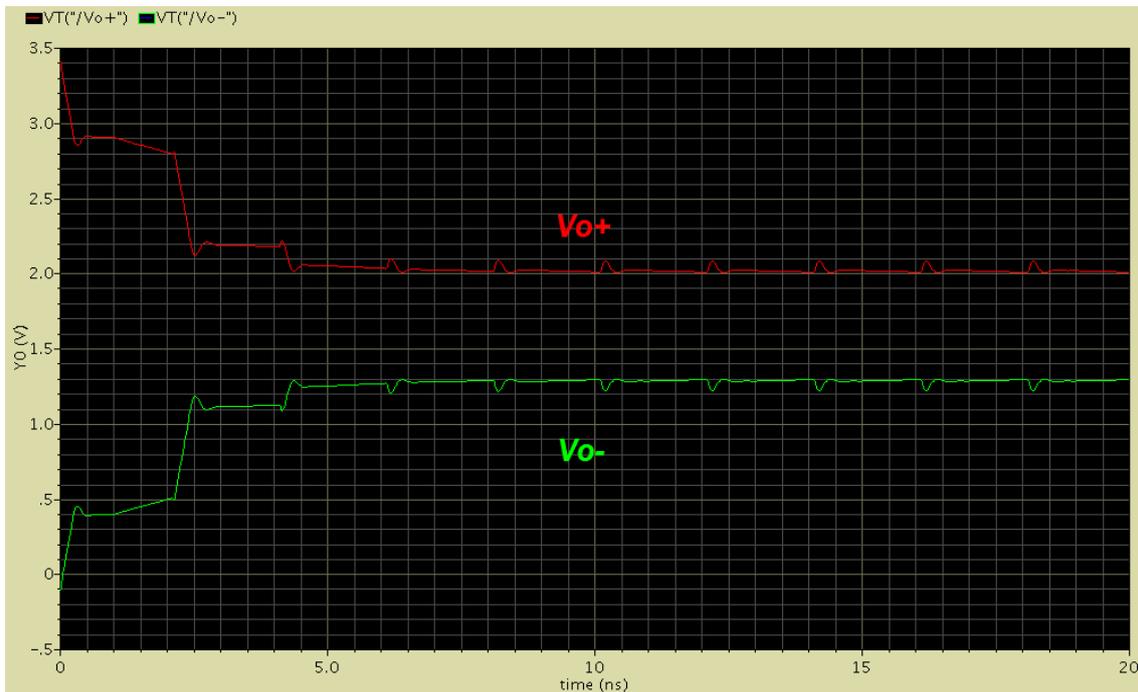


Figura 5.21. Salidas del sample & hold para $V_i=0,35V$

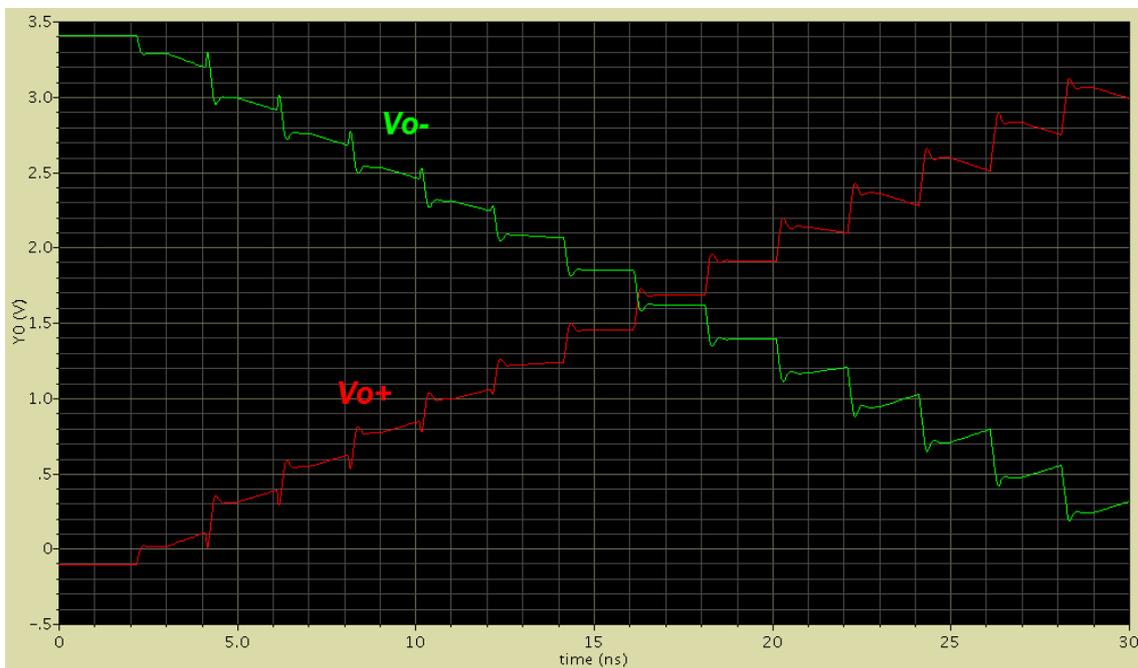


Figura 5.22. Salidas del sample & hold para una rampa de entrada desde 0 a 3,3V

Por último en cuanto al circuito sample & hold, decir que la tensión V_{cm} de modo común que necesita dicho esquema, será tomada directamente del nodo central de la

escalera de resistencias, de manera que tendremos V_i+V_{cm} por encima de dicho nodo y $-V_i+V_{cm}$ por debajo de él.

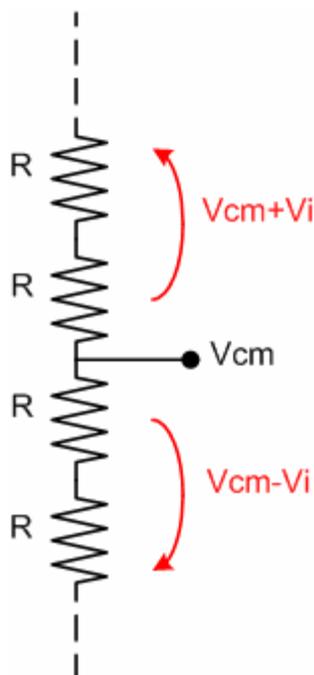


Figura 5.23. Referencia de modo común tomada de la escalera

5.9 DAC DIFERENCIAL DE 7 BITS

Una vez observado mediante el DAC de 3 bits que la arquitectura de DAC seleccionada funciona correctamente, pasaremos a implementar el DAC de 7 bits. La arquitectura seleccionada es la misma que para el DAC de 3 bits, la única diferencia radica en que ahora el número de llaves será mucho mayor, y el decodificador usado será el decodificador 7 a 80 diseñado en el apartado 5.4. Al igual que ya ocurriera con el DAC de 3 bits, en nuestro esquema cambiaremos los transistores MOS por llaves reales con el objetivo de conseguir un mejor comportamiento y evitar problemas con las tensiones umbrales de los transistores (V_t) en las zonas cercanas a los extremos del rango de tensiones a la entrada (0 y 3,3V).

Para la simulación daremos los siguientes tamaños a los parámetros:

$$M_n = 10 \mu m$$

$$M_p = 30 \mu m$$

$$R = 87,5 \Omega$$

Hemos tomado el valor de resistencia calculado en el apartado 5.3.

Para obtener la salida diferencial a partir de la salida single ended, optaremos en este caso por la solución del preamplificador. La salida obtenida mediante simulación en CADENCE, una vez hechas todas estas consideraciones, la podemos ver en la figura 5.24.

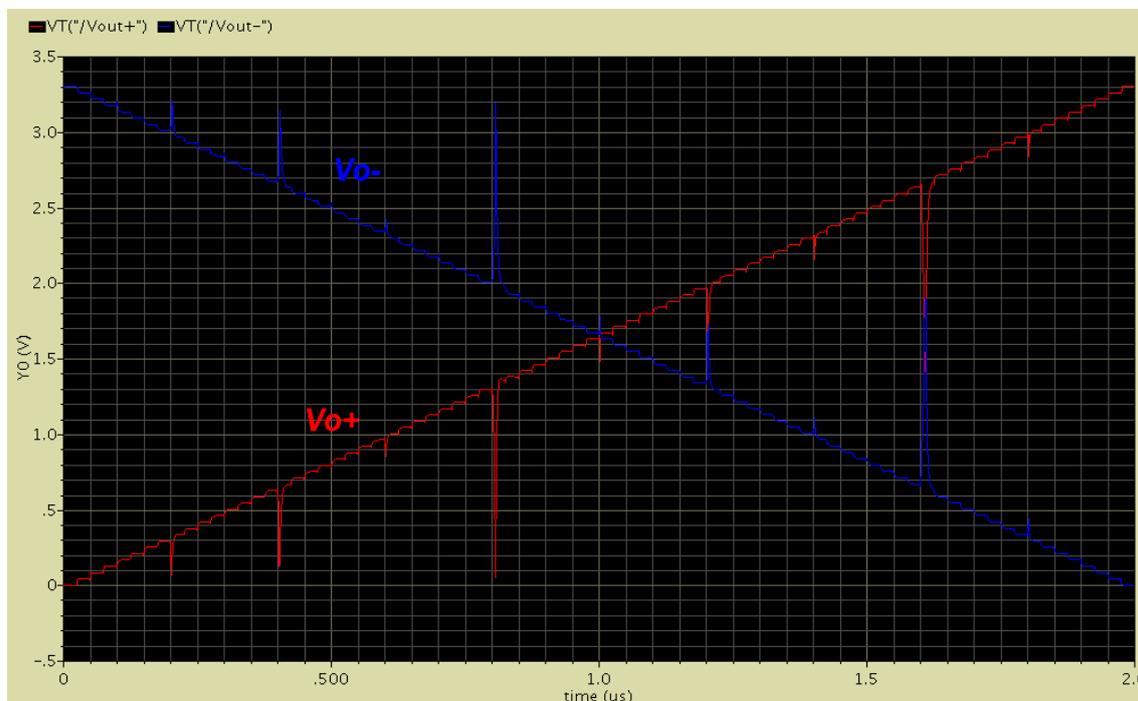


Figura 5.24. Salida del DAC de 7 bits con preamplificador

Como podemos ver en la figura la salida obtenida es una escalera como la esperada, con el único inconveniente de que obtenemos unos picotazos de tensión debidos fundamentalmente a un cambio de los bits significativos, es decir, los pasos de 01111... a 10000.... y sucesivos. Estos picotazos no suponen ningún inconveniente ya que serán eliminados en la etapa de filtrado que sigue al DAC con el objetivo de linealizar y limpiar la rampa de tensión.

5.10 FILTRO DE PRIMER ORDEN

Es el último elemento de nuestro generador de rampa, como ya dijimos anteriormente, se tratará de un filtro LP lo más sencillo posible formado por una resistencia y un condensador. Su misión es linealizar la salida del DAC y corregir posibles imperfecciones. El ejemplo más sencillo de filtro que podemos encontrar para nuestro diseño es el mostrado en la figura 5.25.

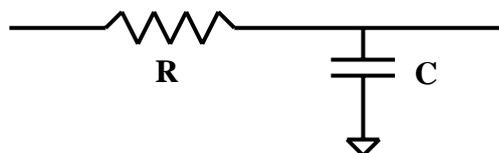


Figura 5.25. Filtro LP sencillo

Los valores elegidos para la simulación en CADENCE del filtro son:

$$R = 100K$$

$$C = 1pF$$

Con estos valores, la salida obtenida tras colocar el filtro a la salida del DAC es la mostrada en la figura 5.26.



Figura 5.26. Salida del DAC filtrada

Como podemos ver en la figura, tras el su paso por el filtro de primer orden, la rampa está lo suficientemente linealizada como para servir de rampa de calibración a nuestro circuito, por tanto está será la rampa que pasaremos a los bloques de comparadores durante la fase de calibración de nuestro convertidor A/D.