

Capítulo 7.

BLOQUE DE COMPARADORES

- 7.1 ESQUEMA GENERAL*
- 7.2 DISEÑO DE LOS COMPARADORES*
 - 7.2.1 No idealidades en comparadores*
 - 7.2.2 Arquitectura de los Comparadores*
 - 7.2.3 Funcionamiento*

7.1 ESQUEMA GENERAL

En este capítulo nos centraremos en el diseño de uno de los cuatro bloques de comparadores de los que se compone nuestro esquema general. En lo sucesivo consideraremos cada uno de estos bloques de comparadores como un flash independiente.

Como ya explicamos anteriormente en el capítulo 3 de este proyecto, necesitaremos una redundancia de comparadores para cada nivel de referencia. En dicho capítulo, mostrábamos mediante resultados de simulaciones con MATLAB, como una redundancia de cuatro comparadores por código era suficiente como para asegurar un correcto funcionamiento del esquema. Esto nos lleva a que en lugar de tener los C comparadores típicos de un convertidor A/D flash, tendremos $4C$ comparadores, es decir, es como tener el flash repetido cuatro veces. Para cada uno de estos cuatro flash, utilizaremos obviamente la misma escalera de resistencias, que a su vez será la escalera de resistencias usada también para el DAC, con lo cual tenemos una única escalera de resistencias para todo el circuito como ya hemos indicado en capítulos anteriores.

Como ya comentamos en el capítulo 4, debemos añadir 10 referencias de tensión extra por arriba y por debajo de nuestra escalera aproximadamente. Para simplificar nuestro diseño del encoder tomábamos un número de referencias extra a añadir que sea múltiplo de 2^N . Como 10 no es múltiplo de 2^N , cogemos el número inmediatamente inferior que sea múltiplo de 2^N , es decir, tomábamos 8 referencias extras de tensión por cada lado. Lo que implicaba un total de:

$$NR = 8 + 64 + 8 = 80$$

$$NC = 79$$

Tendremos entonces un total de 80 resistencias y 79 comparadores en nuestro Flash sin hacer redundancia. Estos cálculos son para un único flash, si tenemos en cuenta que tenemos que hacer una redundancia de cuatro en los comparadores nos quedarán cuatro flash que compartirá una única escalera de resistencias como podemos ver en la figura 7.1.

En un principio, si aplicamos una redundancia de 4 a los comparadores, tendríamos un esquema formado por cuatro flash de 79 comparadores cada uno. Como vemos en la figura 7.1 esto no es así ya que el último flash está formado sólo por 78 comparadores, el por qué de esta disminución de comparadores en el cuarto flash está ampliamente detallada en el capítulo 4, no obstante resumiremos su explicación a continuación.

Si llamamos NW al número de árboles de Wallace de 5 bits usados en la primera etapa de nuestro encoder y NE al número de entradas disponibles en nuestro encoder, podemos calcular el número de entradas disponibles para nuestro encoder mediante la siguiente expresión:

$$NE = 31 \cdot NW + \frac{NW}{2}$$

En nuestro caso tenemos:

$$NE = 315$$

Es por esto por lo que el número de entradas ha sido reducido de 316 a 315, así nos evitamos tener que volver a duplicar la estructura con lo que se añadirían unos cuantos árboles de Wallace más que sería desaprovechados ya que sólo usaríamos una de sus entradas. Con 315 entradas conseguimos una estructura óptima.

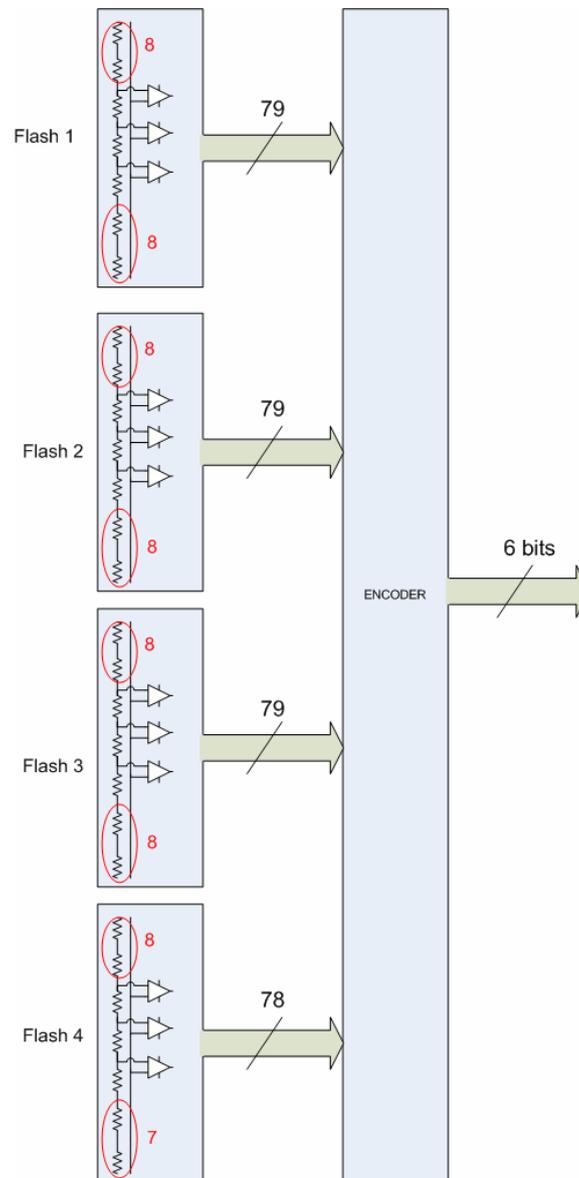


Figura 7.1. Esquema general aplicando redundancia de comparadores

Como ya hemos señalado a pesar de que en la figura 7.1 no se pueda apreciar claramente, la escalera de resistencias que usaremos para cada uno de los cuatro flash será la misma, siendo también ésta, la usada por el DAC del generador de rampa, en definitiva sólo tenemos una sola escalera en todo el esquema completo. Como dicha escalera de resistencias fue ya diseñada en el capítulo 5, nos dedicaremos a continuación al diseño de los comparadores que compondrán cada flash.

7.2 DISEÑO DE LOS COMPARADORES

7.2.1 No idealidades en comparadores

Las principales no idealidades con las que nos podemos encontrar en un comparador, son principalmente dos, la histéresis y el offset, aunque como describimos a continuación, nos podemos encontrar con muchas más.

1. Histéresis:

Como concepto general, el término histéresis denota una característica de comportamiento (respuesta) que depende del sentido en que varíe el estímulo (entrada). En un comparador electrónico, la presencia de histéresis significa que la salida conmutará desde un estado A a un estado B cuando la señal de entrada creciente supere un nivel dado V_1 , y que la conmutación desde B hacia A se producirá cuando la señal de entrada decreciente caiga por debajo de otro nivel dado V_2 .

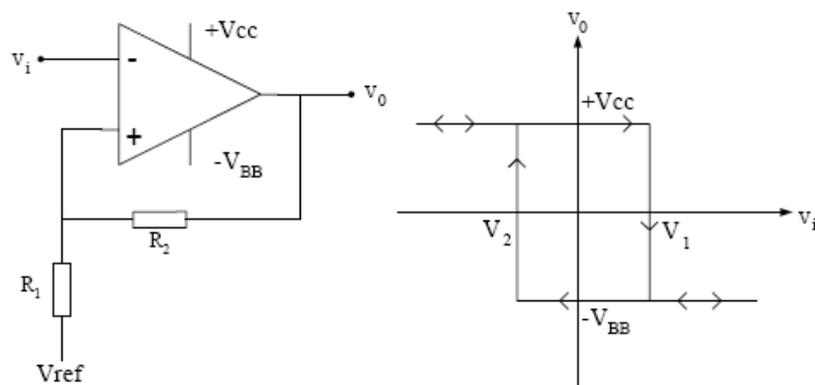


Figura 7.2. Histéresis en un comparador inversor

Para una señal de entrada V_i suficientemente negativa, por estar aplicada a la entrada inversora, la salida asumirá el valor máximo positivo, $+V_{CC}$. Si la señal de entrada V_i comienza a aumentar hacia valores positivos, la salida se mantiene en $+V_{CC}$ hasta que V_i supera (o iguala) el valor de V_1 anterior; en dicho instante la salida conmutará a su valor máximo negativo, $-V_{BB}$. Se denomina “histéresis del comparador” a la diferencia entre ambos umbrales de Conmutación (V_1-V_2).

2. Offset de la corriente de entrada:

Las entradas de un A.O. presentan normalmente algún grado de asimetría, debido fundamentalmente a tolerancias de fabricación.; de tales asimetrías resulta que las corrientes serán diferentes entre ambas entradas.

Estas desviaciones respecto de la especificación anterior pueden alcanzar típicamente al 25%, con máximos del orden de 40%. Aún cuando a ambas entradas se conecten impedancias iguales, la diferencia entre las corrientes que circulan por ellas provocará diferentes caídas de tensión, generando así una tensión (la “diferencia”) que se aplica entre ambas entradas, apareciendo en la salida fuertemente amplificada.

3. Offset de la tensión de entrada:

También por causa de tolerancias en el proceso de fabricación se presenta asimetría en las tensiones requeridas en cada entrada para obtener salida nula, esto es, se requiere una pequeña diferencia de tensión (no nula) para lograr el balance de etapas internas. A pesar que los valores típicos de V_{offset} están en el rango de unidades de [mV], dos circunstancias agravan la situación:

- Las pocas unidades de [mV] en la entrada aparecerán amplificadas en la salida por la ganancia de la configuración,
- El offset o diferencia presenta deriva ante variaciones de temperatura, reduciendo la probabilidad de éxito de algún intento de compensarla, a través de los componentes externos.

Este offset a la entrada se refleja mediante una pendiente finita en la proximidad del 0 del eje de abscisa como podemos ver en la figura 7.3.

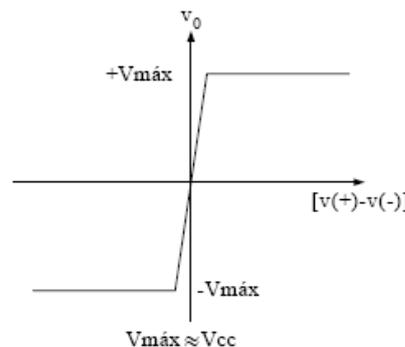


Figura 7.2. Salida del comparador con offset

Muchos A.O.'s cuentan con terminales accesibles que permiten ajustes de compensación de acuerdo a conexiones recomendadas por el fabricante.

4. **Ganancia con tensión finita:**

Si bien la ganancia de tensión presenta valores muy altos (en el rango de 100000, 100[dB]) éstos son finitos; lo que es más relevante es la disminución que esta ganancia presenta para señales cuya frecuencia esté por sobre aprox. 100[Hz] (típico), disminución que se hace más fuerte a medida que aumenta la frecuencia. Normalmente esta especificación se entrega en forma gráfica (frecuencia en la abcisa logarítmica y ganancia en la ordenada, expresada en [dB]). De esta gráfica puede leerse la FRECUENCIA DE TRANSICIÓN, que corresponde a la ganancia unitaria (0[dB]), límite superior del rango de frecuencias en que es utilizable el A.O.

La condición de realimentación reduce la ganancia y extiende el rango plano de la respuesta en frecuencia. Para una estimación se logra buena aproximación al suponer que el producto ganancia x ancho de banda se mantiene constante para toda razón de realimentación (R_f a R_i).

5. **Impedancia de salida finita:**

La impedancia de salida no es nula; siendo un valor típicamente bajo, pocas decenas de Ohm, decrece aún al realimentar el A.O. Normalmente no constituye dificultad .

Lo que sí constituye una limitante de consideración en relación a la etapa de salida es la capacidad de corriente de ésta. Normalmente se especifica como límite absoluto o corriente de cortocircuito (en el orden de 20[mA]), o en función de la magnitud de la tensión en la misma salida.

La mayoría de los A.O. actuales incluye la limitación de corriente de salida como una forma de protección ante cortocircuitos, pudiendo así éstos ser soportados en forma indefinida.

6. **Rango de tensión de entrada:**

Ya sea aplicada en forma común a ambas entradas, o en forma diferencial (entre ambas entradas), la tensión máxima es algo menor que la de polarización (2 ó 3 [V] menos que V_{cc}).

7. **Slew Rate:**

Debido a la gran cantidad de componentes activos presentes, y a las muy pequeñas separaciones físicas entre ellos (que se traducen en capacidades parásitas de realimentación) existe un alto riesgo de inestabilidad que puede resultar en oscilaciones autónomas. A fin de prevenir tales inestabilidades (oscilaciones), se incorporan otras capacidades de compensación. El resultado

final es una limitación en la máxima velocidad de cambio de la señal observable en la salida. Debe destacarse que esta limitación es diferente a la de “respuesta en frecuencia”: el slew rate se refiere a la máxima pendiente que puede presentar la señal de salida (la que depende tanto de la amplitud como de la frecuencia de la señal); la respuesta en frecuencia se refiere a una reducción de la ganancia al aumentar la frecuencia (sin importar la amplitud).

8. **Otras limitaciones diversas (menos relevantes):**

- Rechazo de modo común finito
- Rechazo de fuente (polarización) finito.
- Ruido (tensión o corriente) en la entrada.
- No linealidades (distorsión armónica y de cruce).
- Degradación de características por factores diversos.

7.2.2 Arquitectura de los comparadores

En esta parte nos centraremos en el diseño de los comparadores que llevarán cada uno de los cuatro flash. La arquitectura que usaremos para nuestros comparadores será una arquitectura de Yin¹ modificada, la cual ha demostrado muy buenos resultados en proyectos similares. La arquitectura de un comparador de Yin modificado se muestra en la figura 7.3.

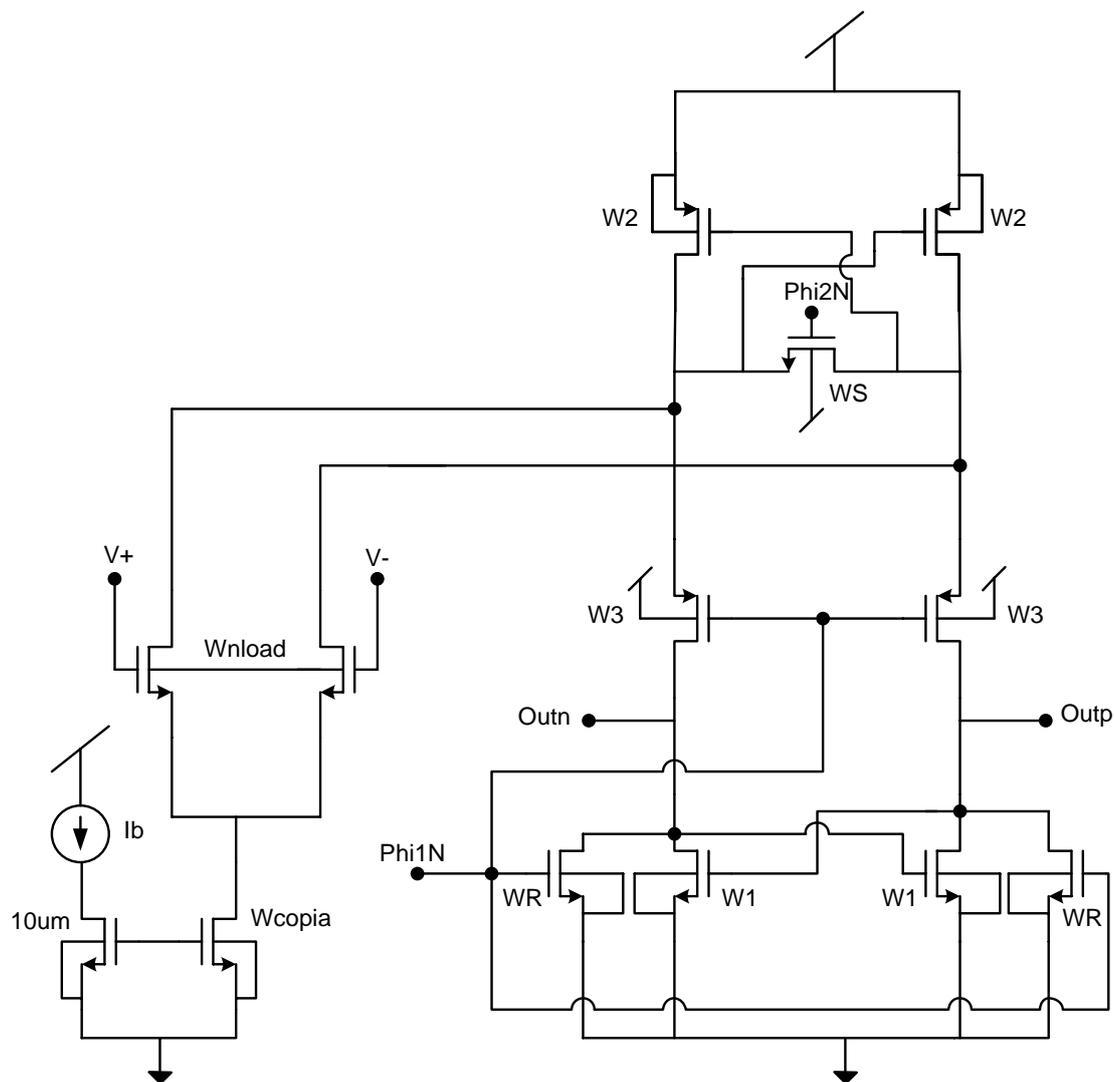


Figura 7.3. Comparador de Yin modificado

Básicamente, el comparador está formado por un par diferencial de entrada al que se conecta la señal en la primera etapa, en la segunda etapa copiamos la corriente en unos latches que se encargarán de desbalancear una u otra rama en

¹ "A High-Speed CMOS Comparator with 8-b Resolution", IEEE JOURNAL OF SOLID-STATE CIRCUITS. VOL. 27. NO. 2. FEBRUARY 1992

función de la corriente que se haya copiado. El funcionamiento del circuito se puede resumir de la siguiente forma:

1. Dependiendo de la tensión que tengamos a las puertas del par diferencial (**Wnload**) se generará una u otra intensidad. Esta intensidad se amplifica y se copia a la segunda etapa ya amplificada.
2. En la segunda etapa, los transistores **W1** y **W2** que forman los latches, se encargarán de desbalancear una de las dos ramas, ganando aquella por la que circule mayor intensidad.
3. El transistor **W3** se encargará de aislar la parte inferior y superior de la segunda etapa del circuito con el objetivo de que los latches se olviden del estado de comparación anterior cuando se encuentren en el estado de reset.
4. Los transistores de ancho **WR** se encargarán de resetear el latch inferior mientras que el transistor de ancho **WS** reseteará el superior. Es importante señalar que aunque el tamaño del transistor **WS** no influye en los análisis hechos durante las simulaciones, es conveniente que dicho tamaño sea lo suficientemente grande como para que se haga un buen reset del circuito, ya que por el contrario, si el tamaño no es suficientemente elevado, no se hace un buen reset del circuito y no se olvida el estado anterior, provocando entonces siempre la misma salida del circuito.

7.2.3 Funcionamiento

Para comprobar el correcto funcionamiento de nuestro comparador haremos análisis en AC para comprobar el ancho de banda de operación y en transitorio para comprobar la histéresis nuestro esquema.

Es importante indicar que dado que buscamos una frecuencia de reloj de 1Ghz aproximadamente, tendremos que diseñar nuestro comparador para que funcione a una frecuencia tres veces mayor, ya que la frecuencia de reloj esta relacionada con el ancho de banda mediante la siguiente expresión:

$$f_{CLK} \approx \frac{BW_{3dB}}{3}$$

Así mismo, buscaremos una ganancia de 0dB en nuestro comparador, con el objetivo de que no se amplifique el offset que pueden introducir los elementos que van conectados previamente al comparador, los cuales pueden introducir offset de hasta unos 80mV, este offset resultaría amplificador gravemente si la ganancia de nuestro comparador no es muy próxima a 0dB, introduciendo un

offset en conjunto bastante grande que resultaría en un deterioro significativo de los niveles de salida de nuestro comparador.

Por tanto, y según las consideraciones explicadas anteriormente, tendremos que diseñar un comparador que cumpla con las siguientes especificaciones:

$$BW_{3dB} \approx 3\text{GHz}$$

$$A \approx 0\text{dB}$$

Tras varias simulaciones en AC, comprobamos que obteníamos un buen ancho de banda y una buena ganancia con los siguientes tamaños para los transistores:

$$W_{copia} = 27\ \mu\text{m}$$

$$WS = 160\ \mu\text{m}$$

$$WR = 25\ \mu\text{m}$$

$$W_{load} = 900\ \mu\text{m}$$

$$W3 = 160\ \mu\text{m}$$

$$W2 = 600\ \mu\text{m}$$

$$W1 = 150\ \mu\text{m}$$

$$Ib = 1,5\text{mA}$$

El resultado de las simulaciones en AC se muestra a continuación:

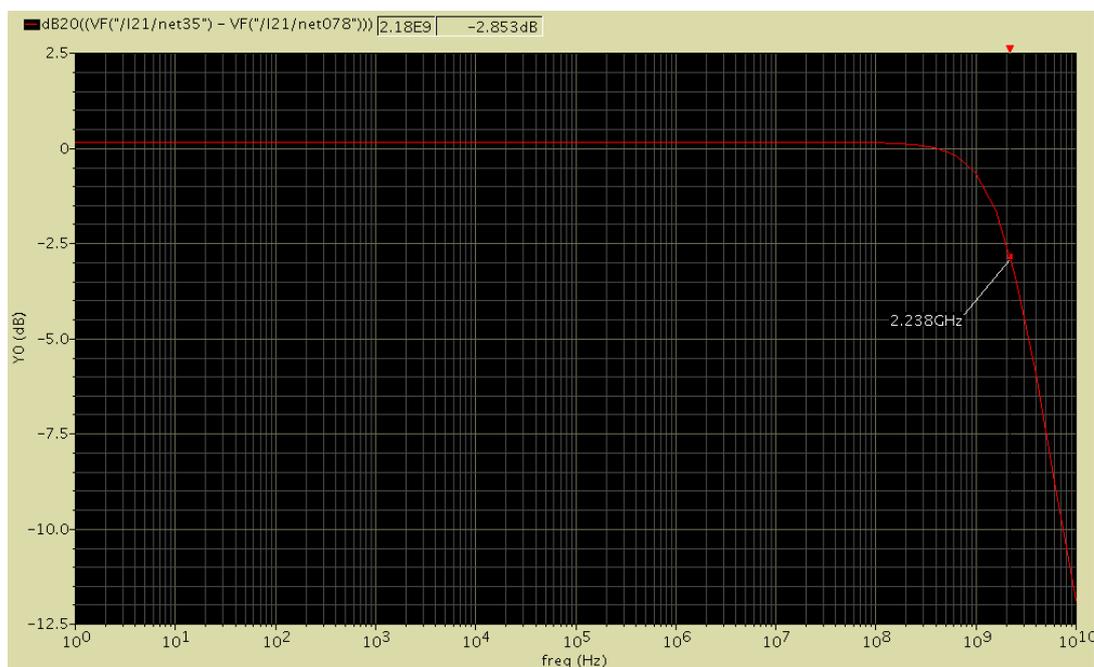


Figura 7.4. Curva en AC del comparador

Como podemos ver, obtenemos un ancho de banda de 2,238Ghz y una ganancia de 0,2dB, resultados bastante próximos a las especificaciones requeridas.

En cuanto al análisis transitorio, hemos introducido al comparador una rampa que varía desde una tensión negativa hasta una positiva con el objetivo de ver el umbral de comparación de nuestro esquema y así poder obtener una estimación de la histéresis de nuestro circuito. En un principio hemos probado con un reloj de 1Ghz pero la salida obtenida no era buena con lo que hemos tenido que bajar la frecuencia de funcionamiento hasta los 500MHz. El resultado de dicha simulación para varias tensiones de rampa se muestra en la figura 7.5.

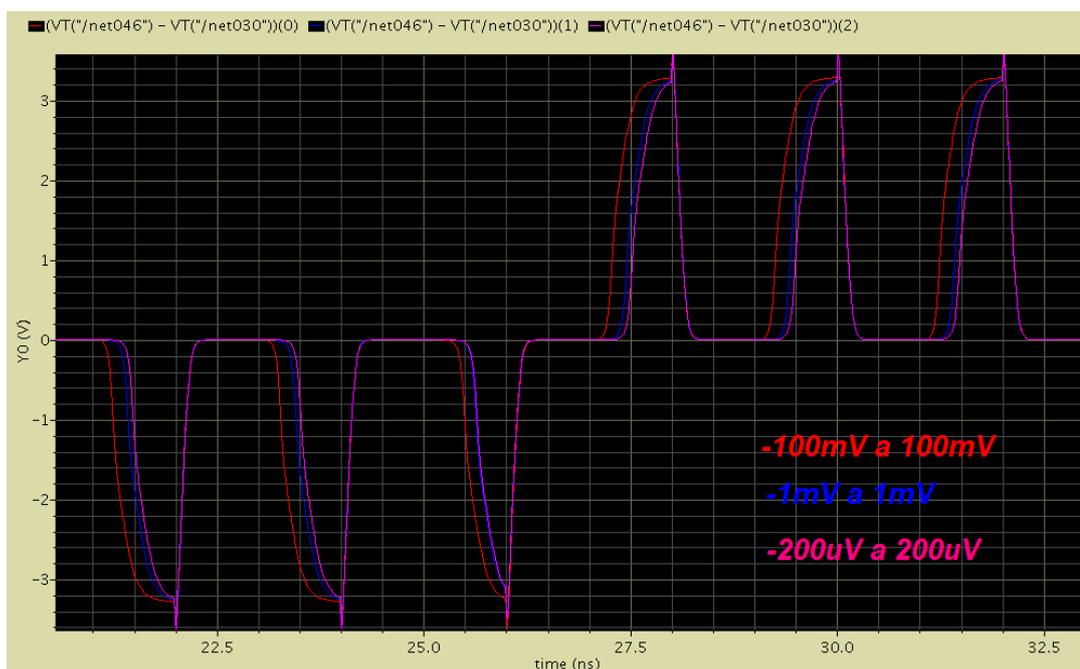


Figura 7.5. Salida del comparador para distintas rampas de entrada

En la gráfica se ha representado la salida del comparador para una rampa de entrada desde -100mV a 100mV (color rojo), desde -1mV a 1mV (color azul) y desde -200 μ V a 200 μ V (color rosa). Como vemos en la gráfica, los pulsos son más estrechos a medida que disminuimos el rango de tensiones de la rampa de entrada.

Como ya dijimos anteriormente, las dos no-idealidades principales que tendremos en cuenta para el diseño del comparador serán el offset y la histéresis.

- El offset es una no-idealidad que no importará en nuestro comparador ya que la gran novedad de nuestro proyecto consiste en usar un esquema de calibración precisamente para no tener que diseñar comparadores muy perfectos y con bajo offset. De esta manera no importa en absoluto el offset que tengan los comparadores puesto que offset muy grandes pueden ser

aprovechados para referir un determinado comparador a una tensión de referencia que en principio está muy lejos de él, y que gracias al offset de dicho comparador puede ser referida a él, de todo esto, se encarga como ya hemos explicado en capítulos anteriores el esquema de calibración.

- La histéresis la podemos comprobar viendo cual es la señal de entrada mínima que necesita nuestro comparador para dar una salida positiva o negativa. Haciendo esta prueba en nuestro comparador comprobamos que con una señal de entrada de $-45\mu\text{V}$ ya obtenemos una respuesta negativa y que para una respuesta positiva nos bastará con una entrada de $35\mu\text{V}$ de diferencia sobre la entrada de la otra rama.

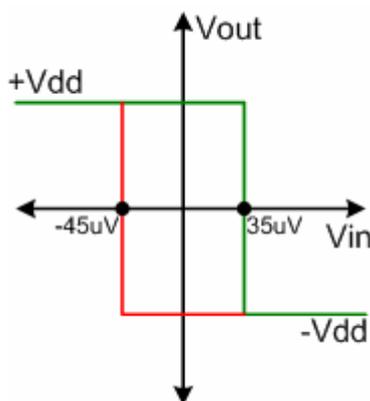


Figura 7.6. Histéresis del comparador

Como podemos ver en la figura, obtenemos una muy buena histéresis con lo que podemos decir que hemos realizado un buen diseño del comparador en cuanto a funcionamiento se refiere.