

ÍNDICE

1. INTRODUCCIÓN	4
1.1 MOTIVACIÓN. PROYECTO WITNESS	5
1.2 OBJETIVOS	5
1.3 ESTADO DEL ARTE	6
1.4 ESTRUCTURA DE LA MEMORIA	7
2. CONVERTIDOR A/D TIPO FLASH	9
2.1 FUNCIONAMIENTO	10
2.2 FUENTES DE ERROR EN CONVERTIDORES A/D TIPO FLASH	11
3. CONVERTIDOR A/D DE DONOVAN	16
3.1 INTRODUCCIÓN	17
3.2 CORRECCIÓN DIGITAL DEL OFFSET	18
3.3 DISTRIBUCIÓN DE LOS NIVELES DE TENSIÓN	21
3.4 ARQUITECTURA DEL ADC	23
3.5 FUNCIONAMIENTO	24
4. DISEÑO DEL ENCODER	26
4.1 ARQUITECTURA	27
4.2 ÁRBOL DE WALLACE	31
4.3 SUMADORES	35
4.4 FUNCIONAMIENTO	36
5. GENERADOR DE RAMPA	40
5.1 ARQUITECTURA	41
5.2 ARQUITECTURA DEL DAC	42
5.3 ESCALERA DE RESISTENCIAS	43
5.4 DECODIFICADOR	46
5.5 DAC DE 3 BITS	49
5.6 PREAMPLIFICADOR	52

5.7	CIRCUITO DE CONTROL DE MODO COMÚN	57
5.8	CIRCUITO DE SAMPLE & HOLD	59
5.9	DAC DIFERENCIAL DE 7 BITS	62
5.10	FILTRO DE PRIMER ORDEN	63
6.	ESQUEMA DE AUTOCALIBRACIÓN DIGITAL	65
6.1	ARQUITECTURA EXTERNA	66
6.2	ARQUITECTURA INTERNA	68
6.3	FUNCIONAMIENTO	73
7.	BLOQUE DE COMPARADORES	75
7.1	ESQUEMA GENERAL	76
7.2	DISEÑO DE LOS COMPARADORES	78
7.2.1.	<i>No idealidades en comparadores</i>	78
7.2.2.	<i>Arquitectura de los Comparadores</i>	82
7.2.3.	<i>Funcionamiento</i>	83
8.	CONCLUSIONES	87
8.1	APORTACIONES AL ESTADO DEL ARTE	88
8.2	LÍNEAS FUTURAS	88
9.	BIBLIOGRAFÍA	90
9.1	LIBROS	91
9.2	ARTÍCULOS	91
9.3	OTROS	91
ANEXO 1.	LIBRERÍAS CADENCE	92