



## ***CAPÍTULO 2***

# **Arquitectura del convertidor**

### **Índice:**

#### ARQUITECTURA DEL CONVERTIDOR

1. Introducción.....	2
2. Análisis teórico.....	8



## 1. Introducción

- **Arquitectura clásica**

Los convertidores analógico-digitales Flash se utilizan en aplicaciones donde el requerimiento principal es tener una **velocidad de conversión muy alta**.

El convertidor Flash alcanza grandes velocidades de conversión debido a que usa una matriz de comparadores en paralelo que muestrean la señal analógica simultáneamente. Como requerimos de un comparador por cada nivel de referencia que tengamos, el número de comparadores se dobla por cada bit adicional de resolución que queramos tener. Así pues, el problema que surge con esta técnica es el significativo incremento de disipación de potencia en comparación con otras técnicas de conversión A/D.

Tiene la topología más simple de todos los convertidores, consistente en la operación en paralelo de comparadores los cuales tienen a su entrada una tensión de referencia. La técnica flash es también conocida como “la aproximación en paralelo”.

Un convertidor flash de **N bits** requiere una matriz de  **$2^N - 1$  comparadores**. Las referencias obtenidas a la entrada de cada comparador representan  **$2^N - 1$  niveles de tensión equidistantes** entre  $V_{DD}$  y  $-V_{DD}$  en nuestro caso (siendo  $V_{DD}$  la tensión de alimentación) correspondientes a los  **$2^N - 1$  puntos de conmutación** entre los extremos del rango del convertidor.

La desventaja de todo esto, evidentemente, es que se necesitan un número muy elevado de comparadores, mecanismo para generar las referencias de tensión (normalmente una escalera de resistencias), y además se incrementarán exponencialmente con el aumento de la resolución ( $n^{\circ}$  bits) del convertidor.

A modo de ejemplo vamos a presentar la arquitectura básica de un **convertidor flash de 3 bits (figura 2.1)**. En el siguiente esquema podemos distinguir la escalera de resistencias que nos va a dar los distintos niveles de referencia para cada uno de los  **$2^N - 1$  comparadores** (en este caso al ser de **3 bits**, necesitamos **7 comparadores**). El encoder se encarga de sumar todas las salidas para posteriormente realizar una conversión del código a digital.

La diferencia de tensiones entre 2 resistencias adyacentes es igual a:

$$V_{LBS} = \frac{V_{REFP} - V_{REFN}}{2^N} \quad (2.1)$$





El offset en los comparadores, que provocarán que tenga que haber una diferencia (positiva o negativa) entre la entrada analógica y la tensión de referencia de cada comparador durante la comparación (en el caso ideal, se comparaba si era mayor o menor, ahora habrá que tener en cuenta el offset). Este offset, si es suficientemente grande en algún comparador, podría provocar que la transición de ceros a unos en la escalera de comparadores no fuese única, con lo cual el código termométrico y su posterior decodificación podrían fallar.

La histéresis en los comparadores puede hacer que la salida de un comparador en concreto no pase de “0” a “1” y viceversa cuando se espera, cuanto más grande sea esta histéresis con más probabilidad podrá ocurrir este fenómeno.

Este fenómeno lo representamos en la siguiente figura, junto con el offset comentado previamente:

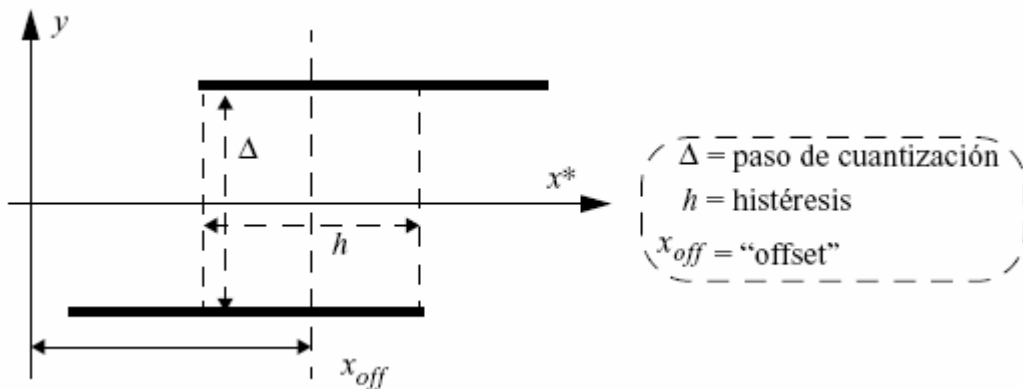


Figura 2.2. Histéresis y offset en los comparadores



- **Arquitectura con interpolación capacitiva**

Vamos a presentar la topología del convertidor analógico-digital flash que hemos desarrollado en este proyecto fin de carrera:

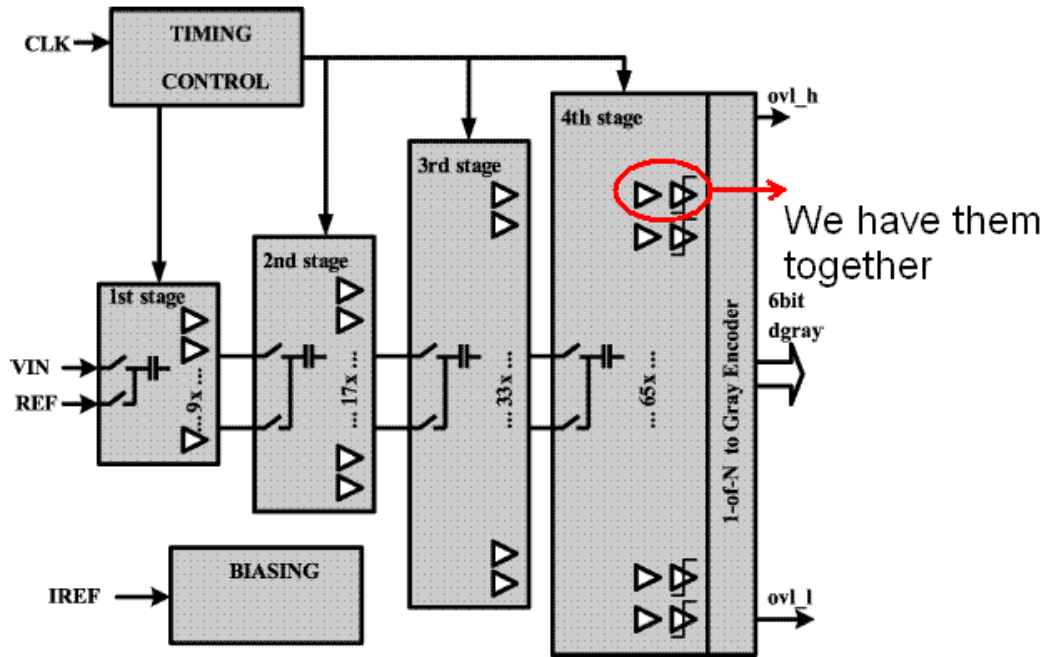


Figura 2.3. Topología convertidor flash de 6 bits con interpolación capacitiva

Como podemos ver se trata de **4 etapas en cascada de preamplificadores** donde los comparadores solo aparecen en la última etapa. Para obtener **63** niveles de tensión a la salida hacemos uso de la **interpolación capacitiva** para dividir el rango que va desde **-3,3V** hasta **3,3V** ( $-V_{DD}$  hasta  $V_{DD}$ ).

Para implementar este convertidor usaremos el **KIT de CADENCE AMS370**, implementado con tecnología **0,35 $\mu$ m**.

¿Por qué usamos **4 etapas de interpolación**?

- En la etapa de entrada, tendremos **9** niveles de referencia (incluyendo **3,3V** y **-3,3V**).
- De estos **9** niveles, copiaremos los **9** hasta la segunda etapa y además interpolaremos entre cada 2 niveles para obtener otro intermedio, resultando pues **17** niveles.



- De la misma manera, copiamos los **17** niveles de referencia de la segunda etapa e interpolamos en esta tercera, con un total ahora de **33** niveles.
- Haciendo lo mismo en la última etapa, tendremos pues **65** niveles donde se incluyen **3,3V** y **-3,3V**, los cuales podremos suprimir resultando así los **63 niveles de referencia** propios de un **convertidor flash de 6 bits**.

¿En qué consiste la **interpolación capacitiva**?

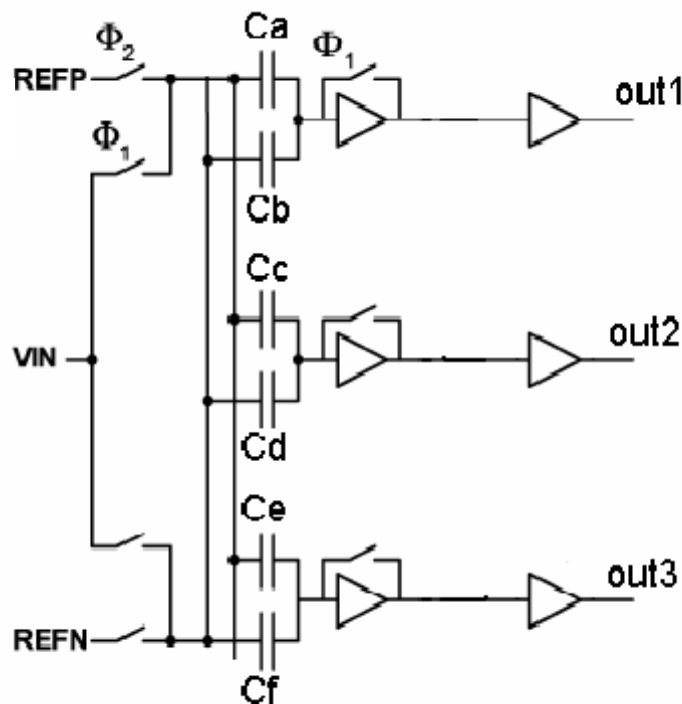


Figura 2.4. Obtención niveles referencia en etapa de entrada

En la **figura 2.4** podemos ver cómo sería la etapa de entrada de un esquema diferencial y en función de los valores de capacidades [**Ca, Cb**], [**Cc, Cd**] y [**Ce, Cf**] conseguiremos obtener 3 niveles de referencia distintos, uno para cada rama, por tanto con una **relación entre capacidades** conseguimos la misma función que el divisor resistivo que existe a la entrada en una arquitectura flash convencional.

Sin embargo, en la **figura 2.5** ya podemos apreciar el sistema de interpolación capacitiva. En primer lugar obtendríamos los **3** niveles de referencia en la etapa de entrada con la correspondiente relación entre capacidades (**Ca, Cc, Cd** y **Cf**).

Luego pasaríamos a realizar una fase de interpolación mediante la cual obtenemos dos niveles intermedios de tensión (para ello usamos las capacidades de valor “**0,5**” pues es una media de los **2** niveles previos que usamos para interpolar) mientras que el nivel central simplemente sufre una copia (capacidad de valor “**1**”). El caso expuesto sería para un **convertidor de 2 bits**, por tanto para **6 bits** tan solo necesitaríamos extrapolar estos resultados.

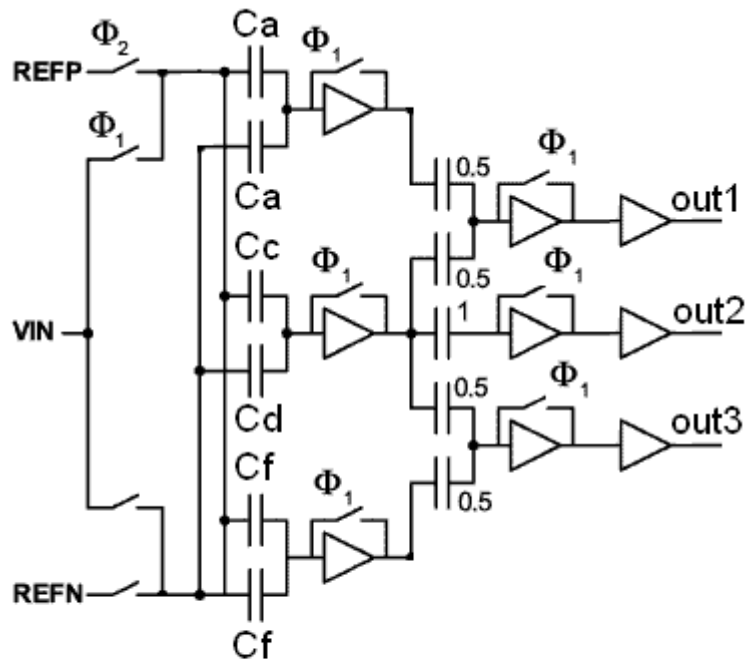


Figura 2.5. Sistema de interpolación capacitiva en flash de 2 bits

Supongamos que en la primera etapa obtenemos los niveles **3,3V**, **0V** y **-3,3V**. Si interpolamos entre **3,3V** y **0V** obtendríamos **1,65V** y **-1,65V** si lo hacemos entre **0V** y **-3,3V**. De este modo en la segunda y última etapa de nuestro **convertidor de 2 bits** estaríamos comparando con los niveles de referencia **1,65V**, **0V** y **-1,65V**.

Como podemos comprobar con el ejemplo anterior, los resultados con esta arquitectura son los mismos que con la escalera resistiva pero jugando con una relación de capacidades.

Cuando realizamos la interpolación hablamos de capacidades de valor **“0,5”** y capacidades de valor **“1”** para copiar el mismo nivel de la etapa anterior. Pues bien, si elegimos como **“1” = 200fF**, entonces el **“0,5”** serán **100fF**. Esto es importante porque en la etapa de entrada según el convertidor que estemos buscando ( $n^\circ$  bits) podemos encontrarnos con una relación entre capacidades de **8 a 1** por ejemplo, y si **“1”** son **200fF** puede que el **8 (1,6pF)** sea ya un valor de capacidad demasiado elevado para el tamaño de circuito que nos interesa.



## 2. Análisis teórico

Vamos a estudiar el esquema que tenemos a la entrada para obtener cada uno de los niveles de referencia en la primera etapa:

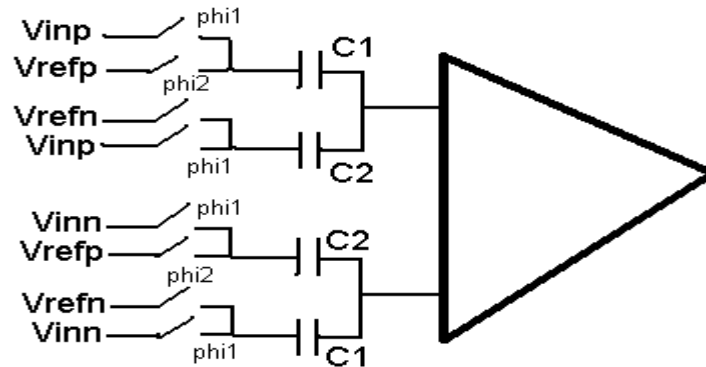


Figura 2.6. Esquema totalmente diferencial de cada preamplificador a la entrada

Las tensiones a la entrada son **Vinp**, **Vinn**, **Vrefp** y **Vrefn** obtenidas de forma diferencial con el esquema que mostramos a continuación:

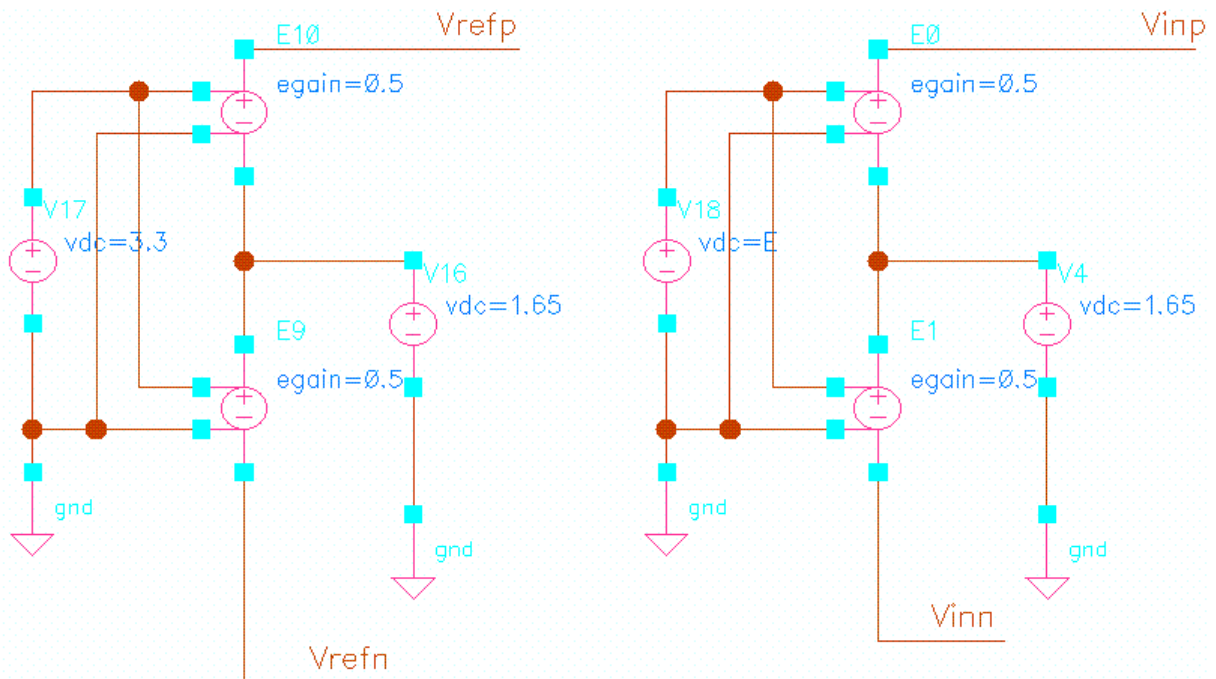


Figura 2.7. Generación fuentes diferenciales de entrada





Analizando el esquema diferencial mostrado en la **figura 2.6**, denominando para el estudio **up** a la rama superior (**U**) y **down** (**D**) a la inferior, extraemos las siguientes conclusiones del circuito switch-capacitor:

**n-1:**

$$V_{C1U}(n-1) = V_{inp}(n-1)$$

$$V_{C2U}(n-1) = V_{inp}(n-1)$$

$$V_{C1D}(n-1) = V_{inn}(n-1)$$

$$V_{C2D}(n-1) = V_{inn}(n-1)$$

(2.2)

**n-1/2:**

Aplicamos ahora las ecuaciones por ejemplo en la rama superior y despejamos el valor de tensión que existe en dicha rama a la entrada del preamplificador **V<sub>au</sub>** aplicando conservación de la carga:

$$C_1 \cdot V_{C1U}(n-1) + C_2 \cdot V_{C2U}(n-1) = (V_{refp} - V_{au}) \cdot C_1 + (V_{refn} - V_{au}) \cdot C_2 \quad (2.3)$$

Si ahora sustituimos  $V_{C1U}(n-1)$  y  $V_{C2U}(n-1)$ :

$$(C_1 + C_2) \cdot V_{inp}(n-1) = V_{refp} \cdot C_1 + V_{refn} \cdot C_2 - V_{au} \cdot (C_1 + C_2) \quad (2.4)$$

Despejamos **V<sub>au</sub>**:

$$V_{au} = -V_{inp} + \frac{V_{refp} \cdot C_1 + V_{refn} \cdot C_2}{C_1 + C_2} = -(V_{inp} - V_{umbral})$$

(2.5)

$$V_{umbral} = \frac{C_1}{C_1 + C_2} \cdot V_{refp} + \frac{C_2}{C_1 + C_2} \cdot V_{refn} \quad \rightarrow \text{Éste sería el umbral single-ended.}$$



Para hallar **Vad** el análisis sería el mismo pero sustituyendo en las ecuaciones:

$$\begin{aligned}V_{inp} &\rightarrow V_{inn} \\V_{refp} &\rightarrow V_{refn}\end{aligned}$$

$$V_{ad} = -V_{inn} + \frac{V_{refn} \cdot C_1 + V_{refp} \cdot C_2}{C_1 + C_2} \quad (2.6)$$

Una vez hemos obtenido los niveles de tensión a la entrada de cada preamplificador en función de las tensiones de entrada y de las capacidades, podemos calcular la expresión que nos permitirá elegir el nivel de referencia en función del valor que demos a las capacidades:

$$V_{au} - V_{ad} = -(V_{inp} - V_{inn}) + \frac{C_1 \cdot V_{refp} + C_2 \cdot V_{refn} - C_1 \cdot V_{refn} - C_2 \cdot V_{refp}}{C_1 + C_2} \quad (2.7)$$

$$\text{Señal}_{\text{amplificada}} = V_{au} - V_{ad} = -V_{in} + \frac{(C_1 - C_2) \cdot V_{ref}}{C_1 + C_2}$$

Como  $V_{ref} = V_{refp} - V_{refn}$  siendo **Vrefp=3,3V** y **Vrefn=0V**, nos queda finalmente:

$$V_{umbral}_{\text{referencia}} = \frac{(C_1 - C_2) \cdot (V_{refp} - V_{refn})}{C_1 + C_2} \quad (2.8)$$

Este umbral de referencia obtenido será el mismo para todos los preamplificadores de la primera etapa. Sin embargo, el **1º (C1="1" y C2="0")** y el **último (C1="0" y C2="1")** preamplificador de la primera etapa, al tener una arquitectura ligeramente diferente a la entrada, las expresiones de los niveles de tensión que se alcanzan en cada una de sus ramas (superior e inferior) las calculamos como sigue:

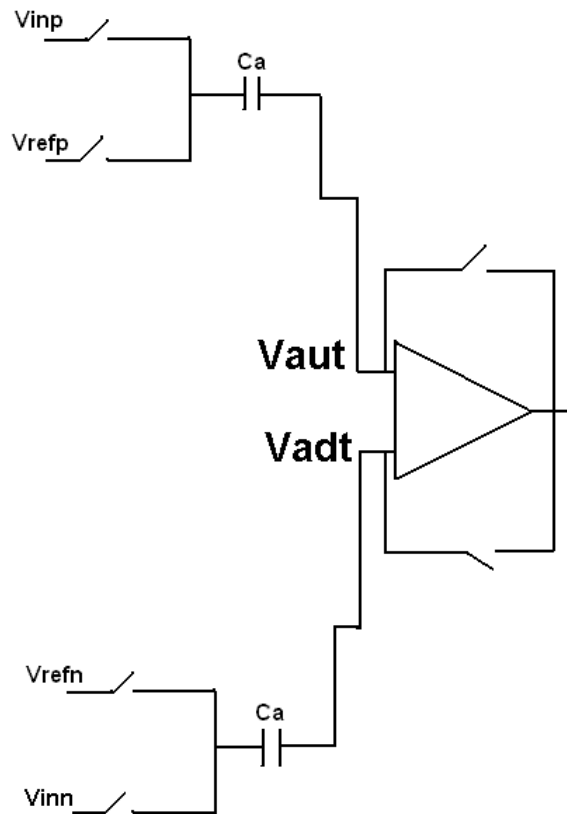


Figura 2.8. Esquema entrada preamplificador superior ( $C2=Cb=0$ )

Pasamos a analizarlo teóricamente:

$n-1$ :

$$V_{cau}(n-1) = V_{in}(n-1)$$

$$V_{cad}(n-1) = V_{inn}(n-1)$$

$n-\frac{1}{2}$ :

$$C_a \cdot V_{cau}(n-1) = (V_{refp} - V_{au}) \cdot C_a$$

$$C_a \cdot V_{cad}(n-1) = (V_{refn} - V_{ad}) \cdot C_a$$

(2.9)

$$V_{au} = -V_{inp} + V_{refp}$$

$$V_{ad} = -V_{inn} + V_{refn}$$

Vemos como la expresión de la tensión de referencia quedaría igual que el obtenido en la **ecuación 2.8** pero haciendo  $C2=0$ :

$$\text{Señal}_{\text{amplificada}} = V_{au} - V_{ad} = -V_{in} + (V_{refp} - V_{refn})$$



El interés de este último análisis son las expresiones de  $V_{au}$  y  $V_{ad}$ , pues nos ayudarán en el diseño del convertidor, para poder comparar las tensiones obtenidas tras simulación con las ideales o teóricas.

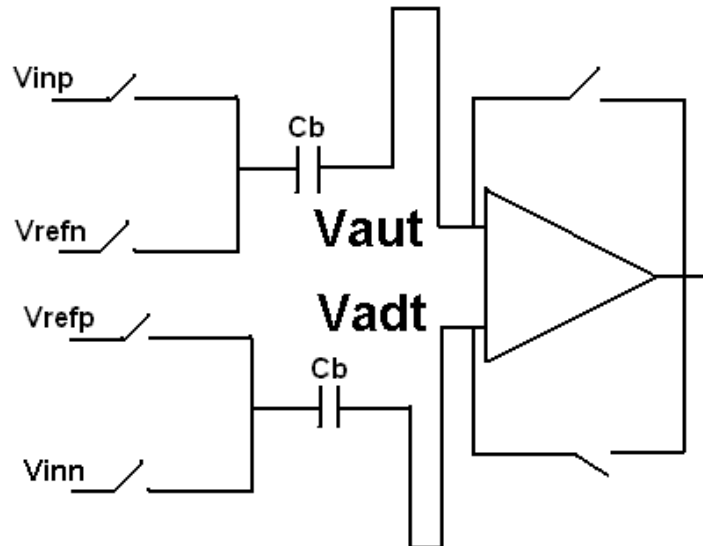


Figura 2.9. Esquema entrada preamplificador inferior ( $C_1=C_a=0$ )

El análisis es análogo al anterior, pero intercambiando  $V_{inp}$  y  $V_{inn}$ , luego resulta la misma **expresión 2.8** haciendo “0” a  $C_a$ :

$$V_{au} = -V_{inp} + V_{refn}$$

$$V_{ad} = -V_{inn} + V_{refp}$$

$$\text{Señal}_{\text{amplificada}} = V_{au} - V_{ad} = -V_{in} - (V_{refp} - V_{refn})$$

Ya tenemos el fundamento teórico de nuestro convertidor flash, basado en un esquema switch-capacitor de entrada que nos permitirá obtener los distintos niveles de referencia con las relaciones entre capacidades previamente desarrolladas.

En los sucesivos capítulos pasaremos a estudiar el diseño de todos los componentes del convertidor (preamplificadores y comparadores) con todos los problemas encontrados durante su diseño. Una vez visto esto, montaremos varios convertidores de **2 y 6 bits** para poder estudiar los resultados obtenidos.