



# ***CAPÍTULO 3***

## **Preamplificadores**

### **Índice:**

#### **PREAMPLIFICADORES**

1. Introducción.....	2
2. Diseño 1.....	4
3. Señal de Power Down (PD).....	9
4. Diseño 2:Modelo con carga resistiva.....	11
5. Conclusiones.....	14

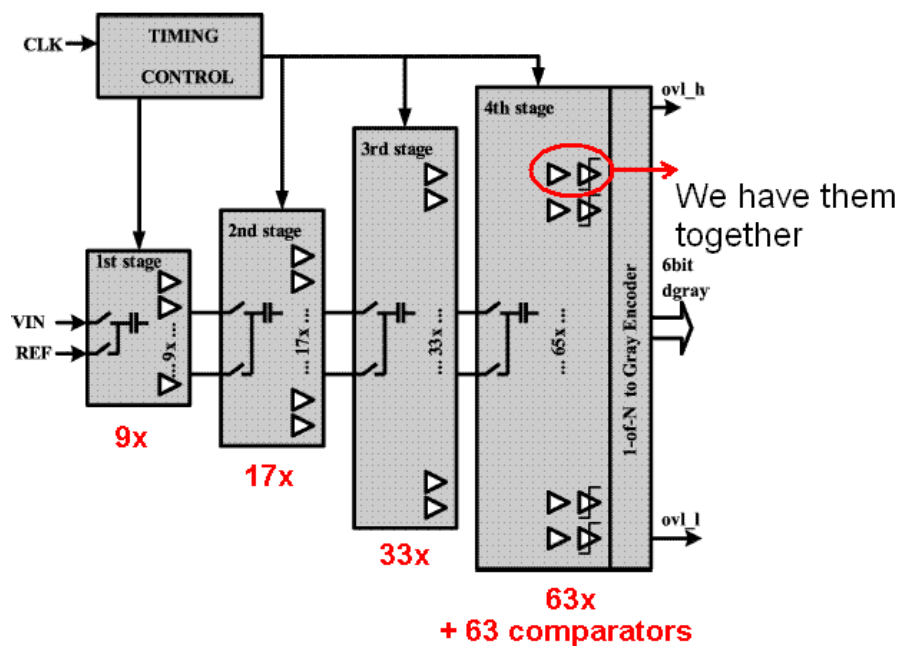


## 1. Introducción

Como podemos ver en la **figura 3.1** el número total de preamplificadores en el convertidor flash de **6 bits** es de:

**1ª etapa** → **9** preamplificadores      **2ª etapa** → **17** preamplificadores  
**3ª etapa** → **33** preamplificadores      **4ª etapa** → **63** preamplificadores

Número total de preamplificadores → **122 preamplificadores**  
Número total de comparadores → **63 comparadores**



**Figura 3.1.** Arquitectura del convertidor A/D flash de 6 bits

Se trata pues de uno de los componentes más importantes del diseño junto con los comparadores, sobre todo para estimar el consumo del circuito, ya que debido a la cantidad de preamplificadores que necesitamos un pequeño incremento en el consumo haría aumentar bastante el consumo global.



Lo primero que nos planteamos a la hora de diseñar los preamplificadores son las especificaciones que éste requiere, y nos encontramos con:

- **Ganancia: 2,5 dB** aproximadamente.
- **Ancho de banda de 3dB** ( $BW_{3dB}$ ): **3** veces mayor que la frecuencia de reloj del convertidor ( $f_{CLK}$ ).
- **Consumo:** Mínimo posible, teniendo en cuenta que vamos a trabajar a alta frecuencia el consumo va a ser importante.
- **Modo común de entrada y salida: 1,65 V** a priori ( $V_{DD}/2$ ) aunque veremos los problemas que nos ocasiona el fijar este modo común a la salida.

Necesitamos esa ganancia mínima para poder atenuar el offset provocado por los comparadores a la entrada, y asegurar un valor mínimo de tensión a la entrada de los comparadores:

**VIN > 0.25 LSB** ; queremos esta tensión mínima a la entrada del circuito.

$LSB = \frac{1}{2^6}$  ; valor del LSB por definición.

**VIN > 3.906mV** ; esta será la entrada mínima que espera el circuito.

**Ganancia por etapa ~ 2.5 dB** ; especificaciones de los preamplificadores

**Vinput > 39.06mV** ; **podemos conocer la tensión mínima a la entrada de los comparadores.**

Una vez planteadas las especificaciones nos ponemos a diseñar el preamplificador, y vamos a ir planteando los distintos problemas que surgieron, con las soluciones adoptadas, lo cual nos ha servido para aprender a diseñar este tipo de dispositivos.



## 2. Diseño 1

En este primer diseño comenzamos con las especificaciones:

$$BW_{3dB} = 3 \text{ GHz}$$

$$f_{CLK} = 1 \text{ GHz}$$

A continuación presentamos la arquitectura que sigue el primer preamplificador seleccionado para su diseño:

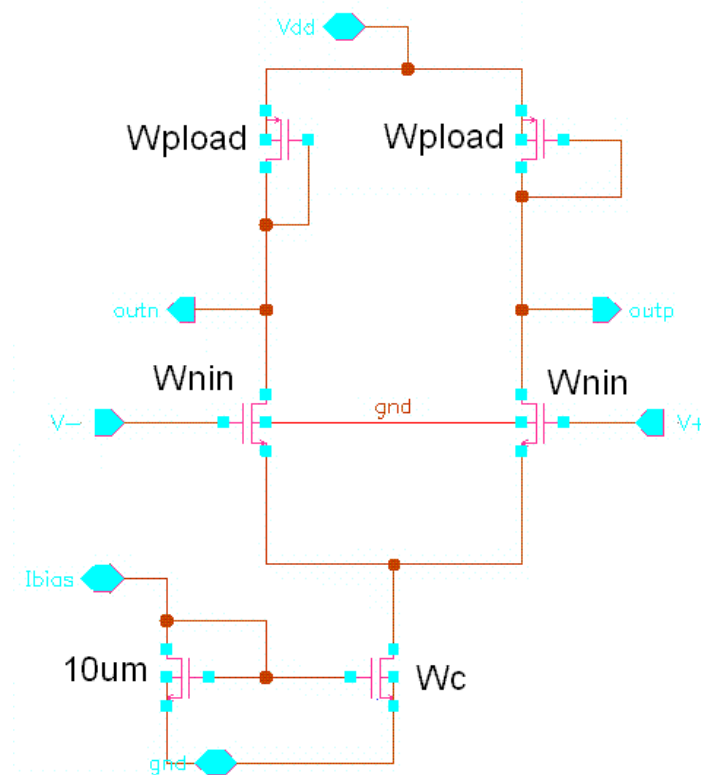


Figura 3.2. Primer diseño de preamplificador

La tasa de muestreo del convertidor será de **1 GS/s**, es por ello que al necesitar un ancho de banda **3** veces mayor éste sea de **3 GHz** aproximadamente.

Además, con **2,5 dB** de ganancia aseguramos el mayor ancho de banda de la cadena entera. El diseño que cumple con ambas especificaciones es:



$$W_c = 48 \mu\text{m} \quad W_{\text{load}} = 460 \mu\text{m} \quad W_{\text{nin}} = 307,5 \mu\text{m}$$

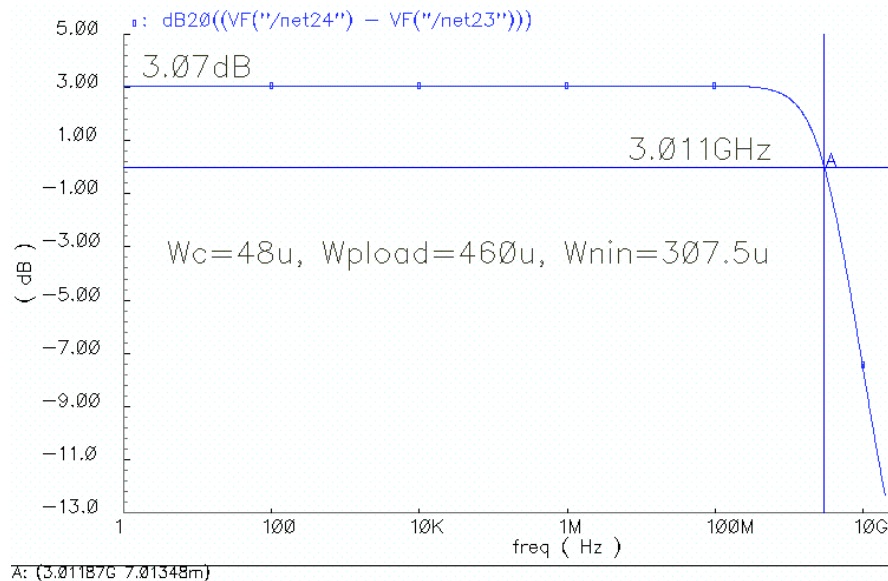
$$I_b = 1,5 \text{ mA} \quad V_{DD} = 3,3 \text{ V}$$

$$BW_{3dB} = 3,011 \text{ GHz} \quad A = 3,07 \text{ dB}$$

$$P_m = \frac{\int_0^{N \cdot T} (V_{DD} \cdot I_{DD}(t))}{N \cdot T} = 20,63 \text{ mW}, (N = 10)$$

Siendo los parámetros dados los anchos de los transistores mostrados en la **figura 3.2**.

Para este diseño concreto vamos a ver las simulaciones de ancho de banda analógico y consumo obtenidas en **CADENCE**:



**Figura 3.3. Simulación de ancho de banda analógico**

Como vemos cumplimos con los requisitos de ganancia y ancho de banda. El problema sería el consumo, demasiado elevado, y éste es debido a que el parámetro **Wc** debe hacerse lo suficientemente ancho como para conseguir ese elevado ancho de banda.

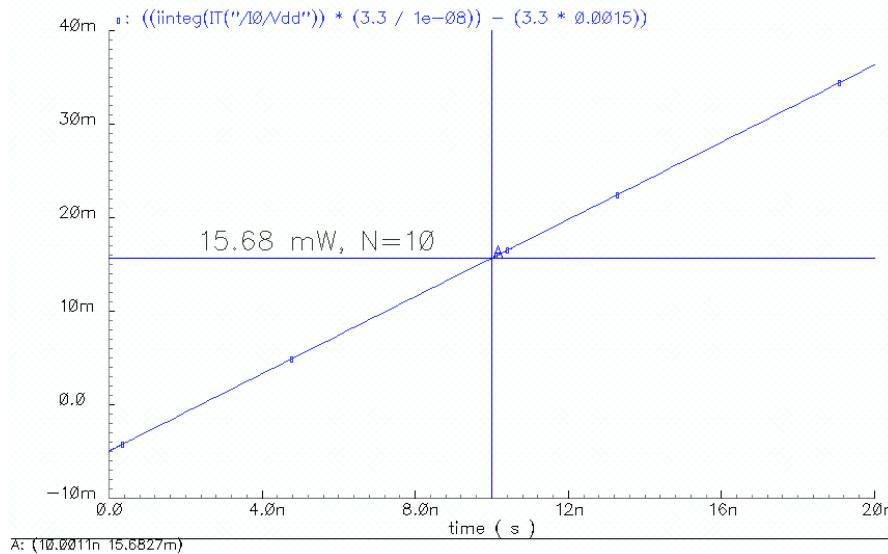


Figura 3.4. Simulación del consumo dinámico de potencia

Para medir el consumo dinámico hacemos una media durante un número de periodos ( $N=10$  periodos en este caso) y vemos como para altas frecuencias el consumo se dispara. En la gráfica aparece un menor consumo porque no hemos tenido en cuenta la intensidad de polarización **I<sub>bias</sub>** al integrar.

Hemos querido realizar una simulación a menor frecuencia para ver como efectivamente el consumo crece exponencialmente a la frecuencia de funcionamiento del circuito ( $f_{CLK}$ ):

Supongamos que queremos un funcionamiento correcto para una frecuencia de **1,5 GHz**:

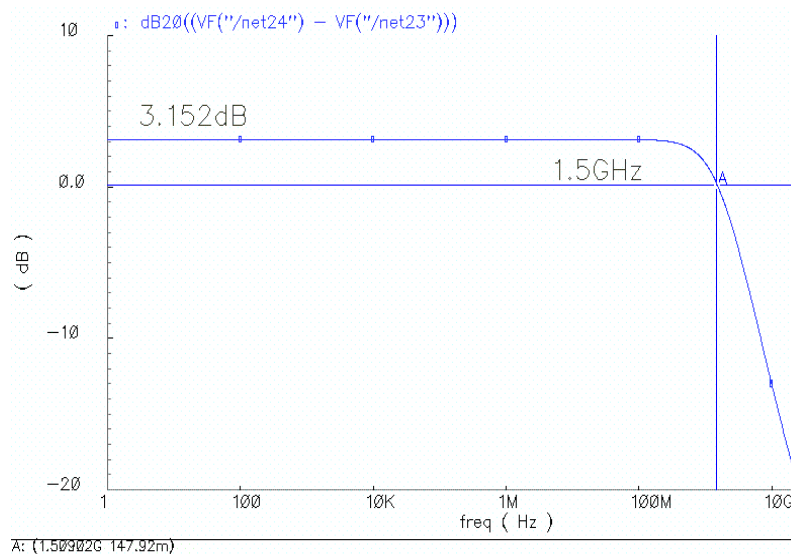


Figura 3.5. Simulación del preamplificador para un ancho de banda de 1,5 GHz



Pues en ese caso el consumo disminuye a **4.561mW** ya que no necesitaríamos un valor del transistor **Wc** tan elevado:

$$W_c = 10 \mu\text{m}$$

$$W_{\text{pload}} = 200 \mu\text{m}$$

$$W_{\text{nin}} = 150 \mu\text{m}$$

**Wc** es el parámetro más significativo con respecto a consumo, y entre **Wnin** y **Wpload** es **Wnin** más importante:

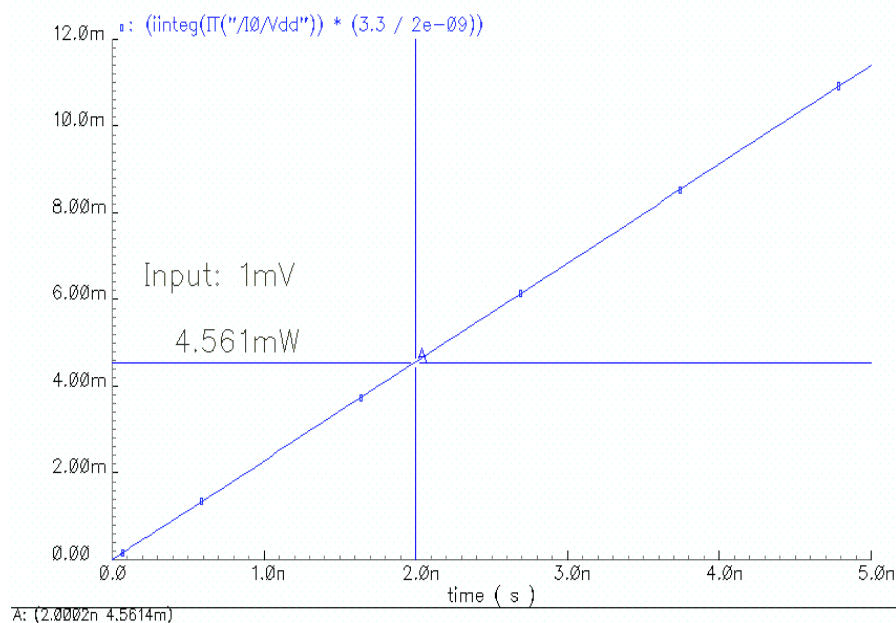


Figura 3.6. Simulación del consumo para ancho de banda 1,5 GHz

Una vez diseñado el amplificador en la frecuencia, vemos su comportamiento en el dominio temporal.

En primer lugar metemos como estímulo una señal cuadrada desde **-100 mV** a **100 μV**, y vemos como la amplifica hasta **-142,2 mV** y **142,2 μV** respectivamente:

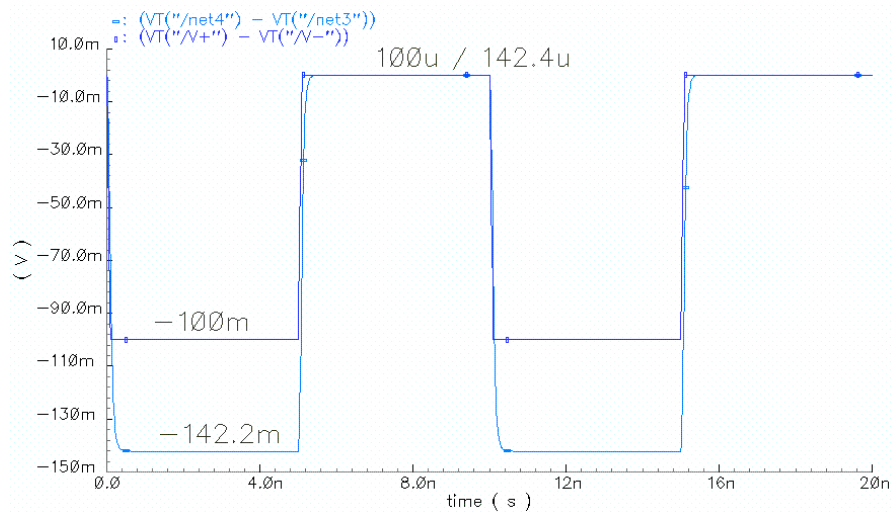


Figura 3.7. Comportamiento del preamplificador ante una señal cuadrada

Ahora introducimos varias senoides a distintas frecuencias (**100 MHz** y **1 GHz** respectivamente con **50mV** de amplitud cada una) y vemos como sigue las señales adecuadamente:

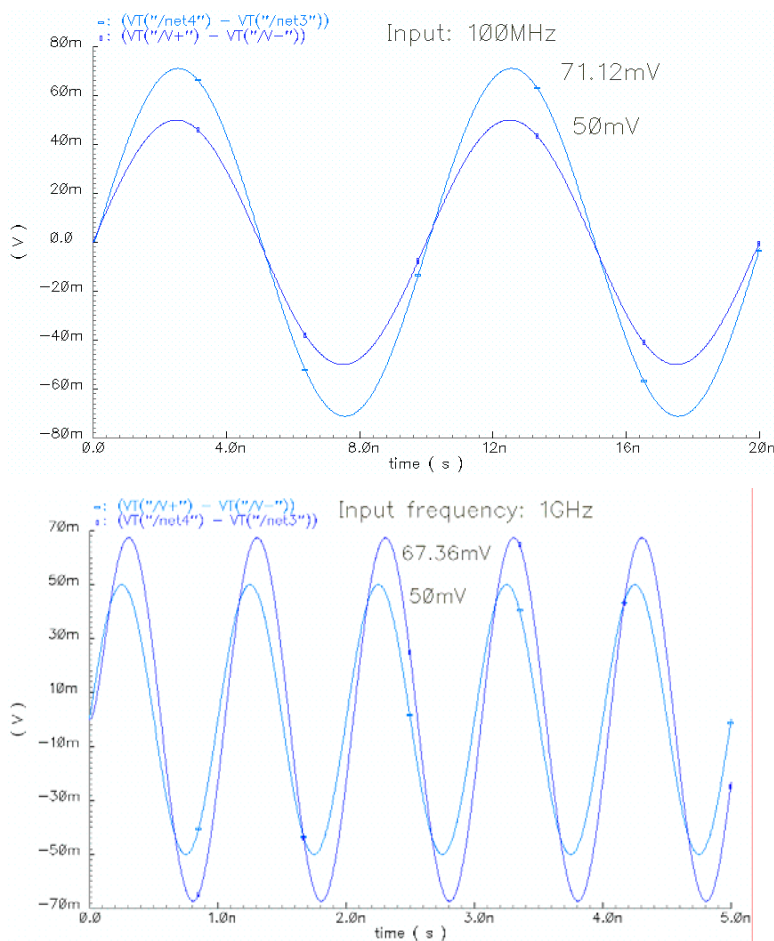


Figura 3.8. Comportamiento del preamplificador ante señales senoidales





### 3. Señal de Power Down (PD)

La señal de **Power Down** es usada en multitud de dispositivos electrónicos para poder controlar su estado de encendido a apagado dándole simplemente un estímulo o señal que nosotros controlemos.

Dependiendo del circuito con el que estemos trabajando tenemos que intentar optimizar esa señal de power down (PD) para conseguir el apagado/encendido del dispositivo con el menor número de transistores posibles.

Es por ello que en nuestro esquema de preamplificador los interruptores se han colocado como podemos ver en la siguiente figura:

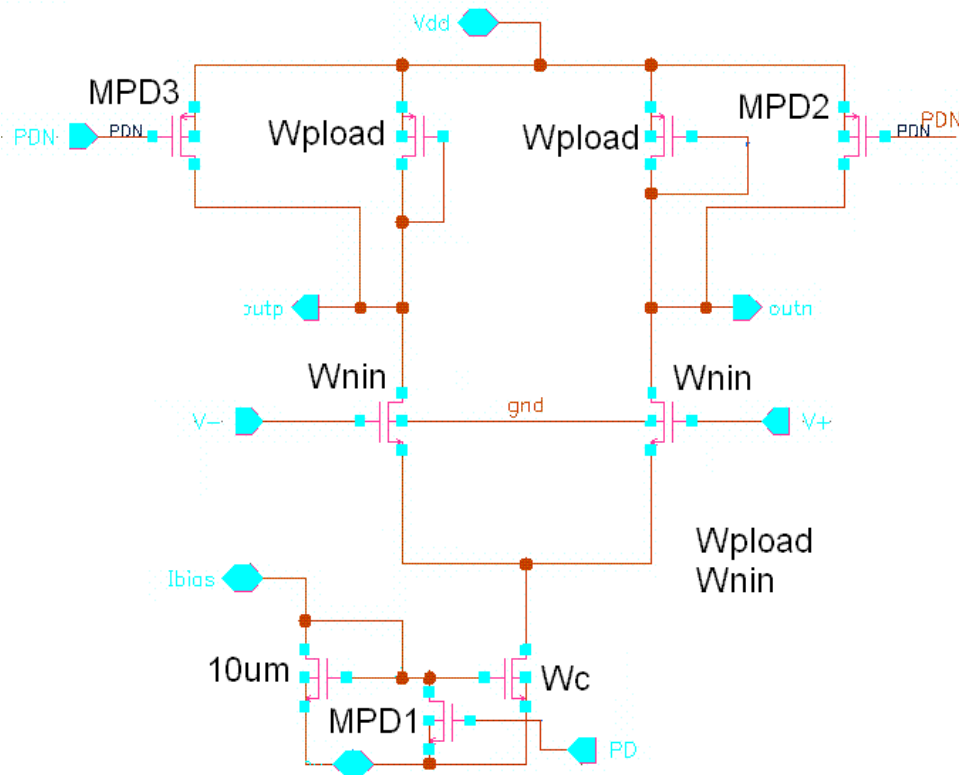


Figura 3.9. Señal de Power Down en los preamplificadores

Además su diseño también requiere de encontrar un ancho de transistores de power down óptimos, pues si éstos son demasiado estrechos pueden tardar más tiempo en apagar al preamplificador por ejemplo.

Vemos como al activar la señal PD (PD= "1") el transistor MPD1 pasa a conducir y corta al espejo de corriente, prohibiendo entrar a la corriente  $I_{bias}$  en el circuito. En la parte superior tenemos MPD2 y MPD3, ambos con la misma función, encargándose de cortar Wpload y además ponen ambas salidas a  $V_{DD}$ , garantizando así una salida conocida cuando el preamplificador está desconectado.



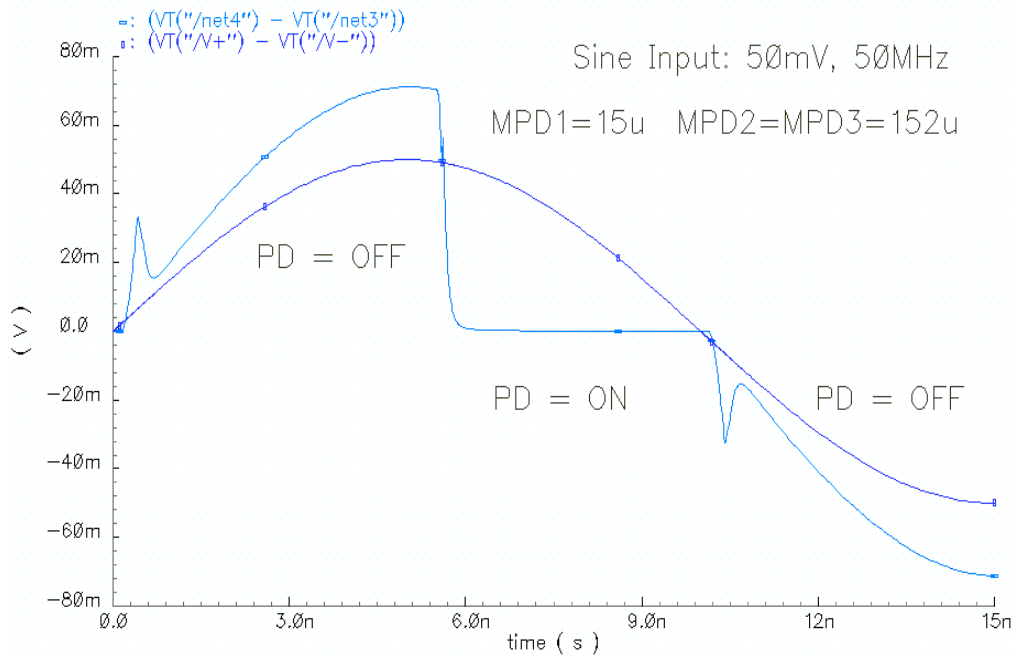
Los valores de los transistores activados por la señal de **PD** son:

**MPD1**= 15 $\mu$ m

**MPD2**= 152 $\mu$ m

**MPD3**= 152 $\mu$ m

Y observamos en la siguiente figura como la salida pasa a ser **0** (**0 V**) cuando se activa la señal de power down, probando así el correcto funcionamiento de este circuito:



**Figura 3.10. Simulación de la señal PD activa**



#### 4. Diseño 2: Modelo con carga resistiva

Aunque el anterior preamplificador (**diseño 1**) parece un buen diseño, en cierto modo no teníamos control sobre el modo común de salida, factor importante ya que estos preamplificadores se atacarán unos a otros y debemos diseñarlos conociendo tanto el modo común de entrada como el de salida.

Es por ello que nos planteamos una nueva arquitectura de preamplificador, muy similar a la anterior pero usando **cargas resistivas**:

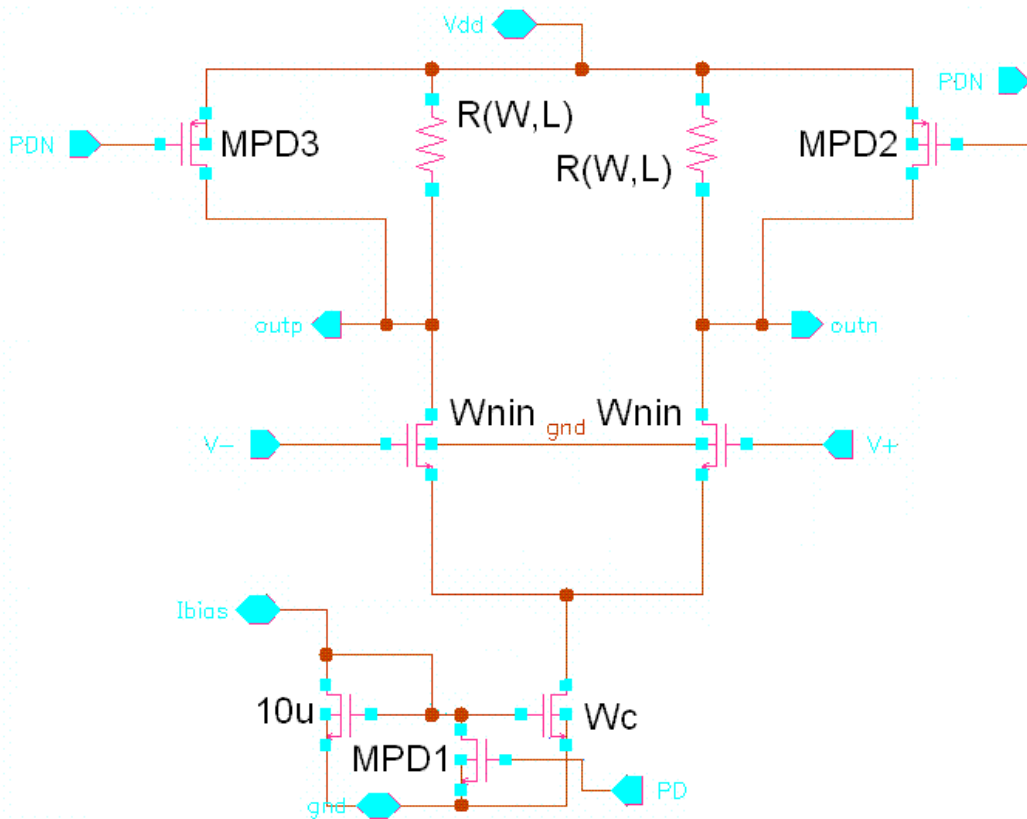


Figura 3.11. Arquitectura de preamplificador con carga resistiva

Conociendo **Ibias** y sabiendo que queremos un modo común a la salida de **1,65 V** podemos calcular el valor de la carga resistiva:

$$V_{CM} = R \cdot \frac{I_{bias}}{2} \quad (3.1)$$

**Ibias** tomará un valor suficientemente alto para asegurar una resistencia pequeña, y además conseguiremos un mayor ancho de banda analógico.



Para no preocuparnos si estamos haciendo correctamente la copia de corriente en el espejo de corriente, al simular introducimos directamente la corriente **Ibias** en el circuito, de la siguiente forma:

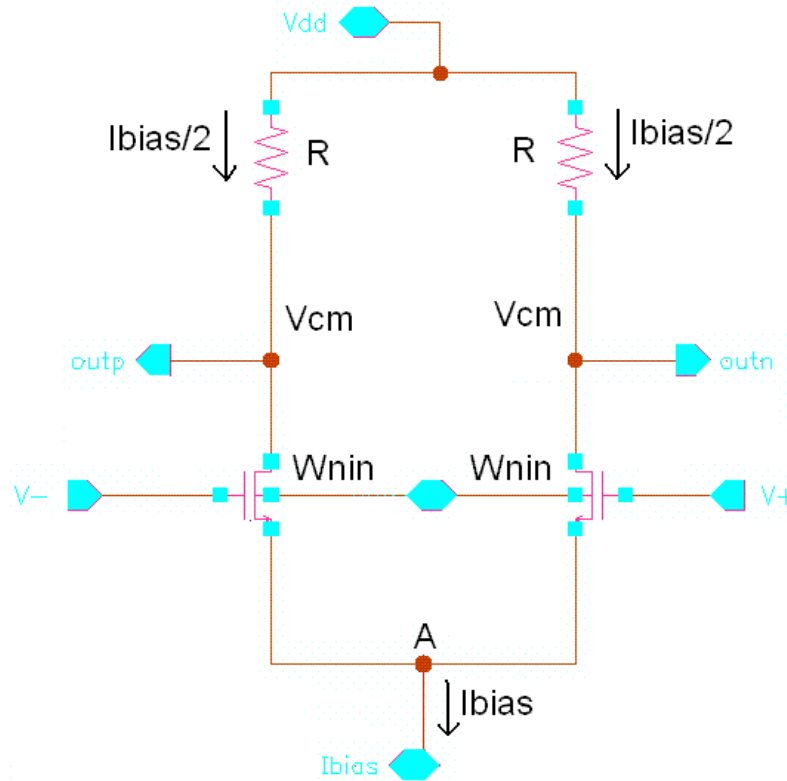


Figura 3.12. Esquema de preamplificador con carga resistiva donde **Ibias** se introduce directamente

El problema llega ahora, cuando nos damos cuenta que no podemos conseguir un modo común a la salida de **1,65 V** por más que aumentemos la corriente externa **Ibias**:

Ibias	R(teórica)	R(simulada)	$BW_{3dB}$	$V_{CM}$
5 mA	660 $\Omega$	662.07 $\Omega$	630 MHz gain=11.4dB	<b>1.6249 V</b>
20 mA	165 $\Omega$	167.089 $\Omega$	2.43 GHz gain=3.09dB	<b>1.6 V</b>

Tomamos la decisión de diseñar el preamplificador con un modo común de entrada y salida de **2,5 V**, y este será ya el diseño que nos servirá para nuestro convertidor.



El diseño pues del preamplificador con carga resistiva y modo común **2,5 V** consta de los siguientes parámetros:

$$R = 133.33\Omega \quad (W=20\mu, L=2.2\mu)$$

$$W_{nin} = 57\mu\text{m}$$

$$I_b = 12\text{mA} \quad (\text{Valor de intensidad según la figura 3.12})$$

$$V_{CM} = 2.5\text{V}$$

Por otro lado también hemos diseñado el espejo de corriente correctamente para que nos proporcione ese valor de corriente de **12 mA** en el **nodo A** de la **figura 3.12**. Para ello hemos tenido en cuenta que los valores de tensión **V<sub>ds</sub>** de ambos transistores que lo forman sean muy similares y además, una relación entre ambos transistores para que puedan ser macheados, donde **W<sub>c</sub> = W<sub>1</sub> · N**:

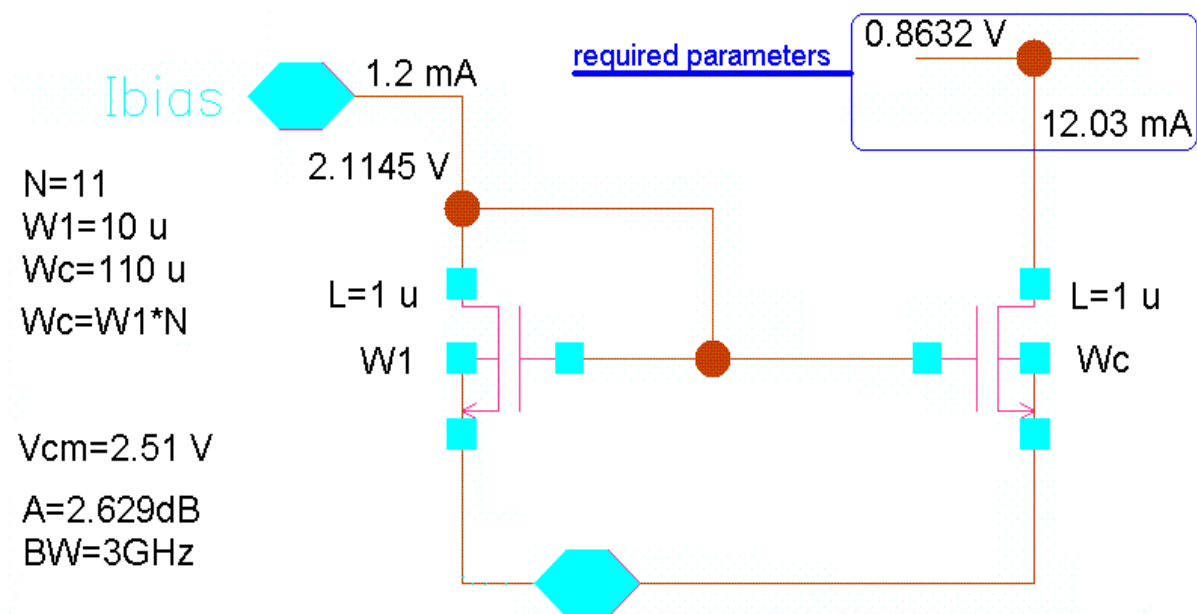


Figura 3.13. Diseño del espejo de corriente de los preamplificadores

Para diseñar la resistencia hemos tenido en cuenta el valor de **L<sub>min</sub>** y hemos modificado su **W**.



Por último, veamos los resultados obtenidos con este último y definitivo diseño, trabajando a una frecuencia de **1 GHz**:

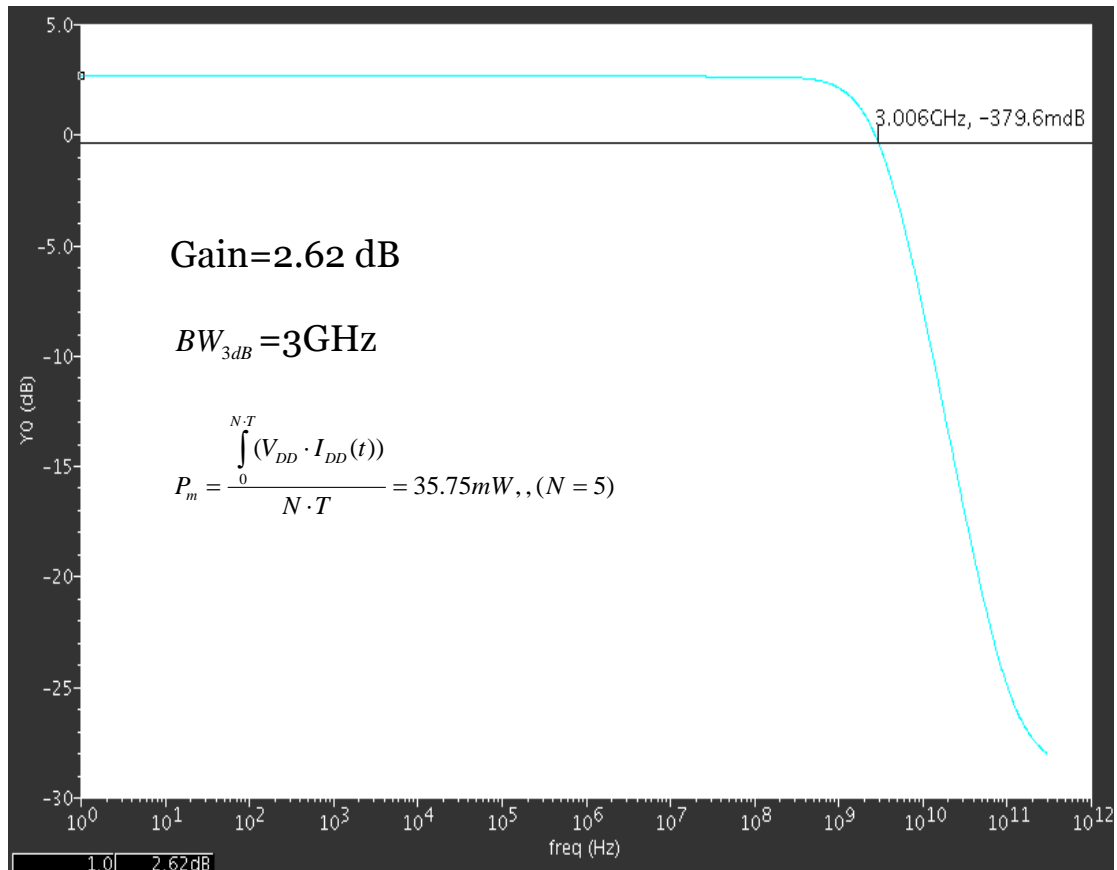


Figura 3.14. Especificaciones conseguidas en el diseño del preamplificador

## 5. Conclusiones

Tras seleccionar la arquitectura más adecuada para diseñar nuestros preamplificadores, es decir, aquella con la que mejor podamos controlar el modo común de salida del circuito, nos centramos en diseñar el preamplificador con carga resistiva para un modo común de salida de **1,65 V**. Al darnos cuenta que con esta arquitectura era un modo común muy bajo para cumplirlo como especificación, pasamos a un modo común mayor de **2,5 V**.

Seguimos pues por ahora manteniendo la frecuencia de funcionamiento  $f_{CLK} = 1 \text{ GHz}$  aunque el consumo del preamplificador sea demasiado elevado, incluso tomando el parámetro **Wc** mínimo no hemos podido disminuir significativamente el consumo.