



# ***CAPÍTULO 4***

## **Banco de comparadores**

### **Índice:**

#### **BANCO DE COMPARADORES**

1. Introducción.....	2
2. Diseño 1: comparador Sandner.....	3
2.1. Arquitectura.....	3
2.2. Diseño y resultados.....	4
2.3. Conclusiones.....	7
3. Diseño 2: comparador Yin.....	8
3.1. Arquitectura.....	8
3.2. Diseño y resultados.....	9
3.3. Señal de Power Down (PD).....	13
3.4. Diseño óptimo del comparador.....	14
3.5. Conclusiones.....	21
4. Diseño 3: comparador Yin para baja frecuencia y bajo consumo.....	22
4.1. Diseño y resultados.....	22
5. Diseño 4: comparador Sandner para baja frecuencia y bajo consumo.....	28
5.1. Diseño y resultados.....	28



## 1. Introducción

Los comparadores son los componentes más importantes de un convertidor analógico-digital tipo flash. Tras el divisor de tensión a la entrada del convertidor (bien obtengamos las referencias mediante una escalera de resistencias o interpolación capacitiva...) aparece un banco de comparadores donde cada comparador se encargará de comparar el valor de la señal de entrada con un nivel de tensión de referencia concreto obtenido en la primera etapa del convertidor.

Como ya estudiamos con detalle en el **capítulo 2** de este proyecto fin de carrera, la histéresis y el offset del comparador son los factores más importantes a tener en cuenta para realizar un buen diseño de comparadores.

Además, es importante destacar el hecho del muy posible error de mismatch que nos podemos encontrar tras fabricación en el latch que contiene el comparador; dos transistores idealmente con los mismos tamaños pueden variar hasta un  $\pm 5\%$  tras fabricación, con lo cual uno de los dos termina dominando lo cual produce una variación de las características del comparador.

Gracias a las **4 etapas preamplificadoras** de las que consta nuestro convertidor flash, dicho offset se ve dividido a la entrada por toda la ganancia del conjunto.

Las especificaciones que nos encontramos en el diseño de los comparadores son muy similares en el dominio frecuencial a las de de los preamplificadores:

- **Ganancia: 2,5 dB** aproximadamente.
- **Ancho de banda de 3dB ( $BW_{3dB}$ ): 3** veces mayor que la frecuencia de reloj del convertidor ( $f_{CLK}$ ).
- **Consumo:** Mínimo posible, teniendo en cuenta que vamos a trabajar a alta frecuencia el consumo va a ser importante.
- **Modo común de entrada y salida: 1,65 V** a priori ( $V_{DD}/2$ ) aunque como vimos en el **capítulo 2**, al diseñar los preamplificadores tuvimos que rediseñarlos para obtener finalmente un modo común de **2,5 dB**, por tanto el último diseño de comparador que vamos a estudiar en este capítulo deberá cumplir con este requisito.



Comenzamos nuestro diseño partiendo de una frecuencia de reloj de **1 GHz**, y a lo largo del capítulo iremos viendo qué ocurre con esta especificación.

En el convertidor flash de **6 bits** tendremos finalmente un comparador a la salida de cada preamplificador en la última etapa del circuito, es decir **63** comparadores en total ( $2^N-1$ ).

Pasamos a continuación a presentar los distintos diseños desarrollados hasta finalmente conseguir el comparador que usaremos en el convertidor flash con interpolación capacitiva.

## 2. Diseño 1: comparador Sandner

Vamos a comenzar estudiando la primera arquitectura de comparador<sup>1</sup> que comenzamos a diseñar. Claro está que no toda arquitectura de comparador o incluso cualquier otro dispositivo no está preparada para trabajar a tan elevada frecuencia de reloj ( $f_{CLK} = 1GHz$ ), es por ello que tuvimos que probar diversas topologías hasta encontrar aquella que cumpliera con nuestros requisitos.

### 2.1. Arquitectura

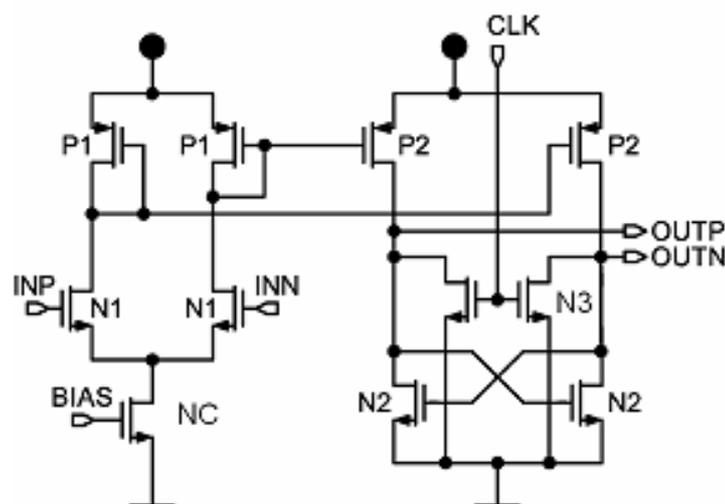


Figura 4.1. Arquitectura comparador Sandner

<sup>1</sup> Véase artículo “A 6-bit 1, 2-GS/s Low-Power Flash-ADC in 0,13- $\mu$ m Digital CMOS”



Como podemos ver se trata de un par diferencial de entrada en la primera etapa, copiamos la corriente a una segunda etapa donde aparece en la parte inferior un **latch** (transistores de ancho **N2**) que se encarga de desbalancear una u otra rama en función de la que copie una corriente mayor de la primera etapa (la cual dependerá de la tensión de entrada claro está).

Aunque el circuito es no lineal, podemos hacer un análisis del comportamiento de los transistores del mismo, llegando a las siguientes conclusiones:

- **P1**: Si no lo hacemos demasiado ancho (alrededor de **50  $\mu\text{m}$**  o menor) tendremos una más rápida respuesta transitoria.
- **N1**: No es significativo para el transitorio, sin embargo el  $BW_{3dB}$  será obtenido principalmente por una relación entre **N1** y **P1**.
- **NC**: Cuanto más ancho sea mejores son las respuestas en frecuencial y en el dominio temporal aunque a partir de un valor ya no importa que lo hagamos mayor. Es por ello que nos quedamos con el valor óptimo de **120  $\mu\text{m}$** .
- **P2**: El análisis transitorio requiere que sean bastante anchos para obtener buenos pulsos a la salida pero eso estropearía el ancho de banda. Hay pues que llegar a una relación de compromiso. **N1**, **P1** y **N3** dependen del tamaño de **P2**. Damos el valor de **250  $\mu\text{m}$**  a **P2** y posteriormente pasamos a diseñar **N1**, **P1** y **N3**.
- **N3**: Tenemos que llegar a un compromiso entre ambas respuestas.
- **N2**: También debemos alcanzar este compromiso entre análisis temporal y frecuencial.

Una vez conocemos el comportamiento del circuito con detalle, mostramos los resultados obtenidos en el próximo apartado.

## 2.2. Diseño y resultados

$$\begin{aligned} \mathbf{VDD} &= 3.3 \text{ V} \\ \mathbf{IBIAS} &= 1.5 \text{ mA} \end{aligned}$$

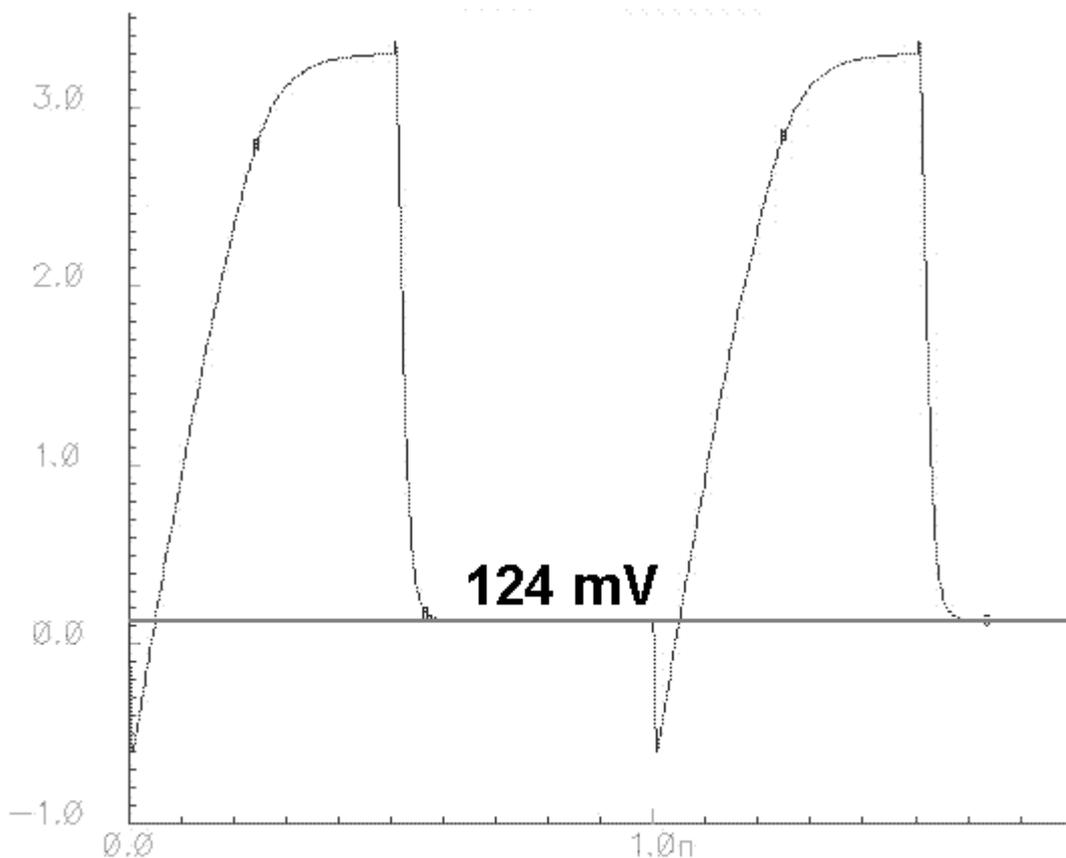
$$\begin{aligned} \mathbf{NC} &= 120 \mu\text{m} \\ \mathbf{N3} &= 150 \mu\text{m} \\ \mathbf{P2} &= 250 \mu\text{m} \\ \mathbf{N2} &= 10 \mu\text{m} \end{aligned}$$



Estos son los valores que dejamos fijos, y ahora variamos **N1** y **P1** y mostramos los resultados de simulaciones más significativos:

- **N1**= 275  $\mu\text{m}$  y **P1**= 300  $\mu\text{m}$

Con estos valores conseguimos un ancho de banda analógico de 2,85 GHz, estaríamos pues muy próximos a los **3 GHz** requeridos pero el problema es que los pulsos a la salida no son todo lo bueno que nos gustaría:



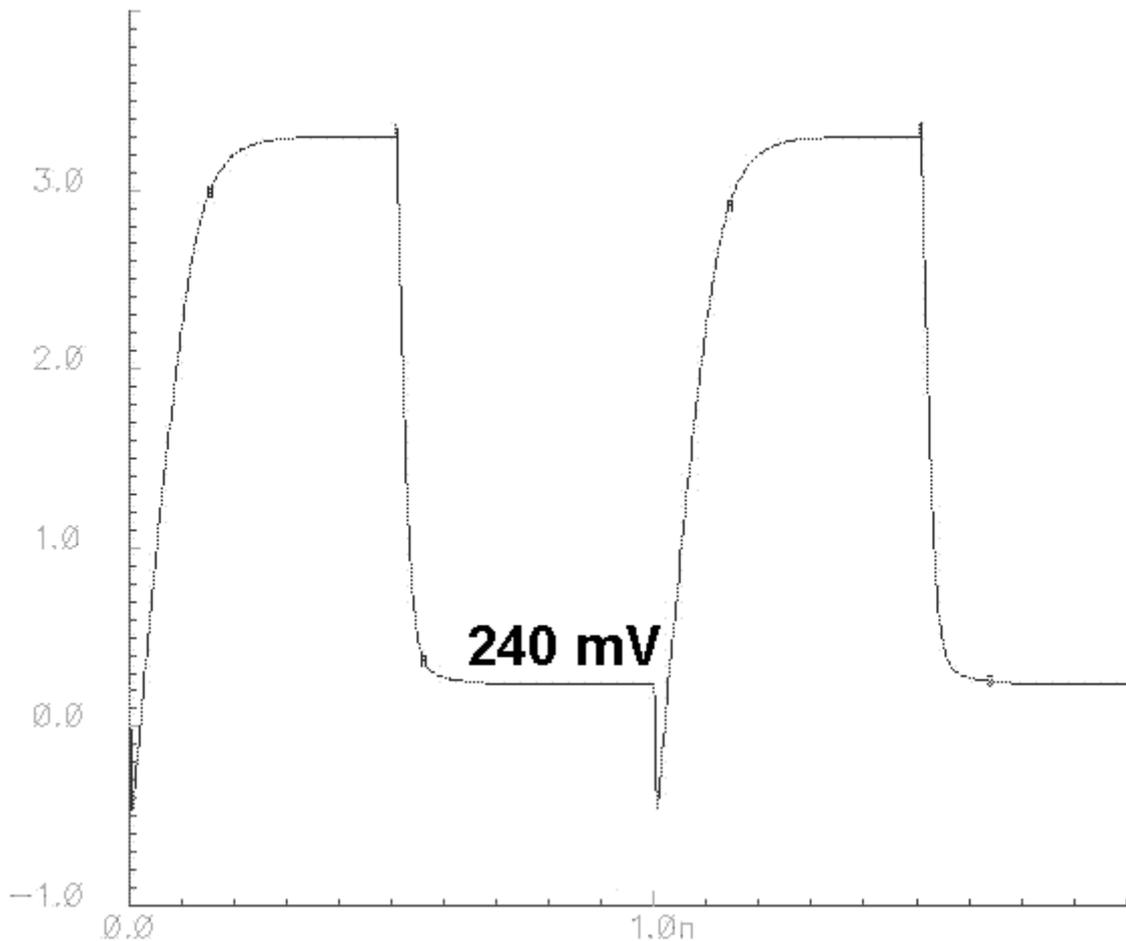
**Figura 4.2. Pulsos a la salida del comparador Sandner. Simulación 1.**

Además de que no son pulsos demasiado rápidos, en la fase de reset no llegan a descargarse completamente (alcanzan **124 mV** como vemos) y nos gustaría que quedasen más próximos a **0 V**.



- **N1**= 400  $\mu\text{m}$  y **P1**= 150  $\mu\text{m}$

En este otro caso a destacar, conseguimos un ancho de banda algo menor **2,6 GHz** a cambio de que los pulsos sean mejores. Aunque los pulsos son más anchos y rápidos, su descarga es aún menor que en el caso anterior, llegando solo hasta **240 mV** en la fase de reset:



**Figura 4.3. Pulsos a la salida del comparador Sandner. Simulación 2.**

Finalmente, vamos a presentar el diseño que nos acerca más a los valores que realmente requerimos de este comparador:

**N1** = 400  $\mu\text{m}$

**P1** = 150  $\mu\text{m}$

**NC** = 180  $\mu\text{m}$

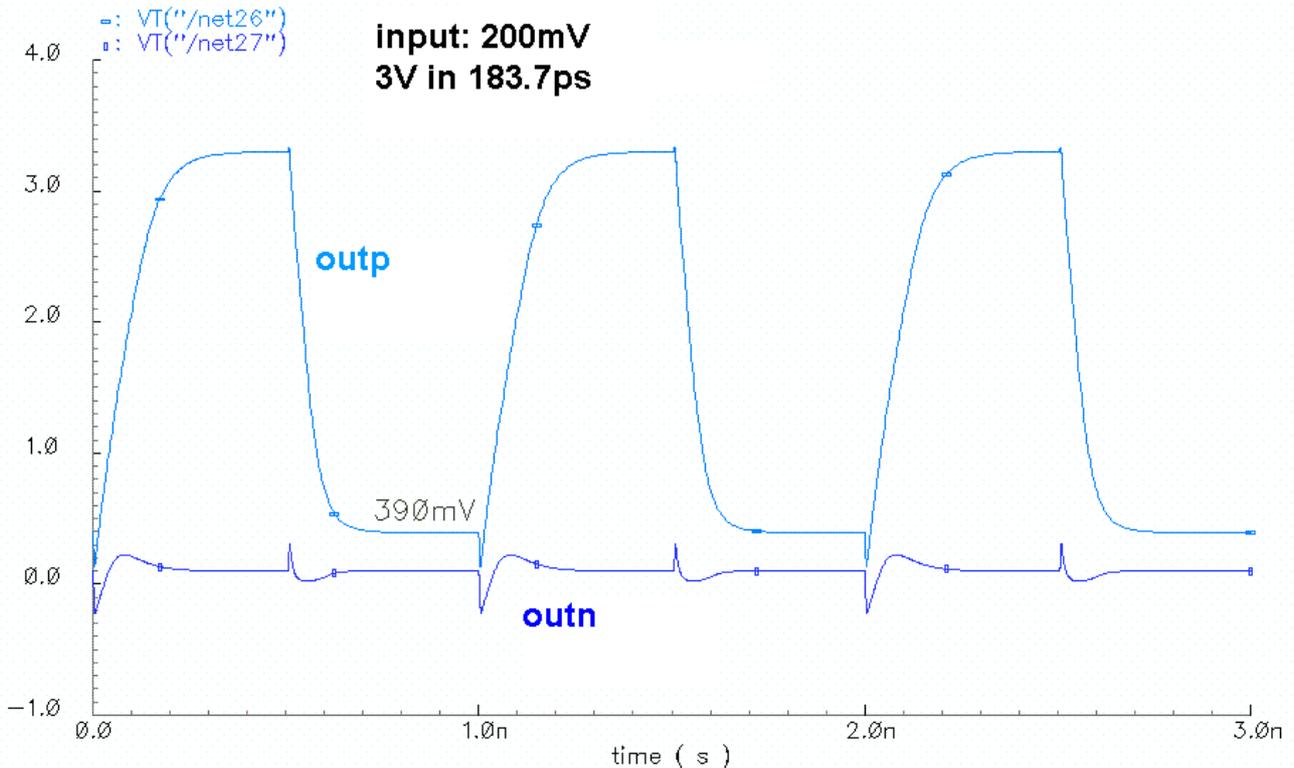
**P2** = 250  $\mu\text{m}$

**N3** = 60  $\mu\text{m}$

**N2** = 60  $\mu\text{m}$



$BW_{3dB}$  alcanzado **2,625 GHz** y **8,98 dB** de ganancia, con los siguientes pulsos a la salida (en este caso la salida en la gráfica no es diferencial):



**Figura 4.4. Pulsos a la salida del comparador. Salida no diferencial.**

Además de no cumplir la especificación del ancho de banda, este comparador destaca por su elevado consumo a altas frecuencias como podemos ver a continuación:

$$P_{inst} = \frac{\int_0^{N \cdot T} (V_{DD} \cdot I_{DD})}{N \cdot T} = 73.183mW \quad (4.1)$$

$$I_{VDD} = 22.176mA$$

$$V_{DD} = 3.3V$$

### 2.3. Conclusiones

Como hemos visto este comparador no alcanza en tecnología **0,35  $\mu\text{m}$**  las especificaciones que se le demandan. En cuanto nos acercamos al valor de **3 GHz** los pulsos en el dominio del tiempo empeoran y conseguir ambas especificaciones no ha sido posible. Además hemos podido ver el elevado consumo que requiere esta arquitectura para trabajar a tan elevada frecuencia. Pasamos a estudiar otra arquitectura de comparador.



### 3. Diseño 2: comparador Yin

Basado en el artículo “A High-Speed CMOS Comparator with 8-b Resolution”<sup>2</sup> donde aparece una arquitectura de comparador con varios latches que ahora comentaremos.

#### 3.1. Arquitectura

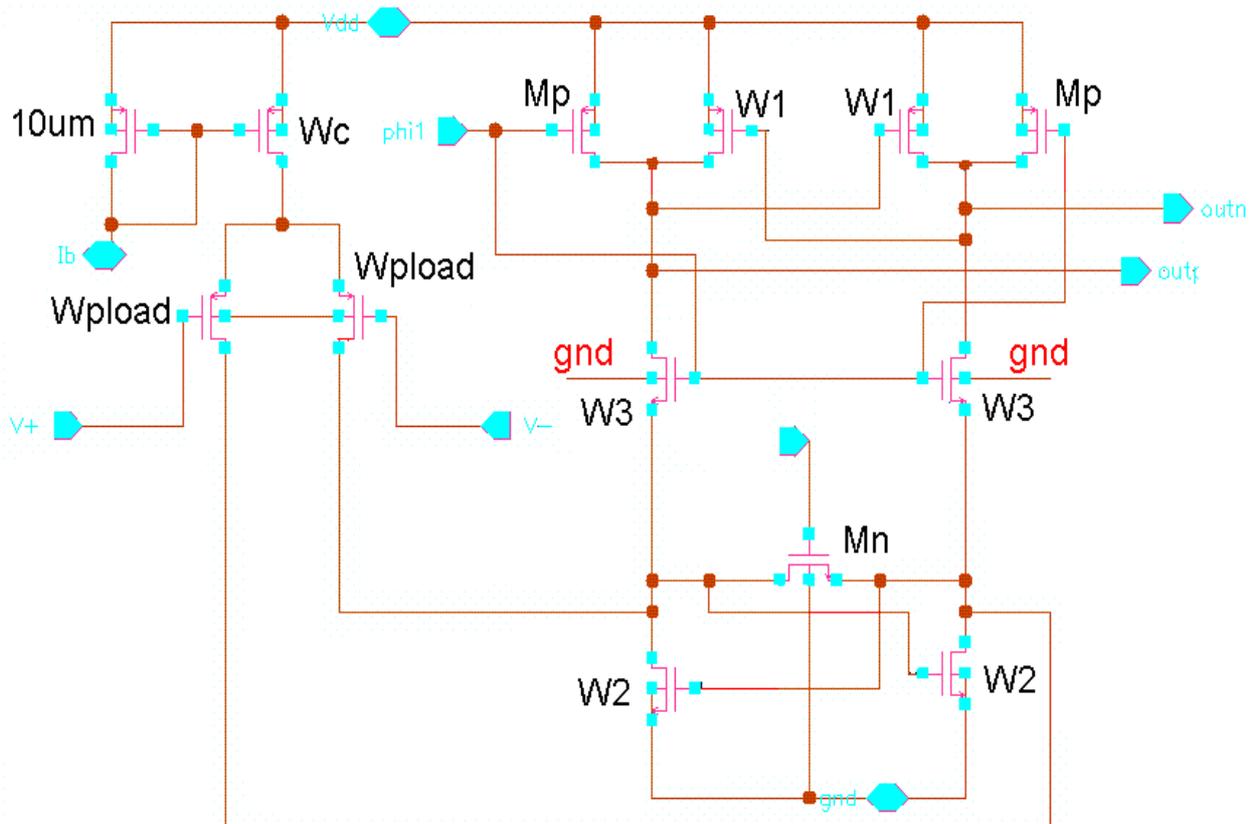


Figura 4.5. Arquitectura del comparador Yin

El funcionamiento de este comparador es similar al estudiado previamente (Sandner) pero la principal diferencia es el uso de **2 latches** (transistores de anchos **W1** y **W2**), con los cuales conseguimos que el desbalanceo sea más rápido y por tanto la respuesta del comparador sea más rápida.

<sup>2</sup> IEEE JOURNAL OF SOLID-STATE CIRCUITS. VOL. 27. NO. 2. FEBRUARY 1992



La intensidad que se genera en la primera etapa en función de la tensión que hay en las puertas del par diferencial de entrada (**W<sub>pload</sub>**) se copia a la segunda etapa (amplificada claro) y los transistores **W1** y **W2** se encargan del desbalanceo de una de las ramas, ganando aquella con mayor intensidad de corriente.

Por otro lado **W3** se encarga de aislar la parte superior e inferior de la segunda etapa del circuito, es decir, aísla ambos latches durante la fase de reset, en la cual se olvida el estado de comparación anterior.

Los transistores de ancho **M<sub>p</sub>** se encargan de resetear el latch superior mientras que **M<sub>n</sub>** hace lo mismo con el inferior. Podemos destacar de esta arquitectura que aunque **M<sub>n</sub>** no juega un papel importante a priori ni en el análisis transitorio ni en el frecuencial, ocurre que si no le damos un valor lo suficientemente elevado, no se hace un buen reset del circuito y no olvida el estado anterior, provocando entonces la misma salida siempre del circuito.

### 3.2. Diseño y resultado

Tras sucesivos diseños hemos encontrado el mejor se adapta a las necesidades que demanda el convertidor flash de ganancia y ancho de banda, cumpliendo además con una correcta respuesta transitoria:

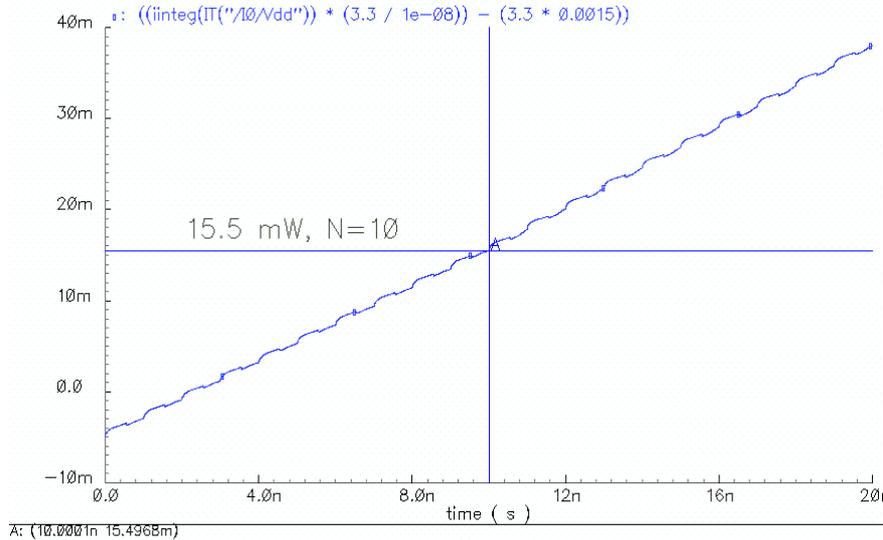
$$\begin{array}{lll} \mathbf{Wc} = 31 \mu\text{m} & \mathbf{Wpload} = 995 \mu\text{m} & \mathbf{W2} = 173.3 \mu\text{m} \\ \mathbf{Mn} = 27 \mu\text{m} & \mathbf{W3} = 15 \mu\text{m} & \mathbf{W1} = 90 \mu\text{m} \\ \mathbf{Mp} = 110 \mu\text{m} & \mathbf{Ib} = 1.5 \text{ mA} & V_{DD} = 3.3 \text{ V} \\ BW_{3dB} = 3.12 \text{ GHz} & & \mathbf{A} = 2.019 \text{ dB} \end{array}$$

$$P_m = \frac{\int_0^{N \cdot T} (V_{DD} \cdot I_{DD}(t))}{N \cdot T} = 20,45 \text{ mW}, (N = 10)$$

El consumo es también elevado, pero nada que ver con el consumo del **comparador Sandner** estudiado con anterioridad. En este caso hemos tomado como media **10** periodos de reloj, y hemos tenido en cuenta en el cálculo de la potencia media la corriente de polarización (aunque no aparezca en la gráfica).



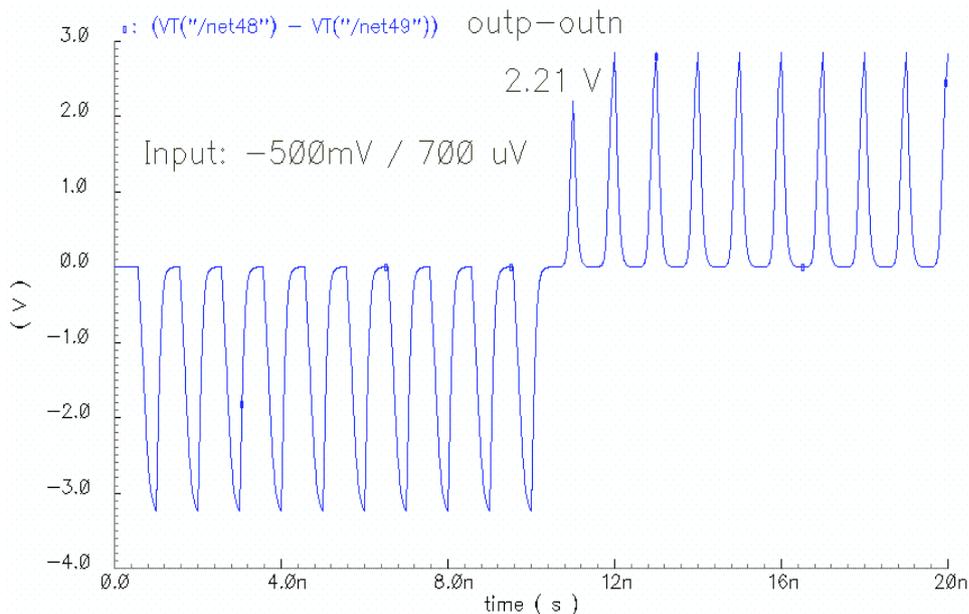
Seguimos pues trabajando a **1 GHz** de frecuencia y aunque la ganancia no alcance exactamente los **2,5 dB** tampoco hay ningún problema, pues los preamplificadores los superaban.



**Figura 4.6. Simulación del consumo de potencia. No se considera la corriente de polarización externa en la gráfica.**

- Histéresis:

El valor mínimo de tensión positivo requerido a la entrada tras una entrada negativa es de **700  $\mu$ V**, y lo mismo ocurre cuando tras una entrada positiva y grande (**500 mV**) medimos una salida válida con la menor entrada negativa posible (**-700  $\mu$ V**).



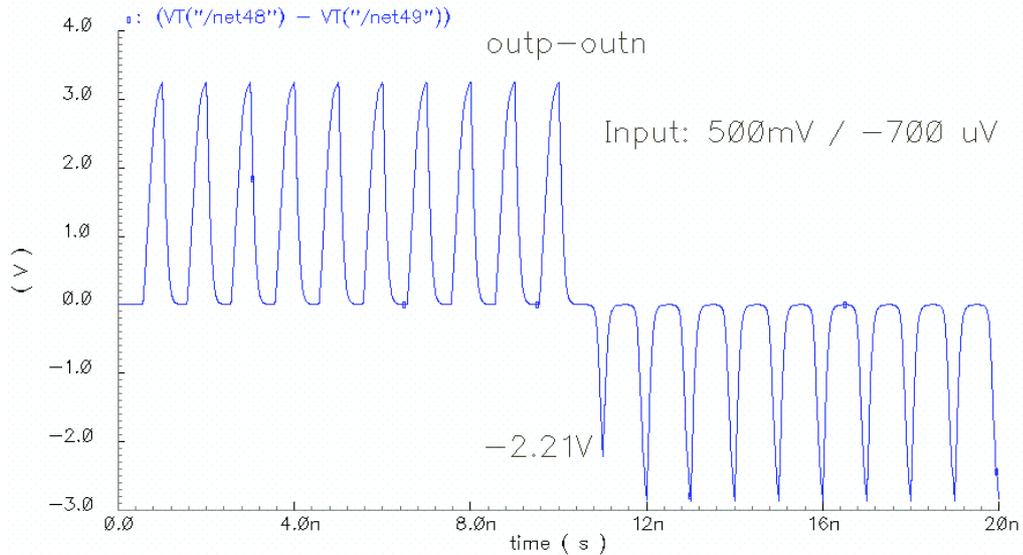


Figura 4.7. Simulaciones ante entrada escalón para medir la histéresis.

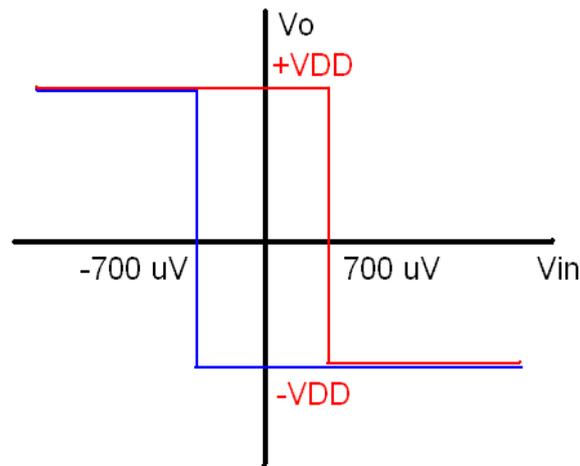
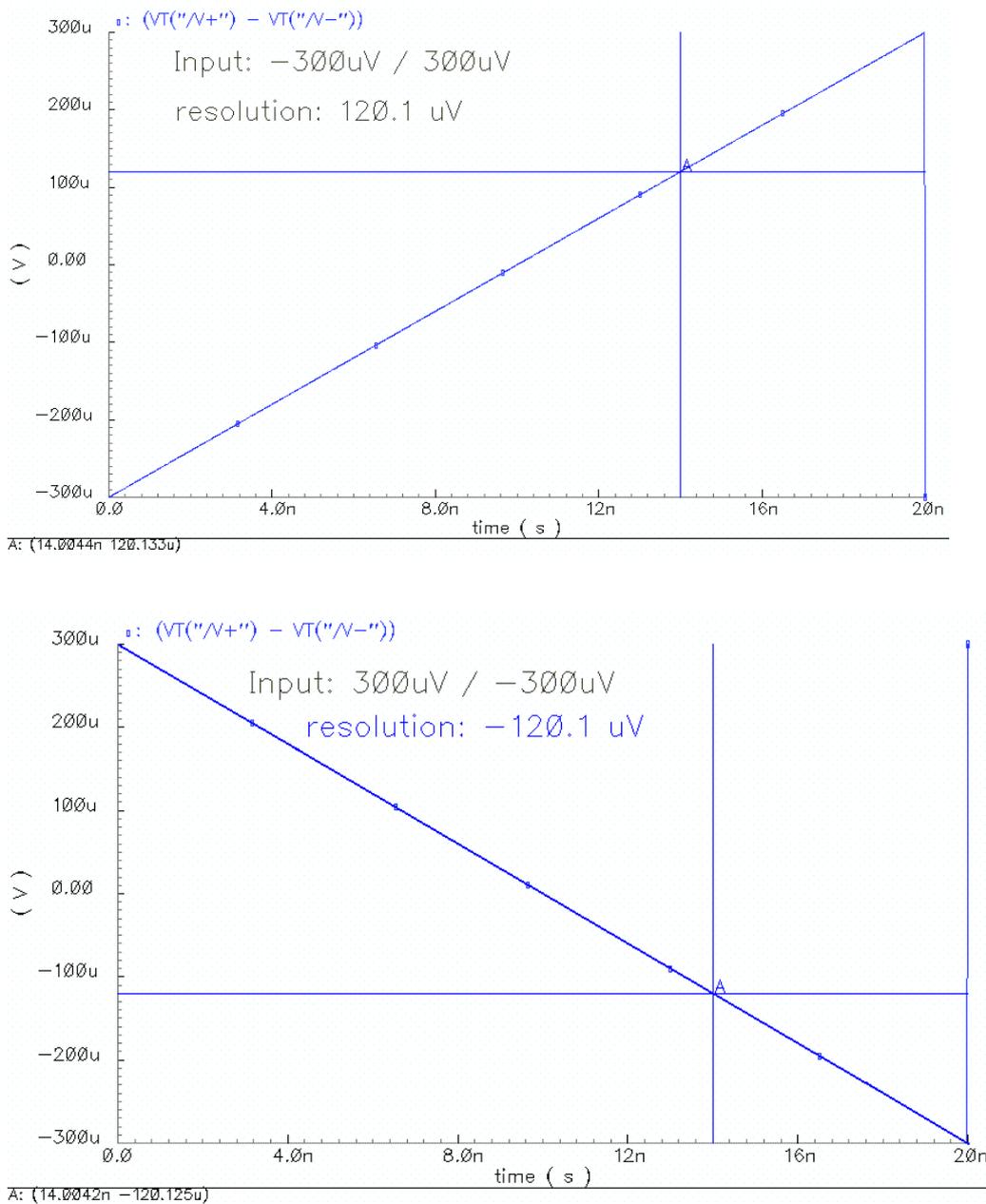


Figura 4.8. Histéresis del comparador Yin

Podemos ver en la figura anterior que tiene una muy buena histéresis. Ahora veremos su resolución, es decir, si con la histéresis veíamos los valores mínimos de tensión necesarios para contemplar un cambio de entrada positiva a negativa y viceversa, ahora ante una entrada rampa de negativa a positiva y viceversa veremos con precisión el valor mínimo necesario positivo y negativo que requiere a la entrada para contemplar los cambios:



**Figura 4.9. Resolución del comparador Yin. Entradas con rampas ascendentes y descendentes.**

Con rampas desde **-300  $\mu$ V** a **300  $\mu$ V** y viceversa nos encontramos que los valores mínimos de tensión que necesitamos a la entrada son de  **$\pm 120,1 \mu$ V**, una resolución muy alta.

Hemos conseguido pues un diseño robusto y cumpliendo con todas las especificaciones requeridas.





En la siguiente figura veremos cómo la salida se anula al activar la señal de power down:

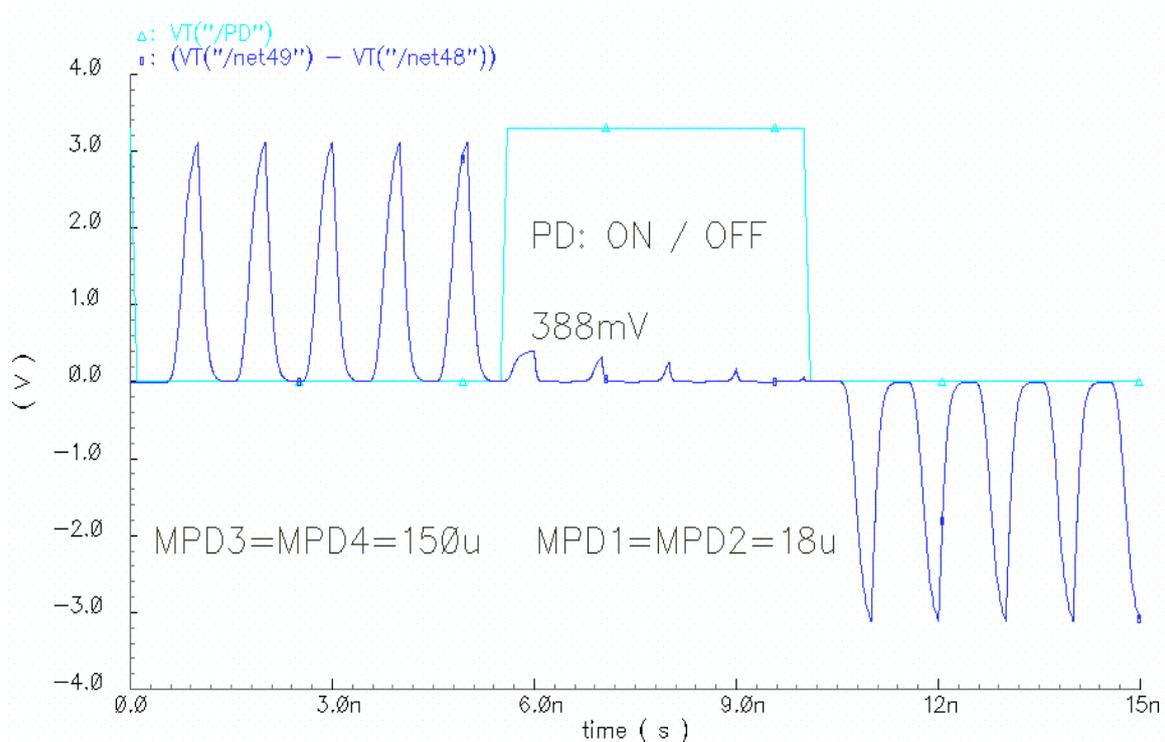


Figura 4.11. Salida del comparador cuando activamos la señal de power down.

### 3.4. Diseño óptimo del comparador

Recordemos que en el **capítulo 3** tuvimos que rediseñar los preamplificadores para un modo común de entrada y salida de **2,5 V**. En la última etapa del convertidor flash con interpolación capacitiva los preamplificadores atacan a los comparadores, por lo tanto **el modo común de salida de los preamplificadores debe ser igual al modo común de entrada de los comparadores**. El anterior diseño del comparador Yin fue diseñado antes de encontrarnos con que el modo común de los preamplificadores debía ser de **2,5 V**. Por ello, ahora presentamos el diseño óptimo al que finalmente llegamos diseñando comparadores para ser utilizado en el convertidor flash.

Al comenzar con el diseño del comparador Yin para un modo común de entrada de **2,5 V** nos damos cuenta de que no podemos alcanzar las especificaciones de diseño requeridas con la arquitectura del comparador Yin. La entrada ataca directamente a las puertas de transistores p (**figura 4.5**) y el modo común de **2,5 V** es demasiado elevado, permitiendo un rango de operación muy pequeño. Con los análisis realizados no conseguimos alcanzar para ese modo común de entrada un ancho de banda mayor de **2 GHz**.



Como solución lo único que podemos hacer es modificar la arquitectura, y si el problema son los transistores p que tenemos a la entrada pues hacemos un “espejo” de la arquitectura de Yin estudiada en el apartado anterior, es decir, sustituimos los transistores p por los n y viceversa:

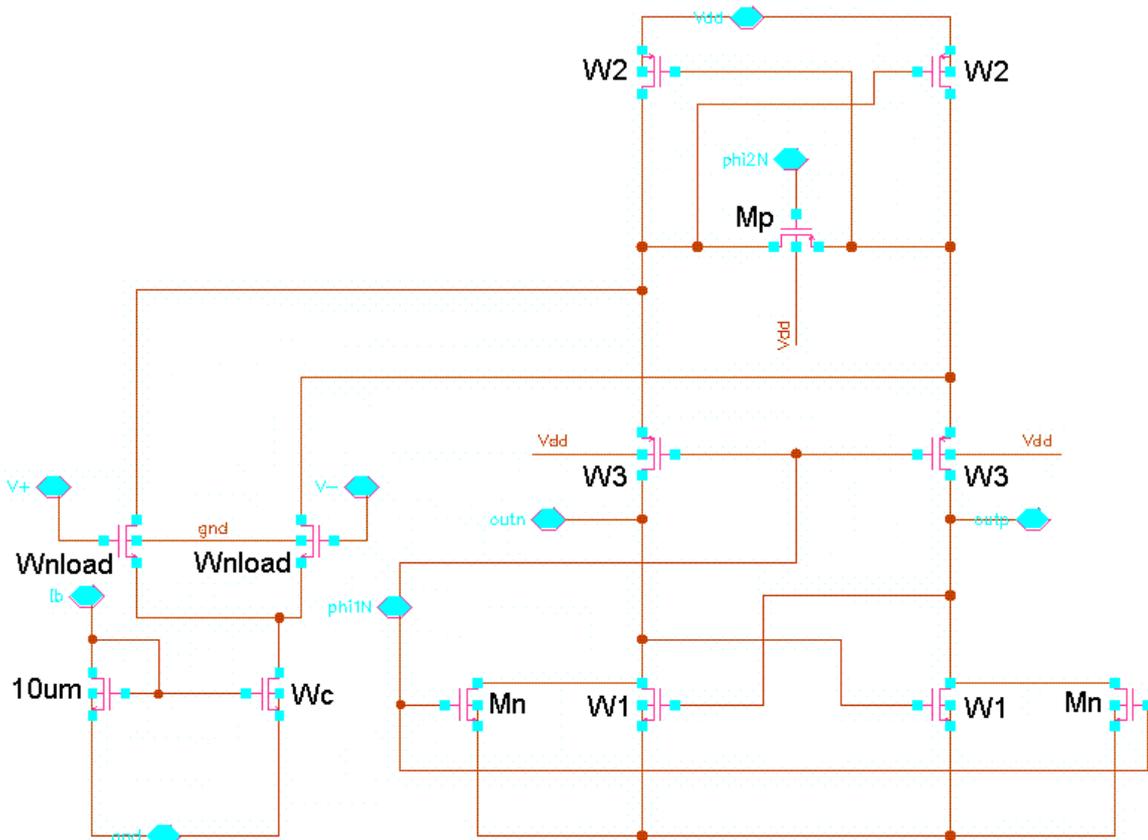


Figura 4.12. Nueva arquitectura de comparador.

Aunque los transistores han sufrido un cambio, la topología del circuito sigue siendo la misma; mediante el espejo de corriente polarizamos, copiamos la corriente de la etapa de entrada hasta la segunda etapa con el par diferencial, y generamos una semilla entre los drenadores de **W2** que nos permite provocar un desbalanceo de una de las ramas gracias a los latches que forman **W1** y **W2**.

**W3** sirve para dividir o separar el circuito en la fase de reset y **Mn** y **Mp** resetean el estado anterior.

El control de las fases de reloj lo estudiaremos con detalle en el capítulo 5, es por ello que no nos hemos centrado en su funcionamiento en este capítulo, ya que requiere ciertas aclaraciones. Es conveniente entender la arquitectura y diseño de los comparadores ahora y posteriormente ver cómo funcionan las fases de comparación y de reset controladas por 2 fases de reloj.



Podemos encontrar el papel de cada uno de los transistores en el diseño, viendo en qué parte son importantes, dentro del análisis transitorio o dentro del análisis frecuencial:

AC ANALYSIS	TRANSIENT ANALYSIS (dominio temporal)	Aquellos con un papel importante en ambos análisis
$W_c, W_{load}, W_2$ y $M_p$	$W_1, W_2, W_3, M_n$ y $M_p$	$W_2$ y $M_p$

El siguiente problema que nos encontramos es que aunque podemos alcanzar con esta nueva arquitectura los **3 GHz** de ancho de banda analógico, la calidad de los pulsos en el análisis transitorio no es buena:

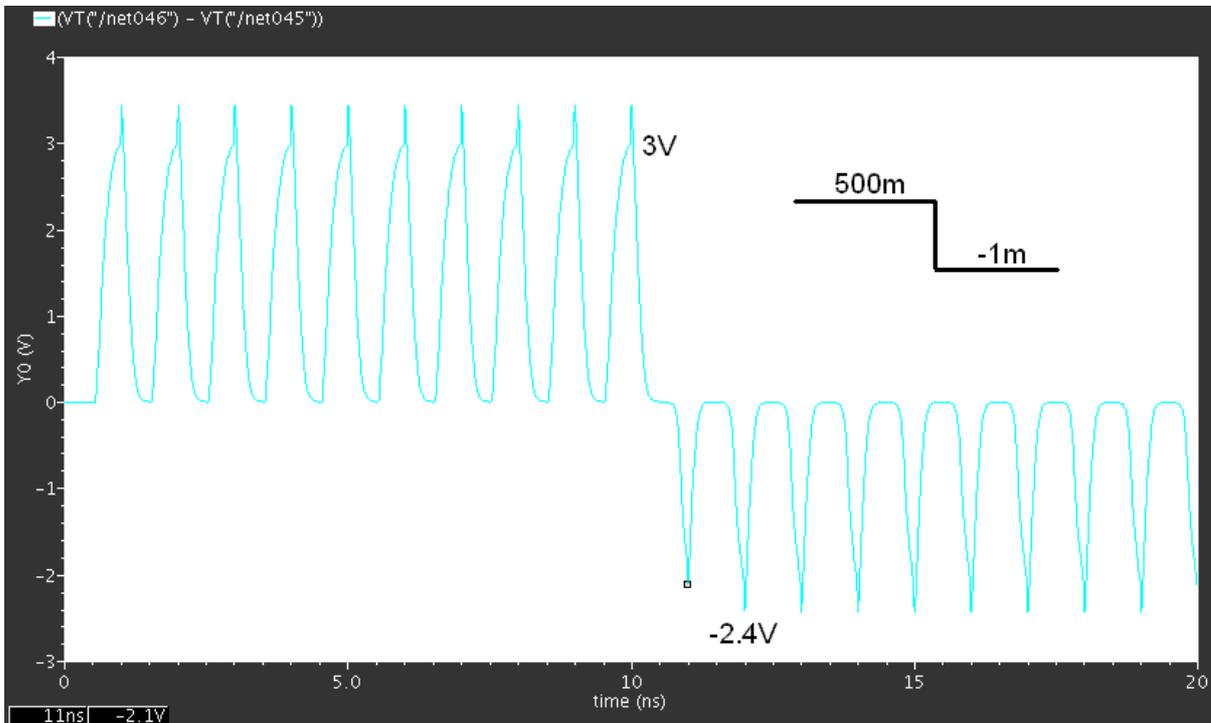
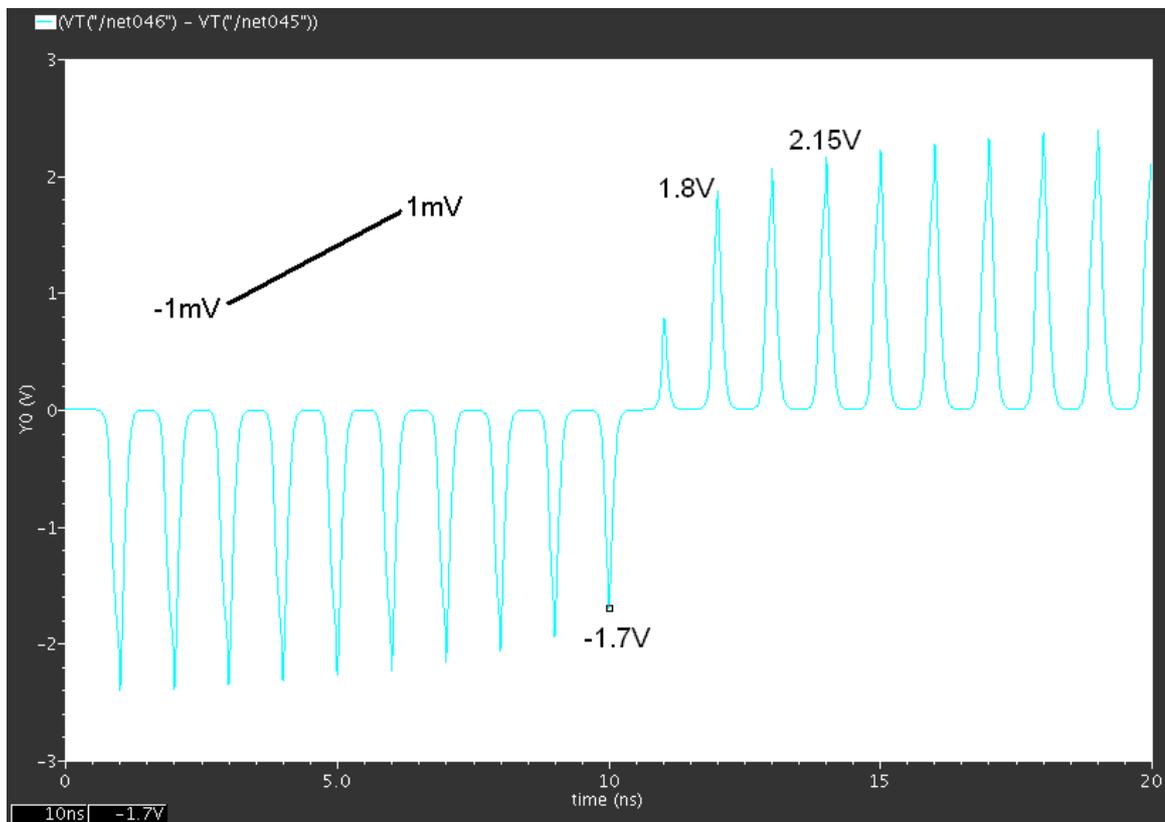


Figura 4.13. Respuesta del comparador ante entrada escalón.

Podemos ver la mala calidad de los pulsos cuando el comparador funciona a una frecuencia tan elevada (**1 GHz**).

En la siguiente figura veremos su respuesta transitoria ante una entrada rampa, y como su resolución ha disminuido bastante:



**Figura 4.14. Respuesta del comparador ante entrada rampa.**

La solución finalmente adoptada fue disminuir la frecuencia de reloj a 500 MHz, y una vez que tengamos nuestro convertidor funcionando a esta frecuencia, comenzar a desarrollar ideas para aumentar su frecuencia de funcionamiento. Pero no podemos perder de vista el objetivo de este proyecto fin de carrera que es el convertidor analógico digital de 6 bits con interpolación capacitiva, independientemente de a la frecuencia que consigamos que finalmente funcione, aunque cuanto mayor sea esta pues mejor claro está. Por tanto, no trabajaremos al límite y bajaremos la frecuencia de funcionamiento a la mitad.

Tenemos también que tener en cuenta que el diseño de los preamplificadores está sobredimensionado en frecuencia, ya que los diseñamos en el capítulo anterior para que trabajaran sin problema a **1 GHz**. Aunque esté sobredimensionado el diseño vimos que era coherente y nos sirve sin problemas para poder diseñar y probar el convertidor, así que seguiremos con el último diseño que vimos en el **capítulo 3**.

Las nuevas especificaciones para el comparador son pues:

$BW_{3dB} = 1,5 \text{ GHz}$  (3 veces mayor que la frecuencia de reloj).

**Ganancia= 2,5 dB** aproximadamente.



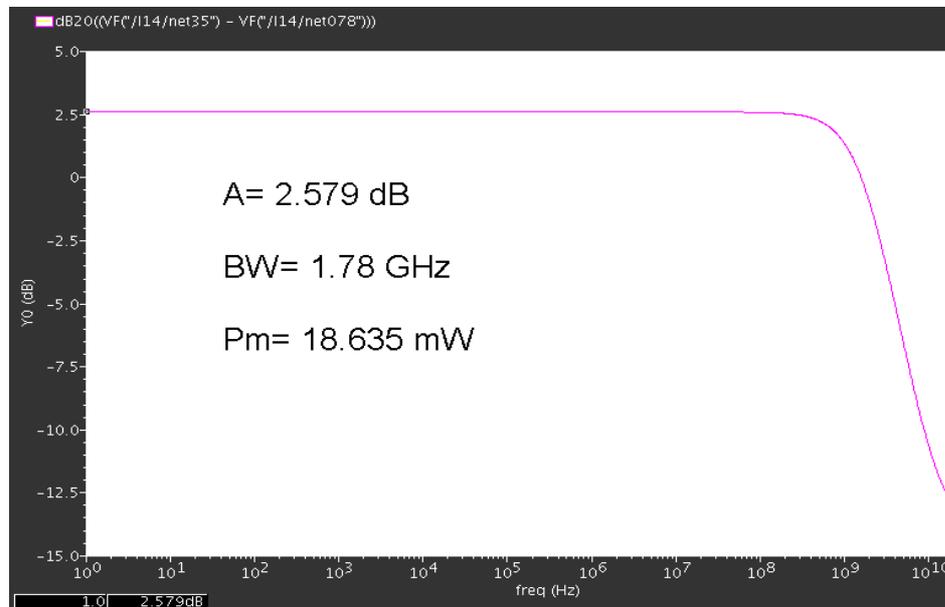
Los parámetros para este último diseño son:

$$\begin{array}{lll} \mathbf{Wc} = 23 \mu\text{m} & \mathbf{Wload} = 900 \mu\text{m} & \mathbf{W2} = 600 \mu\text{m} \\ \mathbf{Mn} = 25 \mu\text{m} & \mathbf{W3} = 160 \mu\text{m} & \mathbf{W1} = 150 \mu\text{m} \\ \mathbf{Mp} = 160 \mu\text{m} & \mathbf{Ib} = 1.5 \text{ mA} & \mathbf{V_{DD}} = 3.3 \text{ V} \end{array}$$

$$BW_{3dB} = \mathbf{1.78 \text{ GHz}}$$

$$\mathbf{A = 2.579 \text{ dB}}$$

$$P_m = \frac{\int_0^{N \cdot T} (V_{DD} \cdot I_{DD}(t))}{N \cdot T} = 18,635 \text{ mW}, (N = 10)$$



**Figura 4.15. Ganancia y ancho de banda del comparador.**

Vemos ahora una respuesta transitoria ante entrada rampa, desde **-1 mV** hasta **1mV** y otra desde **-200 μV** hasta **200 μV** siendo ambas muy similares:

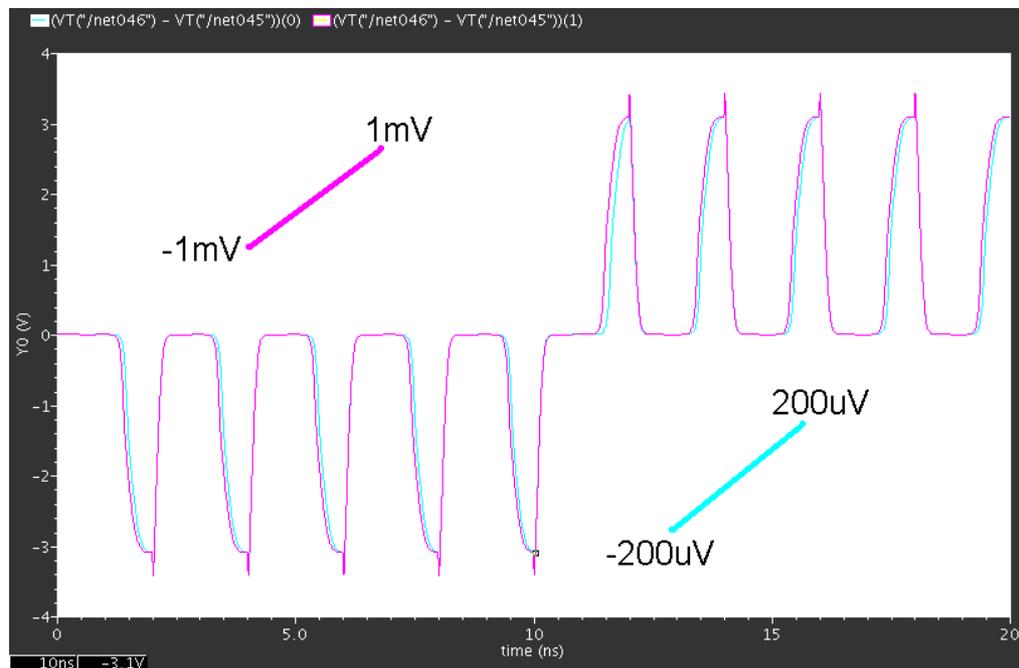


Figura 4.16. Respuesta transitoria ante entrada rampa.

En cuanto a su histéresis, es aún mejor al trabajar a una menor frecuencia, solo necesita una señal a la entrada de  $-45 \mu\text{V}$  tras un escalón positivo de  $500\text{mV}$  para responder a una entrada negativa:

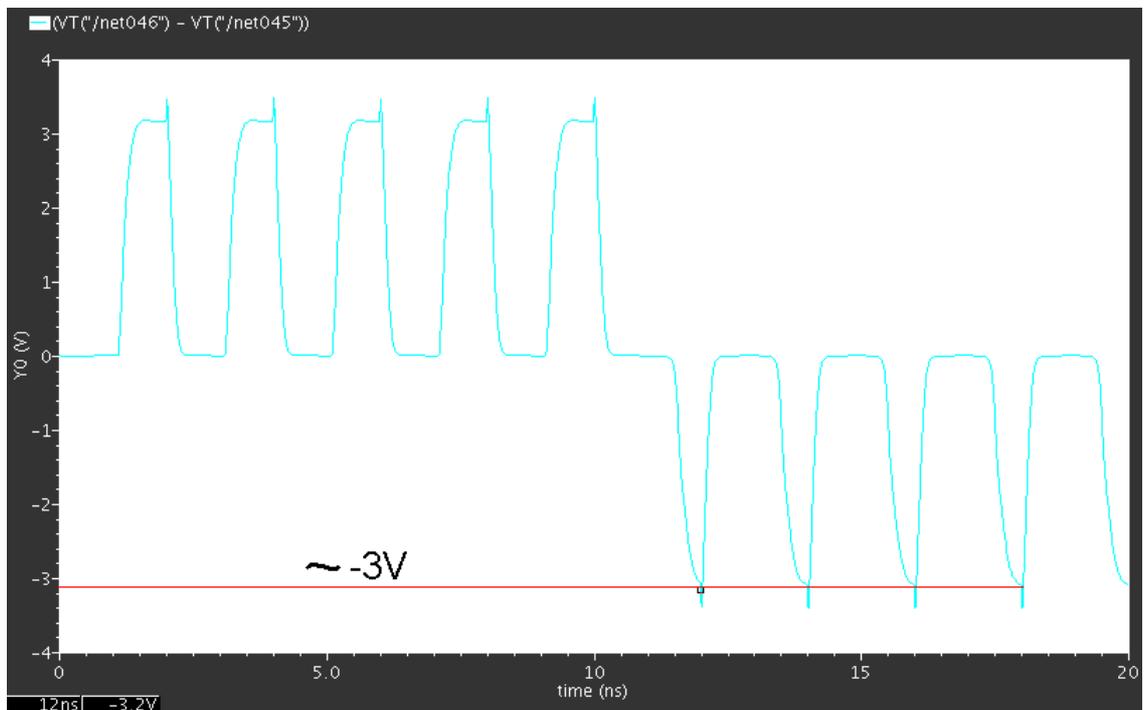


Figura 4.17. Respuesta ante entrada escalón para medida de histéresis.



Y en sentido creciente, es decir, desde  $-500\text{ mV}$  solo necesitamos  $35\text{ }\mu\text{V}$  para tener una respuesta positiva a la salida:

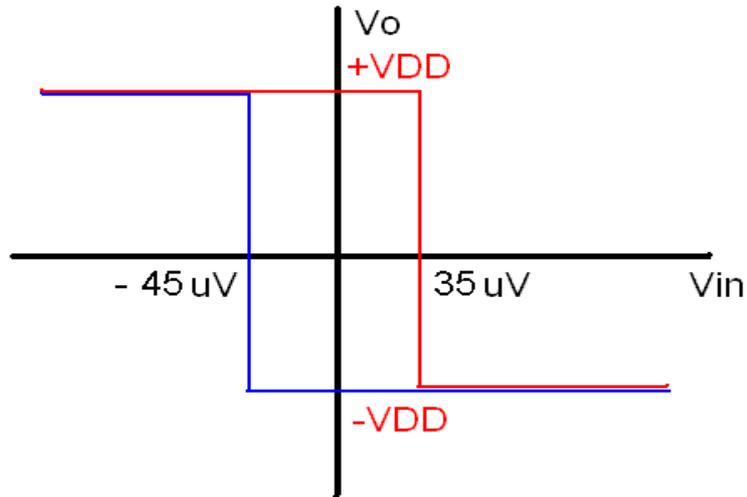


Figura 4.18. Histéresis del comparador

En cuanto a la resolución, ésta es muy alta como era de prever con las respuestas que estamos obteniendo en régimen transitorio, podríamos decir que bastarían unos  $\pm 30\text{ }\mu\text{V}$  para obtener respuestas positivas o negativas ante entradas rampa:

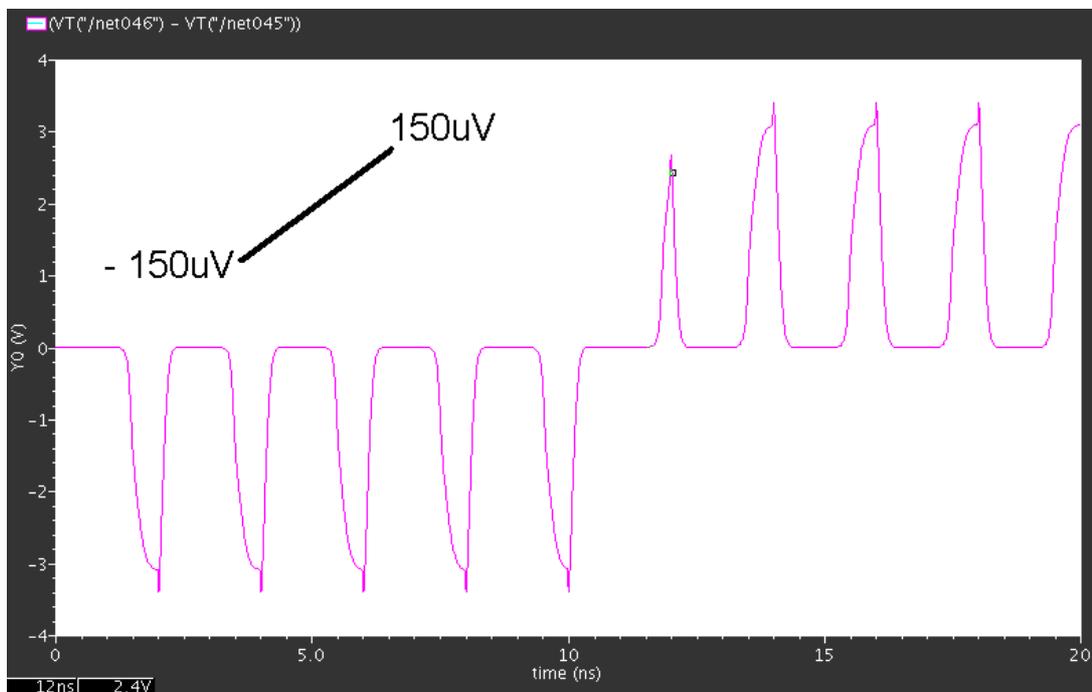


Figura 4.19. Medida de la resolución del comparador.



### 3.5. Conclusiones

Desde el diseño del comparador Sandner hasta este último comprador diseñado hemos tenido que ir solventando diversos problemas que nos hemos encontrado a medida que avanzábamos:

- Los primeros diseños realizados por modo común de entrada **1,65V**.
- Los preamplificadores tenían problemas de diseño con ese modo común → pasamos a diseñarlos para modo común de entrada y salida **2,5 V**.
- Debido a que los preamplificadores atacan a los comparadores, rediseñamos los comparadores para un modo común de entrada de **2,5V**. El modo común de salida de los comparadores no importa ya que no es importante para la carga digital a la que atacarán.
- No nos sirve la misma arquitectura de comparador que estábamos usando (Yin) ya que no se comporta adecuadamente para ese modo común de entrada (no alcanzamos el ancho de banda requerido).
- Tras modificar la arquitectura, logramos alcanzar el ancho de banda pero los pulsos son bastante mediocres en régimen transitorio, así que optamos por disminuir la frecuencia de reloj del circuito.

Estos han sido los distintos inconvenientes que nos hemos ido encontrando en el diseño de preamplificadores y comparadores. Por fin tenemos ambos dispositivos diseñados y listos para ser probados en la arquitectura de interpolación capacitiva de los convertidores flash de **2 y 6 bits** que posteriormente veremos.

En los dos próximos puntos vamos a profundizar en el diseño de los comparadores que hemos estudiado para aplicaciones de baja frecuencia y bajo consumo, para que puedan ser utilizados en otras aplicaciones, es por ello que no forman parte de las conclusiones de este capítulo para el convertidor flash.





TRANSISTORES	Width (W, $\mu\text{m}$ )	Length (L, $\mu\text{m}$ )
Wnload	120	0.6
W3	10	0.35
W2	60	0.35
W1	5	0.7
WS	5	0.35
WR	5	0.35

La intensidad de polarización **I<sub>b</sub>** necesaria para satisfacer los requisitos es de **40  $\mu\text{A}$**  para conseguir al menos **0 dB** de ganancia.

Tenemos que tener en cuenta el problema del mismatch que pueden sufrir los transistores que forman los latches tras fabricación, pues resulta que, un ligero desapareamiento entre ellos conduce a que una de las ramas sea más propicia a ganar el desbalanceo a igualdad de condiciones, y éste mismatch generará un offset a la entrada del comparador. Para disminuir ese offset podemos aumentar la ganancia del par diferencial de entrada, aunque para ello necesitamos más corriente. Lo que haremos será pues considerar una ganancia de aproximadamente **0 dB** para que al menos ese offset no se vea amplificado (lo que ocurriría con ganancias negativas).

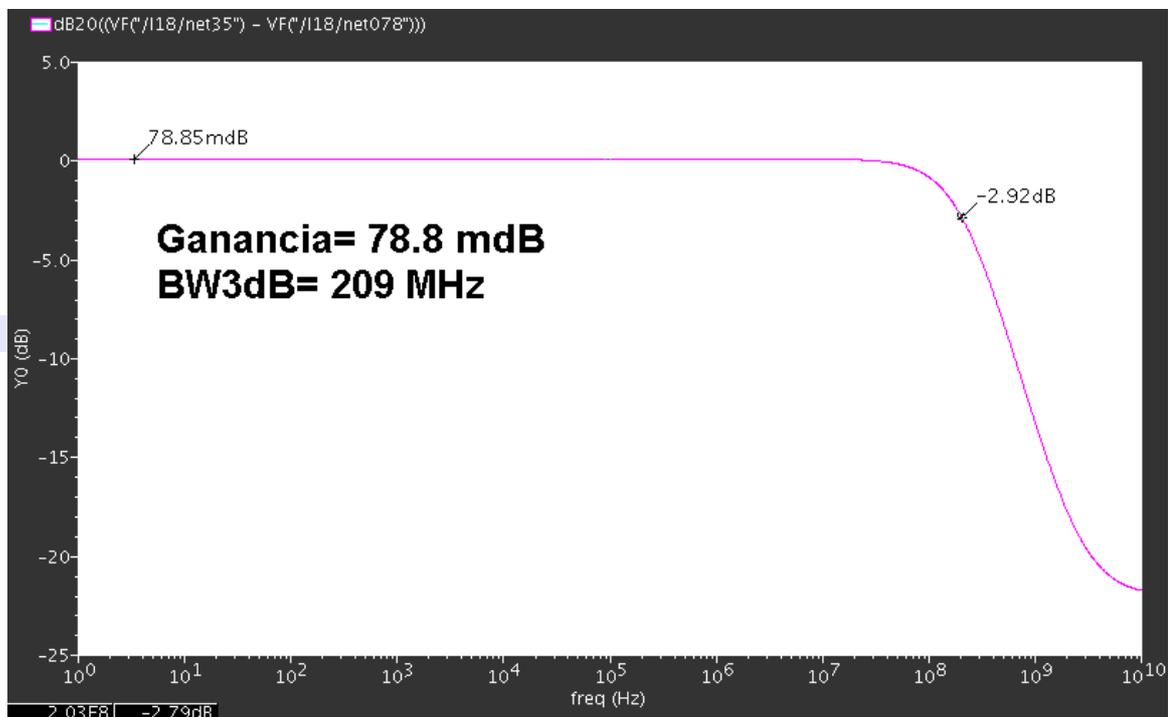
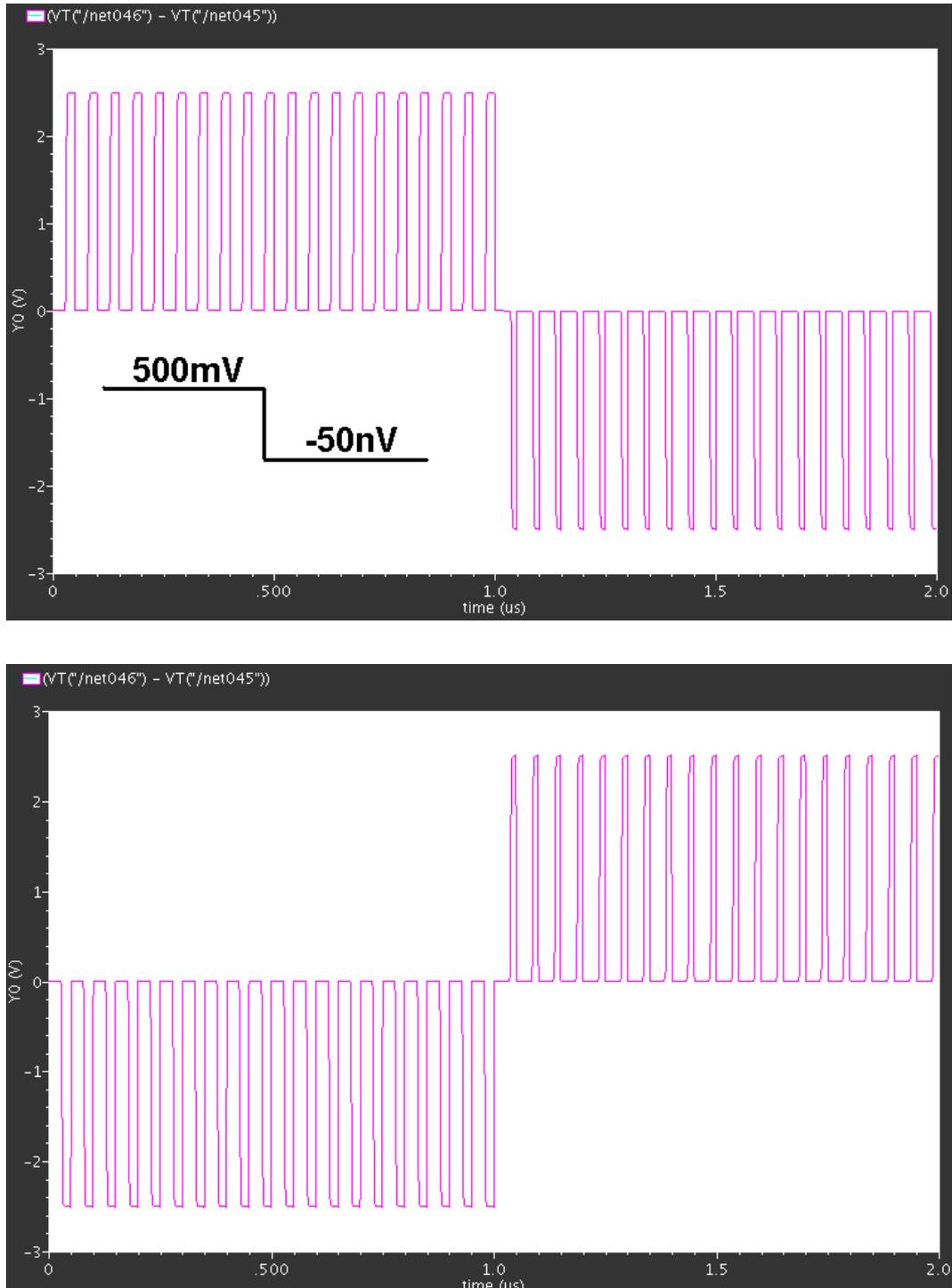


Figura 4.21. Análisis AC del comparador.



Como vemos en la **figura 4.20** alcanzamos la especificación de ancho de banda sin problemas al cumplir con los **0 dB** aproximados de ganancia.



**Figura 4.22. Simulaciones ante entrada escalón para calcular la histéresis. Escalones desde 500 mV hasta -50  $\mu$ V y viceversa.**

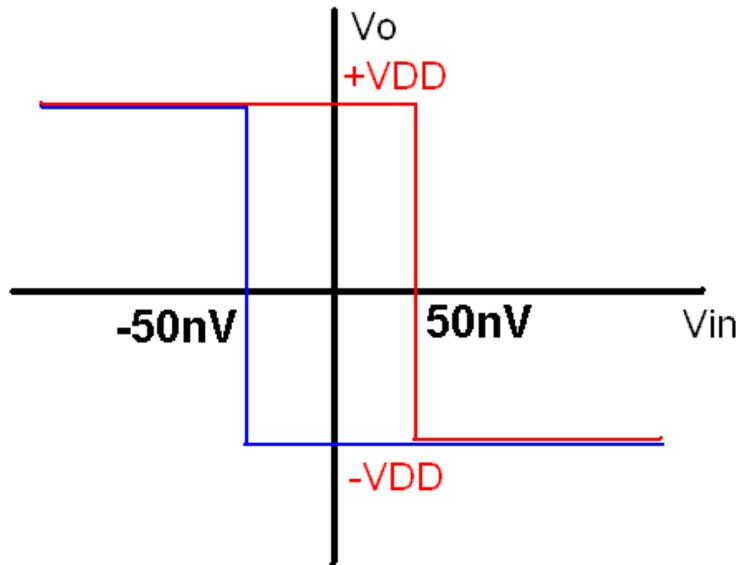


Figura 4.23. Histéresis del comparador.

En cuanto a su resolución es muy alta, con una rampa desde **-50 nV** a **50 nV** sigue respondiendo adecuadamente:

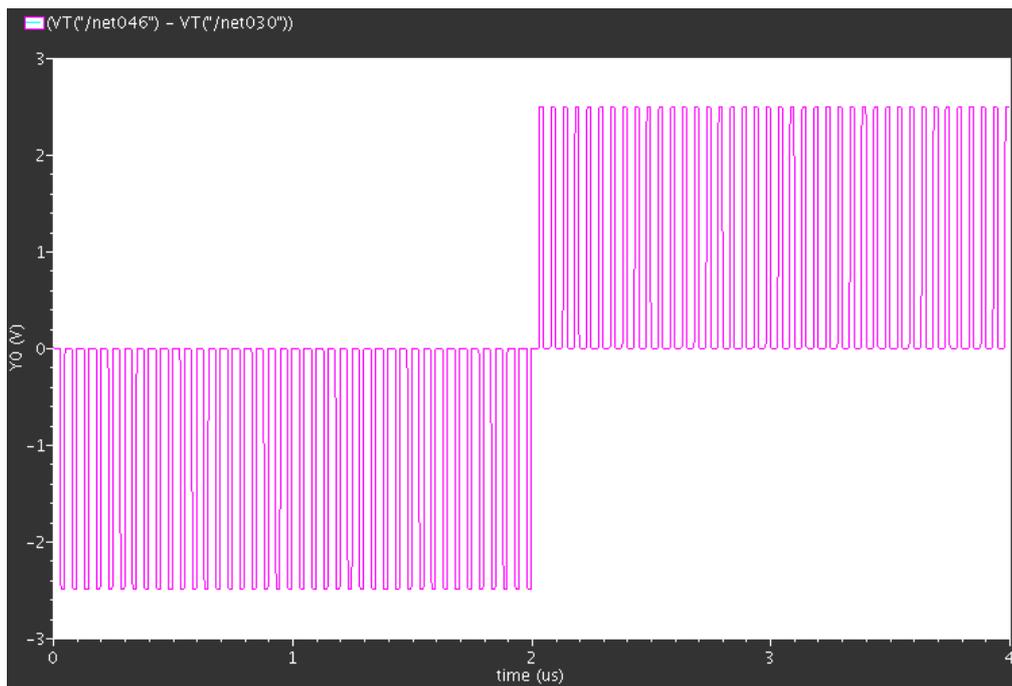


Figura 4.24. Simulación para la resolución del comparador.

Por último vamos a ver su consumo estático y dinámico.

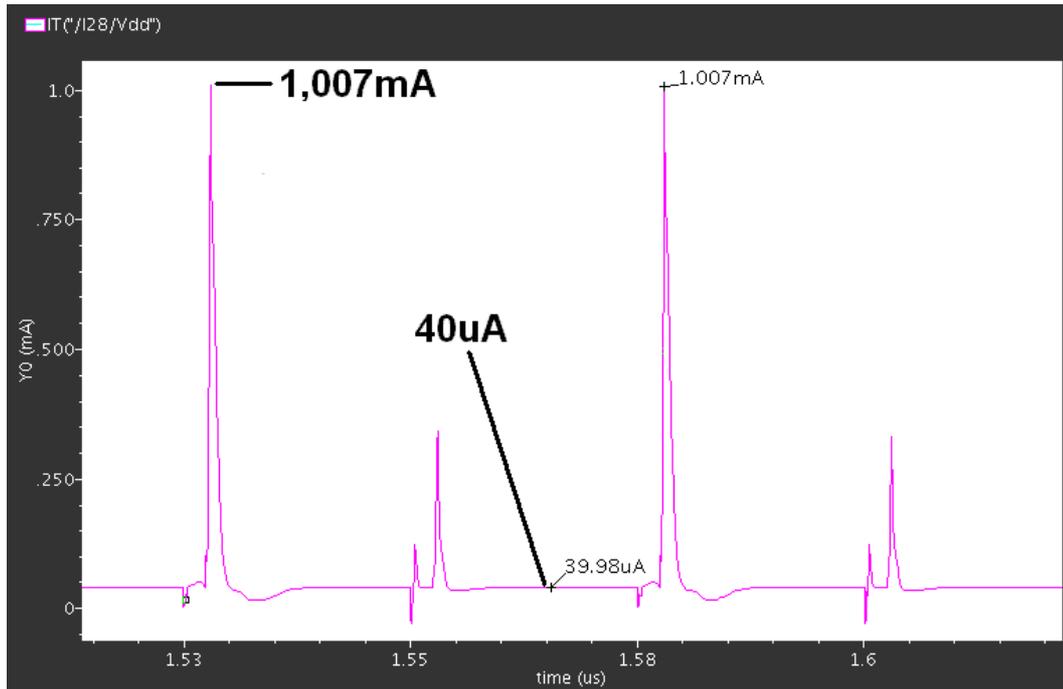


Figura 4.25. Medida del consumo estático del comparador.

$$P = I_{VDD} \cdot V_{DD} = 40\mu A \cdot 2.5V = 100\mu W \quad (4.2)$$

Su consumo estático es de **100  $\mu$ W**, por lo tanto es durante la comparación, en el flanco de reloj cuando da un pico de corriente y aumenta el consumo, siendo éste su consumo dinámico:

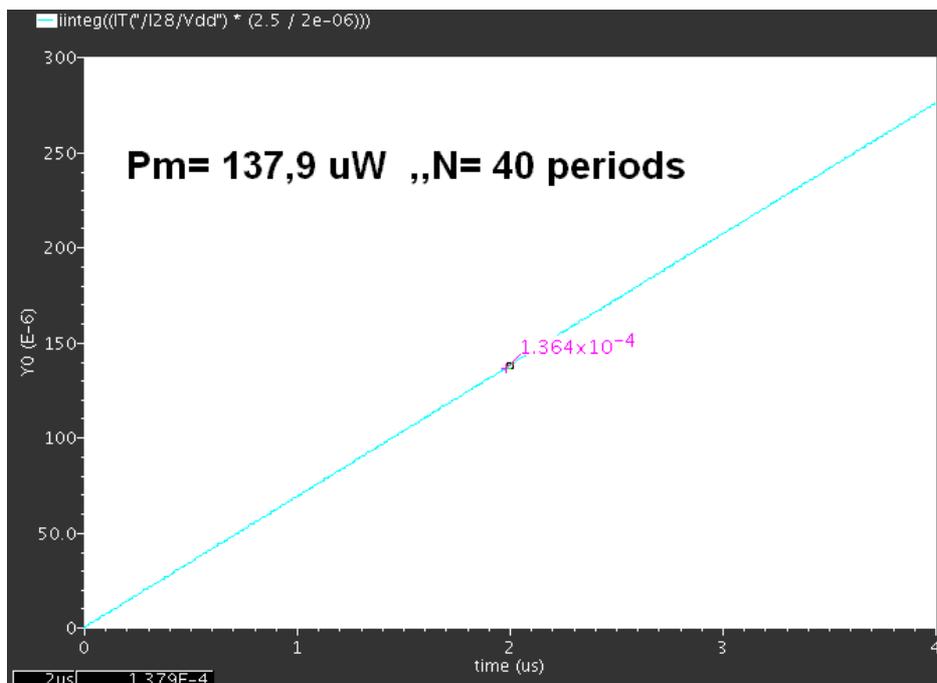


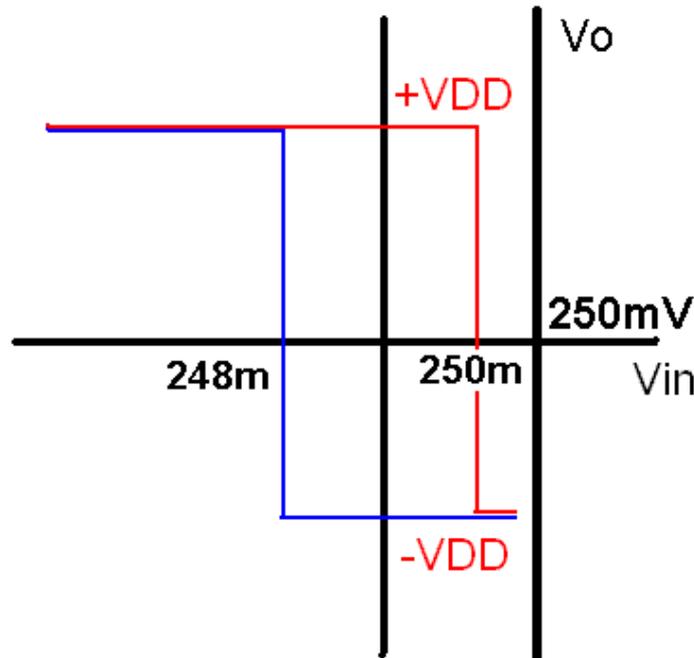
Figura 4.26. Medida del consumo dinámico del comparador.



$$Pm = \frac{\int_0^{N \cdot T} (V_{DD} \cdot I_{DD}(t))}{N \cdot T} = 137.9 \mu W, N = 40 \text{ periodos.}$$

El consumo dinámico es pues mayor (lógicamente) pero no se puede disminuir debido a ese picotazo de corriente de 1 mA que aparece en la **figura 4.24**.

Este comparador fue utilizado en otra aplicación, la cual no vamos a describir pero su función era comparar con un umbral de **250 mV**, lo cual hace sin ningún problema:



**Figura 4.27. Medida del offset e histéresis del comparador en el circuito.**

Como vemos en la figura anterior, su offset y su histéresis están entre **1 mV** y **2 mV** dentro del circuito para el cual se han usado, luego entra perfectamente dentro de los límites que están por encima de los **80 mV**.

Supuestamente el comparador debería permitirnos hasta un  $\pm 5\%$  de mismatch en los latches tras fabricación en el peor de los casos, así nos encontraremos frente a un robusto comparador, pero la sorpresa fue que dentro de este circuito, bastaba menos de un  $\pm 1\%$  de mismatch para tener más de **80 mV** de offset.

Probamos el comparador por separado y con un  $\pm 2\%$  de mismatch obteníamos un offset de **2 V**, y con un  $\pm 5\%$  unos **5 mV**, es por tanto problema de la sensibilidad del esquema.

Fue entonces cuando probamos con otro diseño de comparador.



### 5. Diseño 4: comparador Sandner para baja frecuencia y bajo consumo

Pasamos a ver las características que este comparador nos ofrece dentro del circuito de la aplicación que estamos probando para baja frecuencia y bajo consumo.

#### 5.1. Diseño y resultado

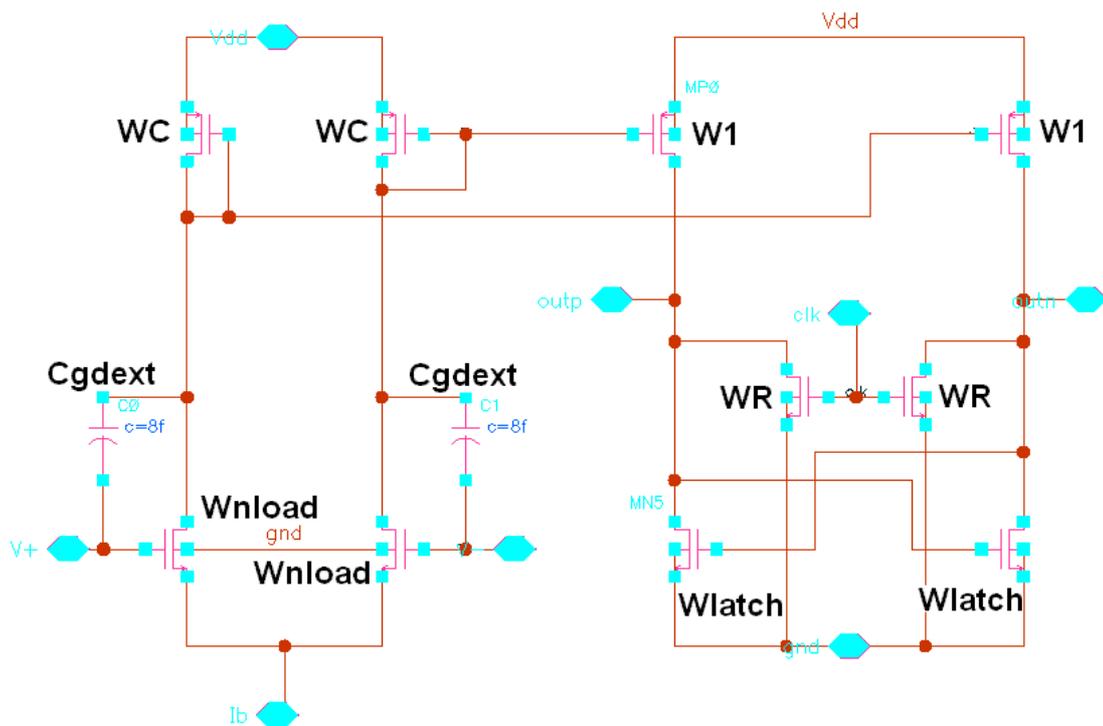


Figura 4.28. Comparador Sandner. Nomenclatura seguida.

Las capacidades **Cgdext** se usaron para simular la capacidad parásita entre puerta y drenador, para ver cómo afectaría si tras fabricación fuese demasiado elevada.

TRANSISTORS	Width (W, $\mu\text{m}$ )	Length (L, $\mu\text{m}$ )
Wnload	6	0.6
WC	16	0.35
W1	90	0.35
WR	10	0.35
Wlatch	20	0.6



Las longitudes de los transistores del par diferencial y del latch las hacemos un poco mayores a las mínimas para poder machearlas con el menor error posible.

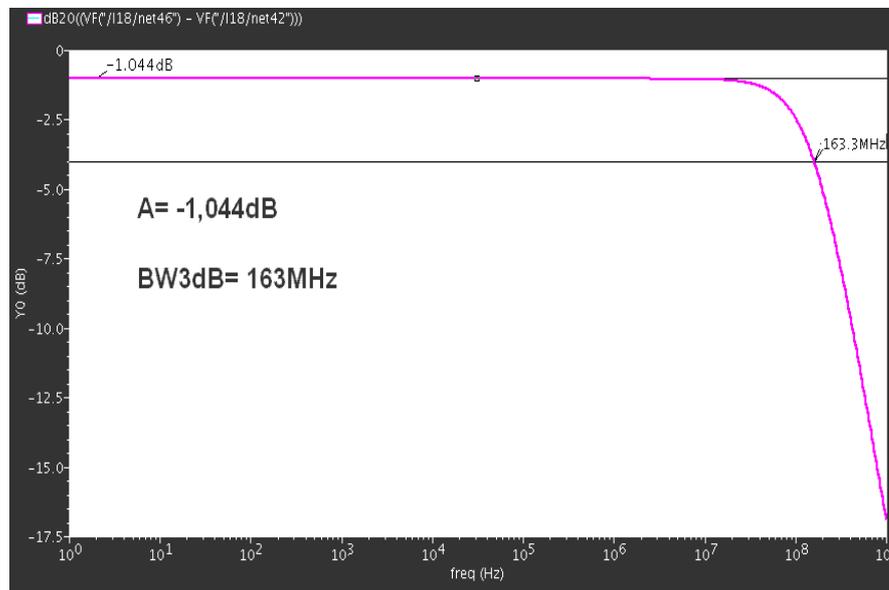


Figura 4.29. Simulación AC del comparador Sandner.

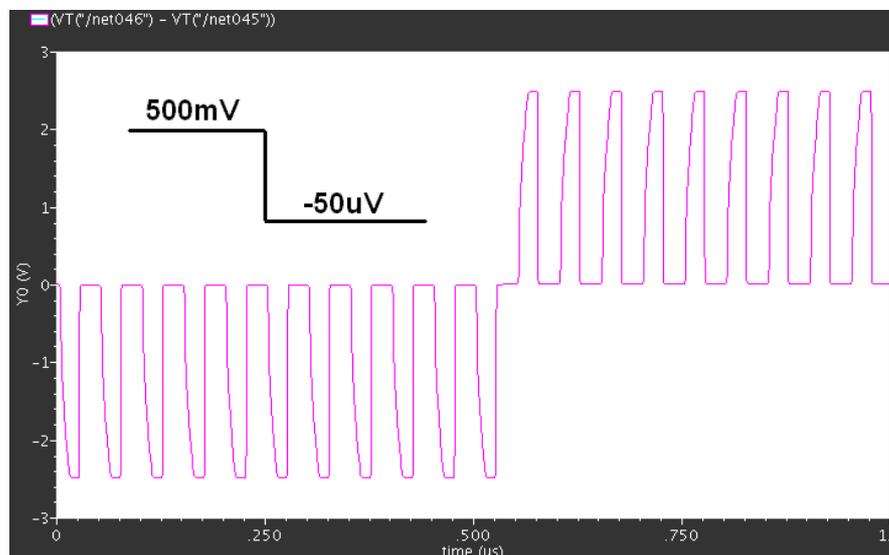


Figura 4.30. Medida de la histéresis. Vemos que la salida es invertida.

Sus características en el dominio temporal también son buenas, vemos por último alguna simulación de la histéresis y pasamos a estudiar lo realmente importante; comportamiento frente a consumo y mismatch.

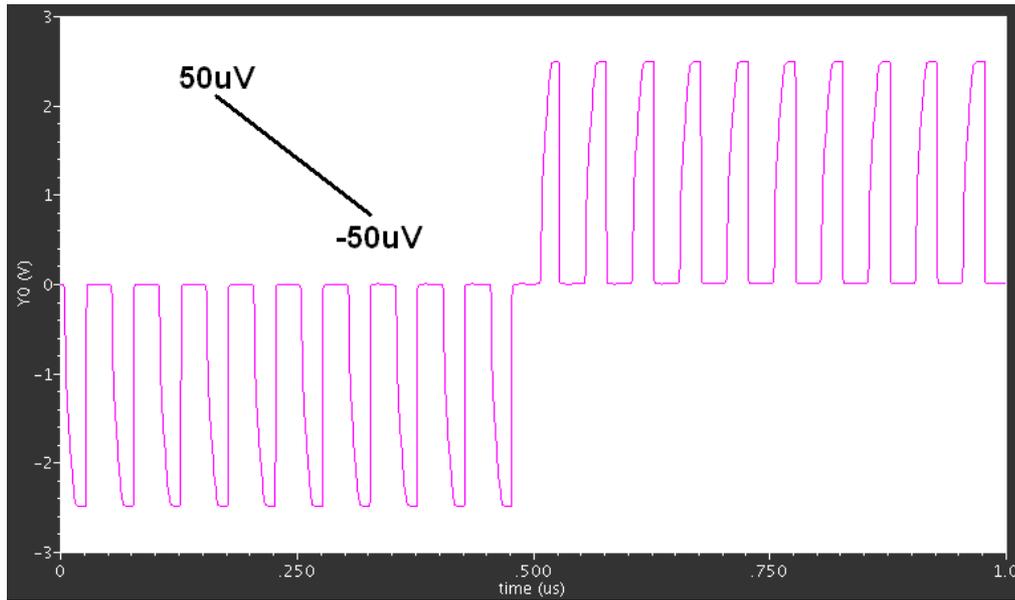


Figura 4.31. Simulación de la resolución del comparador. Es simétrica en el otro sentido (rampa ascendente).

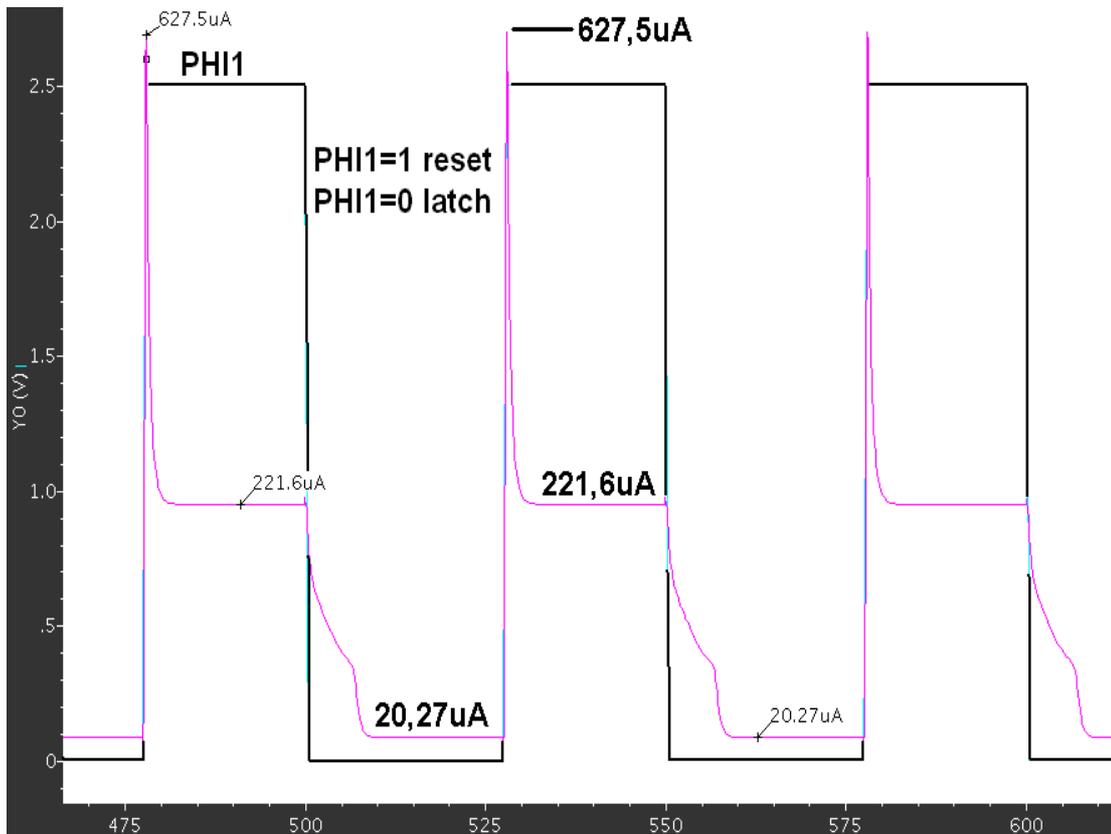
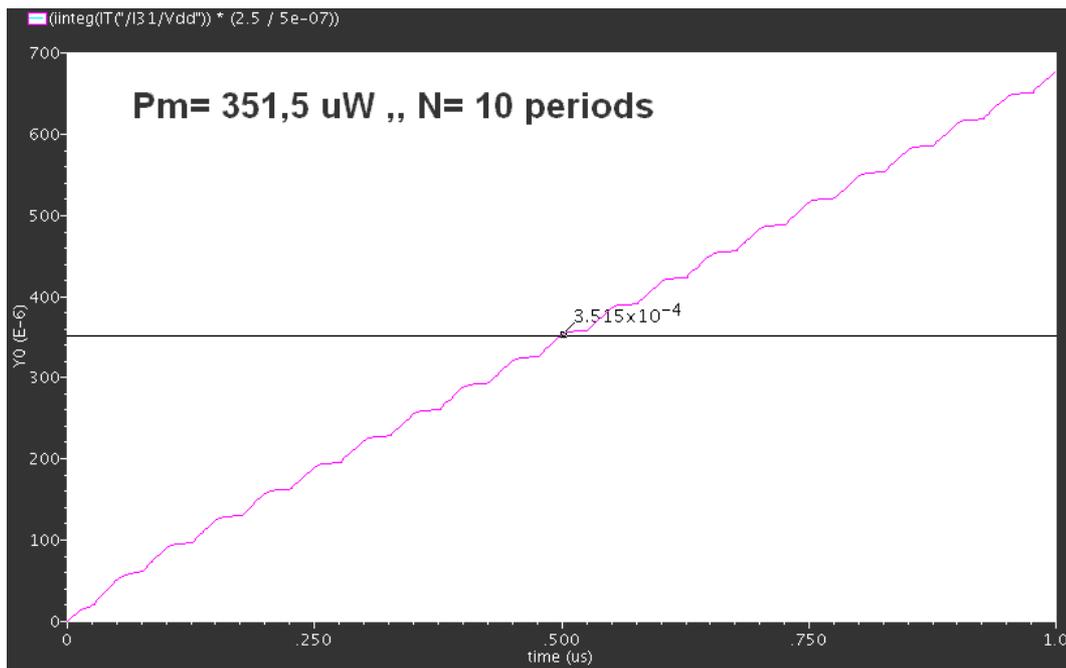


Figura 4.32. Consumo estático del comparador Sandner.



Como podemos ver en la **figura 4.31**, el consumo estático de corriente (con  $I_b$  externa de  $20\mu A$ ) es similar a lo que hacía el comparador Yin en el **apartado 4** de este capítulo, pero hay una gran diferencia en la fase de reset, y es el pico de corriente que demanda el comparador y el tiempo que éste se mantiene en  $221,6\mu A$  durante  $\phi_{i1}=1$  como podemos ver en la figura anterior.

Eso implica un consumo dinámico bastante elevado, siendo el principal inconveniente para esta aplicación de bajo consumo:



**Figura 4.33. Consumo dinámico del comparador Sandner.**

$$P_m = \frac{\int_0^{N \cdot T} (V_{DD} \cdot I_{DD}(t))}{N \cdot T} = 351,5 \mu W, N = 10 \text{ periods.}$$

Por último nos centramos en ver los posibles errores que puedan venir ocasionados por el mismatch del latch tras fabricación. Simulando el comparador de forma independiente no existe offset apreciable debido al mismatch ni con un  $\pm 5\%$  de variación. Es cierto que esto también pasaba con el comparador Yin pero que al introducirlo en el esquema de prueba esta tolerancia disminuía considerablemente.

Nos ponemos pues en el peor caso posible para estudiar la tolerancia al mismatch, siendo éste el que se representa en la **figura 4.33**:

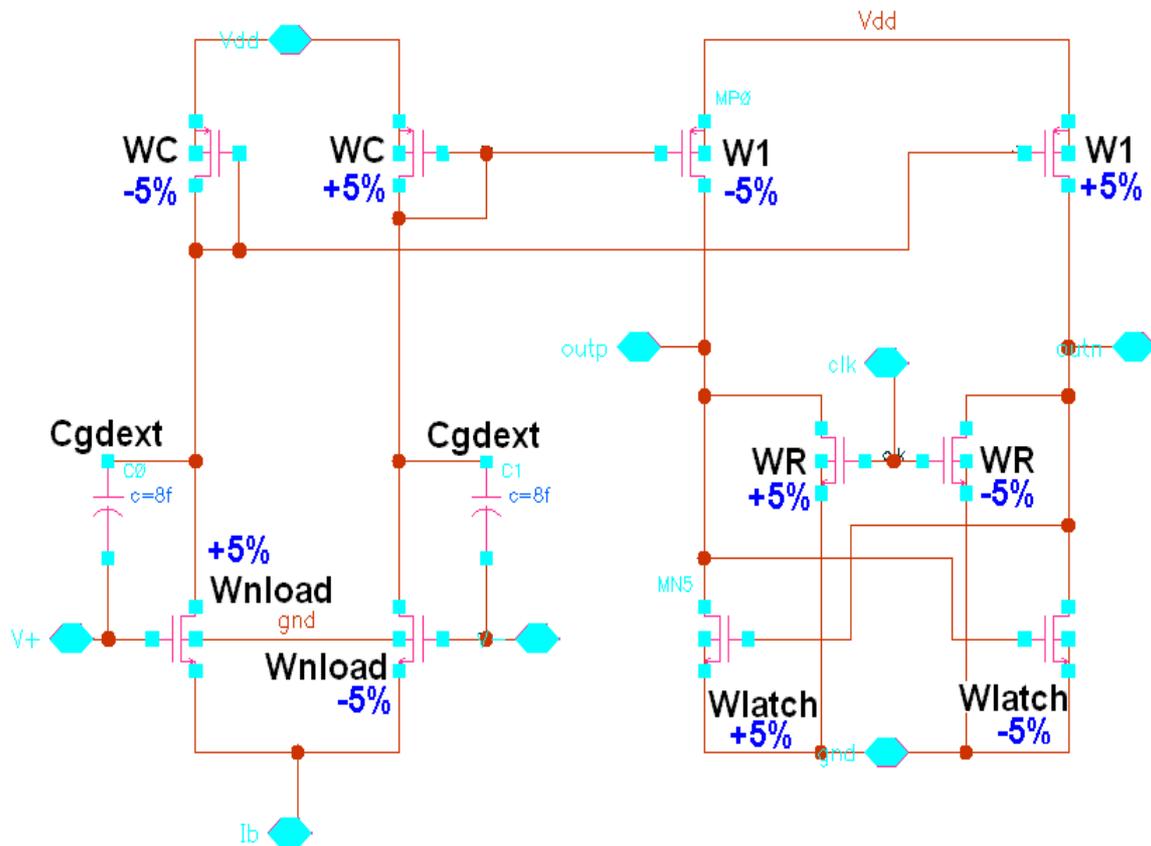


Figura 4.34. Estudiamos el peor caso de mismatch tras fabricación.

Pues bien, con esas posibles variaciones, vemos la salida del circuito la cual debe cambiar en **250 mV** pero que puede tolerar hasta **80 mV** de offset:

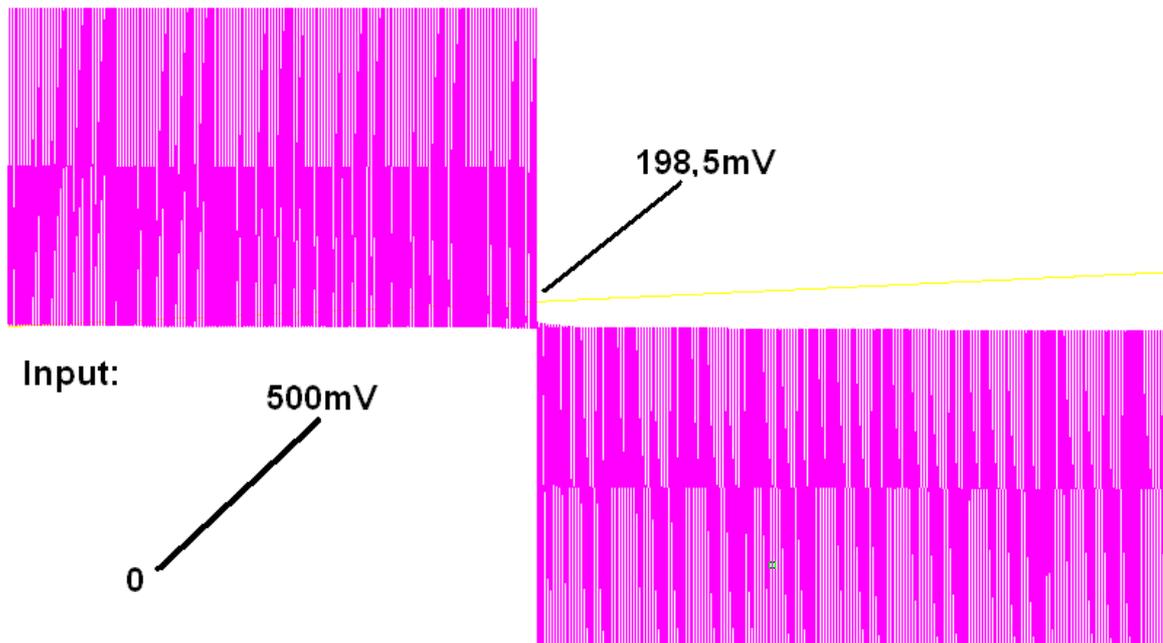


Figura 4.35. Salida del circuito completo contemplando el peor caso de offset.



En vez de cambiar en **250 mV** lo hace en **198,5 mV**, luego estamos dentro de los **80 mV** permitidos. En el caso contrario (rampa descendente) los resultados son casi simétricos (cambiando en **194,5 mV**).

Como vemos se trata de un diseño muy robusto de comparador, pero su consumo es demasiado elevado para la aplicación que se buscaba. Claro está que no queda descartado para poder usarse en cualquier otra aplicación.

Para concluir con este capítulo, nos queda destacar que los componentes más importantes del convertidor flash con interpolación capacitiva (preamplificadores y comparadores) están ya diseñados, por tanto ahora montaremos distintos esquemas para probar la arquitectura completa en **CADENCE**.