



# ***CAPÍTULO 5***

## **Etapa simple**

### **Índice:**

#### **ETAPA SIMPLE**

1. Introducción.....	2
2. Llave CMOS.....	2
3. Arquitectura etapa simple.....	4
4. Diseño.....	5
5. Solución al clock feed-through. Timing.....	9



## 1. Introducción

Una vez tenemos diseñados comparadores y preamplificadores, ya podemos realizar un primer montaje para enfrentarnos a los posibles problemas que pueda causarnos esta arquitectura. En cierto modo y siendo una forma de simplificar el esquema total que tenemos, podríamos decir que lo más complicado sería la primera etapa, en la cual seleccionamos mediante una relación entre capacidades los primeros umbrales a comparar. En las sucesivas etapas, tal y como hemos ido viendo, tan solo necesitaremos hacer uso de la interpolación capacitiva para ir obteniendo niveles, podríamos decir que es más mecánica, con lo cual la etapa que realmente nos importa es la primera.

Dicho esto, lo primero que deberíamos hacer será entender y diseñar el modelo de esa primera etapa, por ello hemos dedicado un capítulo a la comprensión y diseño de esta etapa, entender su timing (toda la fase de tiempos que lleva involucrada) y el ver cómo realmente conseguimos obtener los distintos umbrales.

## 2. Llave CMOS

Otro componente del cual hasta ahora no hemos hablado son las llaves **CMOS** (**switches**) que tenemos en todo el circuito y que llevan a cabo toda la fase de muestreo de las señales de entrada y realimentación de los preamplificadores:

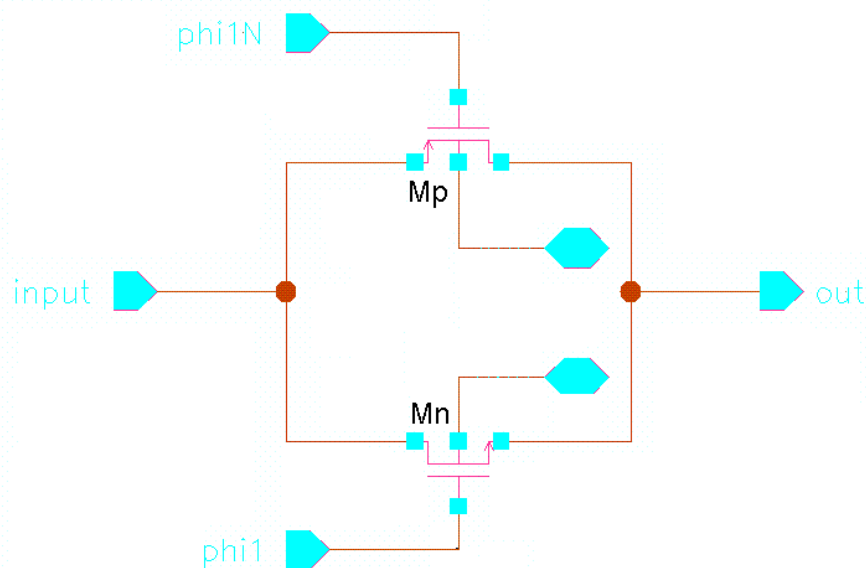


Figura 5.1. Arquitectura switch CMOS.



Cada uno de los switches que tenemos en el esquema estará controlado por uno de los distintos relojes que tenemos en el diseño, pudiendo ser:

<b>phi1</b>	<b>phi1N</b>	<b>phi1D</b>	<b>phi1DN</b>
<b>phi2D</b>	<b>phi2DN</b>	<b>phi3</b>	<b>phi3N</b>

D → delay (retrasado)

N → negado

Cuando **phi1** está a nivel alto **phi2** está a nivel bajo y viceversa, aunque no es concretamente **phi1N** claro. Y en cuanto a **phi3**, éste es igual que **phi2** pero retrasado un 15% como ya veremos en el apartado 5 de este capítulo.

Para ello lo que tenemos es un bloque que se encarga de generar todas estas fases de reloj de entrada al circuito:

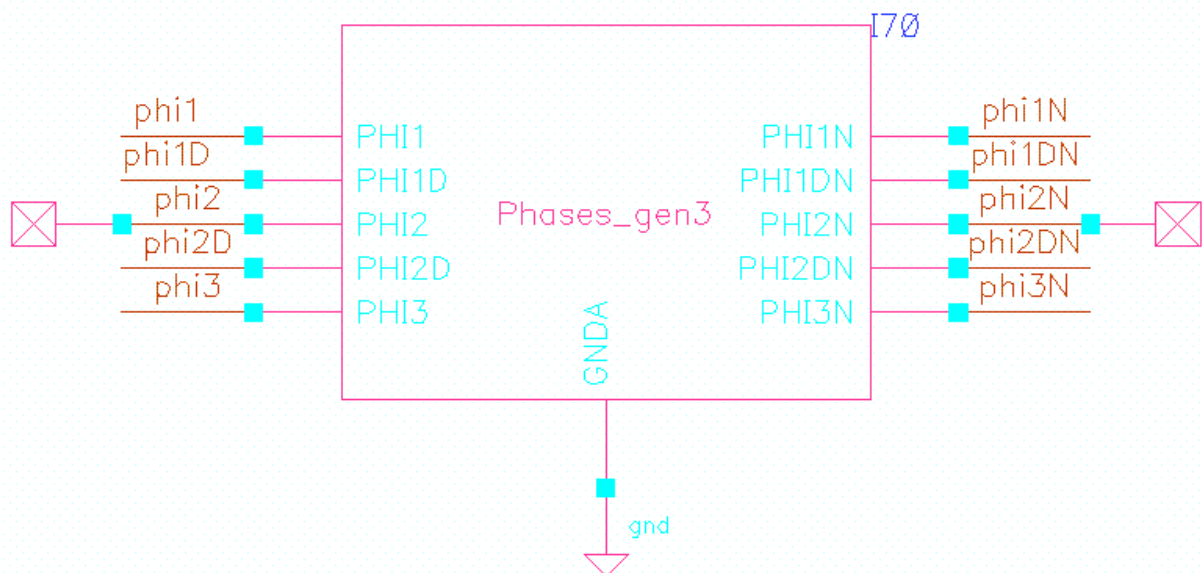


Figura 5.2. Generador de fases de reloj: phi1, phi1N, phi1D, phi1DN, phi2D, phi2DN, phi3 y phi3N.

Pasamos a continuación a ver la topología de la etapa de entrada.



### 3. Arquitectura etapa simple

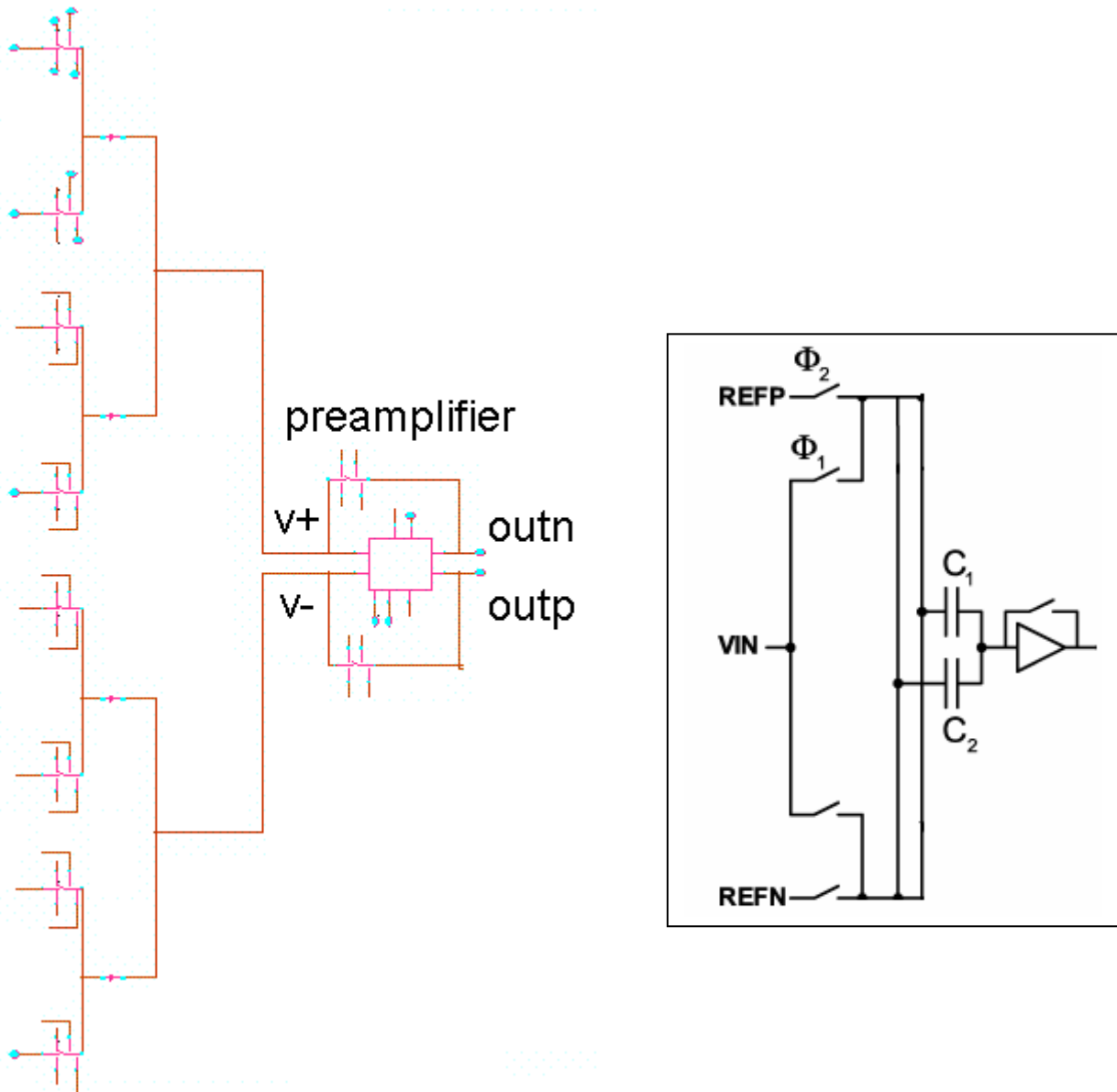


Figura 5.3. Arquitectura etapa simple.

En la etapa de entrada, con las tensiones  $V_{inp}$ ,  $V_{inn}$  (siendo  $V_{in}$  la entrada a convertir) y las tensiones de referencia ( $V_{refp}$  y  $V_{refn}$ ) conseguimos mediante un cociente de capacidades obtener un umbral entre  $\pm V_{DD}$  y compararlo con la tensión  $V_{in}$ .



#### 4. Diseño

La primera etapa que diseñamos fue para  $\pm V_{DD} = \pm 1$  V, centrándonos en el umbral de **500 mV** es cual conseguimos haciendo **C1 3 veces mayor que C2** ( $C1 = 600$  fF y  $C2 = 200$  fF):

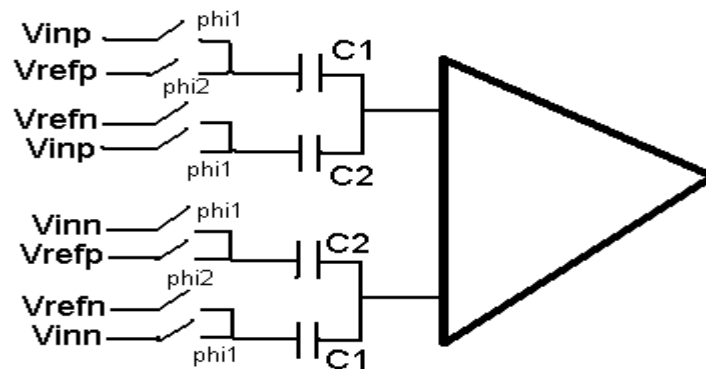


Figura 5.4. Etapa de entrada al preamplificador. Selección del umbral.

Y para este caso concreto los resultados de las simulaciones son:

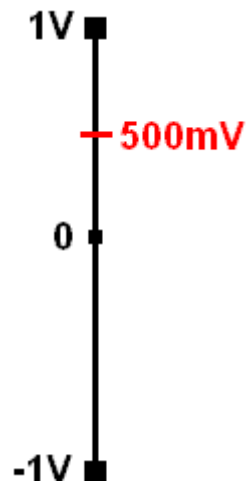


Figura 5.5. Nivel de referencia que buscamos en esta etapa simple.

$M_p = 170 \mu\text{m}$	$M_n = 130 \mu\text{m}$
$M_{pb} = 75 \mu\text{m}$	$M_{nb} = 45 \mu\text{m}$
$M_{pc} = 180 \mu\text{m}$	$M_{nc} = 80 \mu\text{m}$



$M_p$  y  $M_n$  son los anchos de los transistores de aquellas llaves que atacan a las capacidades  $C_1$ .

$M_{pb}$  y  $M_{nb}$ , anchos de los transistores que atacan a las capacidades  $C_2$ .

$M_{pc}$  y  $M_{nc}$  son los que realizan la realimentación de los preamplificadores.

Siendo  $M_{px}$  y  $M_{nx}$  los anchos de los transistores  $p$  y  $n$  del switch  $x$  respectivamente.

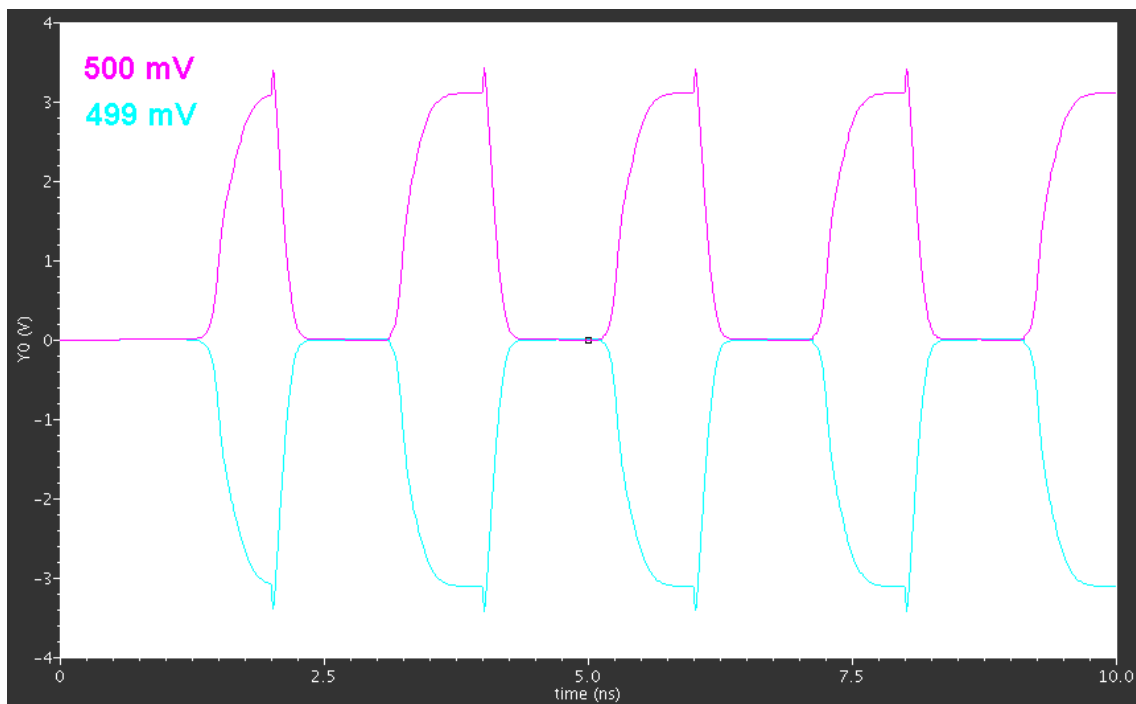


Figura 5.6. Simulación de etapa simple para umbral de 500 mV.

Vemos como efectivamente el comparador da pulsos positivos (salida diferencial) para una entrada de **500 mV** y da pulsos negativos si la entrada es de **499 mV**. Su discriminación es muy buena, ya que con **1 mV** es más que suficiente para una definición final de **6 bits**.

¿Cual es el inconveniente que tenemos?, pues el ancho de los transistores de los switches, deben ser precisos para obtener este resultado. Ello es debido a que el tamaño de las capacidades es pequeño y cualquier pequeña carga que afecte a las mismas es muy significativa a la salida del comparador, provocando un offset. Se da pues un problema de **clock feed-through**, esto es, la carga que está almacenada en el canal de los transistores que forman los switches, al pasar éstos al estado de apagado (**off**) esa carga busca un camino y lo encuentra en las capacidades que tenemos en esa primera etapa.



Este problema debe ser resuelto y para ello dedicamos el siguiente apartado.

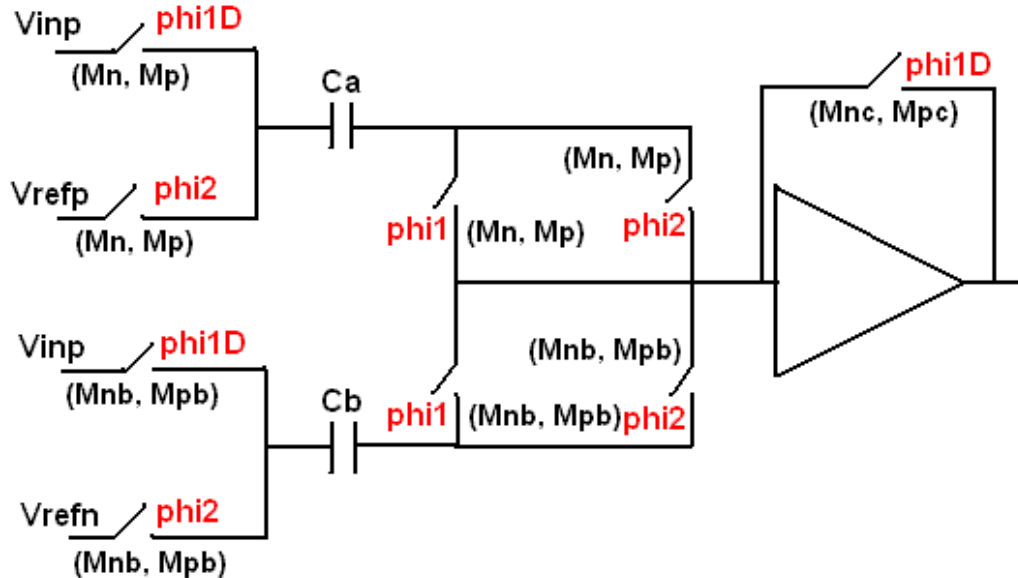


Figura 5.7. Esquema de switches de la etapa de entrada. Control del clock feed-through.

Según la arquitectura mostrada en la **figura 5.7** para evitar el clock feed-through deberíamos conseguir que el tamaño de los transistores de los switches no fuese tan significativo a la salida de los comparadores. Como se puede ver, cortamos antes los switches que se encuentran entre las capacidades y la entrada del preamplificador (controlados por **phi1** y **phi2**), de forma que al cortarse después (ya que están gobernados por los mismos relojes pero **retrasados**) los switches de entrada, esa carga que almacenan (la cual es dependiente de la señal de entrada) no encuentra camino a través de las capacidades para escapar, no afectando así a la salida.

A continuación pasamos a ver los umbrales obtenido mediante simulación en cadence para un **flash de 2 bits**, siendo los umbrales **1,65 V**, **0V**, **-1,65V**:

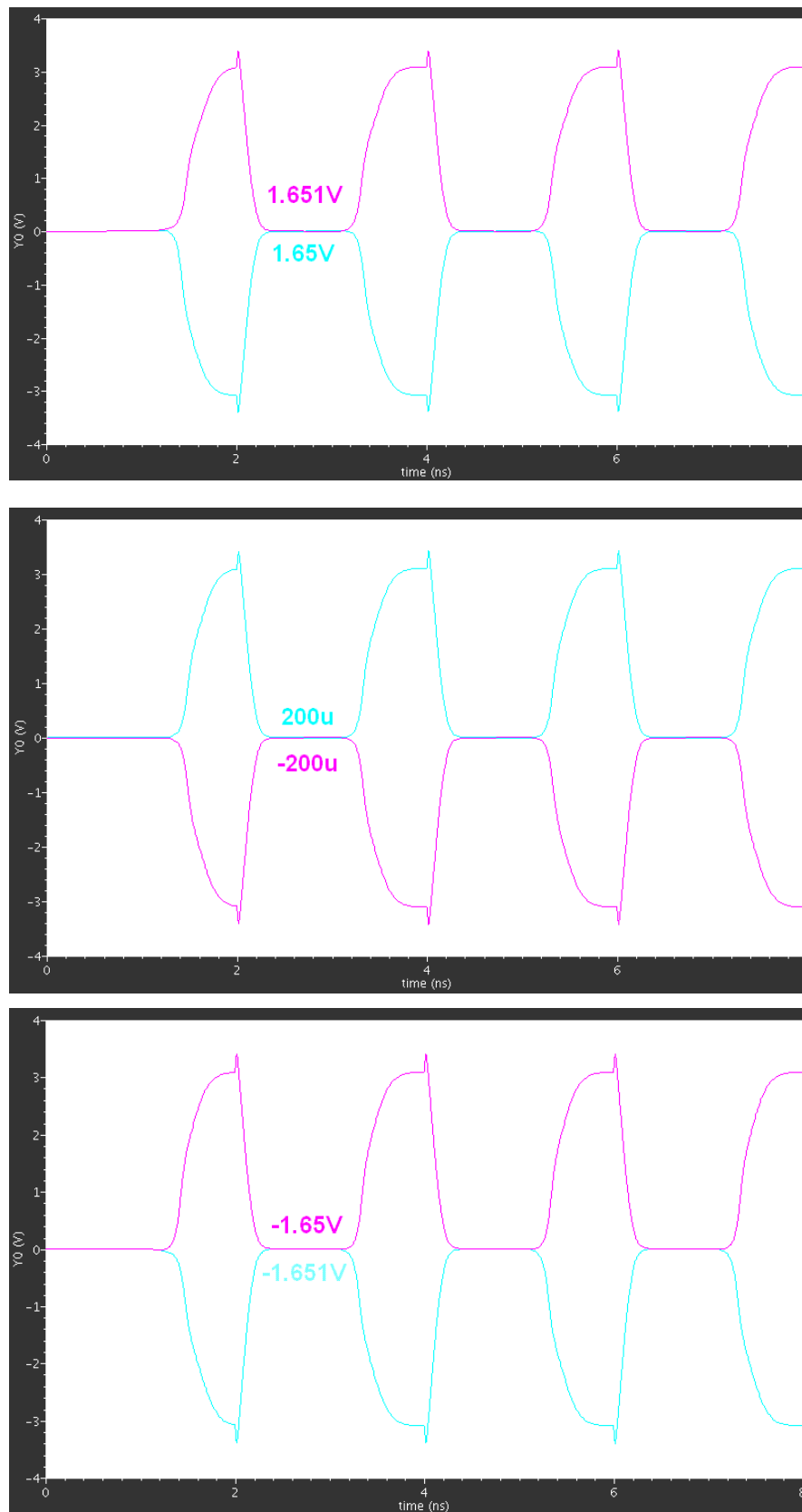


Figura 5.8. Umbrales flash de 2 bits: 1,65 V, 0 V, -1,65 V.



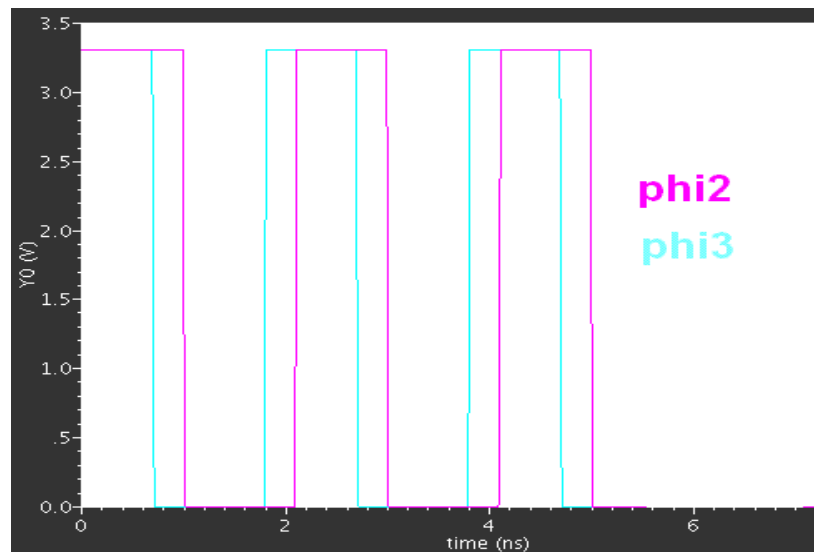


En la **figura 5.8** vemos como alcanza una resolución también de **1 mV** en cada una de las salidas (incluso menor para el caso de **0 V**). El problema es que a pesar de usar la arquitectura de switches mostrada en la **figura 5.7**, los resultados siguen dependiendo del tamaño de las llaves, es decir, una variación en los tamaños de cualquiera de las llaves (salvo las de realimentación) hace variar la salida (el umbral de comparación lo establece en otra posición). Claro está que algunas llaves afectan más que otras.

En el siguiente apartado nos enfrentaremos con este problema y veremos su solución.

### *5. Solución al clock feed-through. Timing*

Al usar todos los componentes ideales en el esquema de **2 bits** salvo los comparadores, nos dimos cuenta que existía un error de timing, y es que la comparación no se estaba llevando a cabo correctamente, es por ello que se introdujo la fase **phi3**:



**Figura 5.9. Fases phi2 y phi3**

El reloj **phi3** está retrasado un **15%** con respecto a **phi2** (mínimo requerido para que funcione adecuadamente), así podemos garantizar que la semilla en el comparador (corrientes que se han copiado desde el par diferencial de entrada del comparador) no se ve modificada en el momento en que el comparador (latches) empiezan con el desbalanceo de las ramas:

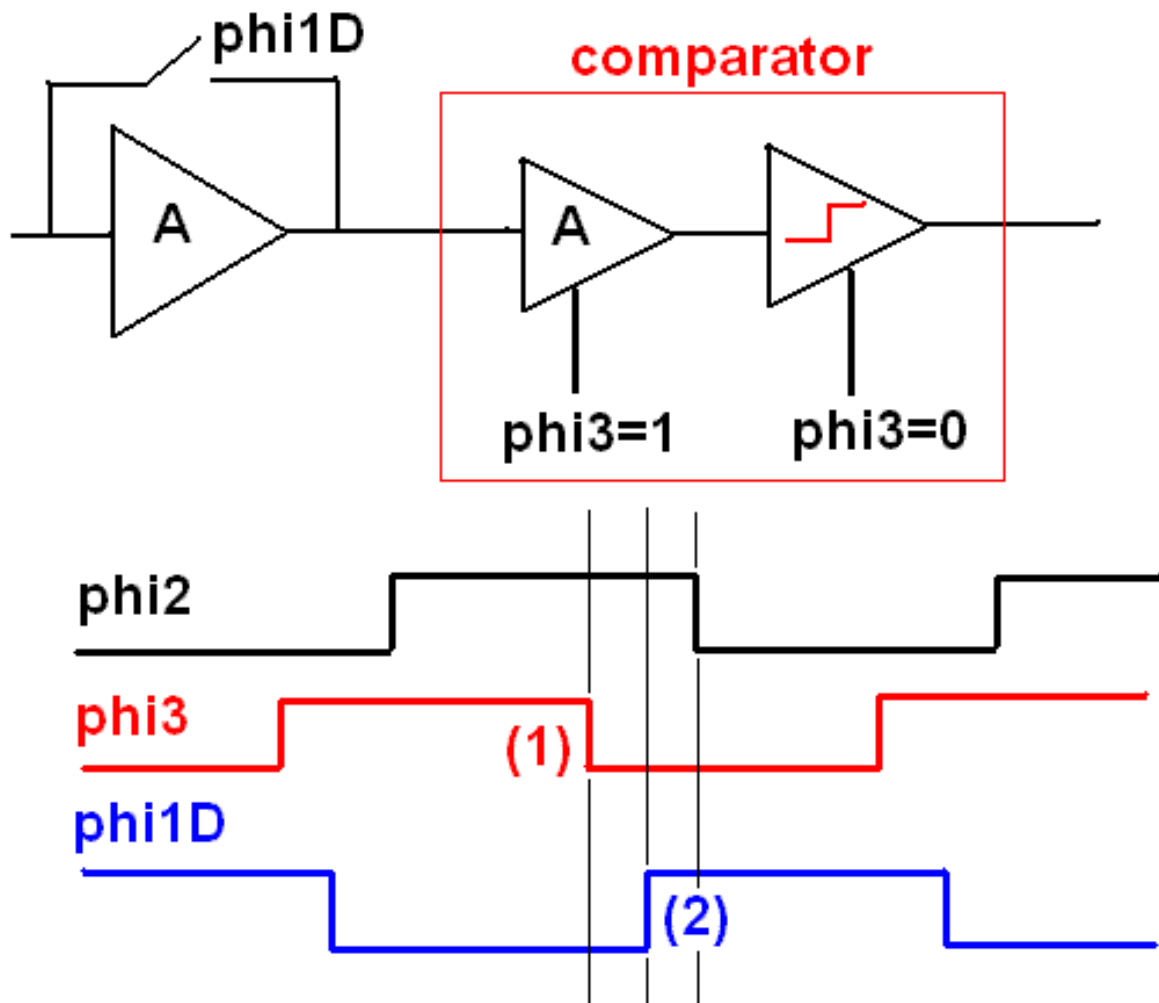


Figura 5.10. Timing del comparador.

La semilla que el preamplificador pone a la entrada del comparador es correcta mientras  $\mathbf{phi1D=0}$ , por tanto la comparación debe comenzar antes de que  $\mathbf{phi1D}$  sea  $\mathbf{1}$  y comience la realimentación (y entonces la semilla sea reseteada).

Al estar el comparador controlado por  $\mathbf{phi2}$  y  $\mathbf{phi2N}$  previamente, como podemos ver en la **figura 5.10** la comparación comenzaba después de que la semilla empezara a resetearse, siendo pues la salida incorrecta. Ahora, al introducir  $\mathbf{phi3}$  ésta se hace  $\mathbf{0}$  antes de que  $\mathbf{phi1}$  alcance el valor  $\mathbf{1}$ , y el instante en que se comienza la comparación es ahora correcto.

El comparador queda a partir de ahora gobernado por  $\mathbf{phi3}$  y  $\mathbf{phi3N}$ .



El esquema final que vamos a usar de relojes y switches es:

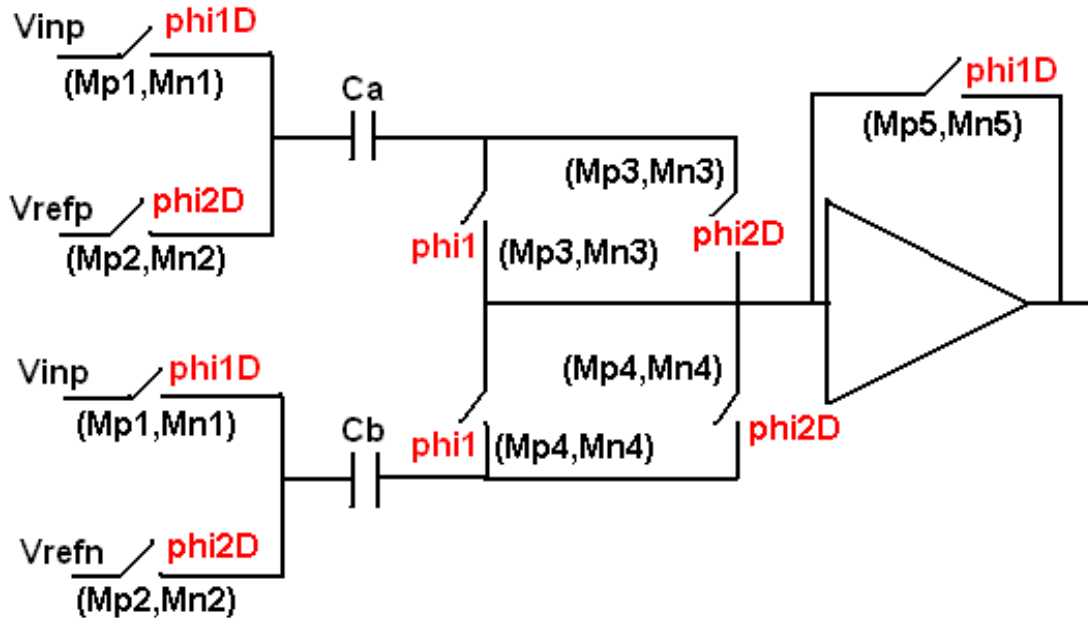


Figura 5.11. Control de la etapa de entrada.

Y con este nuevo esquema los umbrales en el caso del **flash de 2 bits** obtenidos independientemente (sin interpolar), es decir, diseñando **3 etapas simples** por separado y según la relación entre capacidades pues ponemos los umbrales de referencia en **1,65 V, 0 V y -1,65V**:

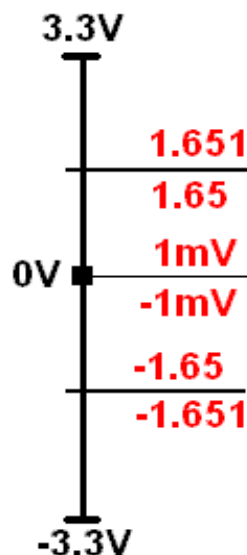
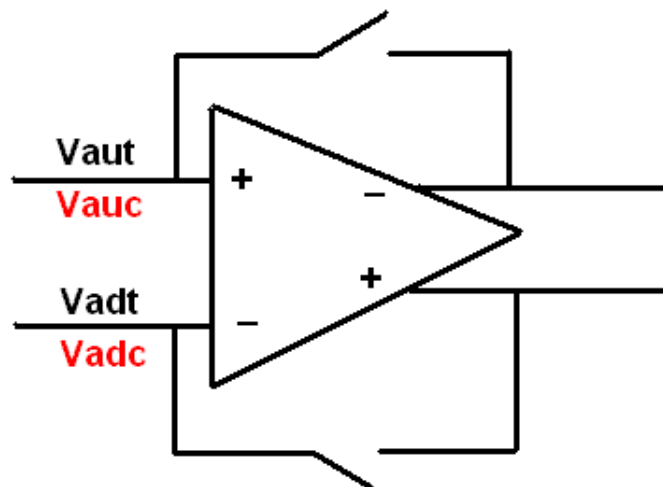


Figura 5.12. Umbrales obtenidos tras simulación con etapas simples.



Como vemos con esta nueva arquitectura vista en la **figura 5.11** alcanzamos unos resultados como los vistos anteriormente pero asegurando un correcto funcionamiento de los comparadores.

Se ha realizado un análisis teórico para poder comparar ante cualquier entrada, los niveles de tensión que deberíamos tener a la entrada del preamplificador en cualquier etapa simple, tanto en la entrada positiva como en la negativa, y poder así comparar los resultados teóricos con los que podemos medir en **CADENCE**:



**Figura 5.13.** Esquema de las tensiones teóricas y medidas en CADENCE a la entrada de los preamplificadores ante una entrada conocida.

- **Vaut** → tensión teórica calculada para ese nodo.
- **Vauc** → tensión medida en CADENCE en ese nodo.
- **Vadt** y **Vadc** toman los mismos significados pero en la rama inferior de los comparadores.

$$\text{Reference\_voltage} = \frac{(C_a - C_b)(V_{refp} - V_{refn})}{(C_a + C_b)} \quad (5.1)$$

$$V_{aut} = -V_{inp} + \frac{C_a V_{refp} + C_b V_{refn}}{C_a + C_b} \quad (5.2)$$

$$V_{adt} = -V_{inn} + \frac{C_a V_{refp} + C_b V_{refn}}{C_a + C_b} \quad (5.3)$$



Las ecuaciones 5.2 y 5.3 representan los valores teóricos de las tensiones internas a la entrada de los preamplificadores de la primera etapa tal y como se representa en la figura 5.13.

En la siguiente tabla representamos para la entrada correspondiente (**Input**) los valores de **V<sub>in</sub>** (entrada diferencial, por ello aparecen **V<sub>inp</sub>** y **V<sub>inn</sub>**) y los valores teóricos calculados con las fórmulas anteriores:

Input (V)	V <sub>inp</sub> (V)	V <sub>inn</sub> (V)	V <sub>aut</sub> (V)	V <sub>adt</sub> (V)
-2	0.65	2.65	1.825	-1.825
-1	1.15	2.15	1.325	-1.325
-0.5	1.4	1.9	1.075	-1.075
0	1.65	1.65	0.825	-0.825
0.5	1.9	1.4	0.575	-0.575
1	2.15	1.15	0.325	-0.325
2	2.65	0.65	-0.175	0.175

Y en esta otra tabla mostramos para los mismos valores de entrada, los valores medidos a la entrada del preamplificador en sus entradas positiva y negativa, así que como vemos son exactamente iguales a los teóricos. También se ha puesto entre paréntesis los valores medidos en **CADENCE** si tras el preamplificador colocamos el comparador, siendo la variación insignificante, lo cual muestra que el comparador no está afectando hacia atrás y está funcionando perfectamente:

Input (V)	V <sub>auc</sub> – V <sub>cm</sub> (V)	V <sub>adc</sub> – V <sub>cm</sub> (V)
-2	1.825	-1.825 (-1.826)
-1	1.325	-1.325 (-1.326)
-0.5	1.075	-1.075 (-1.076)
0	0.825	-0.825 (-0.826)
0.5	0.575	-0.575 (-0.576)
1	0.325	-0.325 (-0.326)
2	-0.175 (-0.176)	0.175



Además esa pequeña variación anotada puede ser debida a la existencia de una resistencia de  $1 \Omega$  que hemos puesto en las fuentes de tensión externas para que el circuito converja.

Por último, y para dar por concluidos todos los análisis teóricos, vamos a destacar los valores que deben ser almacenados idealmente en cada fase de reloj:

- Durante **phi1D** (fase de realimentación) las capacidades deberían alcanzar el valor  $\rightarrow V_{inp}-V_{cm}$  o  $V_{inn}-V_{cm}$  (dependiendo de la capacidad, si tiene  $V_{inp}$  o  $V_{inn}$  en su borna izquierda).
- Y cuando **phi2D** está activo, la capacidad debería alcanzar  $V_{refp}-V_{au}$  o  $V_{refn}-V_{ad}$  según los niveles de tensión entre los que se encuentre la capacidad, también podría ser  $V_{refn}-V_{au}$  y  $V_{refp}-V_{ad}$ .

De esta forma también podremos comparar los valores de tensión almacenados en las capacidades con los teóricos, algo muy importante para el desarrollo del circuito, así sabremos detectar posibles fugas de corriente o cargas de condensadores incorrectas.

En este capítulo hemos visto **cómo diseñar la etapa de entrada**, ya que cada uno de los niveles de referencia solo se diferencia de los demás por la relación de tamaño entre las capacidades. Pues bien, una vez visto esto, podemos empezar a diseñar esquemas con interpolación capacitiva, partiendo en primer lugar de un convertidor de **2 bits** hasta llegar al objetivo de este proyecto fin de carrera, el **convertidor A/D flash de 6-bits con interpolación capacitiva**.