



CAPÍTULO 6

Flash de 2 bits con interpolación capacitiva

Índice:

FLASH DE 2 BITS CON INTERPOLACIÓN CAPACITIVA

1. Arquitectura.....	2
2. Resultados.....	5



1. Arquitectura

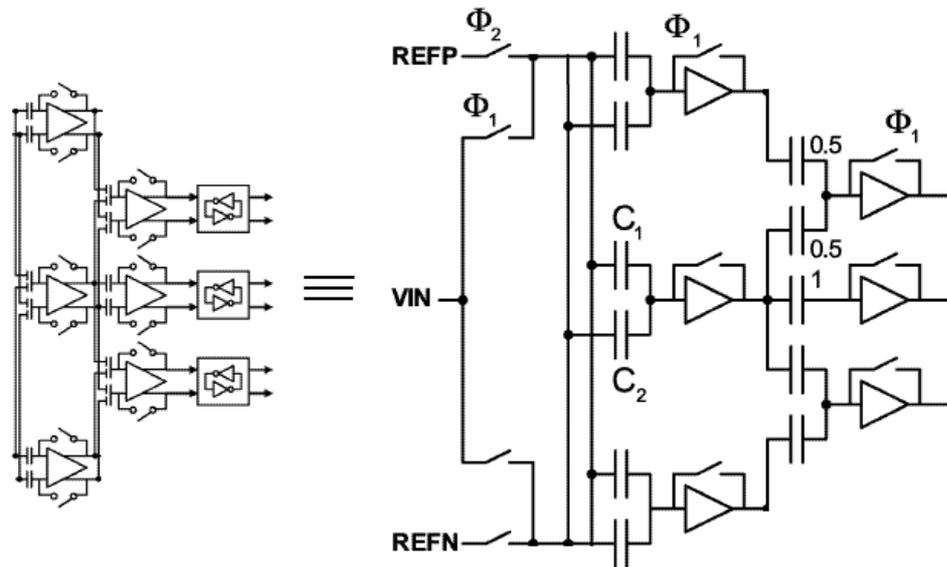


Figura 6.1. Arquitectura del convertidor flash de 2 bits con interpolación capacitiva.

Como podemos ver en la **figura 6.1**, el flash de **2 bits** con interpolación capacitiva está formado por **6 preamplificadores** y **3 comparadores** (que seguirían a los **3 preamplificadores** de la última etapa).

Lo primero que hacemos es calcular el valor de las capacidades de cada una de las etapas simples de la etapa de entrada, con la expresión **2.8** vista en el **capítulo 2** y que ahora repetimos:

$$V_{umbral_referencia} = \frac{(C_1 - C_2) \cdot (V_{refp} - V_{refn})}{C_1 + C_2} \tag{6.1}$$

C1 y **C2** estarán situadas en cada etapa como se muestra en la **figura 6.1**, pero al tener **3 etapas simples** a la entrada, las denominaremos **Ca** y **Cb** para determinar el umbral **3,3 V**, **Cc** y **Cd** para calcular el umbral de **0 V** y por último **Ce** y **Cf** para discriminar el umbral de **-3,3 V**, resultando tras aplicar **6.1**:

Tensión Umbral (REF)	Valor de las capacidades	
3,3 V	Ca= "1"	Cb= "0"
0 V	Cc= "1"	Cd= "1"
-3,3 V	Ce= "0"	Cf= "1"



Capítulo 6. Flash de 2 bits con interpolación capacitiva

Ahora tenemos que elegir qué valor en **pF** corresponde al valor “1”, por ejemplo “1”=**200 fF**. Así ya tenemos los valores de las capacidades. Elegir este valor es importante porque cuando estemos hablando de un flash de mayor envergadura nos encontraremos con más etapas de entrada y con relaciones entre capacidades por ejemplo de **7 a 1**, y si tomamos como valor unitario **500 fF**, la capacidad 7 veces mayor será demasiado grande para integrarla.

En el caso del flash de **2 bits**, la etapa de entrada toma **3,3 V**, **0V** y **-3,3 V** para en la segunda etapa poder interpolar entre **3,3 V** y **0 V** y obtener el umbral de **1,65 V**, igualmente entre **0 V** y **-3,3 V** se obtendrá **-1,65V**:

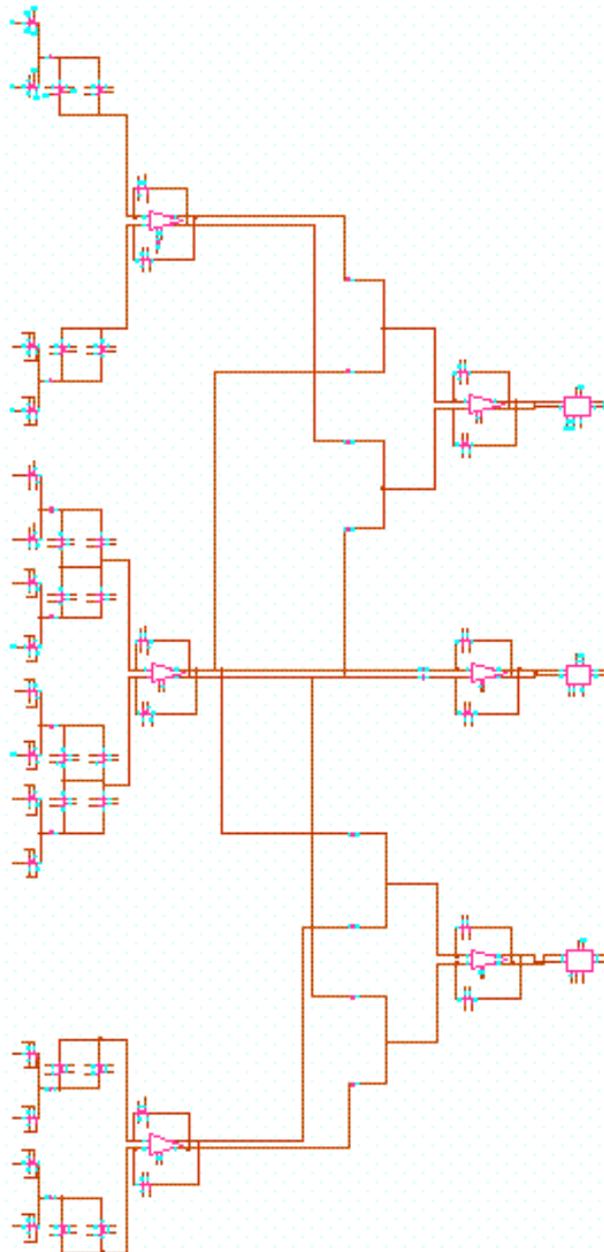


Figura 6.2. Flash de 2 bits con interpolación capacitiva. Esquema CADENCE.



Vamos a ver en qué consiste concretamente la interpolación capacitiva, para ello hacemos un zoom en la **figura 6.2**:

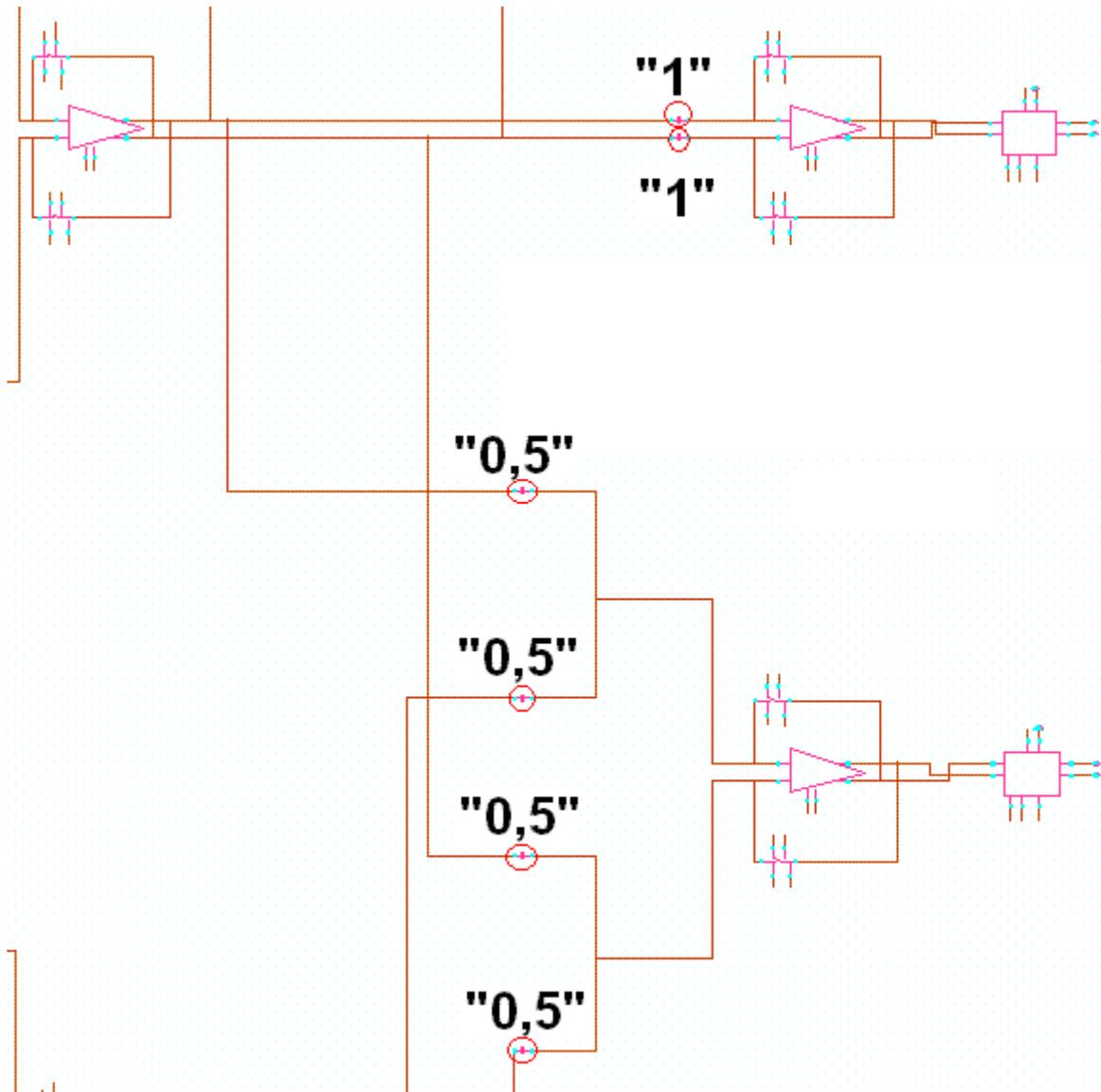


Figura 6.3. Esquema interpolación capacitiva.

Como vemos en la **figura 6.3**, los niveles que queremos copiar desde la etapa anterior atacan a capacidades de valor “1”, y los niveles que nacen como una media o interpolación de 2 niveles de la etapa anterior atacan a capacidades de valor “0,5” como se aprecia más claramente en la **figura 6.4**:

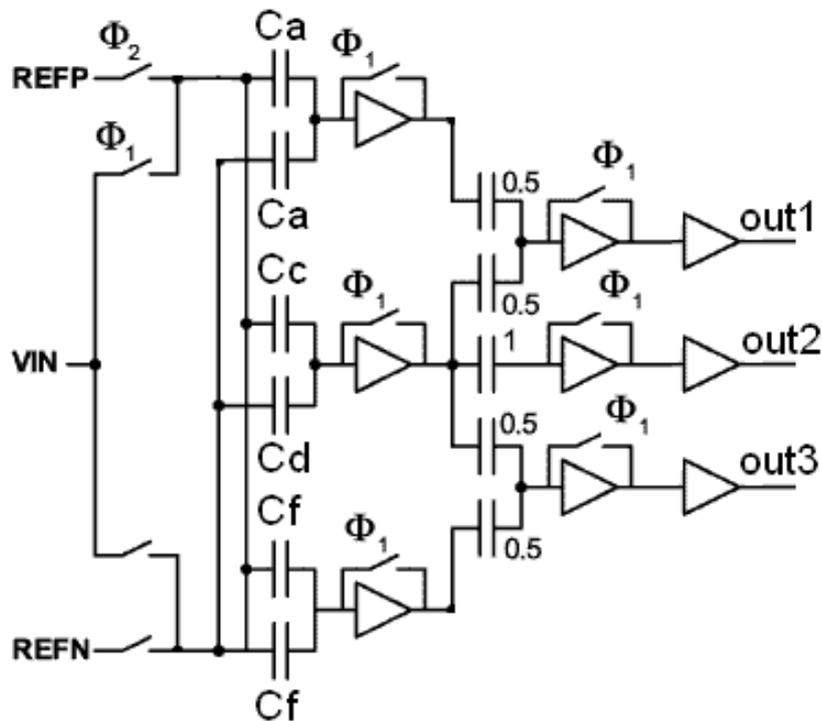


Figura 6.4. Esquema de interpolación capacitiva single ended. Flash de 2 bits.

Ya hemos visto la arquitectura de este convertidor **flash de 2 bits**, donde se hace uso de todos los componentes estudiados en capítulos anteriores y del uso de la técnica de interpolación capacitiva.

Pasamos a continuación a ver los resultados obtenidos en las simulaciones de este convertidor.

2. Resultados

Solo nos falta por tanto ver que efectivamente el convertidor flash de **2 bits** con interpolación capacitiva discrimina entre los **3 umbrales** que genera a su salida a partir de la primera etapa:

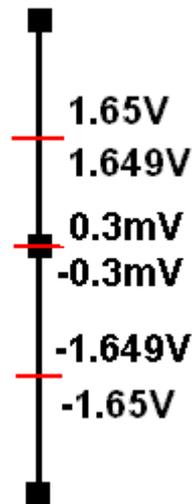


Figura 6.5. Umbrales que obtenemos tras simulación en flash de 2 bits.

Y mostramos un ejemplo de los pulsos obtenidos:

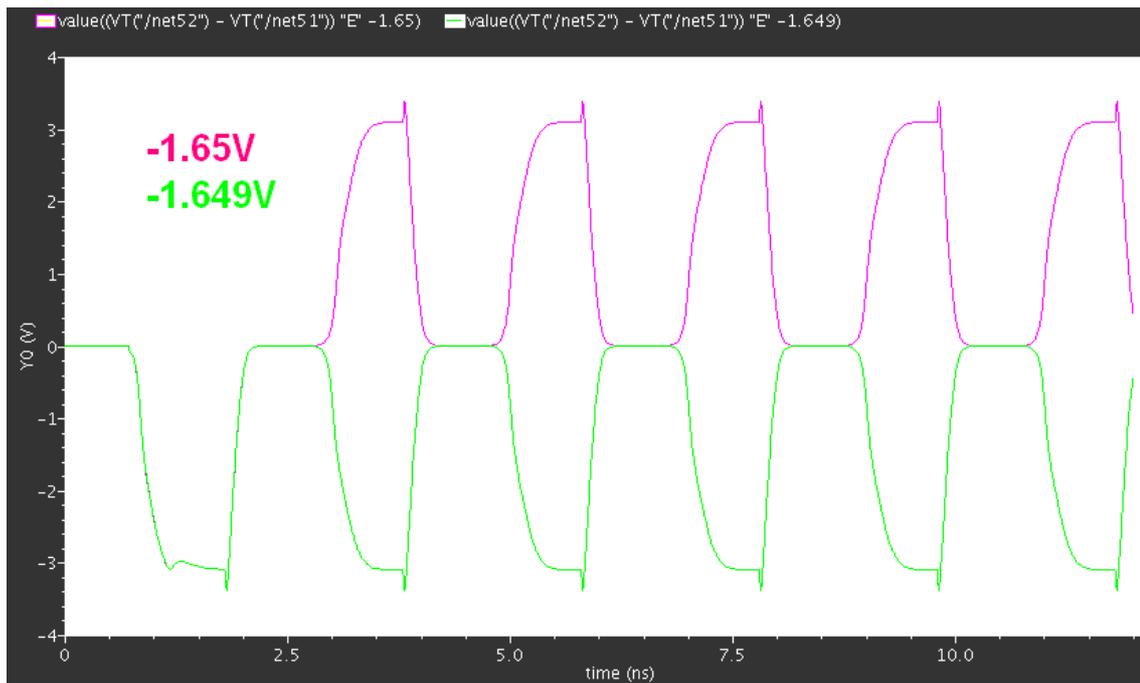


Figura 6.6. Pulsos obtenidos para el umbral de 1,65 V.

Vemos en la **figura 6.5** que la discriminación es muy buena, distinguiendo hasta el orden de **mV**, y los pulsos también son muy buenos (**figura 6.6**).

Con este primer esquema de convertidor flash con interpolación queda demostrado que la arquitectura de **interpolación capacitiva** funciona correctamente.



Capítulo 6. Flash de 2 bits con interpolación capacitiva

El primer pulso que apreciamos durante el primer periodo en la figura 6.6 no es correcto debido al estado inicial en que comienza la simulación, pues los relojes no comienzan en el estado de reset, dando lugar de ese modo a un estado inicial no adecuado para la primera comparación.

En el próximo capítulo veremos por fin los resultados obtenidos en el convertidor final de 6 bits, con las características más significativas del mismo.