



CAPÍTULO 7

Flash de 6 bits con interpolación capacitiva

Índice:

FLASH DE 6 BITS CON INTERPOLACIÓN CAPACITIVA

1. Arquitectura.....	2
2. Resultados.....	8



1. Arquitectura

En primer lugar vamos a describir con detalle la arquitectura del convertidor flash de **6 bits** con interpolación capacitiva. Partiremos calculando los valores analíticos de capacidades que nos encontramos en la primera etapa, donde conseguimos los **9 niveles de referencia** de tensión de los cuales partimos:

$$V_{REFERENCE} = \frac{(C_a - C_b) \cdot (V_{REFP} - V_{REFN})}{(C_a + C_b)} \quad (7.1)$$

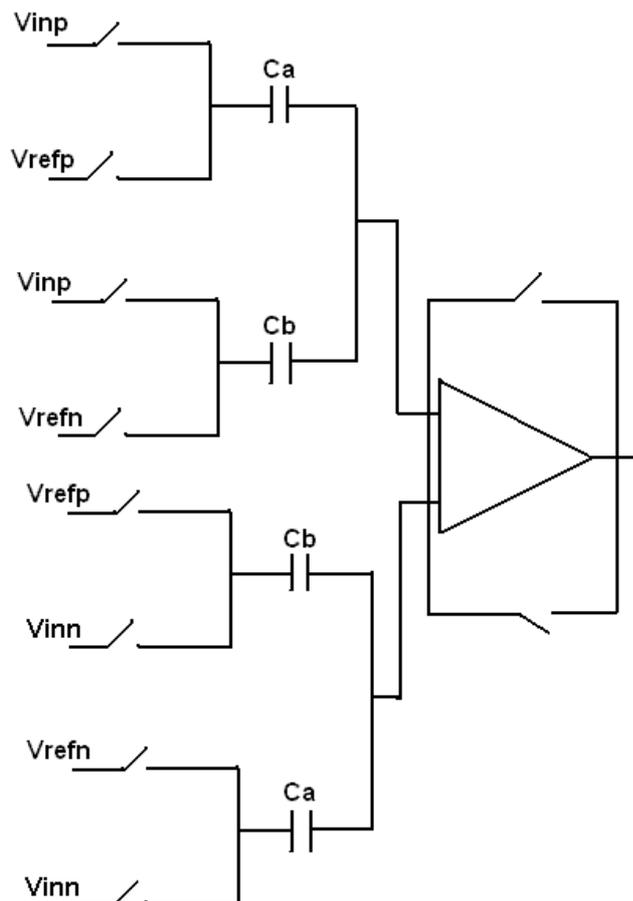


Figura 7.1. Esquema de cada una de las etapas simples en la primera etapa. Capacidades generales Ca y Cb.



Si sustituimos en la ecuación 7.1 para obtener cada uno de los niveles de referencia de la etapa de entrada, y sabiendo que necesitamos **9 niveles de referencia** en esta primera etapa, llamando en todas a las capacidades **Ca** y **Cb** para así referirnos a la nomenclatura de la **figura 7.1**:

REFERENCE VOLTAGE (V)	Ca	Cb
3.3	"1"	"0"
2.475	"7"	"1"
1.65	"3"	"1"
0.825	"5/3"	"1"
0	"1"	"1"
-0.825	"1"	"5/3"
-1.65	"1"	"3"
-2.475	"1"	"7"
-3.3	"0"	"1"

Obtenemos así la relación entre cada pareja de capacidades en cada etapa simple que tenemos a la entrada.

Recordamos el esquema total en el flash de **6 bits** y vemos su implementación en CADENCE:

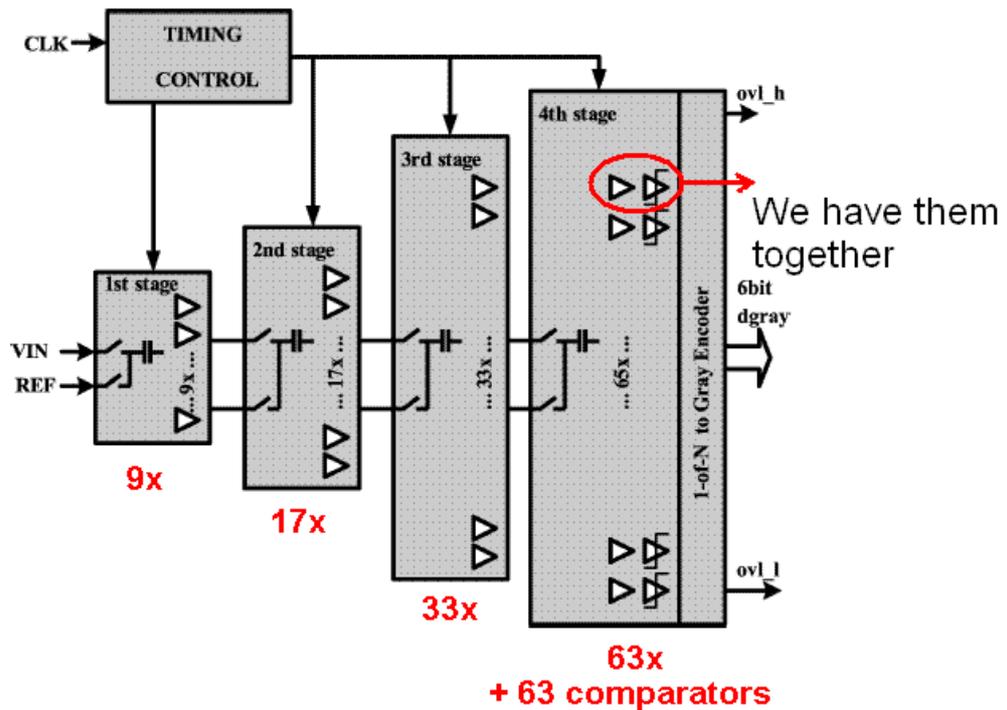


Figura 7.2. Arquitectura convertidor flash de 6 bits con interpolación capacitiva.

Como vemos consta de un total de **9+17+33+63 preamplificadores (122 en total)** y **63 comparadores** en la última etapa.

Vemos en la **figura 7.3** cómo conseguimos en **CADENCE** este esquema de interpolación capacitiva, aunque no se distinguen concretamente los preamplificadores y comparadores, sí que vemos como cada uno de los niveles de la etapa anterior se copian a la siguiente.

Observamos como entre dos niveles intermedios interpolamos para sacar un nivel intermedio en la siguiente etapa, así ocurre durante **3 etapas consecutivas** hasta que en la última etapa nos encontramos con los **63 niveles** necesarios para un **flash de 6 bits**:

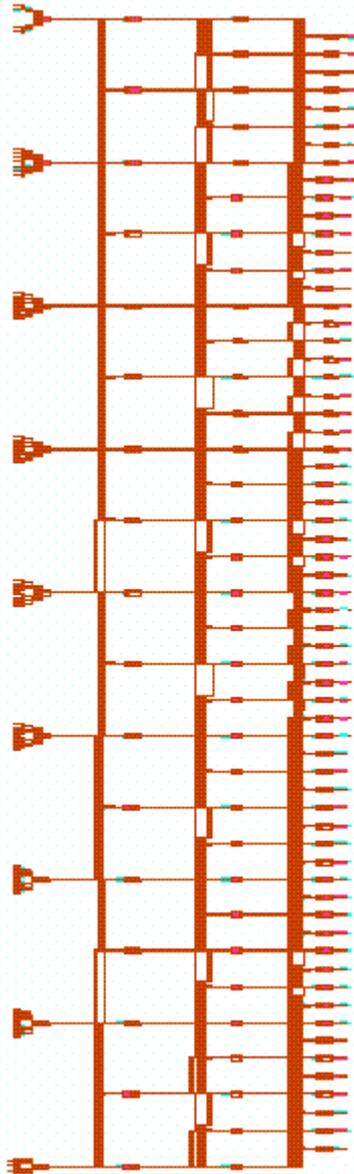


Figura 7.3. Arquitectura convertidor flash de 6 bits implementada en CADENCE.

Ahora haremos un zoom en la **figura 7.3** para ver con todo detalle como interpolamos entre 2 etapas consecutivas, mostrando dónde están cada una de las etapas:

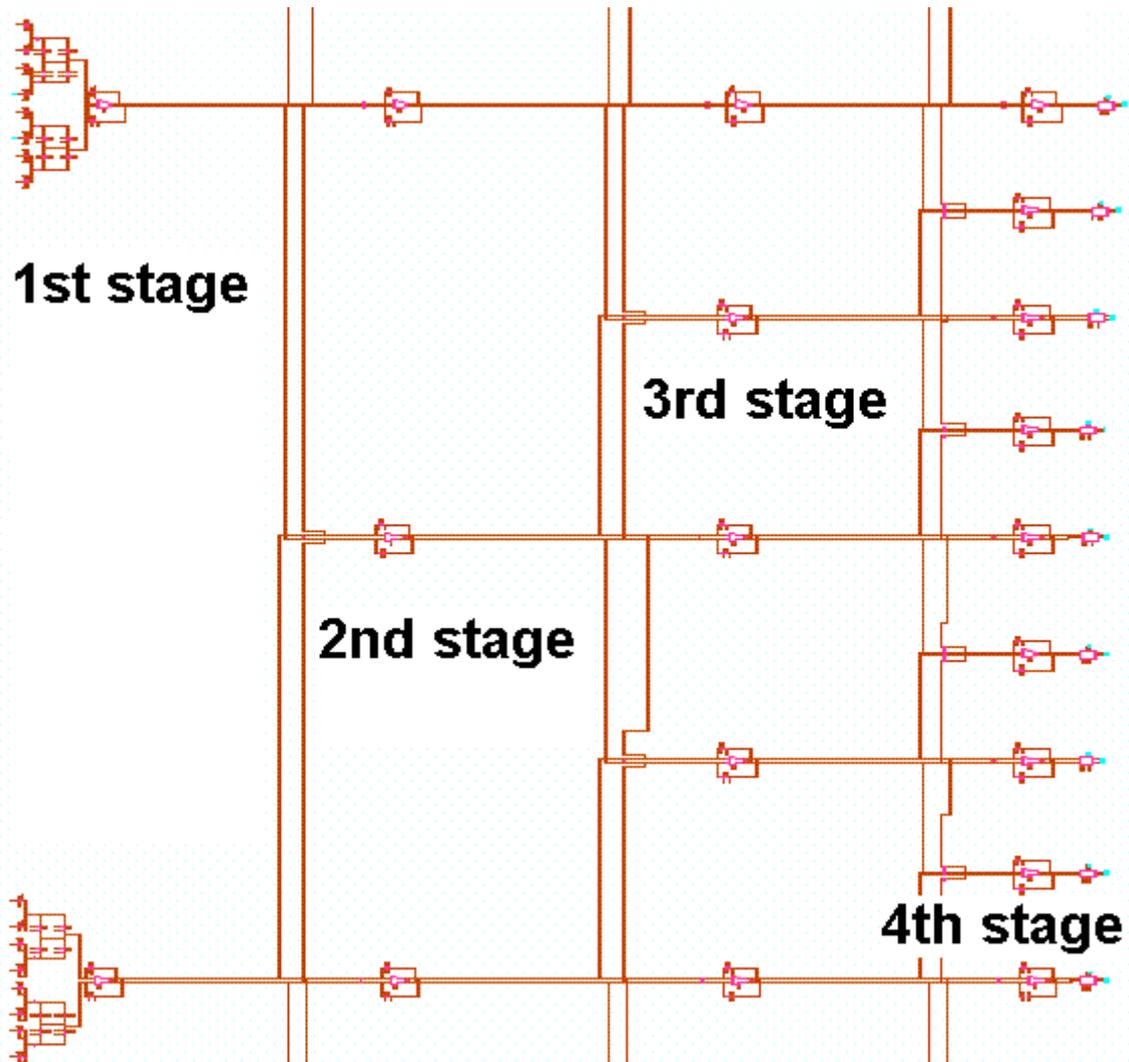


Figura 7.4. Detalle de la interpolación entre 2 las distintas etapas del convertidor.

De este modo conseguimos finalmente los **63 niveles de referencia**, los cuales apuntamos a continuación para saber concretamente de la precisión de la cual estamos hablando:



Niveles de referencia (V)	1,65 (out 16)
3,3	1,546 (out 17)
3,1968 (out 1)	1,4437 (out 18)
3,0937 (out 2)	1,3406 (out 19)
2,9906 (out 3)	1,2375 (out 20)
2,8875 (out 4)	1,1343 (out 21)
2,7843 (out 5)	1,0312 (out 22)
2,6812 (out 6)	0,9281 (out 23)
2,5781 (out 7)	0,825 (out 24)
2,475 (out 8)	0,7218 (out 25)
2,3718 (out 9)	0,6187 (out 26)
2,2687 (out 10)	0,5156 (out 27)
2,1656 (out 11)	0,4125 (out 28)
2,0625 (out 12)	0,3093 (out 29)
1,959 (out 13)	0,2062 (out 30)
1,8562 (out 14)	0,1031 (out 31)
1,7531 (out 15)	0 (out 32)

Estos son todos los niveles que tenemos entre V_{DD} (**3,3 V**) y **0 V**, los mismos niveles pero negativos existen entre **0 V** y **-3,3 V**.

Entre 2 niveles de referencia consecutivos a la salida, la diferencia es de:

$$\frac{3.3V - (-3.3V)}{64} = 103,125mV \quad (7.2)$$



Por tanto, el offset a la salida debe ser como máximo de **51,5625 mV** idealmente, de forma que sea la mitad del rango que existe entre **2** niveles a la salida consecutivos.

Para una entrada constante de **2 V** por ejemplo, todas las salidas a partir de la referencia **2,0625 V** incluida tomarán un valor alto sus pulsos, y las que están por debajo de ese nivel de referencia tendrán un valor bajo o viceversa, pues cualquier cruce de cables en la última etapa por ejemplo hace que consigamos una u otra cosa según nuestro interés.

Pasamos finalmente a comprobar los resultados tras simulación obtenidos en el **convertidor flash de 6 bits con interpolación capacitiva**, objetivo de este proyecto fin de carrera.

2. Resultados

Para probar la arquitectura final, primeramente simulamos el esquema con componentes ideales salvo los comparadores, para lo cual usamos preamplificadores ideales, con su modelo **AHDL**:

CDF Parameter of view	Use Tools Filter
soft	0.001
A0	1.5
ugf	3e9
sr	2e9
c1	200f
cin	1f
cpin	1f
cpout	1f
ro	10

Figura 7.5. Parámetros del modelo AHDL de preamplificadores.

Para evitar algunos problemas de convergencia en el caso ideal, debemos disminuir el paso de simulación en la herramienta **CADENCE**.

Una vez se comprobó que la arquitectura funcionaba correctamente en el caso ideal, introdujimos los modelos reales y estudiamos los resultados obtenidos.



Vamos a ver varios ejemplos de cómo se produce la transición entre **2 niveles de referencia consecutivos** para una tensión constante entre ambos niveles:

- Para una entrada constante igual a **2 V**, si miramos en la tabla de los niveles de referencia vemos que dicho valor de tensión se encuentra entre las salidas **out 12** (2,0625 V) y **out 13** (1,959 V), y efectivamente vemos el cambio entre estas 2 salidas:

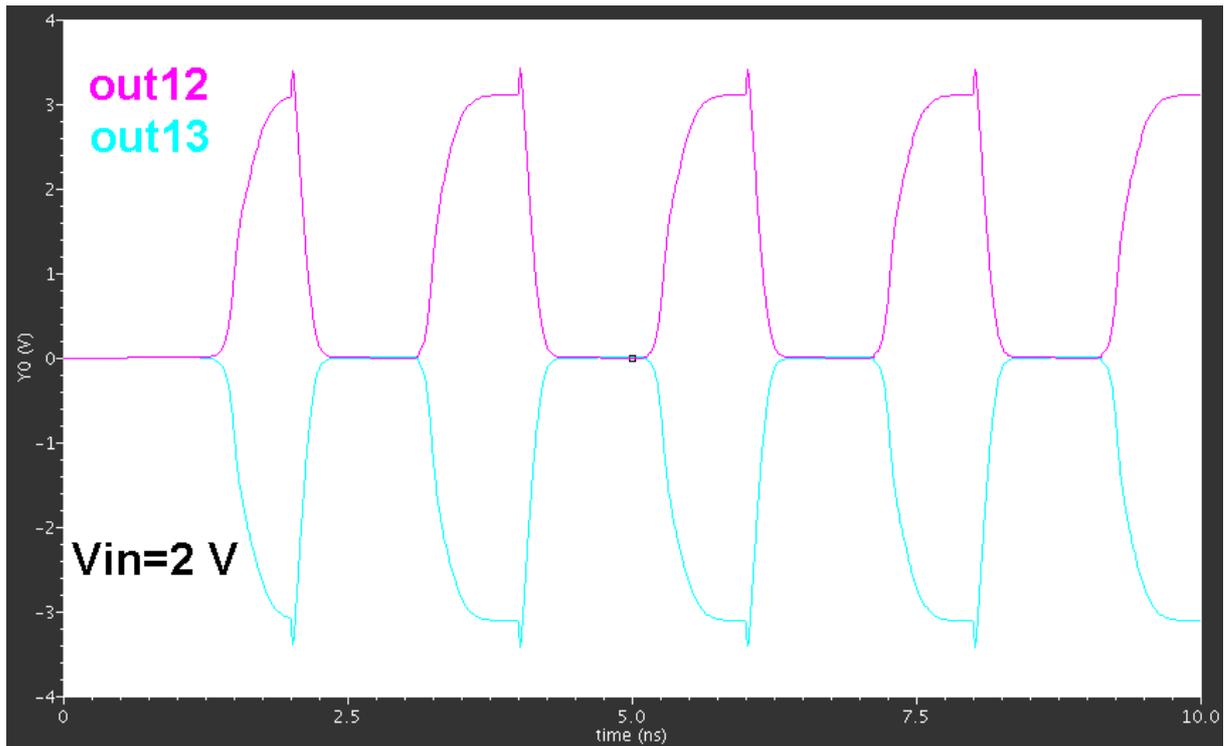


Figura 7.6. Simulación flash de 6-bits ante entrada constante de 2 V.

Todas las salidas desde **out 1** hasta **out 12** tomarán ese valor positivo, y el resto de ellas (desde **out13** hasta **out 63**) tomarán el valor negativo.

- Vemos un último ejemplo ante una entrada negativa de **-500 mV**, estando comprendido dicho valor entre las salidas **out 36** (-0,4125 V) y **out 37** (-0,5156 V):

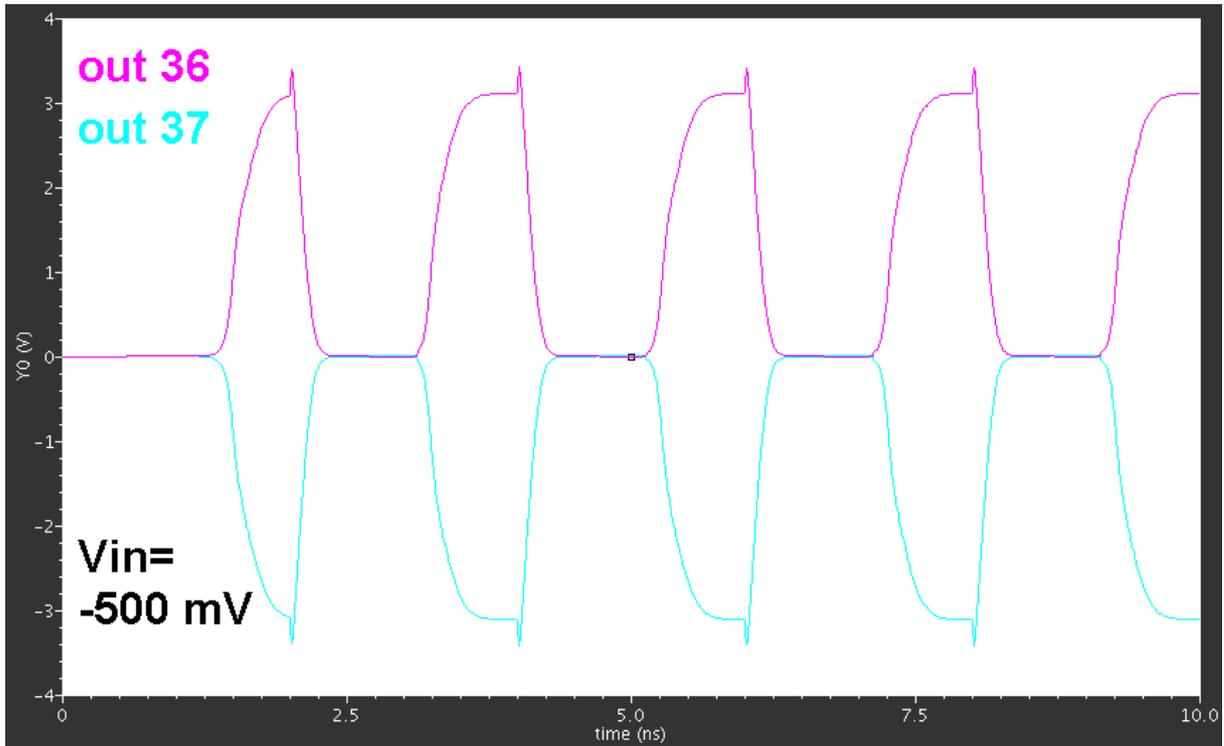


Figura 7.7. Simulación flash de 6-bits ante entrada constante de -500 mV.

Del mismo modo que en la simulación anterior, todas las salidas desde **out 1** hasta **out 36** tomarán el valor lógico “1” mientras que desde **out 37** hasta **out 63** serán “0”.

Con estas simulaciones queda pues demostrado el comportamiento final esperado de un convertidor flash, pero implementado con la novedosa técnica de interpolación capacitiva.