



ESCUELA SUPERIOR DE INGENIEROS  
UNIVERSIDAD DE SEVILLA  
Ingeniería Superior de Telecomunicación  
Proyecto Fin de Carrera



Grupo  
de Ingeniería  
Electrónica



# **DISEÑO DE UN CONVERTIDOR A/D FLASH DE 6 BITS CON INTERPOLACIÓN CAPACITIVA**



**DEPARTAMENTO DE INGENIERÍA ELECTRÓNICA  
UNIVERSIDAD DE SEVILLA**

**AUTOR: Manuel Álvarez Morales**

**TUTOR: Fernando Muñoz Chavero**

*A Fernando y Ramón, dos profesores ejemplares  
dentro y fuera de la Universidad...*

*Al equipo WITNESS (Rafael, Nando, Mariano, Hakim, Bernardo, Antonio, Fernando y Ramón),  
ojalá todos los equipos de trabajo que me encuentre fuera sean la mitad que éste.*

*A una chica llamada Isabel, por darle a todos estos años de Universidad y a mi vida  
el aliciente que le faltaba.*

*A mis padres, hermanos, abuelos y amigos por apoyarme en la carrera que día a día  
me ha llevado hasta aquí.*

# ÍNDICE

## **CAPÍTULO 1. INTRODUCCIÓN**

1. Motivaciones.....	7
2. Estado del arte .....	7
3. Objetivos.....	8
4. Organización del proyecto .....	8

## **CAPÍTULO 2. ARQUITECTURA DEL CONVERTIDOR**

1. Introducción.....	12
2. Análisis teórico.....	18

## **CAPÍTULO 3. PREAMPLIFICADORES**

1. Introducción .....	24
2. Diseño 1 .....	26
3. Señal de Power Down (PD) .....	31
4. Diseño 2. Modelo con carga resistiva.....	33
5. Conclusiones.....	36

## **CAPÍTULO 4. BANCO DE COMPARADORES**

1. Introducción.....	38
2. Diseño 1. Comparador Sandner.....	39
2.1. Arquitectura.....	39
2.2. Diseño y resultados.....	40
2.3. Conclusiones.....	43
3. Diseño 2. Comparador Yin.....	44
3.1. Arquitectura.....	44
3.2. Diseño y resultados.....	45
3.3. Señal de Power Down (PD).....	49

3.4. Diseño óptimo del comparador.....	50
3.5. Conclusiones.....	57
4. Diseño 3. Comparador Yin para baja frecuencia y bajo consumo.....	58
4.1. Diseño y resultados.....	58
5. Diseño 4. Comparador Sandner para baja frecuencia y bajo consumo.....	64
5.1. Diseño y resultados.....	64

## **CAPÍTULO 5. ETAPA SIMPLE**

1. Introducción.....	71
2. Llave CMOS.....	71
3. Arquitectura etapa simple.....	73
4. Diseño.....	74
5. Solución al clock feed-through. Timing.....	78

## **CAPÍTULO 6. FLASH DE 2 BITS CON INTERPOLACIÓN CAPACITIVA**

1. Arquitectura.....	85
2. Resultados.....	88

## **CAPÍTULO 7. FLASH DE 6 BITS CON INTERPOLACIÓN CAPACITIVA**

1. Arquitectura.....	92
2. Resultados.....	98

## **CAPÍTULO 8. CONCLUSIONES**

1. Aportaciones.....	102
2. Futuras líneas.....	102

## **CAPÍTULO 9. BIBLIOGRAFÍA**

1. Libros.....	104
2. Artículos.....	104

## **ANEXO. FICHEROS CADENCE**

1. Lista de los ficheros CADENCE desarrollados.....	106
---	-----