

I. INTRODUCCIÓN

1. Introducción

Los primeros circuitos integrados aparecieron a principio de los años 60. Se conocían como circuitos SSI (Small-Scale Integration) y no contenían más de algunas decenas de transistores. Gracias a este paso, se fabricaron los primeros computadores digitales de peso ligero. A finales de los 60 ya se fabricaban circuitos que integraban cientos de transistores. Esta tecnología se llamaba MSI (Medium-Scale Integration). Fue muy atractiva porque permitía la producción de sistemas mucho más complejos, sobre placas más pequeñas y con un trabajo de montaje menor. El desarrollo de la electrónica digital continuó y, a mediados de los años 70, surgieron los circuitos LSI (Large-Scale Integration). Estos contenían varios miles de transistores. Se consiguió fabricar calculadoras de bolsillo y memorias para ordenadores en grandes cantidades.

El último paso surgió en los 80. Conocido como VLSI (Very Large-Scale Integration), integraba cientos de miles de transistores en un principio, pero alcanza ya los varios millones en la tecnología ULSI (Ultra Large-Scale Integration). Esta denominación se aplica cuando se tiene más de un millón de transistores, pero no hay diferencia cualitativa entre ULSI y VLSI. A partir de entonces, fue posible la fabricación de CPUs en un único circuito integrado, apareciendo los primeros microprocesadores. También se fabricaron las primeras memorias RAM de más de un megabit.

La introducción de los sistemas VLSI tuvo varias importantes consecuencias. Una de ellas es que se podían alcanzar frecuencias de operación superiores a un gigahertzio. A la vez que las tecnologías del semiconductor permiten mayores frecuencias de reloj, el funcionamiento de un sistema digital síncrono ha quedado principalmente condicionado por la capacidad de sincronizar las señales de datos. En los sistemas digitales de alta velocidad, la distribución de la señal de reloj es una de las principales materias de estudio, consumiendo una importante fracción de recursos y tiempo de diseño.

En un sistema digital síncrono, las señales de reloj se usan para definir una referencia temporal para todos los flujos de datos dentro del sistema. Esta función es

esencial para la correcta operación de este tipo de sistemas. Además, es fundamental dar mucha atención a las características de las señales de reloj y a su red de distribución, ya que el funcionamiento y la fiabilidad del sistema son fuertemente dependientes de ambos.

A medida que las dimensiones físicas de los componentes de los circuitos han disminuido, el retraso de las líneas de interconexión utilizadas en la red de distribución de reloj ha aumentado considerablemente. La razón es que la resistencia de estas líneas es mucho mayor (líneas más estrechas y con menos grosor), aumentando la constante RC asociada a ellas. El clock skew, la diferencia entre las llegadas de la señal de reloj a dos registros secuencialmente adyacentes, está directamente relacionado con el retraso de propagación de la señal de reloj. Un mayor retraso de propagación causa un mayor clock skew entre los diferentes path de reloj.

El clock skew es una materia clave de estudio para los diseñadores de circuitos de alta velocidad, puesto que es uno de los factores que puede degradar el funcionamiento del sistema. Existe una regla de diseño que dice que el valor del clock skew no debe ser mayor que el 10% del periodo de la señal de reloj. A medida que la frecuencia de reloj ha ido aumentando, mejores redes de distribución se han necesitado para mantener el clock skew dentro de esta fracción del periodo del reloj. La disminución de las dimensiones físicas del circuito, y el aumento de las cargas capacitivas y de las tolerancias de los procesos de fabricación han agravado aún más el problema del clock skew. Incluso cuando una red de distribución de reloj se diseña para tener un clock skew nulo, las variaciones ambientales y de los procesos de fabricación suponen la aparición de una importante cantidad de clock skew.

En primer lugar, la motivación de este trabajo es dar una visión general de las diferentes soluciones existentes para la implementación de un sistema de distribución de reloj. Sus parámetros fundamentales y técnicas de diseño serán presentados. El trasfondo matemático del clock skew y las principales fuentes que provocan su aparición son descritos. El principal objetivo es analizar y comparar los modelos existentes hasta el momento para la estimación del clock skew de acuerdo con los parámetros de una determinada tecnología de fabricación. Las comparaciones se

realizan simulando el clock skew de una red de distribución de reloj genérica: un árbol en H. Todas las simulaciones se realizan con un programa desarrollado en lenguaje JAVA específicamente para calcular el clock skew de acuerdo con las ecuaciones de los modelos estudiados. Al final del proyecto, gracias a las conclusiones extraídas de las simulaciones, se realiza una previsión para el valor del clock skew en los próximos años.

2. Estado del Arte

El principal objeto de estudio de este trabajo es el clock skew. Se intentan analizar los modelos existentes hasta el momento para la estimación del clock skew en una red de distribución de reloj equipotencial (red que se diseña de forma que el valor ideal del clock skew sea nulo).

Después de una búsqueda intensiva de modelos para la estimación del clock skew, lo poco existente al respecto se encontró en algunos artículos de la IEEE (International Technology Roadmap for Semiconductors). Hay decenas de ellos que mencionan el clock skew, pero sólo en tres se encontró la metodología exacta para estimar el clock skew en una red de distribución de reloj. Estos tres artículos nos dan las ecuaciones para realizar los cálculos de acuerdo con los parámetros tecnológicos de la red de distribución (dimensiones de las líneas de transmisión, parámetros del transistor, capacidades parásitas, permitividades y resistividades, etc.). En la sección 3.3 del documento principal se muestran las principales características de interés de los mismos. En los apéndices 1, 2 y 3 del documento principal se detallan como se obtienen las ecuaciones de los tres modelos.

En este trabajo se intentará comparar los tres modelos y determinar cual de los tres es mejor aplicar en cada caso concreto. En último lugar, se intentará hacer una previsión del clock skew de una red de distribución de reloj implementada en las tecnologías de fabricación futuras.

3. Fases en la elaboración del proyecto

En la elaboración de este trabajo se pueden distinguir varias fases diferentes. A continuación se describen las mismas.

En primer lugar, se procedió a encontrar toda la documentación necesaria acerca del clock skew. En que consiste y, sobre todo, los modelos para su estimación en una red de distribución de reloj equipotencial. Esta labor fue quizás la más dificultosa y la que supuso mayor tiempo de investigación. Existe muy poca información acerca de este tema. Sólo en algunos artículos del Institute of Electrical and Electronics Engineers (IEEE) se pueden encontrar modelos que permiten realizar estimaciones del clock skew en una determinada estructura de distribución de reloj. Después de una laboriosa búsqueda, se encontraron tres modelos que podían adaptarse a lo que se busca en este proyecto. Tres modelos que permiten calcular una estimación del clock skew de una determinada red de distribución de reloj equipotencial (simétrica) de acuerdo con las tolerancias de los procesos de fabricación y de la variación de las condiciones de entorno del circuito.

Una vez encontrados estos tres modelos, se procedió a adaptarlos para poder compararlos entre ellos y determinar cual es más adecuado según cada caso. Esto fue necesario porque no todos ellos proporcionaban la información suficiente como para aplicarlos directamente sobre una red determinada. Un ejemplo puede ser el caso de los modelos 1 y 3. En ambos se encuentra que para calcular el clock skew es necesario conocer la desviación estándar del retraso de propagación a través de las líneas de transmisión y los buffers de la red. Esta información no se encontró en los artículos que contenían la información del modelo. Por lo tanto, fue necesario encontrar esta información en otros artículos para poder realizar los cálculos.

El siguiente paso, después de tener las ecuaciones de los modelos preparadas para ser aplicadas a una determinada estructura de distribución de reloj, se procedió a proponer el diseño de una red de reloj. Se escogió un árbol en H, ya que es la opción más frecuentemente utilizada en la parte global de una red de distribución de reloj (primer nivel jerárquico de la red, el que lleva la señal desde el generador de reloj hasta

todos los puntos del dado en el que se implementa el circuito). Además, se decidió incluir en el diseño ciertas técnicas habituales para la reducción del tiempo de propagación de la señal a través de la red. Estos métodos optimizan las dimensiones de las líneas de transmisión y el tamaño de los buffers para minimizar el retardo de propagación.

Después de tener una propuesta de diseño de un árbol en H, se pasó a buscar los valores de los parámetros de una tecnología de fabricación. Se escogió la de 130 nm. Esta tecnología se empezó a utilizar en el año 2001. Era necesario encontrar los valores de los parámetros de los transistores empleados en los buffers y de las líneas de transmisión empleadas en la red, así como el valor de las tolerancias de los procesos de fabricación, es decir, el valor de las desviaciones estándar de los parámetros de la red. Aquí se encontró también una de las mayores dificultades, ya que no se dispuso de una fuente clara que nos proporcionara estos datos. Se encontraron estos parámetros dentro de las previsiones de la International Technology Roadmap for Semiconductors (ITRS) y en algunos artículos de la IEEE. Sin embargo, la precisión de estos datos no se puede asegurar completamente. No se pueden tomar del todo como fiables, ya que no se exponían con una claridad suficiente.

A continuación, después de haber encontrado tres modelos para el cálculo del clock skew, de haber propuesto una estructura en H genérica a la que se intenta calcular el clock skew, y de disponer los parámetros tecnológicos de la tecnología de fabricación de 130 nm, se procedió a realizar las simulaciones pertinentes de la estructura. Para ello se elaboró una sencilla aplicación en lenguaje JAVA, el programa “*equations*”. Gracias al mismo, se pudo rápidamente calcular el valor del clock skew de la estructura diseñada, ya que las ecuaciones de los modelos, a pesar de ser bastante sencillas, constan de numerosos factores y parámetros, por lo que el cálculo manual de las estimaciones habría supuesto un trabajo complicadísimo. Esta aplicación, que se ejecuta desde la línea de comandos, lee de un fichero de entrada los parámetros de una determinada tecnología y realiza los cálculos. En el apéndice 4 del documento principal, se detalla el funcionamiento del programa. Diversas simulaciones se realizaron para ver como afectan los diferentes parámetros de la estructura.

En último lugar, se realizaron simulaciones con los datos de tecnologías más modernas a la de 130 nm. Tecnologías que se emplean en la actualidad o que incluso no están aún en uso, sino que sólo se conocen la previsión de sus parámetros (100 nm, 70 nm y 45 nm). Con esto se pretendió prever el comportamiento de la estructura diseñada en el futuro para ver si es adecuada o no.

4. Organización del trabajo

El documento principal del proyecto, realizado en inglés, consta de las siguientes partes:

- En la sección 1 se encuentra la introducción del trabajo. Es similar a la que se ha realizado en esta memoria.
- En la sección 2 se presenta una visión general de las redes de distribución de reloj. En primer lugar, los sistemas digitales son descritos y se especifica la función de la red de distribución de reloj dentro de los mismos. A continuación, se describen las principales estrategias de diseño de estas estructuras de distribución. Se empieza por presentar los árboles de buffers y todas sus posibles topologías (árbol binario, árbol en H o en X, malla y rejilla). Posteriormente, se introducen los parámetros primarios que determinan a una red de distribución de reloj (tiempo de propagación, clock skew, clock jitter y consumo de potencia), ya que son éstos los que se han de tener en cuenta cuando la red es diseñada. Al final de esta sección, se muestran algunos ejemplos de procesadores comerciales, explicando las principales soluciones que proponen a la cuestión de la distribución de la señal de reloj (Esta última parte no se trata en la memoria del proyecto).
- En la sección 3, el clock skew es tratado en profundidad. En primer lugar, se presenta el trasfondo teórico del clock skew, explicando que es, su significado matemático y como influye sobre el funcionamiento de un sistema digital síncrono. Posteriormente, se detallan todas las posibles fuentes que pueden provocar clock skew (variaciones en los procesos de fabricación y en las condiciones de entorno del sistema). El tercer punto de esta sección es uno de los más importantes de este trabajo. Se describen tres modelos diferentes propuestos por diferentes autores para la estimación del clock skew en una red de distribución de reloj genérica equipotencial (clock skew ideal nulo).
- En la sección 4 se encuentra la parte principal de este trabajo, ya que es la parte innovadora. Consiste en la comparación de los tres modelos anteriormente

presentados en una red de distribución de reloj específica: un árbol en H, con 256 nodos u “hojas” fabricado en la tecnología de 130 nm. Además, esta red es diseñada siguiendo diferentes métodos de optimización para minimizar el retraso de propagación de las mismas (buffers y dimensiones de las líneas de transmisión óptimas). Se realizan varias simulaciones para comparar los modelos. Para ello se ha desarrollado una aplicación en JAVA con objeto de realizar los cálculos del clock skew de acuerdo con las ecuaciones de los modelos. Los resultados son analizados y, en último lugar, las mismas simulaciones son realizadas en el mismo árbol pero implementado en tecnologías más modernas. Con esto se pretende hacer una estimación del clock skew en el futuro.

- En la sección 5 se presentan las conclusiones de este trabajo.
- Existen cuatro apéndices que añaden información complementaria al trabajo.
 - Apéndice 1: Descripción en profundidad del primer modelo.
 - Apéndice 2: Descripción en profundidad del segundo modelo.
 - Apéndice 3: Descripción en profundidad del tercer modelo.
 - Apéndice 4: Descripción del programa en JAVA (“*equations*”) para realizar las simulaciones.
- Bibliografía: se detallan todas las referencias a los diferentes artículos y trabajos que han sido utilizados en este proyecto. En la memoria no se referencia ninguna información, ya que es una descripción de lo que se ha hecho en el documento principal de este trabajo.