

Memoria del Proyecto

**Investigación y Simulación del Clock
Skew en Circuitos Integrados Modernos**

Luis Manuel Santana Gallego

Luis Manuel Santana Gallego
Proyecto de Fin de Carrera

Investigación y simulación del clock skew en circuitos integrados modernos

Prólogo

El clock skew es uno de los principales puntos de interés a la hora del diseño de una red de distribución de reloj. Este parámetro impone importantes restricciones sobre el funcionamiento de un sistema digital síncrono. Con la aparición de nuevas tecnologías de fabricación, donde se tienen mayores frecuencias de operación y menores dimensiones de los componentes de los circuitos, los efectos del clock skew se han vuelto mucho más significantes. Varios autores han propuesto diferentes modelos para la estimación del clock skew de una determinada red de distribución de reloj, las cuales pueden presentar diferentes topologías para satisfacer distintos requisitos. El principal objetivo de este trabajo es presentar, analizar y comparar estos modelos para decidir cual es el mejor a la hora de estimar el clock skew de una red de distribución de reloj genérica (árbol en H). Gracias a los estudios realizados, al final del trabajo se detalla una predicción del clock skew para futuras tecnologías.

Contenido

I. INTRODUCCIÓN	
1. Introducción	4
2. Estado del Arte.....	7
3. Fases en la elaboración del proyecto.....	8
4. Organización del trabajo	11
II. TRABAJO REALIZADO	
1. Redes de distribución de reloj.....	15
1.1. Sistemas digitales síncronos.....	15
1.2. Alternativas para el diseño de las redes de distribución de reloj.....	17
1.2.1. Árboles de buffers.....	19
1.2.2. Topologías.....	21
1.2.3. Técnicas de compensación	25
1.3. Principales parámetros de una red de distribución de reloj.....	26
1.3.1. Retraso de propagación	27
1.3.2. Clock skew.....	29
1.3.3. Clock jitter.....	30
1.3.4. Disipación de potencia	30
2. Clock skew.....	32
2.1. Definición	32
2.2. Causas del clock skew	35
2.3. Modelos para el clock skew	38
2.3.1. MODELO 1: Modelo estadístico para la estimación de una cota superior del clock skew.....	38
2.3.2. MODELO 2: Modelo estadístico para un árbol en H con ensanchado de líneas.....	41
2.3.3. MODELO 3: Modelo estadístico para el clock skew considerando las correlaciones entre paths	44
2.3.4. Resumen de los modelos	47
3. Comparación entre los modelos para estimar el clock skew	51
3.1. Metodología de diseño.....	51
3.2. Parámetros tecnológicos del árbol en H.....	56
3.3. Simulaciones.....	59
3.3.1. Primera simulación	60
3.3.2. Segunda simulación	61
3.3.3. Tercera simulación.....	63
3.4. Estimación del clock skew para tecnologías futuras	65
III. CONCLUSIONES	
Conclusiones.....	71

I. INTRODUCCIÓN

1. Introducción

Los primeros circuitos integrados aparecieron a principio de los años 60. Se conocían como circuitos SSI (Small-Scale Integration) y no contenían más de algunas decenas de transistores. Gracias a este paso, se fabricaron los primeros computadores digitales de peso ligero. A finales de los 60 ya se fabricaban circuitos que integraban cientos de transistores. Esta tecnología se llamaba MSI (Medium-Scale Integration). Fue muy atractiva porque permitía la producción de sistemas mucho más complejos, sobre placas más pequeñas y con un trabajo de montaje menor. El desarrollo de la electrónica digital continuó y, a mediados de los años 70, surgieron los circuitos LSI (Large-Scale Integration). Estos contenían varios miles de transistores. Se consiguió fabricar calculadoras de bolsillo y memorias para ordenadores en grandes cantidades.

El último paso surgió en los 80. Conocido como VLSI (Very Large-Scale Integration), integraba cientos de miles de transistores en un principio, pero alcanza ya los varios millones en la tecnología ULSI (Ultra Large-Scale Integration). Esta denominación se aplica cuando se tiene más de un millón de transistores, pero no hay diferencia cualitativa entre ULSI y VLSI. A partir de entonces, fue posible la fabricación de CPUs en un único circuito integrado, apareciendo los primeros microprocesadores. También se fabricaron las primeras memorias RAM de más de un megabit.

La introducción de los sistemas VLSI tuvo varias importantes consecuencias. Una de ellas es que se podían alcanzar frecuencias de operación superiores a un gigahertzio. A la vez que las tecnologías del semiconductor permiten mayores frecuencias de reloj, el funcionamiento de un sistema digital síncrono ha quedado principalmente condicionado por la capacidad de sincronizar las señales de datos. En los sistemas digitales de alta velocidad, la distribución de la señal de reloj es una de las principales materias de estudio, consumiendo una importante fracción de recursos y tiempo de diseño.

En un sistema digital síncrono, las señales de reloj se usan para definir una referencia temporal para todos los flujos de datos dentro del sistema. Esta función es

esencial para la correcta operación de este tipo de sistemas. Además, es fundamental dar mucha atención a las características de las señales de reloj y a su red de distribución, ya que el funcionamiento y la fiabilidad del sistema son fuertemente dependientes de ambos.

A medida que las dimensiones físicas de los componentes de los circuitos han disminuido, el retraso de las líneas de interconexión utilizadas en la red de distribución de reloj ha aumentado considerablemente. La razón es que la resistencia de estas líneas es mucho mayor (líneas más estrechas y con menos grosor), aumentando la constante RC asociada a ellas. El clock skew, la diferencia entre las llegadas de la señal de reloj a dos registros secuencialmente adyacentes, está directamente relacionado con el retraso de propagación de la señal de reloj. Un mayor retraso de propagación causa un mayor clock skew entre los diferentes path de reloj.

El clock skew es una materia clave de estudio para los diseñadores de circuitos de alta velocidad, puesto que es uno de los factores que puede degradar el funcionamiento del sistema. Existe una regla de diseño que dice que el valor del clock skew no debe ser mayor que el 10% del periodo de la señal de reloj. A medida que la frecuencia de reloj ha ido aumentando, mejores redes de distribución se han necesitado para mantener el clock skew dentro de esta fracción del periodo del reloj. La disminución de las dimensiones físicas del circuito, y el aumento de las cargas capacitivas y de las tolerancias de los procesos de fabricación han agravado aún más el problema del clock skew. Incluso cuando una red de distribución de reloj se diseña para tener un clock skew nulo, las variaciones ambientales y de los procesos de fabricación suponen la aparición de una importante cantidad de clock skew.

En primer lugar, la motivación de este trabajo es dar una visión general de las diferentes soluciones existentes para la implementación de un sistema de distribución de reloj. Sus parámetros fundamentales y técnicas de diseño serán presentados. El trasfondo matemático del clock skew y las principales fuentes que provocan su aparición son descritos. El principal objetivo es analizar y comparar los modelos existentes hasta el momento para la estimación del clock skew de acuerdo con los parámetros de una determinada tecnología de fabricación. Las comparaciones se

realizan simulando el clock skew de una red de distribución de reloj genérica: un árbol en H. Todas las simulaciones se realizan con un programa desarrollado en lenguaje JAVA específicamente para calcular el clock skew de acuerdo con las ecuaciones de los modelos estudiados. Al final del proyecto, gracias a las conclusiones extraídas de las simulaciones, se realiza una previsión para el valor del clock skew en los próximos años.

2. Estado del Arte

El principal objeto de estudio de este trabajo es el clock skew. Se intentan analizar los modelos existentes hasta el momento para la estimación del clock skew en una red de distribución de reloj equipotencial (red que se diseña de forma que el valor ideal del clock skew sea nulo).

Después de una búsqueda intensiva de modelos para la estimación del clock skew, lo poco existente al respecto se encontró en algunos artículos de la IEEE (International Technology Roadmap for Semiconductors). Hay decenas de ellos que mencionan el clock skew, pero sólo en tres se encontró la metodología exacta para estimar el clock skew en una red de distribución de reloj. Estos tres artículos nos dan las ecuaciones para realizar los cálculos de acuerdo con los parámetros tecnológicos de la red de distribución (dimensiones de las líneas de transmisión, parámetros del transistor, capacidades parásitas, permitividades y resistividades, etc.). En la sección 3.3 del documento principal se muestran las principales características de interés de los mismos. En los apéndices 1, 2 y 3 del documento principal se detallan como se obtienen las ecuaciones de los tres modelos.

En este trabajo se intentará comparar los tres modelos y determinar cual de los tres es mejor aplicar en cada caso concreto. En último lugar, se intentará hacer una previsión del clock skew de una red de distribución de reloj implementada en las tecnologías de fabricación futuras.

3. Fases en la elaboración del proyecto

En la elaboración de este trabajo se pueden distinguir varias fases diferentes. A continuación se describen las mismas.

En primer lugar, se procedió a encontrar toda la documentación necesaria acerca del clock skew. En que consiste y, sobre todo, los modelos para su estimación en una red de distribución de reloj equipotencial. Esta labor fue quizás la más dificultosa y la que supuso mayor tiempo de investigación. Existe muy poca información acerca de este tema. Sólo en algunos artículos del Institute of Electrical and Electronics Engineers (IEEE) se pueden encontrar modelos que permiten realizar estimaciones del clock skew en una determinada estructura de distribución de reloj. Después de una laboriosa búsqueda, se encontraron tres modelos que podían adaptarse a lo que se busca en este proyecto. Tres modelos que permiten calcular una estimación del clock skew de una determinada red de distribución de reloj equipotencial (simétrica) de acuerdo con las tolerancias de los procesos de fabricación y de la variación de las condiciones de entorno del circuito.

Una vez encontrados estos tres modelos, se procedió a adaptarlos para poder compararlos entre ellos y determinar cual es más adecuado según cada caso. Esto fue necesario porque no todos ellos proporcionaban la información suficiente como para aplicarlos directamente sobre una red determinada. Un ejemplo puede ser el caso de los modelos 1 y 3. En ambos se encuentra que para calcular el clock skew es necesario conocer la desviación estándar del retraso de propagación a través de las líneas de transmisión y los buffers de la red. Esta información no se encontró en los artículos que contenían la información del modelo. Por lo tanto, fue necesario encontrar esta información en otros artículos para poder realizar los cálculos.

El siguiente paso, después de tener las ecuaciones de los modelos preparadas para ser aplicadas a una determinada estructura de distribución de reloj, se procedió a proponer el diseño de una red de reloj. Se escogió un árbol en H, ya que es la opción más frecuentemente utilizada en la parte global de una red de distribución de reloj (primer nivel jerárquico de la red, el que lleva la señal desde el generador de reloj hasta

todos los puntos del dado en el que se implementa el circuito). Además, se decidió incluir en el diseño ciertas técnicas habituales para la reducción del tiempo de propagación de la señal a través de la red. Estos métodos optimizan las dimensiones de las líneas de transmisión y el tamaño de los buffers para minimizar el retardo de propagación.

Después de tener una propuesta de diseño de un árbol en H, se pasó a buscar los valores de los parámetros de una tecnología de fabricación. Se escogió la de 130 nm. Esta tecnología se empezó a utilizar en el año 2001. Era necesario encontrar los valores de los parámetros de los transistores empleados en los buffers y de las líneas de transmisión empleadas en la red, así como el valor de las tolerancias de los procesos de fabricación, es decir, el valor de las desviaciones estándar de los parámetros de la red. Aquí se encontró también una de las mayores dificultades, ya que no se dispuso de una fuente clara que nos proporcionara estos datos. Se encontraron estos parámetros dentro de las previsiones de la International Technology Roadmap for Semiconductors (ITRS) y en algunos artículos de la IEEE. Sin embargo, la precisión de estos datos no se puede asegurar completamente. No se pueden tomar del todo como fiables, ya que no se exponían con una claridad suficiente.

A continuación, después de haber encontrado tres modelos para el cálculo del clock skew, de haber propuesto una estructura en H genérica a la que se intenta calcular el clock skew, y de disponer los parámetros tecnológicos de la tecnología de fabricación de 130 nm, se procedió a realizar las simulaciones pertinentes de la estructura. Para ello se elaboró una sencilla aplicación en lenguaje JAVA, el programa “*equations*”. Gracias al mismo, se pudo rápidamente calcular el valor del clock skew de la estructura diseñada, ya que las ecuaciones de los modelos, a pesar de ser bastante sencillas, constan de numerosos factores y parámetros, por lo que el cálculo manual de las estimaciones habría supuesto un trabajo complicadísimo. Esta aplicación, que se ejecuta desde la línea de comandos, lee de un fichero de entrada los parámetros de una determinada tecnología y realiza los cálculos. En el apéndice 4 del documento principal, se detalla el funcionamiento del programa. Diversas simulaciones se realizaron para ver como afectan los diferentes parámetros de la estructura.

En último lugar, se realizaron simulaciones con los datos de tecnologías más modernas a la de 130 nm. Tecnologías que se emplean en la actualidad o que incluso no están aún en uso, sino que sólo se conocen la previsión de sus parámetros (100 nm, 70 nm y 45 nm). Con esto se pretendió prever el comportamiento de la estructura diseñada en el futuro para ver si es adecuada o no.

4. Organización del trabajo

El documento principal del proyecto, realizado en inglés, consta de las siguientes partes:

- En la sección 1 se encuentra la introducción del trabajo. Es similar a la que se ha realizado en esta memoria.
- En la sección 2 se presenta una visión general de las redes de distribución de reloj. En primer lugar, los sistemas digitales son descritos y se especifica la función de la red de distribución de reloj dentro de los mismos. A continuación, se describen las principales estrategias de diseño de estas estructuras de distribución. Se empieza por presentar los árboles de buffers y todas sus posibles topologías (árbol binario, árbol en H o en X, malla y rejilla). Posteriormente, se introducen los parámetros primarios que determinan a una red de distribución de reloj (tiempo de propagación, clock skew, clock jitter y consumo de potencia), ya que son éstos los que se han de tener en cuenta cuando la red es diseñada. Al final de esta sección, se muestran algunos ejemplos de procesadores comerciales, explicando las principales soluciones que proponen a la cuestión de la distribución de la señal de reloj (Esta última parte no se trata en la memoria del proyecto).
- En la sección 3, el clock skew es tratado en profundidad. En primer lugar, se presenta el trasfondo teórico del clock skew, explicando que es, su significado matemático y como influye sobre el funcionamiento de un sistema digital síncrono. Posteriormente, se detallan todas las posibles fuentes que pueden provocar clock skew (variaciones en los procesos de fabricación y en las condiciones de entorno del sistema). El tercer punto de esta sección es uno de los más importantes de este trabajo. Se describen tres modelos diferentes propuestos por diferentes autores para la estimación del clock skew en una red de distribución de reloj genérica equipotencial (clock skew ideal nulo).
- En la sección 4 se encuentra la parte principal de este trabajo, ya que es la parte innovadora. Consiste en la comparación de los tres modelos anteriormente

presentados en una red de distribución de reloj específica: un árbol en H, con 256 nodos u “hojas” fabricado en la tecnología de 130 nm. Además, esta red es diseñada siguiendo diferentes métodos de optimización para minimizar el retraso de propagación de las mismas (buffers y dimensiones de las líneas de transmisión óptimas). Se realizan varias simulaciones para comparar los modelos. Para ello se ha desarrollado una aplicación en JAVA con objeto de realizar los cálculos del clock skew de acuerdo con las ecuaciones de los modelos. Los resultados son analizados y, en último lugar, las mismas simulaciones son realizadas en el mismo árbol pero implementado en tecnologías más modernas. Con esto se pretende hacer una estimación del clock skew en el futuro.

- En la sección 5 se presentan las conclusiones de este trabajo.
- Existen cuatro apéndices que añaden información complementaria al trabajo.
 - Apéndice 1: Descripción en profundidad del primer modelo.
 - Apéndice 2: Descripción en profundidad del segundo modelo.
 - Apéndice 3: Descripción en profundidad del tercer modelo.
 - Apéndice 4: Descripción del programa en JAVA (“*equations*”) para realizar las simulaciones.
- Bibliografía: se detallan todas las referencias a los diferentes artículos y trabajos que han sido utilizados en este proyecto. En la memoria no se referencia ninguna información, ya que es una descripción de lo que se ha hecho en el documento principal de este trabajo.

II. TRABAJO REALIZADO

Nota

En esta sección de la memoria se describe lo que se ha hecho en las secciones 2, 3 y 4 del documento principal. La sección 1 y 5 no se tratan aquí. Son la introducción y las conclusiones del trabajo, y son prácticamente las mismas que se muestran en la introducción y en las conclusiones de esta memoria. La única parte del documento principal del proyecto que no se menciona en esta sección de la memoria es la sección 2.4. Son una serie de ejemplos de diferentes soluciones del problema de la distribución de reloj en distintos sistemas comerciales. Todas las referencias se encuentran en la sección de referencias del documento principal.

1. Redes de distribución de reloj

En esta primera sección del trabajo se introducen los conceptos básicos que se deben conocer previamente antes de la iniciación del estudio en concreto del clock skew. Se comienza por una descripción general de los sistemas digitales síncronos y la función de la red de distribución de reloj dentro de los mismos. A continuación, se presentan las diferentes alternativas existentes (topologías) a la hora de implementar una red de distribución de reloj. Para finalizar, se describen brevemente los principales parámetros que determinan el funcionamiento de estas redes.

1.1. Sistemas digitales síncronos

Un sistema digital síncrono consta de los siguientes componentes: elementos de memoria (registros), lógica combinatorial que interconecta los registros y un circuito de distribución de la señal de reloj (red de distribución de reloj). Estos tres componentes conforman lo que se conoce como data path (ver figura 2.1). Las señales de datos se almacenan en registros a la espera de la llegada de la señal de reloj. Cuando ésta llega, el dato sale del registro y se propaga a través de la lógica combinatorial. Si el sistema funciona correctamente, el dato es capturado en el siguiente registro durante el próximo flanco de reloj.

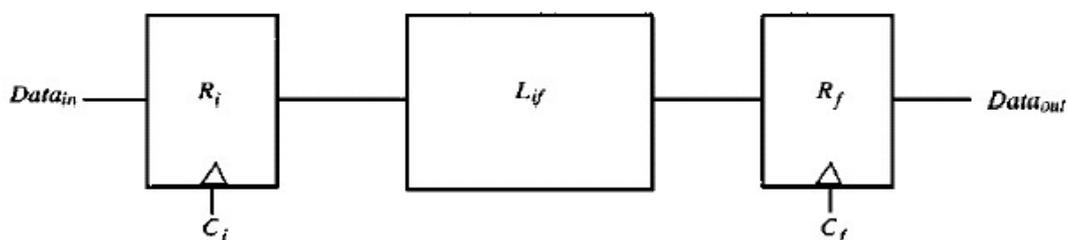


Figura 2.1: Elementos de un sistema digital síncrono (data path).

Hay que tener en cuenta que las señales de reloj no son unas simples señales de control, sino que deben tener un conjunto de características y atributos muy especiales. Las señales de reloj han tener una forma de onda limpia, con sus flancos bien definidos,

ya que son la referencia temporal de todas las señales de datos dentro de un sistema digital síncrono. Con el avance de la tecnología, el escalado (disminución de los tamaños en los procesos de fabricación) ha afectado muy seriamente a las señales de reloj. Un ejemplo claro es el aumento de la resistencia de las líneas de transmisión a medida que el ancho y grosor de las mismas ha disminuido. Esto ha provocado que el retraso en la transmisión de señales a través de ellas se vea considerablemente incrementado.

El clock skew es uno de los atributos más importantes de las señales de reloj dentro de una red de distribución. Consiste en la diferencia del retraso de propagación de la señal de reloj desde la fuente hasta dos registros secuencialmente adyacentes. Si esta diferencia o “skew” es muy elevada, puede afectar seriamente al funcionamiento del sistema, así como provocar la aparición de condiciones de carrera catastróficas en las que un dato es capturado incorrectamente dentro de un registro. Existe una regla de diseño que dice que el clock skew no debe ser mayor que el 10 % del periodo de la señal de reloj, aunque, según los requerimientos de cada sistema, esta relación puede ser válida o no.

El clock skew solamente afecta a los registros que son secuencialmente adyacentes. Dos registros lo son si al menos existe una secuencia de bloques lógicos que conectan la salida del primer registro con la entrada del segundo. En el caso contrario, lo que sucede a la salida del primero no afecta a la entrada del segundo para un mismo flanco de reloj. El clock skew no tiene relevancia en este caso. Posteriormente, en la sección 3.1, se explica exactamente el significado de esto.

Es posible definir un data path (ver figura 2.1) cuando se tienen dos registros secuencialmente adyacentes. El periodo mínimo $T_{CP}(\text{min})$ de la señal de reloj que se ha de tener se especifica de la siguiente forma:

$$T_{CP}(\text{min}) = \frac{1}{f_{CLK}(\text{max})} = T_{PD}(\text{min}) + T_{skew} \quad (2.1)$$

donde

$$T_{PD} = T_{C-Q} + T_{logic} + T_{int} + T_{setup} \quad (2.2)$$

El path delay total, T_{PD} , es la suma de:

- T_{C-Q} : El tiempo máximo requerido para que la señal de datos abandone el registro inicial al llegar el flanco de reloj.
- T_{logic} y T_{int} : El tiempo necesario para que la señal de datos se propague a través de los elementos lógicos y las líneas de interconexión.
- T_{setup} : El tiempo necesario para que la señal de datos se establezca a la entrada del registro final.

La suma de componentes en (2.2) debe satisfacer las restricciones de (2.1) para poder soportar el mínimo periodo de reloj T_{CP} (min), que es la inversa de la máxima frecuencia de reloj. T_{skew} , el clock skew, puede ser positivo o negativo dependiendo de si la señal de reloj llega antes al registro inicial o al final. Esto se explicará más en profundidad en la sección 3.1, donde el clock skew es estudiado con mayor rigor.

1.2. Alternativas para el diseño de las redes de distribución de reloj

Ya se ha explicado previamente que la señal de reloj es la que gobierna un sistema digital síncrono definiendo una referencia temporal para el movimiento de los datos dentro del circuito. La red de distribución de reloj es la encargada de llevar la señal de reloj desde la fuente hasta la entrada de todos los elementos que la necesiten. Esta función es fundamental para el correcto funcionamiento global del sistema, ya que debe distribuir la señal de reloj con unas características muy precisas que deben ser satisfechas en todo momento.

Existen muchas técnicas para el diseño de una red de distribución de reloj, tanto para un diseño hecho a medida, como técnicas mediante algoritmos automáticos. Además, existen importantes compromisos entre velocidad, ocupación de área física y consumo de potencia cuando la red está siendo diseñada.

La solución más frecuentemente utilizada es la de dividir la red de distribución de reloj en diferentes niveles jerárquicos o subredes. De esta manera, hay una red global en el nivel jerárquico más alto que distribuye la señal a los niveles inferiores. Diferentes estrategias se pueden utilizar en cada subred. De este modo se optimiza la distribución, ya que la topología de cada subred se puede ajustar a los requerimientos del bloque funcional al cual suministra la señal de reloj. Generalmente, cada subnivel se implementa en una capa de metal diferente. La figura 2.2 muestra la división jerárquica en diferentes niveles de una red de distribución de reloj.

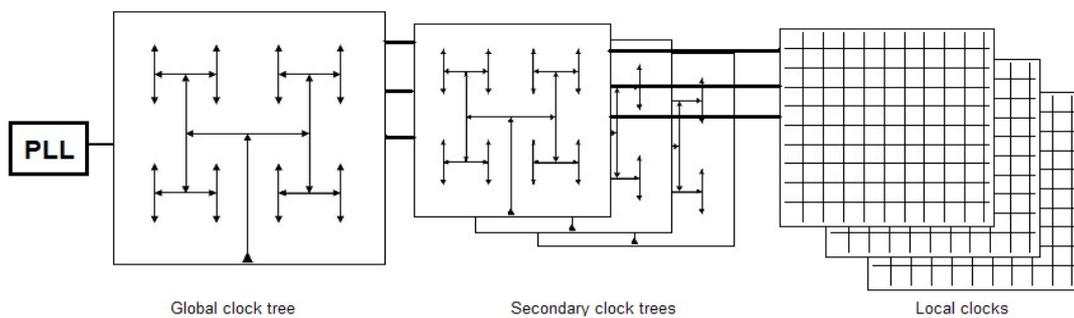


Figura 2.2: Red de distribución de reloj jerárquica.

La figura 2.3 muestra un ejemplo de distribución de diferentes bloques funcionales dentro de un circuito VLSI. Dividiendo la red de distribución de reloj en varios subniveles, se pueden aplicar diferentes técnicas de distribución en cada bloque funcional de acuerdo con los requerimientos del mismo.

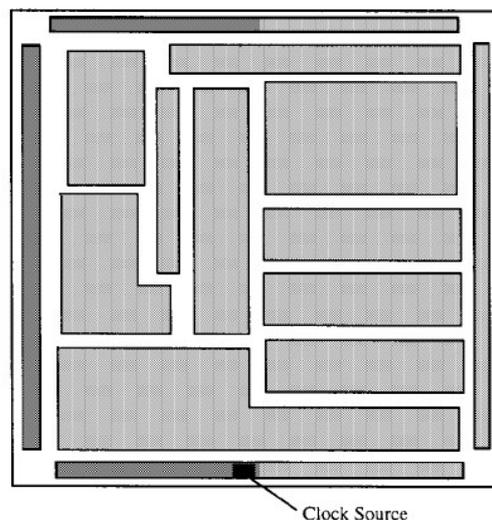


Figura 2.3: Circuito dividido en varios bloques funcionales.

En cuanto al aspecto de la generación de la señal de reloj, un generador PLL es actualmente la solución más empleada. El motivo es que obtiene buenos resultados en cuanto a disipación de potencia y señales con bajo nivel de jitter cuando la frecuencia de reloj se eleva a altas velocidades.

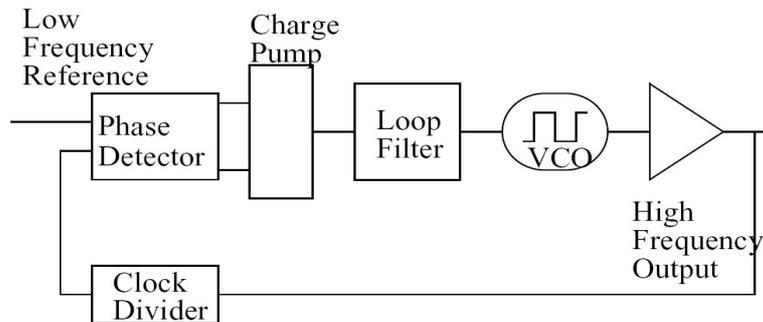


Figura 2.4: Diagrama de bloques de un generador PLL genérico.

Existe un número considerable de estrategias para el diseño de una red de distribución de reloj. La aproximación más común y generalizada para conseguir una red equipotencial (la señal llega a cada destino justo en el mismo instante, clock skew nulo) es el uso de árboles de buffers (apartado 2.2.1). Asimismo, existen diferentes topologías para un árbol de buffers. Éstas permiten una mayor flexibilidad a la hora de cumplir los requisitos que cada sub-bloque necesita. Las diferentes topologías se describen en la sección 2.2.2. La inserción de buffers es también conocida como compensación. Las principales ventajas y desventajas se resumen en la sección 2.2.3.

1.2.1. Árboles de buffers

Para llevar la señal de reloj desde el generador hasta a los diferentes puntos de un circuito es necesario dividir las líneas de transmisión en diferentes ramas. Como resultado se obtiene una estructura en forma de árbol (figura 2.5). El generador de reloj se llama “raíz”. El “tronco” es la porción inicial. Las “ramas” son las diferentes bifurcaciones resultantes de cada división de los paths. Los registros a los que se suministra la señal de reloj se conocen como “hojas”.

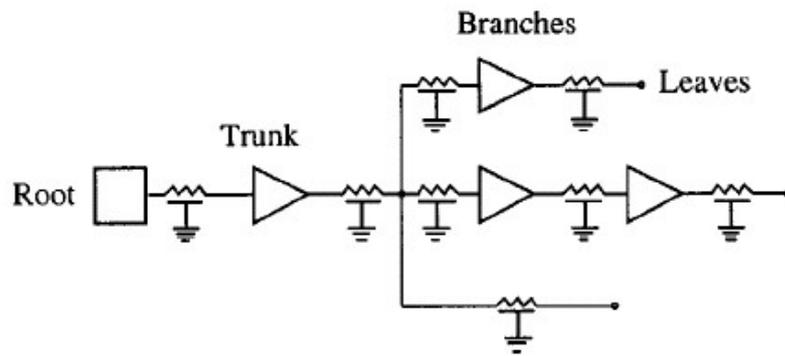


Figura 2.5: Árbol de buffers.

Si la resistencia de salida del buffer ubicado en la “raíz” es lo suficientemente grande como para despreciar la resistencia de interconexión de toda la red de distribución, en este caso, un único buffer puede suministrar la corriente necesaria como para alimentar la capacidad asociada a la red entera (capacidad de las líneas de interconexión y de entrada de los registros u “hojas”). Esta situación es bastante improbable a no ser que se tuviera un buffer en la fuente de tamaño enorme. Con el avance de la tecnología la complejidad del sistema síncrono aumenta. Un circuito VLSI consta de cientos de miles de registros a los cuales se debe suministrar la señal de reloj, por lo que es imposible que un único buffer alimente toda la red de reloj.

La alternativa a usar un único buffer es ubicar buffers a lo largo de la red de distribución de reloj. A pesar de que esta solución supone un gasto superior de área física, se consigue que la resistencia de interconexión vista por el buffer de la fuente sea despreciable comparada con su resistencia de salida. Los buffers distribuidos tienen la función de amplificar y regenerar la señal de reloj que se ha ido degradando a lo largo de las líneas de transmisión a causa de las impedancias de interconexión. De este modo se consigue un mayor control y precisión de la forma de onda de la señal de reloj a lo largo de la red. El número de buffers a utilizar depende de la carga total capacitiva y del máximo skew permitido por el sistema como se verá posteriormente. Es importante constatar desde este momento que los buffers, al estar compuestos por elementos activos, suponen una fuente de clock skew mucho más importante que los elementos pasivos (resistencias y capacidades de interconexión).

1.2.2. Topologías

- Árbol binario

Una de las arquitecturas más antiguas, y a la vez más idealistas, para conseguir una red de distribución con clock skew nulo consistía en crear un árbol binario en el que, para igualar el retraso de propagación desde el generador de reloj hasta cada destino, se consideraba que el retraso era proporcional a la longitud total de la línea de transmisión. Mediante un algoritmo recursivo que parte desde las “hojas” y acaba en la “raíz”, se unen dos “hojas” mediante una línea de transmisión. El punto intermedio de esta línea se une con el punto intermedio resultante de la unión de otras dos “hojas”. Repitiendo este proceso hasta alcanzar la “raíz”, se obtiene una estructura con clock skew nulo (idealmente) como la que se muestra en la figura 2.6.

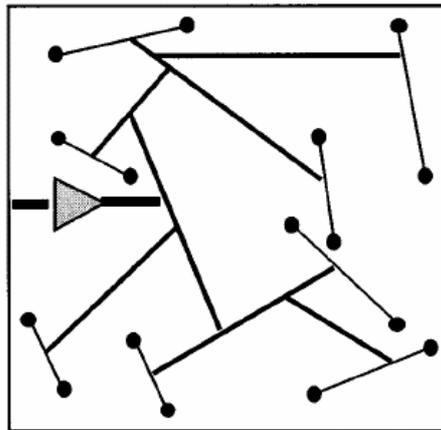


Figura 2.6: Ajuste geométrico para conseguir clock skew nulo.

Existe una variante en la que el retraso de propagación no se asocia con la longitud de la línea, sino con el retraso de Elmore. El retraso a lo largo del path consiste en la suma de los productos de la resistencia y las capacidades de cada “rama” desde la “raíz” hasta la “hoja”. C_k es la capacidad del nodo k y R_{ik} es la resistencia de la porción del único camino existente entre la entrada y el nodo final i , y que es común con el único camino existente entre la entrada y el nodo k .

$$T_{Di} = \sum_k R_{ki} C_k \quad (2.3)$$

Este método de implementación automático presenta serios inconvenientes como que, por ejemplo, ningún buffer pueda ser insertado en un punto intermedio. Existe una probabilidad de que resulten diseños imposibles en los que dos líneas se cruzan. Además, implementar redes donde las líneas no son paralelas supone una gran dificultad tecnológica.

- Árboles en X y en H (X-Tree y H-Tree)

Ésta es una de las estrategias más habituales para distribuir una señal de reloj de manera equipotencial (con clock-skew ideal nulo). Esto se consigue manteniendo la misma distribución de buffers e interconexiones desde el generador de reloj hasta cada punto destino.

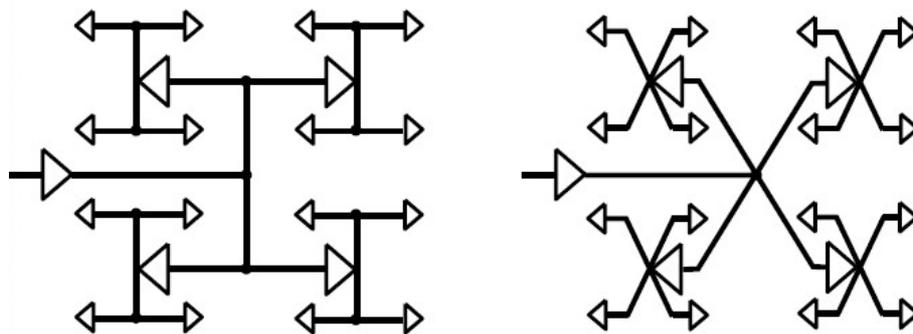


Figura 2.7: Árbol en H y en X.

En esta topología, el buffer del reloj se conecta al centro de la “X” o “H” principal. La señal se transmite hacia las cuatro esquinas de la estructura donde alimenta una nueva “X” o “H”. El proceso se lleva a cabo a lo largo de los diferentes niveles de la estructura hasta alcanzarse las “hojas”. En éstas se encontrarán, o bien un elemento de memoria, o bien un buffer que alimente al siguiente nivel jerárquico de la red de distribución de reloj.

Si la implementación de esta estructura no tiene fallos, el retraso desde la “raíz” hasta cada “hoja” será el mismo y se conseguirá clock skew nulo. La inserción de buffers en los puntos de ramificación, con motivos de regeneración de la señal de reloj, es posible siempre y cuando se haga simétricamente en todos los puntos equivalentes.

La principal causa de aparición de clock skew son las variaciones de los parámetros de las interconexiones y, particularmente, de cualquier buffer distribuido. Por lo tanto, el control de las dimensiones físicas y de los procesos de fabricación de los semiconductores es fundamental para mantener una baja cantidad de clock skew.

Como principal inconveniente de esta estructura podemos destacar la ineficiencia en cuanto al consumo de área física. Ello conlleva a una mayor capacidad de interconexión, un mayor tiempo de propagación (proporcional al factor RC de la línea de interconexión) y un mayor consumo de potencia.

La principal conclusión que se extrae de esta topología es que es adecuada para la parte global de una red de distribución de reloj jerárquica. El motivo es que es capaz de llevar la señal de reloj con un bajo nivel de skew a diferentes puntos simétricos. Sin embargo, no es capaz de hacerlo con la flexibilidad suficiente como para llevar la señal de reloj a una posición concreta (por ejemplo a un registro ubicado en una posición determinada). Si un árbol en H o en X se utiliza en la red de distribución global, a continuación, se pueden aplicar topologías diferentes más ajustadas a los requerimientos de cada sub-bloque (nivel jerárquico inferior).

- Malla

Esta estructura es una variación del árbol. Los nodos internos se interconectan entre sí por medio de conexiones en otros niveles de metalización. De este modo se minimiza la resistencia de interconexión dentro del árbol, ya que las ramas son interconectadas en paralelo. El clock skew también queda reducido.

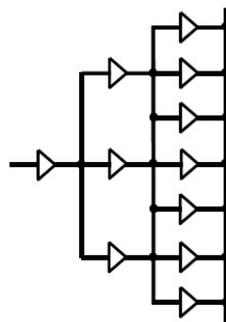


Figura 2.8: Malla.

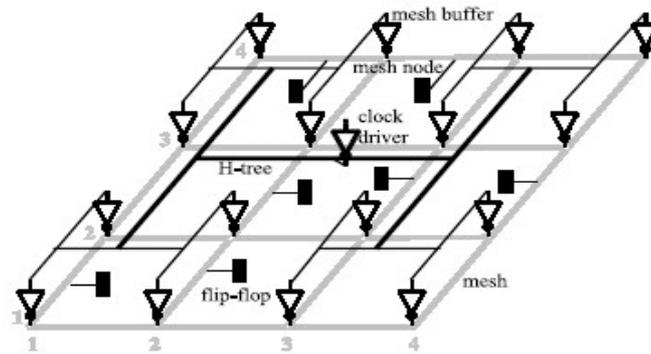


Figura 2.9: Vista tridimensional de una malla.

Esta arquitectura es frecuentemente utilizada en los microprocesadores de alto rendimiento. Debajo de cada árbol en H suele existir un mallado para lograr un clock skew aún menor. Como desventaja se tiene un gasto de más niveles de metalización y un mayor consumo de potencia (mayor capacidad total de la red).

- Rejilla

La rejilla es probablemente la topología más sencilla para implementar una red de distribución de reloj. Se emplea usualmente en la etapa final de una estructura jerárquica. Consiste básicamente en un conjunto de líneas paralelas que se cruzan en ángulos de 90° y que es alimentada por uno o varios buffers. La ventaja más importante es que la distribución hasta cada punto destino es muy sencilla, ya que la estructura llega prácticamente a todos los puntos que la misma cubre.

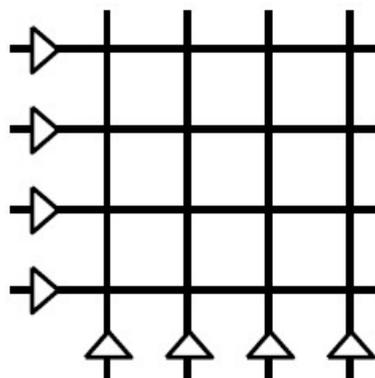


Figura 2.10: Rejilla.

Por otro lado, esta topología presenta algunos inconvenientes. El más importante es que la carga total capacitiva aumenta considerablemente y, por lo tanto, el consumo de potencia. Además, la utilización de área no es eficiente.

1.2.3. Técnicas de compensación

Las técnicas de compensación se utilizan en el diseño de la red de reloj para un circuito VLSI hecho a medida. El diseñador personaliza la red para que se cumplan todos los requisitos específicos de cada parte del sistema síncrono. Son necesarias para minimizar la variación de las impedancias de interconexión y las cargas capacitivas de los diferentes path de reloj. El objetivo, para conseguir un clock skew nulo, es que el retraso de propagación de cada path sea el mismo. En la figura 2.11 se muestra esta situación:

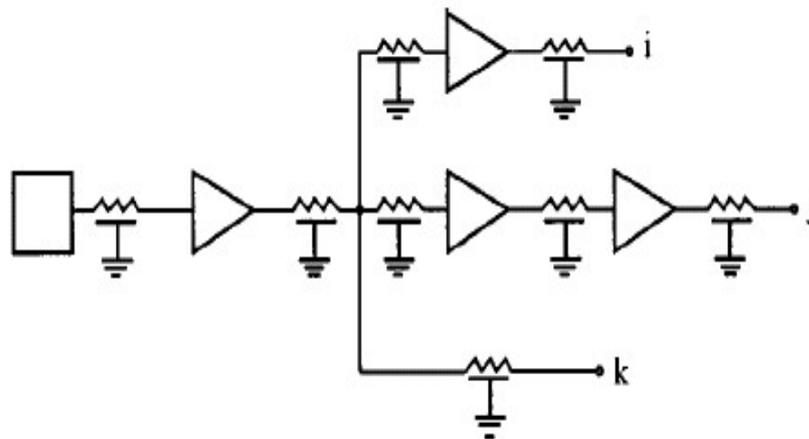


Figura 2.11: Diferentes impedancias de interconexión y cargas capacitivas.

Los nodos i, j y k representan las diferentes cargas capacitivas. Asimismo, las ramas hacia ellos tienen diferente número de buffers. La inserción de un buffer para dividir un path en varios segmentos es necesaria si se quiere que la resistencia de interconexión sea menor que la impedancia de salida del buffer.

Existen dos técnicas principales para compensar y controlar el retraso de propagación de cada path de reloj y minimizar el clock skew entre ellos. Estas técnicas

son aplicables a árboles con buffers. La primera es la inserción controlada de elementos RC pasivos. La segunda es el dimensionado geométrico de los transistores de los buffers. Esta segunda opción es la más sencilla de aplicar dentro de un circuito digital de alto nivel de integración. El motivo es que el control de la inserción de impedancias RC sería muy complicado tecnológicamente hablando.

Las ventajas de usar las técnicas de compensación se pueden resumir en las siguientes. La principal es disminuir y controlar el clock skew. Además, el retraso de propagación de la señal de reloj desde la fuente hasta los registros queda reducido. La partición de una línea RC en varios segmentos reduce el retardo de la misma (disminuye la constante de tiempo RC de la línea). Por otro lado, se consigue aislar el path de reloj de las altas cargas capacitivas que suelen estar ubicadas en los nodos finales de la red.

La desventaja de la introducción de buffers para compensar es que las impedancias y conductancias de los elementos activos que los componen suelen ser muy dependientes de parámetros tales como las variaciones en la fuente de alimentación o de las condiciones ambientales. El retraso de propagación de una señal de reloj a través de un path dominado por elementos activos es más susceptible a sufrir variaciones y, por lo tanto, a la aparición de clock skew. Se necesita una precisa caracterización y control de todos los elementos de un buffer para que la estructura resultante funcione tal como se desea.

1.3.Principales parámetros de una red de distribución de reloj

Existen una serie de parámetros que determinan a una red de distribución de reloj. Éstos son: el retraso de propagación, el clock skew, el jitter y la disipación de potencia. En esta sección son descritos con carácter general. Estos cuatro parámetros son los principales a tener en cuenta a la hora de diseñar la red de distribución de reloj porque imponen las restricciones que la red debe cumplir.

1.3.1. Retraso de propagación

Minimizar el retraso de propagación es uno de objetivos cuando se diseña una red de distribución de reloj. La causa es que el espaciado temporal entre los pulsos de la señal de reloj debe ser mayor que el retraso de propagación, es decir, que un pulso de reloj debe de llegar a cada elemento de memoria antes de que se produzca el siguiente pulso en el generador. Por lo tanto, este parámetro impone una limitación a la máxima frecuencia a la que puede operar el sistema. Por otro lado, la expresión que modela el este retraso de propagación es necesaria, como se verá más adelante, para las determinación de las expresiones del clock skew, el cual es el objeto fundamental de este trabajo.

Un path dentro de una red de distribución de reloj está compuesto por segmentos de líneas de interconexión y por buffers distribuidos. Para calcular el retraso de propagación se utiliza el modelo de dos inversores CMOS. La salida del primero está conectada a la entrada del segundo mediante una línea de transmisión que se modela, en su forma más elemental, como una impedancia RC (figura 2.13).

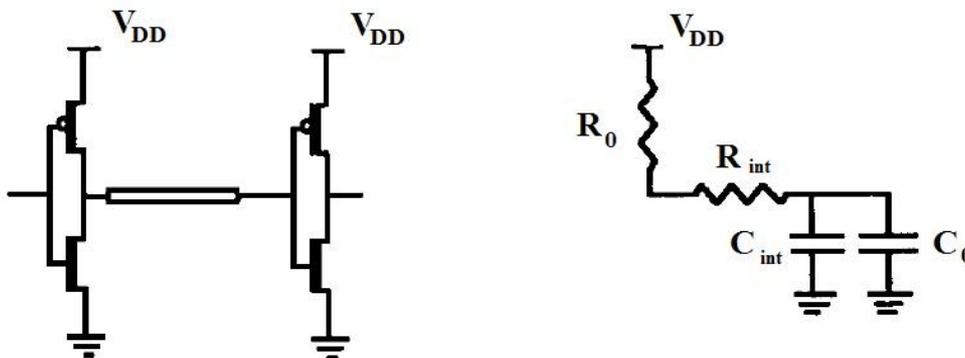


Figura 2.13: Modelo para calcular el retraso de una interconexión.

Existe una fórmula empírica, la fórmula de Sakurai, que demuestra que el tiempo de subida (del 0% al 90%), en una situación como la del modelo de la figura 2.13, puede expresarse del siguiente modo:

$$T_{R/F} = 1.02R_{int}C_{int} + 2.30(R_0C_{int} + R_{int}C_0 + R_0C_0) \quad (2.4)$$

donde R_{int} y C_{int} son la resistencia y la capacidad de la sección de interconexión respectivamente, y R_0 y C_0 son la resistencia de salida del primer buffer y la capacidad de entrada del segundo buffer respectivamente. Estos cuatro parámetros quedan determinados por estas expresiones:

$$\begin{aligned}
 R_0 &= \frac{1}{K \cdot (V_{DD} - V_T)}, & K &= \frac{\mu \cdot C_{ox} \cdot W}{L_{eff}}, & C_{ox} &= \frac{\epsilon_{ox}}{t_{ox}} \\
 C_0 &= C_{ox} \cdot W \cdot L_{eff} \\
 R_{int} &= \frac{\rho}{W_{int} \cdot t_{int}} \cdot L_{int} \\
 C_{int} &= \epsilon_{ILD} \cdot L_{int} \cdot \left[\frac{W_{int}}{T_{ILD}} + 0.77 + 1.06 \cdot \left(\frac{W_{int}}{T_{ILD}} \right)^{0.25} + 1.06 \cdot \left(\frac{t_{int}}{T_{ILD}} \right)^{0.5} \right]
 \end{aligned} \tag{2.5}$$

El significado de cada parámetro es:

- W y L_{eff} : Ancho y longitud efectiva de los transistores.
- C_{ox} : Capacidad de puerta por unidad de área.
- t_{ox} : Espesor del óxido de puerta.
- μ : Movilidad de los portadores de carga.
- V_T : Tensión umbral.
- ρ : Resistividad del metal.
- ϵ_{ox} : Constante relativa dieléctrica del óxido.
- ϵ_{ILD} : Constante relativa dieléctrica del material entre metales.
- W_{int} , L_{int} y t_{int} : Ancho, longitud y espesor de la línea de interconexión.
- T_{ILD} : Espesor del material entre metales.

Generalmente los componentes de C_{int} correspondientes con los efectos de borde (entre corchetes) son despreciados.

Este modelo de Sakurai es una simple aproximación para una interconexión modelada tal como muestra la figura 2.13. Existen modelos muchos más complejos en los que, por ejemplo, se tienen en cuenta los efectos inductivos de la línea de transmisión.

1.3.2. Clock skew

Es uno de los principales parámetros que se han que tener en cuenta a la hora de diseñar una red de distribución de reloj, ya que el clock skew debe permanecer dentro de un límite para la correcta operación de un sistema digital síncrono. Existe una regla de diseño que dice que el valor del clock skew no debe ser mayor que el 10% del periodo de la señal de reloj. El clock skew se define como la diferencia entre los tiempos de llegada de la señal de reloj a dos registros secuencialmente adyacentes. Puede resultar un clock skew negativo o positivo dependiendo cuando llegue la señal a cada registro. En la siguiente figura se muestran estos dos casos:

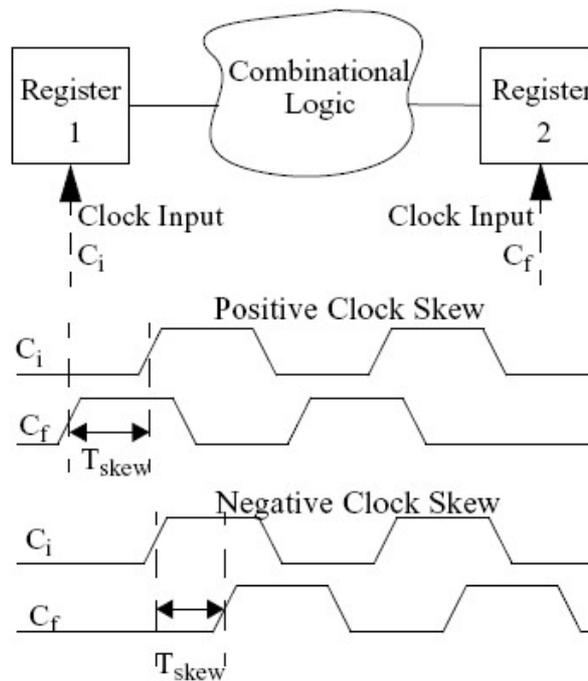


Figura 2.14: Clock skew.

Las redes de distribución de reloj son diseñadas para que el valor del clock skew sea cero. Sin embargo, hay varios factores que pueden causar diferencias en el tiempo de propagación de la señal de reloj desde la fuente hasta cada registro. Estos pueden ser, por ejemplo, imperfecciones geométricas en las líneas de transmisión, variaciones de parámetros ambientales o de los elementos activos, etc. Un completo estudio del clock skew se lleva a cabo en la sección 3.1 del trabajo.

1.3.3. Clock jitter

El jitter es la variación temporal de la señal de reloj. El principal efecto es la desviación de los pulsos de reloj, es decir, que los flancos de subida y bajada no se producen exactamente en el instante deseado. Esto se muestra en la figura 2.15.

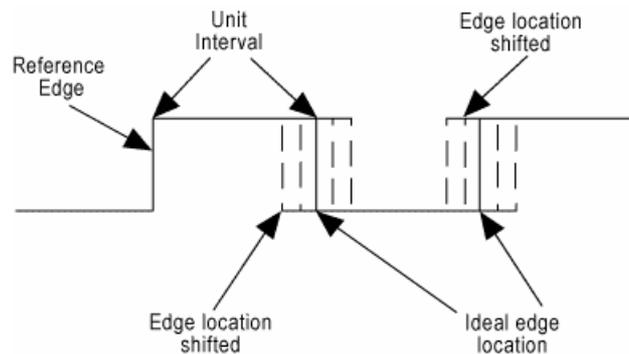


Figura 2.15: Clock jitter.

Un generador de señal de reloj viene siempre determinado con un valor máximo de jitter. Las causas del mismo son:

- Ruido acoplado a través de los circuitos de alimentación y de tierra.
- Ruido acoplado a través de líneas adyacentes.
- Ruido inherente a los transistores de los circuitos.

1.3.4. Disipación de potencia

Es otro parámetro esencial de una red de distribución de reloj. La potencia que ésta consume debe mantenerse dentro de un porcentaje máximo de la potencia total consumida por el sistema digital síncrono. Una red de reloj en los circuitos modernos VLSI tiene que gobernar miles de registros. Estos crean una alta carga capacitiva. Cada transición de la señal de reloj supone cambiar el estado de todos los nodos capacitivos. La mayor carga capacitiva de los circuitos y la demanda de unas frecuencias de reloj cada vez mayores han supuesto que el porcentaje de la potencia total disipada por las redes de reloj supere en algunas aplicaciones el 25%.

De forma general, la potencia total consumida puede expresarse mediante la siguiente expresión en la que hay tres fuentes principales.

$$P_{total} = P_{dyn} + P_{SC} + P_{lkg} \quad (2.6)$$

- P_{dyn} : Es la potencia media disipada dinámicamente durante cada proceso de carga y descarga de los nodos capacitivos de la red (capacidades parásitas de interconexión y capacidades de entrada de los buffers).

$$P_{dyn} = fC_{total}V_{DD}^2 \quad (2.7)$$

- P_{SC} : Es la potencia disipada en cortocircuito. La causa es que en los inversores CMOS hay un pequeño periodo de tiempo en los que ambos transistores conducen simultáneamente. La potencia disipada depende de la corriente de corto circuito I_{SC} , de la pendiente de la señal de reloj, de los parámetros de los transistores y de la tensión de alimentación V_{DD} .

$$P_{SC} = I_{SC}V_{DD} \quad (2.8)$$

- P_{lkg} : Es la potencia que se disipa cuando no hay actividad en el circuito. Se debe a la corriente de fuga de los transistores. Por un lado está la fuga debido al diodo presente en un transistor MOS entre el drenador y el substrato cuando queda polarizado en inversa. Por otro lado está la fuga causada cuando un transistor está polarizado por debajo del nivel umbral pero con la tensión suficiente como para ponerlo en inversión débil.

$$P_{lkg} = I_{lkg}V_{DD} \quad (2.9)$$

En los circuitos VLSI CMOS, el componente primario de disipación de potencia es la potencia dinámica. Existen técnicas para minimizar este componente sin la necesidad de disminuir la frecuencia de operación del sistema.

2. Clock skew

2.1. Definición

Para dos registros secuencialmente adyacentes, como se describió en el apartado 2.1 y la figura 2.1, C_i y C_f son las señales de reloj que gobiernan el data path local. Ambas señales provienen de la misma fuente de señal. El retraso de propagación de las señales de reloj desde el origen hasta R_i y R_f es T_{Ci} y T_{Cf} respectivamente. La red de distribución de reloj es diseñada para que la llegada de estos flancos de reloj suceda exactamente en el mismo instante de tiempo.

La diferencia en la llegada de las señales de reloj a dos registros secuencialmente adyacentes se define como el clock skew T_{skew} . Se puede definir mediante la siguiente expresión: $T_{skew} = T_{Ci} - T_{Cf}$. El clock skew es sólo relevante entre dos registros secuencialmente adyacentes, no teniendo significado para dos registros no secuencialmente adyacentes. La causa es que no tiene efectos sobre el funcionamiento de un sistema digital síncrono desde este punto de vista que estamos estudiando.

Si las señales C_i y C_f están en completo sincronismo, llegando a su destino en el mismo instante, se tiene un clock skew nulo. Sin embargo, existen diferentes causas por las que esto puede no suceder. Se pueden resumir en estas tres:

- Diferencias en las longitudes de las líneas de transmisión desde la fuente hasta cada registro.
- Diferencias en los retrasos de cualquier buffer activo presente en la red de distribución de reloj.
- Diferencias en los parámetros de las interconexiones pasivas.

Si una red está bien diseñada, la variación de los parámetros de los buffers será la principal causa de la aparición de clock skew.

La magnitud y el signo del clock skew tienen dos efectos diferentes sobre las prestaciones de un sistema digital síncrono. Dependiendo de cuando llegue antes la

señal a los registros (signo del clock skew) y de la magnitud del clock skew T_{skew} , con respecto al tiempo de propagación del data path T_{PD} , la fiabilidad y las prestaciones de un sistema pueden ser degradadas o mejoradas. Los dos casos posibles se discuten a continuación.

- Máxima relación Data Path / Clock Skew

Si el instante de llegada de la señal de reloj al registro final T_{Cf} , es anterior al instante de llegada al registro inicial T_{Ci} , el clock skew es positivo ($T_{Ci} > T_{Cf}$). Bajo esta condición, la máxima frecuencia de operación alcanzable disminuye. Un clock skew positivo es la cantidad de tiempo que se debe añadir al mínimo periodo de reloj para que un nuevo flanco de reloj pueda ser generado sin ningún tipo de problema.

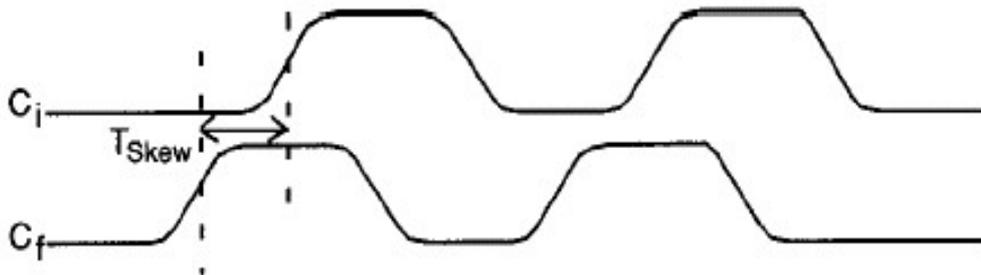


Figura 3.2: Clock skew positivo.

Para un caso concreto, el mayor retraso de propagación T_{PD} (max) de cualquier data path local debe ser menor que el mínimo periodo de reloj T_{CP} (min). No puede generarse un nuevo flanco de reloj hasta que el flanco actual llegue a todos los destinos.

$$T_{skew} \leq T_{CP} - T_{PD}(\max) = T_{CP} - (T_{C-Q} + T_{logic}(\max) + T_{int} + T_{setup}), \text{ donde } T_{Ci} > T_{Cf} \quad (3.1)$$

Esta situación es el típico caso de análisis del data path crítico de un sistema digital síncrono. Si esta restricción no se cumple, el sistema no operará correctamente con este periodo de reloj concreto debiéndose incrementar T_{CP} . En un circuito donde la tolerancia al clock skew es pequeña, la señal de datos y la de reloj deben circular en la misma dirección, obligando en este caso que C_i siempre llegue antes de C_f y forzando que el clock skew sea negativo.

- Mínima relación Data Path / Clock Skew

Si el instante de llegada de la señal de reloj al registro final T_{Cf} , es posterior al instante de llegada al registro inicial T_{Ci} , el clock skew es negativo ($T_{Ci} < T_{Cf}$). Esta situación puede aprovecharse para mejorar las prestaciones del sistema síncrono mediante la reducción de data path crítico. Sin embargo, hay una restricción para evitar las condiciones de carrera.

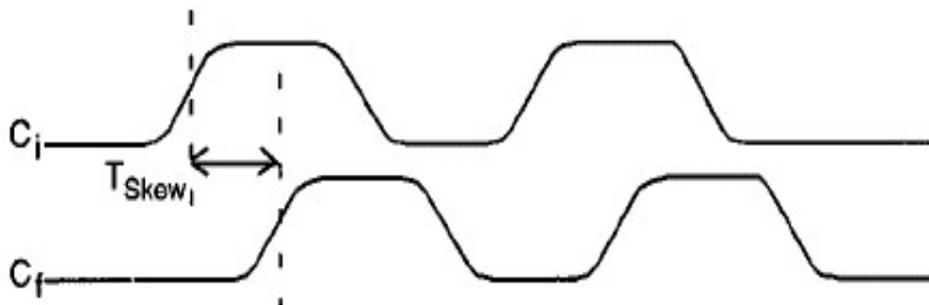


Figura 3.2: clock skew negativo.

Cuando C_f sigue a C_i , el clock skew debe ser menor que el tiempo requerido para que la señal de datos abandone el registro inicial, se propague a través de la lógica combinacional y las interconexiones, y se establezca en la entrada del registro final. Si esta condición no se cumple, el dato que se captura en el registro final se sobrescribe con el escrito en el inicial porque este llega antes de que la señal de reloj (condición de carrera). Los circuitos digitales deben funcionar con un cierto margen de separación de la condición de carrera para no entrar en esta condición con las posibles variaciones en el entorno de trabajo.

$$|T_{skew}| \leq T_{PD}(\min) = T_{C-Q} + T_{logic}(\min) + T_{int} + T_{setup}, \text{ donde } T_{Ci} < T_{Cf} \quad (3.2)$$

donde $T_{PD}(\min)$ es el mínimo retraso de un data path entre dos registros secuencialmente adyacentes.

2.2. Causas del clock skew

El clock skew aparece por las posibles diferencias que pueden existir en los paths de reloj desde el generador de señal de reloj hasta cada registro destino. En redes de distribución de reloj balanceadas el valor nominal del clock skew es cero, puesto que todos los paths son diseñados para ser iguales. Sin embargo, existe la posibilidad de la aparición de clock skew debido a variaciones causadas por las tolerancias de los parámetros del circuito y de los procesos de fabricación. Se pueden clasificar en las siguientes tres categorías:

- Variaciones de los parámetros de los transistores

En los procesos de fabricación de un circuito integrado, todos los parámetros de los transistores son susceptibles a desviaciones en su valor con respecto al nominal. Existen modelos estadísticos para parámetros de un transistor como la tensión umbral (V_T), el espesor del óxido de puerta (t_{ox}), la movilidad de los portadores de carga (μ), el ancho del transistor (W) y la longitud efectiva del canal (L_{eff}).

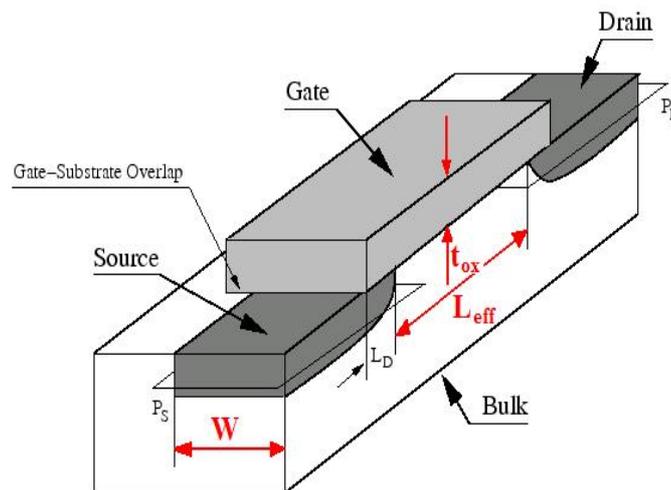


Figura 3.3: Sección vertical de un transistor MOS.

En la tabla 3.1 se muestran los valores típicos de estos parámetros de acuerdo con las diferentes tecnologías que se usarán en las posteriores simulaciones realizadas en este trabajo. En la tabla 3.2 se muestran las desviaciones estándar.

Parámetro	130 nm	100 nm	70 nm	45 nm
V_T	0.19 V	0.15 V	0.06 V	0.0021 V
T_{ox}	3.3 nm	2.5 nm	1.6 nm	1.4 nm
L_{eff}	130 nm	100 nm	70 nm	45 nm
W (min)	130 nm	100 nm	70 nm	45 nm

Tabla 3.1: Valores típicos para las diferentes tecnologías.

Parámetro	Descripción	Desviación estándar
σ_{VT}	Tensión umbral	4.2 %
σ_{μ}	Movilidad de los portadores de carga	2 %
σ_{tox}	Espesor del óxido de puerta	1.3 %
σ_W	Ancho del transistor	5%
σ_{Leff}	Longitud efectiva del canal	5 %

Tabla 3.2: Valores típicos de las desviaciones estándar.

- Variaciones de los parámetros de las interconexiones

Los principales parámetros de interés de una interconexión son: el ancho (W_{int}), el grosor (t_{int}) y el espesor del material dieléctrico entre metales (T_{ILD}). A medida que la tecnología progresa, el número de capas de metalización aumenta, siendo las líneas de interconexión menos uniformes. Esta no uniformidad, que es causada por los procesos de fabricación, puede producir grandes variaciones de los valores de los parámetros de interconexión.

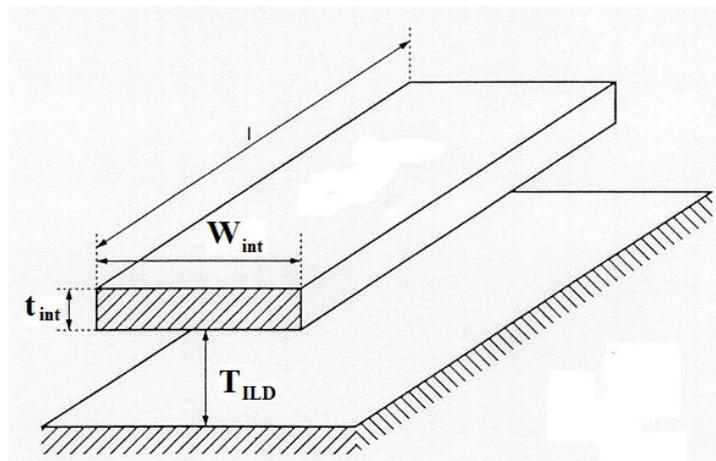


Figura 3.4: Principales parámetros de una sección de interconexión.

En la tabla 3.3 se presentan los valores típicos de estos parámetros de acuerdo con las diferentes tecnologías que se utilizarán en las simulaciones hechas en este trabajo. En la tabla 3.4 se muestran las desviaciones estándar.

Parámetro	130 nm	100 nm	70 nm	45 nm
$W_{int} \text{ (min)}$	335 nm	237 nm	160 nm	103 nm
$t_{int} \text{ (min)}$	670 nm	500 nm	352 nm	235 nm

Tabla 3.3: Valores típicos de los parámetros según cada tecnología.

Parámetro	Descripción	Desviación estándar
$\sigma_{W_{int}}$	Ancho de la interconexión	3 %
$\sigma_{t_{int}}$	Espesor de la interconexión	3 %
σ_{TILD}	Grosor del material dieléctrico	3 %

Tabla 3.4: Valores típicos de la desviación estándar.

- Variaciones de los parámetros del sistema

Además de las variaciones debidas a los procesos de fabricación, existen fluctuaciones a nivel de sistema que pueden provocar clock skew. Estas son: las fluctuaciones en la tensión de alimentación (V_{DD}) y las variaciones de temperatura (T).

En la siguiente tabla 3.5 se presentan los valores típicos de V_{DD} de acuerdo con las diferentes tecnologías que se van a utilizar en las posteriores simulaciones. En la tabla 3.6 se muestra la desviación estándar de V_{DD} y de T .

Parámetro	130 nm	100 nm	70 nm	45 nm
V_{DD}	1.2 V	1 V	0.9 V	0.6 V

Tabla 3.5: Valor típico para las diferentes tecnologías.

Parámetro	Descripción	Desviación estándar
$\sigma_{V_{DD}}$	Tensión de alimentación	3.3 %
σ_T	Temperatura	8 %

Tabla 3.6: Valor típico de la desviación estándar.

2.3. Modelos para el clock skew

El estudio de la temporización dentro de un circuito síncrono VLSI constituye una de las principales áreas de investigación dentro de la electrónica digital. Existen modelos que simplifican un circuito CMOS y que nos dan expresiones para el cálculo del retardo de propagación a través de un path de acuerdo con las variaciones de los parámetros del circuito. Estos modelos se pueden aplicar a una red de distribución de reloj para intentar obtener una expresión que nos estime el clock skew en presencia de variaciones de los parámetros del circuito.

En primer lugar, se presenta un modelo estadístico para la estimación del clock skew en una red de distribución de reloj genérica. Este modelo nos da una cota superior y una varianza del clock skew. En segundo lugar, se describe un modelo específico para una red de reloj con estructura de árbol H, donde no se introducen buffers en los nodos intermedios y se diseñan los anchos de las líneas de transmisión para evitar reflexiones en estos puntos de ramificación. El primer modelo es demasiado conservativo, ya que lo que nos proporciona es un límite superior, una cota del clock skew. El motivo es que no se tiene en cuenta en los cálculos la correlación existente entre las partes comunes que coinciden en dos paths de reloj diferentes. Se presenta un tercer modelo donde esta correlación es tomada en cuenta, obteniéndose unos resultados, teóricamente hablando, más próximos a la realidad.

2.3.1. MODELO 1: Modelo estadístico para la estimación de una cota superior del clock skew

Este modelo se describe en profundidad el apéndice 1 del documento principal.

Este modelo, creado por Kugelmass y Steiglitz, nos da una expresión probabilística para la acumulación de clock skew en una red de distribución de reloj. El resultado que ofrece es una cota superior del valor del clock skew esperado (y su varianza) en una red con topología simétrica en árbol H con N puntos terminales u “hojas”. La estructura en la que se aplica este modelo se muestra en la figura 3.5.

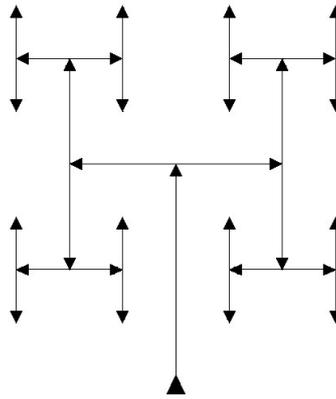


Figura 3.5: Estructura del árbol en H en la que se aplica el modelo 1.

Cada path está compuesto por diferentes elementos que introducen retraso: buffers y líneas de interconexión. Se puede asociar una variable aleatoria a cada elemento que nos de su contribución al retraso del path. El retraso total de propagación desde la fuente de señal de reloj hasta cada nodo final es la suma de todas las variables aleatorias que conforman el path. Por el Teorema Central del Límite, la suma converge a una distribución normal.

De acuerdo con los autores, se puede definir una variable aleatoria que caracterice el clock skew. Ésta es R y representa la diferencia entre el máximo tiempo esperado de llegada del reloj a cualquier nodo terminal, A_{max} , y el mínimo tiempo, A_{min} , ($R = A_{max} - A_{min}$). La variable aleatoria A es dependiente del árbol de reloj porque es la suma de variables aleatorias que tienen partes superpuestas (no son independientes). Sin embargo, gracias a un teorema que se muestra en el Apéndice 1 del trabajo, el valor esperado medio de R es más pequeño que el mismo caso en el que A es la suma de variables aleatorias independientes.

Por otro lado, una vez supuesta la composición de A por variables independientes, otro teorema demuestra que si A está compuesta de N variables aleatorias idénticamente distribuidas (el caso de un árbol H donde todas las ramas son iguales), entonces el valor esperado de R tiende asintóticamente a:

$$E[R] = \sigma \left[\frac{4 \ln N - \ln \ln N - \ln 4\pi + 2C}{(2 \ln N)^{1/2}} + O\left(\frac{1}{\log N}\right) \right] \quad (3.3)$$

donde $C \approx 0.5772$ es la constante de Euler y σ la desviación estándar del retraso de propagación del path. La varianza de R es dada por:

$$Var[R] = \frac{\sigma^2}{\ln N} \frac{\pi^2}{6} + O\left[\frac{1}{\log^2 N}\right] \quad (3.4)$$

Para aplicar esta ecuación, es necesario conocer el valor de la desviación estándar del retraso de propagación del path σ . Hay dos componentes independientes de acuerdo con las suposiciones del modelo.

$$\sigma = \sqrt{\sigma_b^2 \log_2^2 N + \sigma_w^2 \left(2(\sqrt{N} - 1)\right)^2} \quad (3.5)$$

donde σ_b es la desviación estándar del retardo introducido por el buffer y σ_w es la desviación estándar del retraso de propagación de la línea de transmisión de la última rama del árbol (nivel inferior del árbol).

Por lo tanto, para calcular $E[R]$ es necesario determinar la varianza del retardo a través de un buffer σ_b^2 y a través de la última rama del árbol σ_w^2 . Usando el modelo de Sakurai, introducido en la sección 2.3.1 de la memoria, y las fuentes de clock skew consideradas por los autores (V_T , t_{ox} , L_{eff} , V_{DD} , T_{ILD} , W_{int} , t_{int}), el valor de σ_b^2 y σ_w^2 es calculado, en términos de las varianzas de las variables independientes que los componen, mediante las siguientes ecuaciones:

$$\sigma_b^2 = \left(\frac{\partial T_{Delay}}{\partial V_T}\right)^2 \sigma_{V_T}^2 + \left(\frac{\partial T_{Delay}}{\partial t_{ox}}\right)^2 \sigma_{t_{ox}}^2 + \left(\frac{\partial T_{Delay}}{\partial L_{eff}}\right)^2 \sigma_{L_{eff}}^2 + \left(\frac{\partial T_{Delay}}{\partial V_{DD}}\right)^2 \sigma_{V_{DD}}^2 \quad (3.6)$$

$$\sigma_w^2 = \left(\frac{\partial T_{Delay}}{\partial T_{ILD}}\right)^2 \sigma_{T_{ILD}}^2 + \left(\frac{\partial T_{Delay}}{\partial W_{int}}\right)^2 \sigma_{W_{int}}^2 + \left(\frac{\partial T_{Delay}}{\partial t_{int}}\right)^2 \sigma_{t_{int}}^2 \quad (3.7)$$

donde:

$$\begin{aligned}
 \frac{\partial T_{Delay}}{\partial V_T} &= \frac{\partial T_{Delay}}{\partial R_0} \frac{\partial R_0}{\partial V_T} = 2.30(C_0 + C_{int}) \frac{R_0}{V_{DD} - V_T} \\
 \frac{\partial T_{Delay}}{\partial t_{ox}} &= \frac{\partial T_{Delay}}{\partial R_0} \frac{\partial R_0}{\partial t_{ox}} + \frac{\partial T_{Delay}}{\partial C_0} \frac{\partial C_0}{\partial t_{ox}} = 2.30(C_0 + C_{int}) \frac{R_0}{t_{ox}} + 2.30(R_0 + R_{int}) \frac{C_0}{t_{ox}} \\
 \frac{\partial T_{Delay}}{\partial L_{eff}} &= \frac{\partial T_{Delay}}{\partial R_0} \frac{\partial R_0}{\partial L_{eff}} + \frac{\partial T_{Delay}}{\partial C_0} \frac{\partial C_0}{\partial L_{eff}} = 2.30(C_0 + C_{int}) \frac{R_0}{L_{eff}} + 2.30(R_0 + R_{int}) \frac{C_0}{L_{eff}} \\
 \frac{\partial T_{Delay}}{\partial V_{DD}} &= \frac{\partial T_{Delay}}{\partial R_0} \frac{\partial R_0}{\partial V_{DD}} = 2.30(C_0 + C_{int}) \frac{R_0}{V_{DD} - V_T} \\
 \frac{\partial T_{Delay}}{\partial T_{ILD}} &= \frac{\partial T_{Delay}}{\partial C_{int}} \frac{\partial C_{int}}{\partial T_{ILD}} = (1.02R_{int} + 2.30R_0) \frac{C_{int}}{T_{ILD}} \\
 \frac{\partial T_{Delay}}{\partial W_{int}} &= \frac{\partial T_{Delay}}{\partial R_{int}} \frac{\partial R_{int}}{\partial W_{int}} + \frac{\partial T_{Delay}}{\partial C_{int}} \frac{\partial C_{int}}{\partial W_{int}} = (1.02C_{int} + 2.30C_0) \frac{R_{int}}{W_{int}} + (1.02R_{int} + 2.30R_0) \frac{C_{int}}{W_{int}} \\
 \frac{\partial T_{Delay}}{\partial t_{int}} &= \frac{\partial T_{Delay}}{\partial R_{int}} \frac{\partial R_{int}}{\partial t_{int}} = (1.02C_{int} + 2.30C_0) \frac{R_{int}}{t_{int}}
 \end{aligned} \tag{3.8}$$

2.3.2. MODELO 2: Modelo estadístico para un árbol en H con ensanchado de líneas

Este modelo se describe en profundidad el apéndice 2 del documento principal.

Zarkesh-Ha, Mule' y Meindl crearon un modelo compacto que nos da una estimación de primer orden del clock skew en un árbol en H con ensanchado de líneas. Este tipo de estructuras (figura 3.6) no presenta buffers intermedios en los puntos de ramificación, por lo que las líneas deben ser dimensionadas para evitar reflexiones en estos puntos.

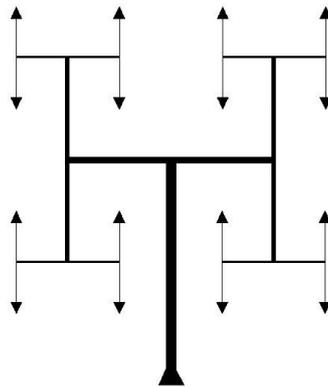


Figura 3.6: Estructura del árbol en el que se aplica el modelo 2.

Los autores proponen simplificar el árbol en H por medio del siguiente circuito equivalente mostrado en la figura 3.7.

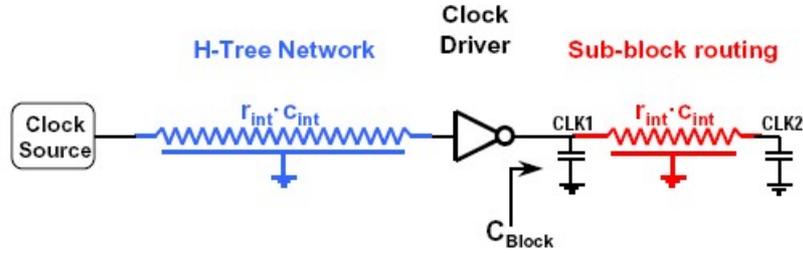


Figura 3.7: Circuito equivalente de un árbol en H.

Usando el circuito equivalente, el retraso de propagación desde la fuente de reloj hasta el buffer ubicado en una “hoja” se puede dividir en dos partes:

- Retraso por la interconexión desde la fuente hasta el buffer: Si la red entera es alimentada con un único buffer, la expresión para una línea RC, utilizando el modelo de Sakurai con un 50 % de tiempo de subida (opción escogida por los autores), es:

$$T_{H-tree} = 0.4 \cdot \left(\frac{\rho \cdot \epsilon_r}{t_{int} \cdot T_{ILD}} \right) \cdot D^2 \cdot \left(1 - \frac{1}{2^{n/2}} \right)^2 + \frac{\sqrt{\epsilon_r}}{c_0} \cdot D \cdot \left(1 - \frac{1}{2^{n/2}} \right) \quad (3.9)$$

donde ϵ_r es la constante dieléctrica relativa del material entre metales, ρ la resistividad de la línea, c_0 la velocidad de la luz en el vacío, D el tamaño del dado (tamaño del árbol) y n el número de niveles del árbol en H.

- Retraso introducido por el buffer en el nodo final: Aplicando la misma expresión de Sakurai con un tiempo de subida del 50%, la expresión de este retraso es:

$$T_{driver} = 0.7 \cdot \left(\frac{L_{eff} / W}{\mu \cdot C_{ox} \cdot (V_{DD} - V_T)} \right) \cdot C_L \quad (3.10)$$

donde C_L es la carga capacitiva del sub-bloque ubicado en el nodo final.

Por lo tanto, el retraso total de la red de distribución de reloj entera es la suma de estos dos componentes: $T_{Delay} = T_{H-tree} + T_{Driver}$. El modelo proporciona una estimación de primer orden, ya que se utiliza la primera derivada parcial en todos los cálculos.

$$T_{CSK}(x) = \Delta T_{Delay} \approx \left| \frac{\partial T_{Delay}}{\partial x} \right| \Delta x \quad (3.11)$$

donde x es cualquiera de las variaciones de los parámetros del sistema considerados por los autores, los cuales lo son: ΔV_T , Δt_{ox} , ΔL_{eff} , ΔH_{int} , ΔT_{ILD} , ΔV_{DD} , ΔT y ΔC_L . La tabla 3.7 muestra las ecuaciones concretas para cada componente que introduce clock skew.

Parámetro	Componente de clock skew
Tensión umbral	$T_{CSK}(V_T) = 0.7 \cdot R_0 \cdot C_L \cdot \left(\frac{V_T}{V_{DD} - V_T} \right) \cdot \frac{\Delta V_T}{V_T}$
Espesor del óxido de puerta	$T_{CSK}(t_{ox}) = 0.7 \cdot R_0 \cdot C_L \cdot \frac{\Delta t_{ox}}{t_{ox}}$
Longitud efectiva del canal	$T_{CSK}(L_{eff}) = 0.7 \cdot R_0 \cdot C_L \cdot \frac{\Delta L_{eff}}{L_{eff}}$
Ancho de línea	$T_{CSK}(t_{int}) = 0.4 \cdot (r_{int} \cdot c_{int}) \cdot D^2 \cdot \left(1 - \frac{1}{2^{n/2}} \right)^2 \cdot \frac{\Delta t_{int}}{t_{int}}$
Grosor del material entre metales	$T_{CSK}(T_{ILD}) = 0.4 \cdot (r_{int} \cdot c_{int}) \cdot D^2 \cdot \left(1 - \frac{1}{2^{n/2}} \right)^2 \cdot \frac{\Delta T_{ILD}}{T_{ILD}}$
Tensión de alimentación	$T_{CSK}(V_{DD}) = 0.7 \cdot R_0 \cdot C_L \cdot \left(\frac{V_{DD}}{V_{DD} - V_T} \right) \cdot \frac{\Delta V_{DD}}{V_{DD}}$
Capacidad del Sub-bloque	$T_{CSK}(C_L) = 0.7 \cdot R_0 \cdot C_L \cdot \frac{\Delta C_L}{C_L}$
Temperatura	$T_{CSK}(T) = 0.7 \cdot R_0 \cdot C_L \cdot \left(\frac{E_g / q + V_T}{V_{DD} - V_T} \right) \cdot \frac{\Delta T}{T}$

Tabla 3.7: Componentes del clock skew.

Cabe destacar que las ecuaciones del modelo pueden ser fácilmente modificadas para que sean más similares a las de los otros dos modelos, donde las expresiones de Sakurai se utilizan con un 90% de de subida. Para realizar esta adaptación sólo hay que cambiar los coeficientes de T_{H-tree} y T_{Driver} .

- $T_{H-tree} : 0.4 \rightarrow 1.02 \Rightarrow T_{H-tree} = 1.02 \cdot (r_{int} c_{int}) \cdot l^2 + \frac{\sqrt{\epsilon_r}}{c_0} \cdot l$
- $T_{driver} : 0.7 \rightarrow 2.3 \Rightarrow T_{driver} = 2.3 \cdot R_0 \cdot C_L$

2.3.3. MODELO 3: Modelo estadístico para el clock skew considerando las correlaciones entre paths

Este modelo se describe en profundidad el apéndice 3 del documento principal.

Jiang y Horiguchi proponen un nuevo modelo para estimar el valor medio y la varianza del clock skew para redes de distribución de reloj genéricas. La novedad que introducen es la posibilidad de calcular el clock skew para una red que no sea simétrica y, sobre todo, la inclusión en los cálculos de la correlación existente entre paths debido a las ramas que comparten. Esta última característica permite unos cálculos más realistas, no como el modelo 1, el cual nos daba una cota superior del clock skew.

Cuando los paths de reloj tienen algunas ramas en común, como es el caso de un árbol H, estas ramas provocan correlación entre los retrasos de propagación. Sólo las partes superpuestas de dos paths de reloj tienen correlación entre ellas.

Si ξ es máximo valor del retraso de propagación y η el valor mínimo, entonces el valor medio y la varianza del clock skew (χ) queda determinado por:

$$E(\chi) = E(\xi) - E(\eta) \quad (3.12)$$

$$D(\chi) = D(\xi) + D(\eta) - 2\rho\sqrt{D(\xi) \cdot D(\eta)} \quad (3.13)$$

$E(\cdot)$ y $D(\cdot)$ representan el valor medio y la varianza de una variable aleatoria respectivamente, y ρ el coeficiente de correlación entre ξ y η . Según el método propuesto por los autores, $E(\xi)$, $E(\eta)$, $D(\xi)$, $D(\eta)$ y ρ se obtienen mediante un algoritmo recursivo (expuesto en el Apéndice 2 del trabajo). Esto es aplicable a cualquier

topología de red. Basándonos en el algoritmo se pueden obtener también las expresiones que nos determinen el clock skew en un árbol en H.

- Cálculo del clock skew en un árbol en H

El árbol en H sobre el que se aplicará el modelo consta de buffers intermedios en cada punto de ramificación. Consta de n niveles jerárquicos (n denota la profundidad del árbol). La rama de nivel 0 corresponde con la “raíz” y las ramas de nivel n son las que contienen las “hojas”. La rama nivel i parte del nodo i y termina en el nodo $i+1$. La figura 3.8 muestra la estructura del árbol requerida (se muestra un árbol de 4 niveles que alimenta a 16 puntos terminales).

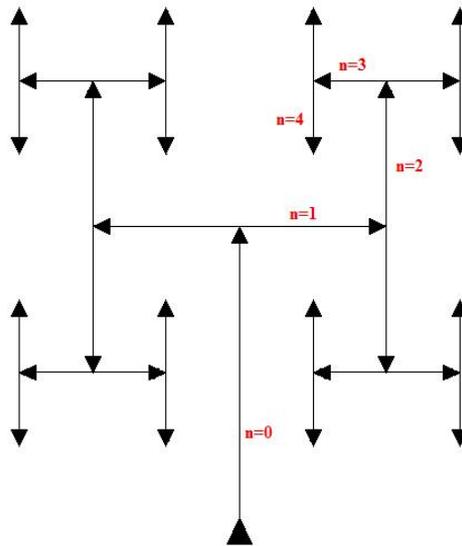


Figura 3.8: Árbol en H para 16 puntos terminales.

Para un árbol en H con n niveles, denominamos d_i , $i=0, \dots, n$, como el retraso de propagación de la rama i . El clock skew $E(\chi)$ y su varianza $D(\chi)$ quedan determinados por las siguientes expresiones:

$$E(\chi) = \frac{2}{\sqrt{\pi}} \sum_{i=1}^n \sqrt{\sum_{k=1}^i \left(\frac{\pi-1}{\pi}\right)^{k-1}} \cdot D(d_{n-i+k}) \quad (3.14)$$

$$D(\chi) = 2 \cdot (1-\rho) \cdot \sum_{i=0}^n \left(\frac{\pi-1}{\pi}\right)^i \cdot D(d_i) \quad (3.15)$$

- Cálculo del clock skew en función de sus componentes

El retraso de cualquier rama ha de ser calculado usando el modelo de Sakurai para un tiempo de subida del 90%, tal como se describe en la sección 2.3.1.

Para calcular la varianza del retraso de propagación de una rama debido a la variación de los parámetros del árbol, se expresa la relación entre los parámetros en términos de variables independientes. Los autores de este modelo consideran que las variables del circuito que influyen sobre el clock skew son las siguientes: V_T , μ , t_{ox} , L_{eff} , W , T_{ILD} , W_{int} , t_{int} . En este caso, la varianza del retraso de propagación de una rama es el siguiente:

$$\begin{aligned} \sigma_{T_{Delay}}^2 = & \left(\frac{\partial T_{Delay}}{\partial V_T} \right)^2 \sigma_{V_T}^2 + \left(\frac{\partial T_{Delay}}{\partial \mu} \right)^2 \sigma_{\mu}^2 + \left(\frac{\partial T_{Delay}}{\partial t_{ox}} \right)^2 \sigma_{t_{ox}}^2 + \left(\frac{\partial T_{Delay}}{\partial L_{eff}} \right)^2 \sigma_{L_{eff}}^2 + \left(\frac{\partial T_{Delay}}{\partial W} \right)^2 \sigma_W^2 \\ & + \left(\frac{\partial T_{Delay}}{\partial T_{ILD}} \right)^2 \sigma_{T_{ILD}}^2 + \left(\frac{\partial T_{Delay}}{\partial W_{int}} \right)^2 \sigma_{W_{int}}^2 + \left(\frac{\partial T_{Delay}}{\partial t_{int}} \right)^2 \sigma_{t_{int}}^2 \end{aligned} \quad (3.16)$$

donde:

$$\begin{aligned} \frac{\partial T_{Delay}}{\partial V_T} &= \frac{\partial T_{Delay}}{\partial R_0} \frac{\partial R_0}{\partial V_T} = 2.30 (C_0 + C_{int}) \frac{R_0}{V_{DD} - V_T} \\ \frac{\partial T_{Delay}}{\partial V_T} &= \frac{\partial T_{Delay}}{\partial R_0} \frac{\partial R_0}{\partial \mu} = 2.30 (C_0 + C_{int}) \frac{R_0}{\mu} \\ \frac{\partial T_{Delay}}{\partial t_{ox}} &= \frac{\partial T_{Delay}}{\partial R_0} \frac{\partial R_0}{\partial t_{ox}} + \frac{\partial T_{Delay}}{\partial C_0} \frac{\partial C_0}{\partial t_{ox}} = 2.30 (C_0 + C_{int}) \frac{R_0}{t_{ox}} + 2.30 (R_0 + R_{int}) \frac{C_0}{t_{ox}} \\ \frac{\partial T_{Delay}}{\partial L_{eff}} &= \frac{\partial T_{Delay}}{\partial R_0} \frac{\partial R_0}{\partial L_{eff}} + \frac{\partial T_{Delay}}{\partial C_0} \frac{\partial C_0}{\partial L_{eff}} = 2.30 (C_0 + C_{int}) \frac{R_0}{L_{eff}} + 2.30 (R_0 + R_{int}) \frac{C_0}{L_{eff}} \\ \frac{\partial T_{Delay}}{\partial W} &= \frac{\partial T_{Delay}}{\partial R_0} \frac{\partial R_0}{\partial W} + \frac{\partial T_{Delay}}{\partial C_0} \frac{\partial C_0}{\partial W} = 2.30 (C_0 + C_{int}) \frac{R_0}{W} + 2.30 (R_0 + R_{int}) \frac{C_0}{W} \\ \frac{\partial T_{Delay}}{\partial T_{ILD}} &= \frac{\partial T_{Delay}}{\partial C_{int}} \frac{\partial C_{int}}{\partial T_{ILD}} = (1.02 R_{int} + 2.30 R_0) \frac{C_{int}}{T_{ILD}} \\ \frac{\partial T_{Delay}}{\partial W_{int}} &= \frac{\partial T_{Delay}}{\partial R_{int}} \frac{\partial R_{int}}{\partial W_{int}} + \frac{\partial T_{Delay}}{\partial C_{int}} \frac{\partial C_{int}}{\partial W_{int}} = (1.02 C_{int} + 2.30 C_0) \frac{R_{int}}{W_{int}} + (1.02 R_{int} + 2.30 R_0) \frac{C_{int}}{W_{int}} \\ \frac{\partial T_{Delay}}{\partial t_{int}} &= \frac{\partial T_{Delay}}{\partial R_{int}} \frac{\partial R_{int}}{\partial t_{int}} = (1.02 C_{int} + 2.30 C_0) \frac{R_{int}}{t_{int}} \end{aligned} \quad (3.17)$$

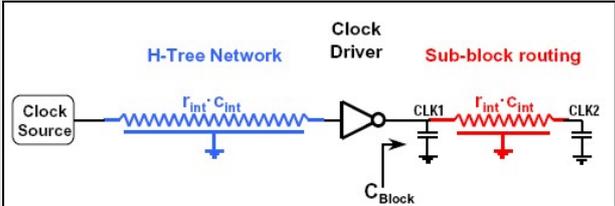
2.3.4. Resumen de los modelos

- Parámetros de los modelos

Modelo	Parámetro
1	<ul style="list-style-type: none"> • Resistencia de interconexión: R_{int} • Capacidad de interconexión: C_{int} • Resistencia de salida del buffer: R_0 • Capacidad de entrada del buffer: C_0 • Número de nodos finales: N • Longitud de la última rama: L_{int} • Tensión umbral: V_T • Tensión de alimentación: V_{DD}
	<p>Desviación de los parámetros en %</p> <ul style="list-style-type: none"> • Tensión umbral: σ_{VT} • Tensión de alimentación: σ_{VDD} • Espesor del óxido de puerta: σ_{tox} • Longitud efectiva del canal: σ_{Leff} • Espesor del material entre metales: σ_{TILD} • Ancho de las líneas: σ_{wint} • Espesor de las líneas: σ_{iint}
2	<p>Parámetros del proceso de fabricación:</p> <ul style="list-style-type: none"> • Parámetro de interconexión: $r_{int}C_{int}$ • Tensión umbral: V_T • Tensión de alimentación: V_{DD} • Banda de energía de los transistores: E_g <p>Parámetros de diseño:</p> <ul style="list-style-type: none"> • Resistencia de salida del buffer: R_0 • Tamaño del dado: D • N° de niveles del árbol: n • Carga capacitiva de los sub-bloques: C_L
	<p>Desviación de los parámetros en %:</p> <ul style="list-style-type: none"> • Tensión umbral: σ_{VT} • Espesor del óxido de puerta: σ_{tox} • Longitud efectiva del canal: σ_{Leff} • Espesor de las líneas: σ_{iint} • Espesor del material entre metales: σ_{TILD} • Tensión de alimentación: σ_{VDD} • Carga capacitiva de los sub-bloques: σ_{CL} • Temperatura: $\sigma_{\mathcal{T}}$
3	<ul style="list-style-type: none"> • Resistencia de interconexión: R_{int} • Capacidad de interconexión: C_{int} • Resistencia de salida del buffer: R_0 • Capacidad de entrada del buffer: C_0 • N° de niveles del árbol: n • Longitud de la última rama: L_{int} • Tensión umbral: V_T • Tensión de alimentación: V_{DD}
	<p>Desviación de los parámetros en %</p> <ul style="list-style-type: none"> • Tensión umbral: σ_{VT} • Movilidad de los portadores de carga: σ_{μ} • Espesor del óxido de puerta: σ_{tox} • Ancho del transistor: σ_W • Longitud efectiva del canal: σ_{Leff} • Ancho de las líneas: σ_{wint} • Espesor de las líneas: σ_{iint} • Espesor del material entre metales: σ_{TILD}

- Ecuaciones de cada modelo

Modelo	Ecuaciones
1	<p>Valor medio del clock skew</p> $E[Skew] = \left(\sigma_b \log_2 N + \sigma_w 2(\sqrt{N} - 1) \right) \left[\frac{4 \ln N - \ln \ln N - \ln 4\pi + 2C}{(2 \ln N)^{1/2}} + O\left(\frac{1}{\ln N}\right) \right]$ <p>Cálculo de los parámetros utilizando el modelo de Sakurai (tiempo de subida de 90%)</p> $T_{Delay} = 1.02R_{int}C_{int} + 2.30(R_0C_0 + R_0C_{int} + R_{int}C_0)$ $\sigma_b^2 = \left(\frac{\partial T_{Delay}}{\partial V_T} \right)^2 \sigma_{V_T}^2 + \left(\frac{\partial T_{Delay}}{\partial t_{ox}} \right)^2 \sigma_{t_{ox}}^2 + \left(\frac{\partial T_{Delay}}{\partial L_{eff}} \right)^2 \sigma_{L_{eff}}^2 + \left(\frac{\partial T_{Delay}}{\partial V_{DD}} \right)^2 \sigma_{V_{DD}}^2$ $\sigma_w^2 = \left(\frac{\partial T_{Delay}}{\partial T_{ILD}} \right)^2 \sigma_{T_{ILD}}^2 + \left(\frac{\partial T_{Delay}}{\partial W_{int}} \right)^2 \sigma_{W_{int}}^2 + \left(\frac{\partial T_{Delay}}{\partial t_{int}} \right)^2 \sigma_{t_{int}}^2$ $\frac{\partial T_{Delay}}{\partial V_T} = \frac{\partial T_{Delay}}{\partial R_0} \frac{\partial R_0}{\partial V_T} = 2.30(C_0 + C_{int}) \frac{R_0}{V_{DD} - V_T}$ $\frac{\partial T_{Delay}}{\partial t_{ox}} = \frac{\partial T_{Delay}}{\partial R_0} \frac{\partial R_0}{\partial t_{ox}} + \frac{\partial T_{Delay}}{\partial C_0} \frac{\partial C_0}{\partial t_{ox}} = 2.30(C_0 + C_{int}) \frac{R_0}{t_{ox}} + 2.30(R_0 + R_{int}) \frac{C_0}{t_{ox}}$ $\frac{\partial T_{Delay}}{\partial L_{eff}} = \frac{\partial T_{Delay}}{\partial R_0} \frac{\partial R_0}{\partial L_{eff}} + \frac{\partial T_{Delay}}{\partial C_0} \frac{\partial C_0}{\partial L_{eff}} = 2.30(C_0 + C_{int}) \frac{R_0}{L_{eff}} + 2.30(R_0 + R_{int}) \frac{C_0}{L_{eff}}$ $\frac{\partial T_{Delay}}{\partial V_{DD}} = \frac{\partial T_{Delay}}{\partial R_0} \frac{\partial R_0}{\partial V_{DD}} = 2.30(C_0 + C_{int}) \frac{R_0}{V_{DD} - V_T}$ $\frac{\partial T_{Delay}}{\partial T_{ILD}} = \frac{\partial T_{Delay}}{\partial C_{int}} \frac{\partial C_{int}}{\partial T_{ILD}} = (1.02R_{int} + 2.30R_0) \frac{C_{int}}{T_{ILD}}$ $\frac{\partial T_{Delay}}{\partial W_{int}} = \frac{\partial T_{Delay}}{\partial R_{int}} \frac{\partial R_{int}}{\partial W_{int}} + \frac{\partial T_{Delay}}{\partial C_{int}} \frac{\partial C_{int}}{\partial W_{int}} = (1.02C_{int} + 2.30C_0) \frac{R_{int}}{W_{int}} + (1.02R_{int} + 2.30R_0) \frac{C_{int}}{W_{int}}$ $\frac{\partial T_{Delay}}{\partial t_{int}} = \frac{\partial T_{Delay}}{\partial R_{int}} \frac{\partial R_{int}}{\partial t_{int}} = (1.02C_{int} + 2.30C_0) \frac{R_{int}}{t_{int}}$

Modelo	Ecuaciones																		
2	$T_{CSK} = \Delta T_{Delay} = \sum T_{CSK}(x) \approx \sum \left \frac{\partial T_{Delay}}{\partial x} \right \Delta x$ $T_{Delay} = T_{H-tree} + T_{Driver}$  <p>Cálculo de los parámetros utilizando el modelo de Sakurai (tiempo de subida de 50%):</p> $T_{H-tree} = 0.4 \cdot \left(\frac{\rho \cdot \epsilon_r}{t_{int} \cdot T_{ILD}} \right) \cdot D^2 \cdot \left(1 - \frac{1}{2^{n/2}} \right)^2 + \frac{\sqrt{\epsilon_r}}{c_0} \cdot D \cdot \left(1 - \frac{1}{2^{n/2}} \right)$ $T_{driver} = 0.7 \cdot \left(\frac{L_{eff} / W}{\mu \cdot C_{ox} \cdot (V_{DD} - V_T)} \right) \cdot C_L$ <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left;">Parámetro</th> <th style="text-align: left;">Componente de clock skew</th> </tr> </thead> <tbody> <tr> <td>Tensión umbral</td> <td>$T_{CSK}(V_T) = 0.7 \cdot R_0 \cdot C_L \cdot \left(\frac{V_T}{V_{DD} - V_T} \right) \cdot \frac{\Delta V_T}{V_T}$</td> </tr> <tr> <td>Espesor del óxido de puerta</td> <td>$T_{CSK}(t_{ox}) = 0.7 \cdot R_0 \cdot C_L \cdot \frac{\Delta t_{ox}}{t_{ox}}$</td> </tr> <tr> <td>Longitud efectiva del canal</td> <td>$T_{CSK}(L_{eff}) = 0.7 \cdot R_0 \cdot C_L \cdot \frac{\Delta L_{eff}}{L_{eff}}$</td> </tr> <tr> <td>Ancho de línea</td> <td>$T_{CSK}(t_{int}) = 0.4 \cdot (r_{int} \cdot c_{int}) \cdot D^2 \cdot \left(1 - \frac{1}{2^{n/2}} \right)^2 \cdot \frac{\Delta t_{int}}{t_{int}}$</td> </tr> <tr> <td>Grosor del material entre metales</td> <td>$T_{CSK}(T_{ILD}) = 0.4 \cdot (r_{int} \cdot c_{int}) \cdot D^2 \cdot \left(1 - \frac{1}{2^{n/2}} \right)^2 \cdot \frac{\Delta T_{ILD}}{T_{ILD}}$</td> </tr> <tr> <td>Tensión de alimentación</td> <td>$T_{CSK}(V_{DD}) = 0.7 \cdot R_0 \cdot C_L \cdot \left(\frac{V_{DD}}{V_{DD} - V_T} \right) \cdot \frac{\Delta V_{DD}}{V_{DD}}$</td> </tr> <tr> <td>Capacidad del Sub-bloque</td> <td>$T_{CSK}(C_L) = 0.7 \cdot R_0 \cdot C_L \cdot \frac{\Delta C_L}{C_L}$</td> </tr> <tr> <td>Temperatura</td> <td>$T_{CSK}(T) = 0.7 \cdot R_0 \cdot C_L \cdot \left(\frac{E_g / q + V_T}{V_{DD} - V_T} \right) \cdot \frac{\Delta T}{T}$</td> </tr> </tbody> </table>	Parámetro	Componente de clock skew	Tensión umbral	$T_{CSK}(V_T) = 0.7 \cdot R_0 \cdot C_L \cdot \left(\frac{V_T}{V_{DD} - V_T} \right) \cdot \frac{\Delta V_T}{V_T}$	Espesor del óxido de puerta	$T_{CSK}(t_{ox}) = 0.7 \cdot R_0 \cdot C_L \cdot \frac{\Delta t_{ox}}{t_{ox}}$	Longitud efectiva del canal	$T_{CSK}(L_{eff}) = 0.7 \cdot R_0 \cdot C_L \cdot \frac{\Delta L_{eff}}{L_{eff}}$	Ancho de línea	$T_{CSK}(t_{int}) = 0.4 \cdot (r_{int} \cdot c_{int}) \cdot D^2 \cdot \left(1 - \frac{1}{2^{n/2}} \right)^2 \cdot \frac{\Delta t_{int}}{t_{int}}$	Grosor del material entre metales	$T_{CSK}(T_{ILD}) = 0.4 \cdot (r_{int} \cdot c_{int}) \cdot D^2 \cdot \left(1 - \frac{1}{2^{n/2}} \right)^2 \cdot \frac{\Delta T_{ILD}}{T_{ILD}}$	Tensión de alimentación	$T_{CSK}(V_{DD}) = 0.7 \cdot R_0 \cdot C_L \cdot \left(\frac{V_{DD}}{V_{DD} - V_T} \right) \cdot \frac{\Delta V_{DD}}{V_{DD}}$	Capacidad del Sub-bloque	$T_{CSK}(C_L) = 0.7 \cdot R_0 \cdot C_L \cdot \frac{\Delta C_L}{C_L}$	Temperatura	$T_{CSK}(T) = 0.7 \cdot R_0 \cdot C_L \cdot \left(\frac{E_g / q + V_T}{V_{DD} - V_T} \right) \cdot \frac{\Delta T}{T}$
Parámetro	Componente de clock skew																		
Tensión umbral	$T_{CSK}(V_T) = 0.7 \cdot R_0 \cdot C_L \cdot \left(\frac{V_T}{V_{DD} - V_T} \right) \cdot \frac{\Delta V_T}{V_T}$																		
Espesor del óxido de puerta	$T_{CSK}(t_{ox}) = 0.7 \cdot R_0 \cdot C_L \cdot \frac{\Delta t_{ox}}{t_{ox}}$																		
Longitud efectiva del canal	$T_{CSK}(L_{eff}) = 0.7 \cdot R_0 \cdot C_L \cdot \frac{\Delta L_{eff}}{L_{eff}}$																		
Ancho de línea	$T_{CSK}(t_{int}) = 0.4 \cdot (r_{int} \cdot c_{int}) \cdot D^2 \cdot \left(1 - \frac{1}{2^{n/2}} \right)^2 \cdot \frac{\Delta t_{int}}{t_{int}}$																		
Grosor del material entre metales	$T_{CSK}(T_{ILD}) = 0.4 \cdot (r_{int} \cdot c_{int}) \cdot D^2 \cdot \left(1 - \frac{1}{2^{n/2}} \right)^2 \cdot \frac{\Delta T_{ILD}}{T_{ILD}}$																		
Tensión de alimentación	$T_{CSK}(V_{DD}) = 0.7 \cdot R_0 \cdot C_L \cdot \left(\frac{V_{DD}}{V_{DD} - V_T} \right) \cdot \frac{\Delta V_{DD}}{V_{DD}}$																		
Capacidad del Sub-bloque	$T_{CSK}(C_L) = 0.7 \cdot R_0 \cdot C_L \cdot \frac{\Delta C_L}{C_L}$																		
Temperatura	$T_{CSK}(T) = 0.7 \cdot R_0 \cdot C_L \cdot \left(\frac{E_g / q + V_T}{V_{DD} - V_T} \right) \cdot \frac{\Delta T}{T}$																		

Modelo	Ecuaciones
3	<p>Valor medio del clock skew</p> $E(\chi) = \frac{2}{\sqrt{\pi}} \sum_{i=1}^n \sqrt{\sum_{k=1}^i \left(\frac{\pi-1}{\pi}\right)^{k-1}} \cdot D(d_{n-i+k})$ <p>Cálculo de los parámetros utilizando el modelo de Sakurai (tiempo de subida de 90%):</p> $D(d_{n-i+k}) = \sigma_{T_{Delay}}^2 = \left(\frac{\partial T_{Delay}}{\partial V_T}\right)^2 \sigma_{V_T}^2 + \left(\frac{\partial T_{Delay}}{\partial \mu}\right)^2 \sigma_{\mu}^2 + \left(\frac{\partial T_{Delay}}{\partial t_{ox}}\right)^2 \sigma_{t_{ox}}^2 + \left(\frac{\partial T_{Delay}}{\partial L_{eff}}\right)^2 \sigma_{L_{eff}}^2$ $+ \left(\frac{\partial T_{Delay}}{\partial W}\right)^2 \sigma_W^2 + \left(\frac{\partial T_{Delay}}{\partial T_{ILD}}\right)^2 \sigma_{T_{ILD}}^2 + \left(\frac{\partial T_{Delay}}{\partial W_{int}}\right)^2 \sigma_{W_{int}}^2 + \left(\frac{\partial T_{Delay}}{\partial t_{int}}\right)^2 \sigma_{t_{int}}^2$ <p>donde:</p> $\frac{\partial T_{Delay}}{\partial V_T} = \frac{\partial T_{Delay}}{\partial R_0} \frac{\partial R_0}{\partial V_T} = 2.30(C_0 + C_{int}) \frac{R_0}{V_{DD} - V_T}$ $\frac{\partial T_{Delay}}{\partial V_T} = \frac{\partial T_{Delay}}{\partial R_0} \frac{\partial R_0}{\partial \mu} = 2.30(C_0 + C_{int}) \frac{R_0}{\mu}$ $\frac{\partial T_{Delay}}{\partial t_{ox}} = \frac{\partial T_{Delay}}{\partial R_0} \frac{\partial R_0}{\partial t_{ox}} + \frac{\partial T_{Delay}}{\partial C_0} \frac{\partial C_0}{\partial t_{ox}} = 2.30(C_0 + C_{int}) \frac{R_0}{t_{ox}} + 2.30(R_0 + R_{int}) \frac{C_0}{t_{ox}}$ $\frac{\partial T_{Delay}}{\partial L_{eff}} = \frac{\partial T_{Delay}}{\partial R_0} \frac{\partial R_0}{\partial L_{eff}} + \frac{\partial T_{Delay}}{\partial C_0} \frac{\partial C_0}{\partial L_{eff}} = 2.30(C_0 + C_{int}) \frac{R_0}{L_{eff}} + 2.30(R_0 + R_{int}) \frac{C_0}{L_{eff}}$ $\frac{\partial T_{Delay}}{\partial W} = \frac{\partial T_{Delay}}{\partial R_0} \frac{\partial R_0}{\partial W} + \frac{\partial T_{Delay}}{\partial C_0} \frac{\partial C_0}{\partial W} = 2.30(C_0 + C_{int}) \frac{R_0}{W} + 2.30(R_0 + R_{int}) \frac{C_0}{W}$ $\frac{\partial T_{Delay}}{\partial T_{ILD}} = \frac{\partial T_{Delay}}{\partial C_{int}} \frac{\partial C_{int}}{\partial T_{ILD}} = (1.02R_{int} + 2.30R_0) \frac{C_{int}}{T_{ILD}}$ $\frac{\partial T_{Delay}}{\partial W_{int}} = \frac{\partial T_{Delay}}{\partial R_{int}} \frac{\partial R_{int}}{\partial W_{int}} + \frac{\partial T_{Delay}}{\partial C_{int}} \frac{\partial C_{int}}{\partial W_{int}} = (1.02C_{int} + 2.30C_0) \frac{R_{int}}{W_{int}} + (1.02R_{int} + 2.30R_0) \frac{C_{int}}{W_{int}}$ $\frac{\partial T_{Delay}}{\partial t_{int}} = \frac{\partial T_{Delay}}{\partial R_{int}} \frac{\partial R_{int}}{\partial t_{int}} = (1.02C_{int} + 2.30C_0) \frac{R_{int}}{t_{int}}$

3. Comparación entre los modelos para estimar el clock skew

El principal objetivo de este trabajo es encontrar un modelo adecuado para estimar el clock skew de una red de distribución de reloj. Para ello se analizan tres modelos propuestos por diferentes autores. La eficiencia de los mismos se pone a prueba aplicando sus ecuaciones a un árbol en H genérico, el cual es frecuentemente utilizado en la parte global (primer nivel jerárquico) de una red de distribución de reloj.

En primer lugar, en la sección 4.1, se especifica una metodología de diseño concreta para la red. Consiste en un árbol en H con buffers intermedios. Se aplican técnicas de optimización del tamaño de los buffers y de las dimensiones de los segmentos de interconexión. En el siguiente apartado 4.2, se detallan los parámetros de la red para una tecnología de fabricación concreta (130 nm). En la sección 4.3 se encuentra una de las partes más importantes y laboriosas que se han realizado. Son las simulaciones numéricas de las ecuaciones de los tres modelos presentados. Para la realización de las mismas se ha creado el programa “*equations*” en lenguaje JAVA cuyo funcionamiento se describe en el apéndice 4. Finalmente, se realizan estimaciones para futuras tecnologías (100 nm, 70 nm, 45 nm) y se extraen conclusiones acerca de la validez o no de esta topología en árbol H para las redes de distribución de reloj en el futuro.

3.1. Metodología de diseño

Hay varias posibilidades a la hora de elegir la topología de un árbol en H. Pueden existir buffers intermedios en los puntos de ramificación (modelos 1 y 3) o no (modelo 2). En este segundo caso se requiere que las líneas de transmisión sean de diferente ancho, según el nivel, para evitar reflexiones de señal en estos puntos de ramificación.

Para las simulaciones que se van a realizar, se utiliza un árbol en H diseñado con técnicas de optimización del tamaño de los buffers y de las líneas de transmisión (ancho, espesor y longitud). El resultado de optimizar la longitud de un segmento de

interconexión consiste en que si en algún nivel del árbol alguna rama es más larga que la longitud óptima de interconexión, entonces, ésta es dividida en k secciones de longitud óptima introduciendo buffers de tamaño óptimo. La topología resultante se muestra en la siguiente figura 4.1:

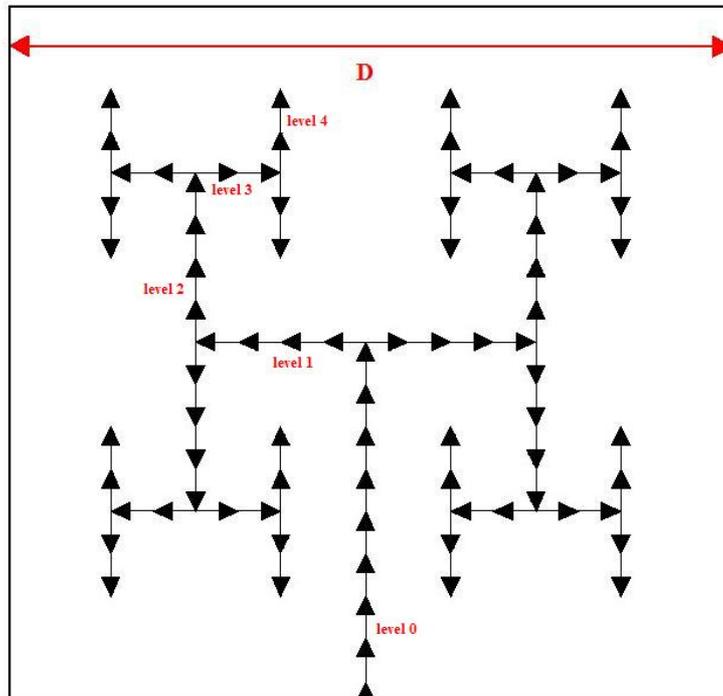


Figura 4.1: Árbol en H con segmentos de longitud óptima.

- Caracterización de las líneas de interconexión

Azad Naeemi, Raguraman Venkatesan y James D. Meindl presentan dos métodos para la caracterización de una línea de transmisión: un modelo RC y un modelo RLC. En ellos la longitud de la línea es optimizada para cualquier tecnología. En este trabajo se escoge el modelo RLC, ya que el efecto inductivo de una línea se está convirtiendo en la actualidad en un parámetro que se ha de tener en cuenta y no es posible despreciar. En este caso, la longitud óptima de una línea viene determinada por esta expresión:

$$W_{opt} = 1.88c_0\sqrt{\xi\rho\varepsilon_0R_0C_0} \quad (4.1)$$

donde c_0 es la velocidad de la luz en el vacío, ζ una constante dependiente de la geometría de la línea, ρ la resistividad del metal, ε_0 la constante dieléctrica del vacío, y R_0 y C_0 la resistencia de salida y la capacidad de entrada de un buffer de tamaño mínimo. Una vez se tiene el ancho óptimo de la línea, el espesor de la misma se obtiene según la relación de aspecto (ancho / grosor) específica de la tecnología. A continuación, mediante expresiones analíticas se calculan la resistencia, la capacidad y la inductancia por unidad de longitud de una línea de estas dimensiones.

El siguiente paso es determinar el número óptimo y las dimensiones de los buffers a insertar. El número de buffers es aquel que optimiza la longitud de las interconexiones de modo que su retardo de propagación sea mínimo. Si se tienen líneas de transmisión con menor retardo de propagación, entonces el clock skew será menor, ya que, según los modelos estudiados, éste depende de la desviación estándar del retardo de propagación. Además, el retardo de propagación es uno de los parámetros a minimizar, tal como se explico en la sección 2.3.1. El resultado de la división óptima de una línea se muestra en la siguiente figura 4.2:

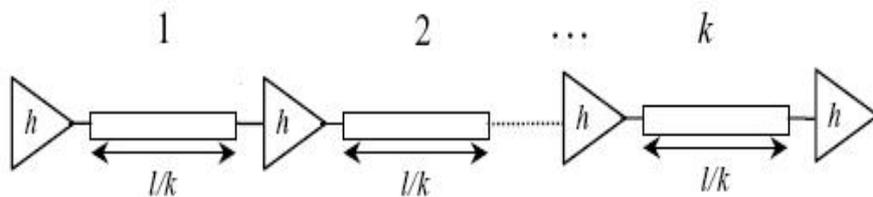


Figura 4.2: Inserción de buffers para minimizar el retardo de propagación.

Como consecuencia se tiene que las expresiones temporales de la nueva línea son las siguientes:

$$T_{delay} = k \cdot T_{segment}$$

$$T_{segment} = 2.3 \frac{R_0}{h} \left(\frac{C_{int}}{k} + hC_0 \right) + \frac{R_{int}}{k} \left(\frac{C_{int}}{k} + 2.3hC_0 \right) \quad (4.2)$$

donde $T_{segment}$ es el retardo de cada segmento óptimo, C_0 y R_0 son la capacidad de entrada y la resistencia de salida de un buffer de tamaño mínimo (mínimo tamaño de los

transistores según la tecnología), C_{int} y R_{int} son la capacidad y la resistencia totales del segmento de interconexión, k es el número de segmentos, y h el número de veces que los buffers óptimos son más grandes que el buffer de tamaño mínimo. El valor de k y h viene determinado por estas expresiones:

$$h_{opt} = \sqrt{\frac{R_0 C_{int}}{R_{int} C_0}} \frac{1}{\left[1 + 0.16(T_{L/R})^3\right]^{0.24}} \quad (4.3)$$

$$k_{opt} = \sqrt{\frac{R_{int} C_{int}}{2R_0 C_0}} \frac{1}{\left[1 + 0.18(T_{L/R})^3\right]^{0.3}} \quad (4.4)$$

donde $T_{L/R}$ es:

$$T_{L/R} = \sqrt{\frac{L_{int} / R_{int}}{R_0 C_0}} \quad (4.5)$$

En estas expresiones R_{int} , L_{int} y C_{int} son la resistencia, la inductancia y la capacidad total de la línea.

- Diferencias a tener en cuenta en el modelo 2

Los modelos 1 y 3 se aplican a la misma topología de red de reloj: un árbol en H con buffers intermedios y mismo ancho de las líneas en todos los niveles. Sin embargo, el modelo 2 se aplica sobre un árbol en H ligeramente diferente, donde no hay buffers intermedios y las líneas de transmisión se dimensionan para que no haya reflexiones en los nodos de ramificación. Por lo tanto, algunos aspectos tienen que ser tenidos en cuenta para comparar los resultados de las simulaciones con los obtenidos en los modelos 1 y 3.

La principal diferencia en las ecuaciones de los modelos es el parámetro $r_{int}C_{int}$. Corresponde a la capacidad y la resistencia distribuida de la línea desde la “raíz” hasta la “hoja”, ya que no hay ningún buffer entre ellos.

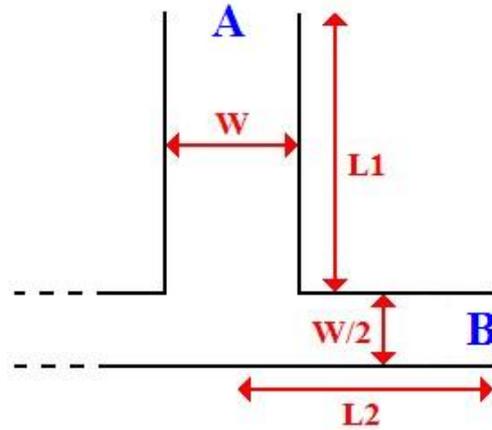


Figura 4.3: Diagrama de las interconexiones para el modelo 2.

En este tipo de árbol en H, el ancho de cada línea se debe doblar para cada nivel superior con objeto de evitar las reflexiones en los puntos de ramificación. En la figura 4.3 se muestra un esquema de esta topología. La resistencia total entre los puntos A y B es:

$$\begin{aligned}
 r_1 c_1 &= rc \\
 r_2 c_2 &= 2r \cdot \frac{c}{2} = rc \\
 RC_{total} &= rc \cdot (L_1 + L_2)^2
 \end{aligned} \tag{4.6}$$

donde r y c son la resistencia y la capacidad por unidad de longitud. Podemos observar como el parámetro $r_{int}c_{int}$ es el mismo en ambos niveles del árbol en H, es un valor constante. Por lo tanto, para calcular $r_{int}c_{int}$ en el modelo 2, sólo hay que multiplicar los parámetros R_{int} y C_{int} que teníamos en los modelos 1 y 3.

El parámetro C_L en el modelo 2 es la capacidad de carga del sub-bloque ubicado en la “hoja” del árbol. Para las simulaciones que se realizan, se supone que corresponde con el valor de la capacidad de entrada de un buffer que alimenta al sub-bloque. Por lo tanto, vamos a utilizar el valor de C_0 que utilizábamos en los modelos 1 y 3. La varianza de C_L la vamos a suponer nula a la hora de aplicar las ecuaciones, ya que con la varianza de V_i , t_{ox} , L_{eff} y V_{dd} ésta queda definida.

El árbol en H específico para este modelo se muestra en la siguiente figura 4.4. La línea del nivel más bajo del árbol es de dimensiones mínimas y su ancho se dobla en cada nivel superior. No hay buffers intermedios en la estructura.

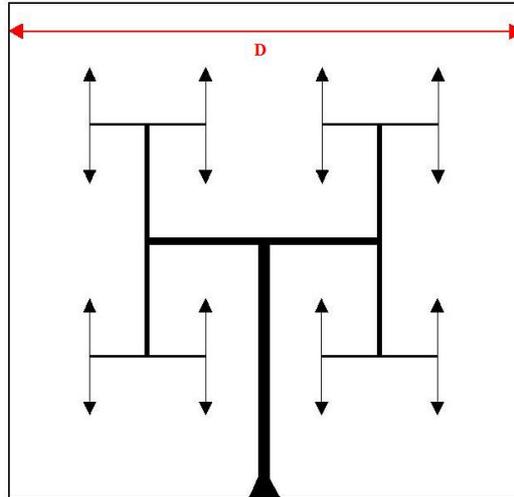


Figura 4.4: Árbol en H para el modelo 2.

3.2. Parámetros tecnológicos del árbol en H

En esta sección se presentan los parámetros tecnológicos que se necesitan conocer para poder aplicar los tres modelos analizados. Se escoge un árbol en H de 8 niveles que llevará la señal a 256 puntos. La tecnología escogida es la de 130 nm. Los parámetros se obtienen del “ITRS” (Internacional Technological Roadmap for Semiconductors) y del resultado de la aplicación de las ecuaciones descritas previamente en la metodología de diseño para optimizar buffers e interconexiones.

Parámetro	Descripción	Valor
V_{DD}	Tensión de alimentación	1.2 V
V_T	Tensión umbral	0.19 V
T_{ox}	Espesor del óxido de puerta	3.3 nm
D	Tamaño del dado (tamaño del árbol)	17.32 mm
ϵ_{ILD}	Constante dieléctrica entre metales	3.6
$W_{int}(\min)$	Ancho mínimo de una línea	335 nm

A/R	Relación de aspecto (t_{int} / W_{int})	2
t_{int} (min)	Espesor mínimo de una línea	670 nm
R_0 (min)	Resistencia de salida de un buffer (mínimo)	3.94 k Ω
C_0 (min)	Capacidad de entrada de un buffer (mínimo)	0.77 fF

Tabla 4.1: Parámetros para la tecnología de 130 nm.

Después de aplicar las fórmulas para calcular los buffers y las líneas óptimas, en la siguiente tabla se muestran los parámetros de los buffers y líneas que se van a utilizar en las simulaciones

Parámetro	Descripción	Valor
W_{int} (opt)	Ancho óptimo de una línea	1250 nm
t_{int} (opt)	Espesor óptimo de una línea	2500 nm
L_{int} (opt)	Longitud óptima de una interconexión	2.88 mm
W (opt)	Tamaño óptimo del buffer	322 μ m

Tabla 4.2: Parámetros óptimos

En la siguiente tabla se muestran el número total de buffer que requiere la estructura después de aplicar la optimización de la longitud de los segmentos de interconexión.

Nivel	Longitud de la rama	Buffers necesarios
0	D/2 = 8.66 mm	3
1	D/4 = 4.33 mm	2
2	D/4 = 4.33 mm	2
3	D/8 = 2.17 mm	1
4	D/8 = 2.17 mm	1
5	D/16 = 1.08 mm	1
6	D/16 = 1.08 mm	1
7	D/32 = 0.54 mm	1
8	D/32 = 0.54 mm	1

Tabla 4.3: Buffers necesarios en cada nivel.

A continuación, la siguiente tabla muestra los parámetros definitivos de la red de distribución de reloj que se ha diseñado.

Parámetro	Descripción	Valor
N	Número de nodos	256
D	Tamaño del dado (tamaño del árbol)	17.32 mm
R_{int}	Resistencia de interconexión (óptima)	7.04e3 Ω/m
C_{int}	Capacidad de interconexión (óptima)	3.4e-10 F/m
C_{w-total}	Capacidad total de las interconexiones (397.76 mm)	135.24 nF
R₀	Resistencia de salida de los buffers (óptima)	1.59 Ω
C₀	Capacidad de entrada de los buffers (óptima)	1.91e-12 F
C_{b-total}	Capacidad total de los buffers (775 buffers)	1.48 nF

Tabla 4.4: Parámetros del árbol diseñado.

Finalmente, en la última tabla se muestran los valores de las variaciones de los procesos de fabricación y del circuito que se necesitan conocer para aplicar las ecuaciones en el simulador en JAVA. La desviación del ancho del transistor es calculado de acuerdo con la el valor que nos da la tecnología, en este caso para un transistor de tamaño mínimo. Esto significa que el valor que nos da la ITRS para la tecnología de 130 nm se refiere a la litografía del transistor de tamaño mínimo. Para un transistor de tamaño óptimo el valor absoluto de la desviación es el mismo y, en consecuencia, el porcentaje de desviación mucho menor. La misma conclusión se aplica a la hora de calcular las desviaciones del ancho y espesor de las interconexiones óptimas con los datos de las desviaciones para el tamaño mínimo suministradas por la ITRS.

Parámetro	Descripción	Valor
σ_{VDD}	Tensión de alimentación	3.3 %
σ_{VT}	Tensión umbral	4.2 %
σ_μ	Movilidad de los portadores de carga	2 %
σ_{tox}	Espesor del óxido de puerta	1.3 %
σ_w	Ancho del transistor	5% de 130 nm → 2.02e-3 % de 322 μm

σ_{Leff}	Longitud efectiva del canal	5 %
σ_{Wint}	Ancho de las líneas	3% de 335 nm → 0.804% de 1250 nm
σ_{tint}	Espesor de las líneas	3% de 670 nm → 0.804% de 2500 nm
σ_{TILD}	Espesor del material entre metales	3 %
σ_T	Temperatura	8%

Tabla 4.5: Tolerancia de los parámetros.

Como se explicó en la sección previa, el modelo 2 requiere algunos parámetros diferentes. El primero de ellos es $r_{int}C_{int}$, la capacidad y la resistencia distribuida desde la “raíz” del árbol hasta la “hoja”. Se calcula multiplicando las mismas R_{int} y C_{int} óptimas que se usaron en los modelos 1 y 3. C_L es la misma capacidad que la capacidad de entrada de un buffer óptimo C_0 . La desviación de las líneas σ_{Wint} es calculada para el peor de los casos (en el último nivel donde la línea es más estrecha).

Parámetro	Descripción	Valor
$r_{int}C_{int}$	Capacidad y resistencia distribuida	2.39e-6 s/m ²
C_L	Capacidad de carga	1.91e-12 F

Tabla 4.6: Diferencias en el modelo 2.

3.3.Simulaciones

Para analizar los tres modelos de clock skew presentados en este trabajo con el árbol en H, cuyo diseño se ha propuesto en la sección anterior (256 nodos, 130 nm), se realizan tres simulaciones diferentes. En la primera de ellas se calcula el valor del clock skew para los tres modelos y se comparan los resultados. En segundo lugar, se analiza la influencia de cada componente del clock skew para cada modelo, es decir, que se muestra como influye cada una de las tolerancias de los parámetros de la red. La tercera simulación muestra estimaciones del clock skew para la misma topología de red pero con diferente número de niveles.

Hay que tener en cuenta que cada modelo considera diferentes fuentes de clock skew, por lo que los resultados no se pueden comparar de una manera totalmente objetiva. Por ejemplo, el modelo 2 es el único que incluye en sus ecuaciones el efecto de las variaciones de temperatura. Otro caso es el del modelo 3, que considera las variaciones en el ancho de los transistores y el modelo 1 no.

3.3.1. Primera simulación

En esta primera simulación se comparan los resultados de aplicar las ecuaciones de cada modelo en un árbol en H con 256 nodos fabricado en la tecnología de 130 nm.

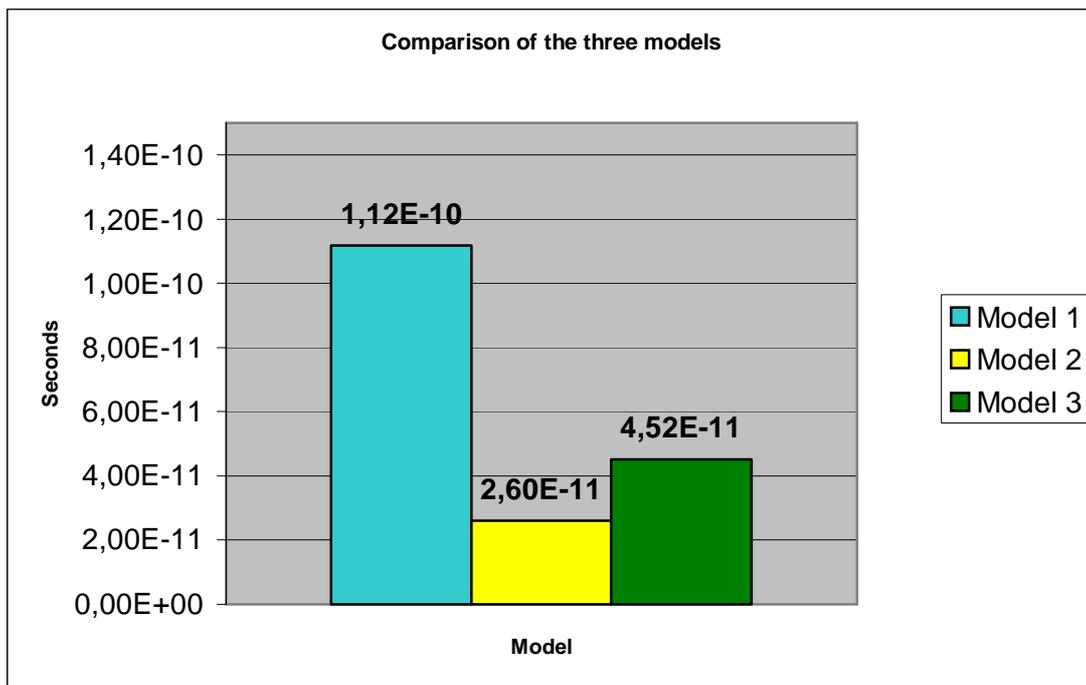


Figura 4.5: Estimaciones del clock skew de acuerdo con cada modelo.

Los resultados observados son los esperados. El modelo 1 nos da una estimación de *112 ps* para un árbol en H con buffers intermedios. El modelo 3, para exactamente el mismo árbol en H, nos da *45.2 ps*. Este resultado es previsible, ya que lo que nos da el modelo 1 es una cota superior para el clock skew y el modelo 3 una estimación que incluye en sus cálculos la correlación de las partes comunes entre los paths. La veracidad de los resultados depende de la precisión de los parámetros utilizados (valores

de las tolerancias en % y de los parámetros de las interconexiones y buffers). Encontrar estos valores necesarios para las simulaciones ha sido uno de las mayores dificultades de este trabajo.

3.3.2. Segunda simulación

Aquí se muestran por separado como influye cada tolerancia de los parámetros de la red por separado en la estructura diseñada para las simulaciones (árbol en H con 256 nodos implementado en la tecnología de 130 nm).

- MODELO 1

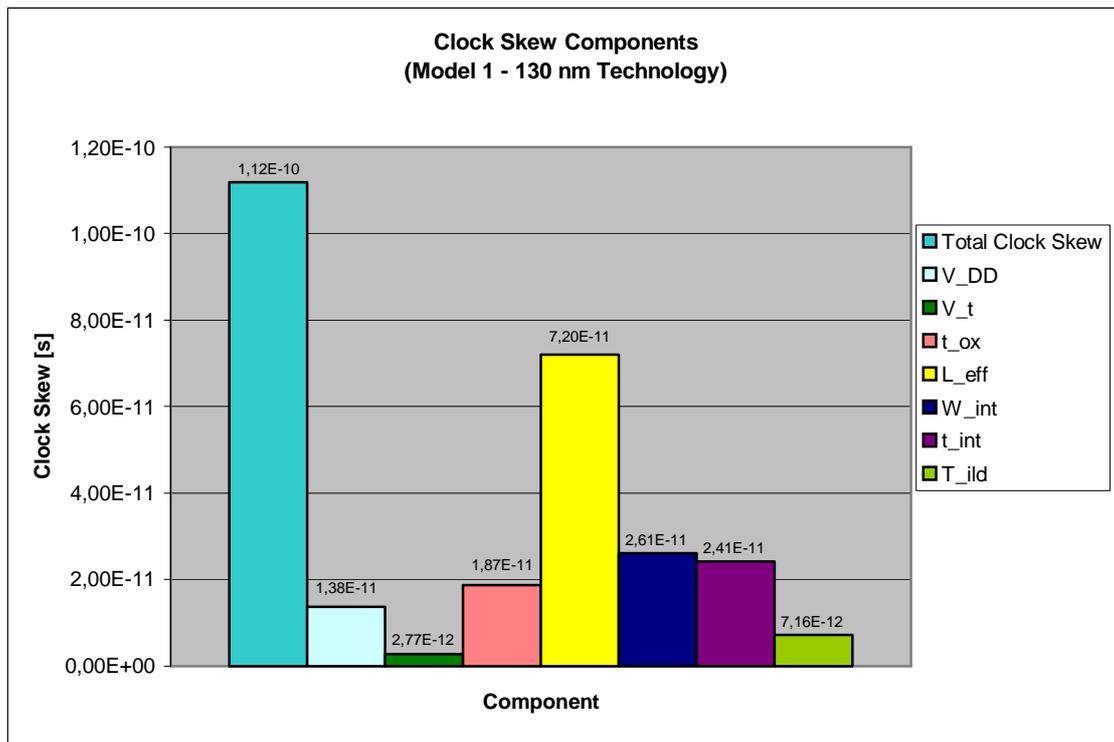


Figura 4.6: Componentes del clock skew en el modelo 1.

De acuerdo con el modelo 1 (las predicciones de las tolerancias de los parámetros utilizadas), una importante conclusión se puede extraer de esta simulación: La tolerancia de la longitud efectiva de canal, L_{eff} , debe ser especialmente controlada porque es la principal causa del clock skew. La influencia de este parámetro (con una tolerancia estimada del 5 % con respecto al valor nominal) es mayor comparada con la

tolerancia del espesor del óxido de puerta (1.3 %). Como se ha explicado en apartados anteriores, los buffers son la principal fuente de clock skew. Su fabricación debe ser cuidadosamente controlada para que las desviaciones de los parámetros de los mismos sean lo más pequeñas posible. Las fuentes de clock skew debido a las interconexiones no son muy significantes si sus tolerancias no son muy grandes.

- MODELO 2

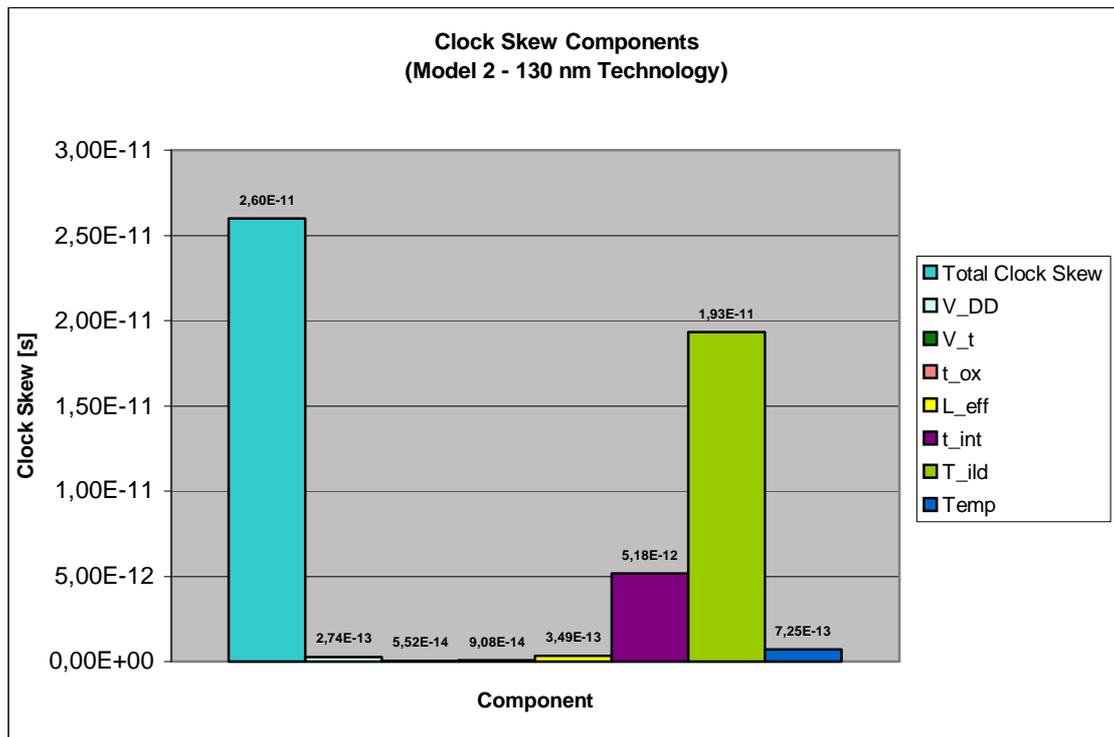


Figura 4.7: Componentes del clock skew en el modelo 2.

La principal conclusión que se obtiene al observar los resultados de esta simulación es que en un árbol en H como el que se utiliza en el modelo 2, sin buffers intermedios y con líneas de transmisión dimensionadas en ancho para evitar reflexiones, el clock skew causado por las tolerancias de los parámetros de las interconexiones es mucho más significativo que el causado por los buffers. Esto se debe a que en el árbol en H utilizado para el modelo 2 tiene sólo 257 buffers, pero el árbol empleado en los modelos 1 y 3 consta de 576 buffers. Por otro lado, se observa que el espesor del material entre las capas de metal es el parámetro cuya tolerancia causa mayor cantidad de clock skew. Se debe a una mayor varianza (3 %) comparada con la del espesor de la línea (0.804 %).

- MODELO 3

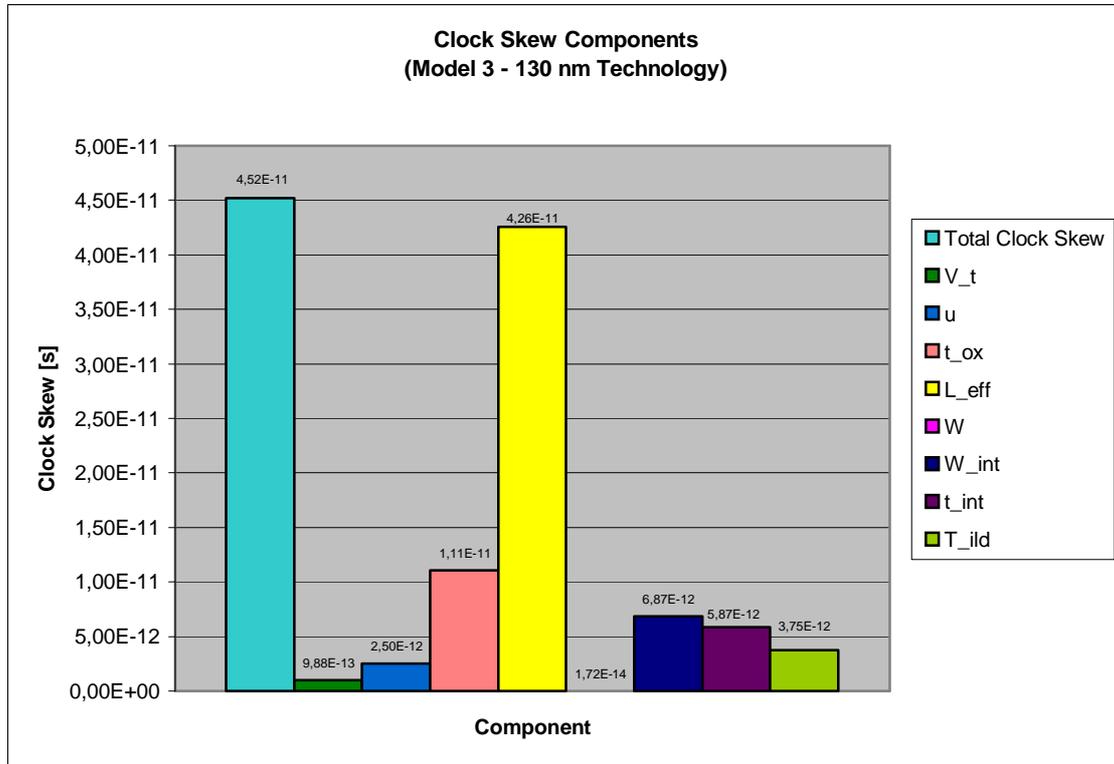


Figura 4.8: Componentes del clock skew en el modelo 3.

Prácticamente se pueden decir las mismas conclusiones que se extrajeron para el modelo 1. Los parámetros de los buffers, principalmente L_{eff} , son la principal causa del clock skew. Los autores de este modelo consideran un parámetro que los del modelo 1 no lo hacían. Es el caso del ancho del transistor W . El efecto del mismo es prácticamente despreciable debido a la varianza casi nula del mismo ($2.02e-3$ %).

3.3.3. Tercera simulación

Consiste en la simulación del clock skew para diferentes números de nodos terminales u “hojas” (número de niveles del árbol) del árbol en H propuesto para el diseño (en la tecnología de 130 nm).

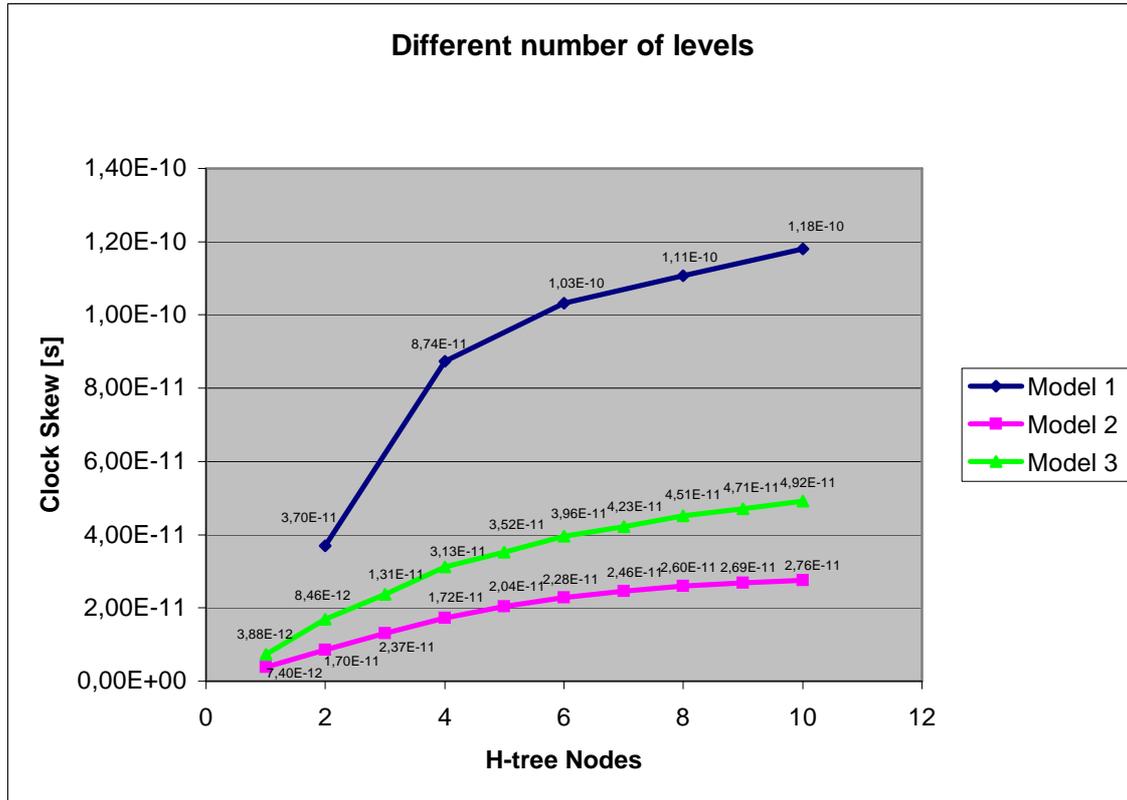


Figura 4.9: Clock skew para diferentes números de niveles.

El resultado es el esperado en todo momento. En cada caso el valor del clock skew estimado por el modelo 3 es mucho menor que el estimado por el modelo 1, el cual sólo nos da una cota superior del mismo, ya que no tiene en cuenta la correlación existente entre los paths dentro de un árbol en H. Las estimaciones para el modelo 2 son siempre menores que las dadas por los otros dos modelos, ya que el árbol en H en el que se realizan los cálculos no contiene buffers internos (tienen menos fuentes de que provoquen clock skew).

También se puede observar que el clock skew incrementa cuando el árbol en H tiene mayor número de niveles (mayor número de nodos terminales en un dado sobre el que se implementa la red del mismo tamaño, D tiene siempre el mismo valor). Este incremento es menos apreciable cuando se tienen grandes números de niveles, ya que aumentar la red en un nivel supone añadir un segmento de interconexión de longitud muy pequeña.

Por último, cabe destacar que las simulaciones del modelo 1 sólo se pueden hacer con un número par de niveles. Las ecuaciones no tienen significado cuando se aplican aún árbol con un número impar de niveles.

3.4. Estimación del clock skew para tecnologías futuras

Ya han sido analizados los tres modelos para estimar el clock skew y simulados para un árbol en H diseñado en la tecnología de 130 nm. Varias conclusiones se han extrajeron de las simulaciones. El siguiente punto de este trabajo consiste en simular un árbol en H con la misma estructura pero para tecnologías más actuales. Estas son las escogidas: 100 nm, 70 nm y 45 nm. El objetivo es comprobar como será el clock skew en una estructura como ésta en el futuro y, comparando el valor del mismo con el periodo de la señal de reloj, determinar si la topología en árbol en H seguirá siendo válida para la parte global de una red de distribución de reloj.

En primer lugar, se muestran los parámetros tecnológicos de las 4 tecnologías, incluyendo los de la tecnología 130 nm para comparar sus valores.

Parámetro	130 nm	100 nm	70 nm	45 nm
V_{DD}	1.2 V	1 V	0.9 V	0.6 V
V_T	0.19 V	0.15	0.06	0.021
T_{ox}	3.3 nm	2.5 nm	1.6 nm	1.4 nm
D	17.32 mm	17.32 mm	20 mm	21.21 mm
ϵ_{ILD}	3.6	3.3	3	3.6
$W_{int} (min)$	335 nm	237 nm	160 nm	103 nm
A/R	2	2.1	2.2	2.3
$t_{int} (min)$	670 nm	500 nm	352 nm	235 nm
$R_0 (min)$	3.94 k Ω	4.95 k Ω	8.02 k Ω	15.7 k Ω
$C_0 (min)$	0.77 fF	0.66 fF	0.457 fF	0.34 fF

Tabla 4.7: Parámetros tecnológicos de las tecnologías utilizadas.

Después de aplicar las ecuaciones necesarias para obtener los parámetros óptimos del árbol en H, los valores de los mismos son:

Parámetro	130 nm	100 nm	70 nm	45 nm
$W_{int} (opt)$	1250 nm	1005 nm	850 nm	620 nm
$t_{int} (opt)$	2500 nm	2110 nm	1870 nm	1426 nm
$L_{int} (opt)$	2.88 mm	2.16 mm	1.67 mm	1.32 mm
$W (opt)$	322 μ m	354 μ m	496 μ m	648 μ m

Tabla 4.8: Parámetros optimizados.

La siguiente tabla muestra la partición de las líneas de transmisión con buffers para obtener segmentos de interconexión óptimos.

Nivel	Sección	130 nm		100 nm		70 nm		45 nm	
		Long.	Bufs.	Long.	Bufs.	Long.	Bufs.	Long.	Bufs.
0	D/2	8.66mm	3	8.66mm	4	10mm	6	10.6mm	8
1	D/4	4.33mm	2	4.33mm	2	5mm	3	5.30mm	4
2	D/4	4.33mm	2	4.33mm	2	5mm	3	5.30mm	4
3	D/8	2.17mm	1	2.17mm	1	2.5mm	2	2.65mm	2
4	D/8	2.17mm	1	2.17mm	1	2.5mm	2	2.65mm	2
5	D/16	1.08mm	1	1.08mm	1	1.25mm	1	1.33mm	1
6	D/16	1.08mm	1	1.08mm	1	1.25mm	1	1.33mm	1
7	D/32	0.54mm	1	0.54mm	1	0.63mm	1	0.67mm	1
8	D/32	0.54mm	1	0.54mm	1	0.63mm	1	0.67mm	1

Tabla 4.9: Número de buffers necesarios en cada nivel.

Finalmente, en la siguiente tabla se muestran los valores definitivos de los parámetros de cada uno de los árboles en H (256 nodos, dimensiones de buffers e interconexiones optimizadas) que se diseñan según cada tecnología.

Parámetro	130 nm	100 nm	70 nm	45 nm
N	256	256	256	256
D	17.32 mm	17.32 mm	20 mm	21.21 mm
R _{int}	7.04e3 Ω/m	10.04e3 Ω/m	13.8e3 Ω/m	24.9e3 Ω/m
C _{int}	3.4e-10 F/m	3.11e-10 F/m	2.92e-10 F/m	2.64e-10 F/m
C _{w-total}	135.24 nF	123.70 nF	134.32 nF	128.73 nF
R ₀	1.59 Ω	1.40 Ω	1.13 Ω	1.09 Ω
C ₀	1.91e-12 F	2.34e-12 F	3.24e-12 F	4.90e-12 F
C _{b-total}	1.48 nF	1.82 nF	2.62 nF	4.00 nF

Tabla 4.10: Parámetros definitivos del árbol en H.

Una de los mayores problemas presentados en la realización de este trabajo fue la dificultad a la hora de encontrar los valores exactos de los parámetros correspondientes a cada tecnología de fabricación. Debido a esta razón, se han escogido las mismas tolerancias de los parámetros que se encontraron para la tecnología de 130 nm. En la siguiente tabla se muestra el valor definitivo de las tolerancias.

Par.	130 nm	100 nm	70 nm	45 nm
σ _{VDD}	3.3 %	3.3 %	3.3 %	3.3 %
σ _{VT}	4.2 %	4.2 %	4.2 %	4.2 %
σ _μ	2 %	2 %	2 %	2 %
σ _{tox}	1.3 %	1.3 %	1.3 %	1.3 %
σ _w	5% de 130 nm → 2.02e-3 % de 322 μm	5% de 130 nm → 2.02e-3 % de 322 μm	5% de 130 nm → 2.02e-3 % de 322 μm	5% de 130 nm → 2.02e-3 % de 322 μm
σ _{Leff}	5 %	5 %	5 %	5 %
σ _{Wint}	3% de 335 nm → 0.804% de 1250 nm	3% de 237 nm → 0.707% de 1005 nm	3% de 160 nm → 0.565% de 850 nm	3% de 103 nm → 0.498% de 620 nm
σ _{fiint}	3% de 670 nm → 0.804% de 2500 nm	3% de 670 nm → 0.711% de 2110 nm	3% de 352 nm → 0.565% de 1870 nm	3% de 235 nm → 0.494% de 1426 nm
σ _{TILD}	3 %	3 %	3 %	3 %
σ _T	8%	8%	8%	8%

Tabla 4.11: Tolerancia de los parámetros.

La siguiente figura 4.10 muestra el resultado de las simulaciones del clock skew en el árbol de 8 niveles para cada tecnología según los tres modelos estudiados.

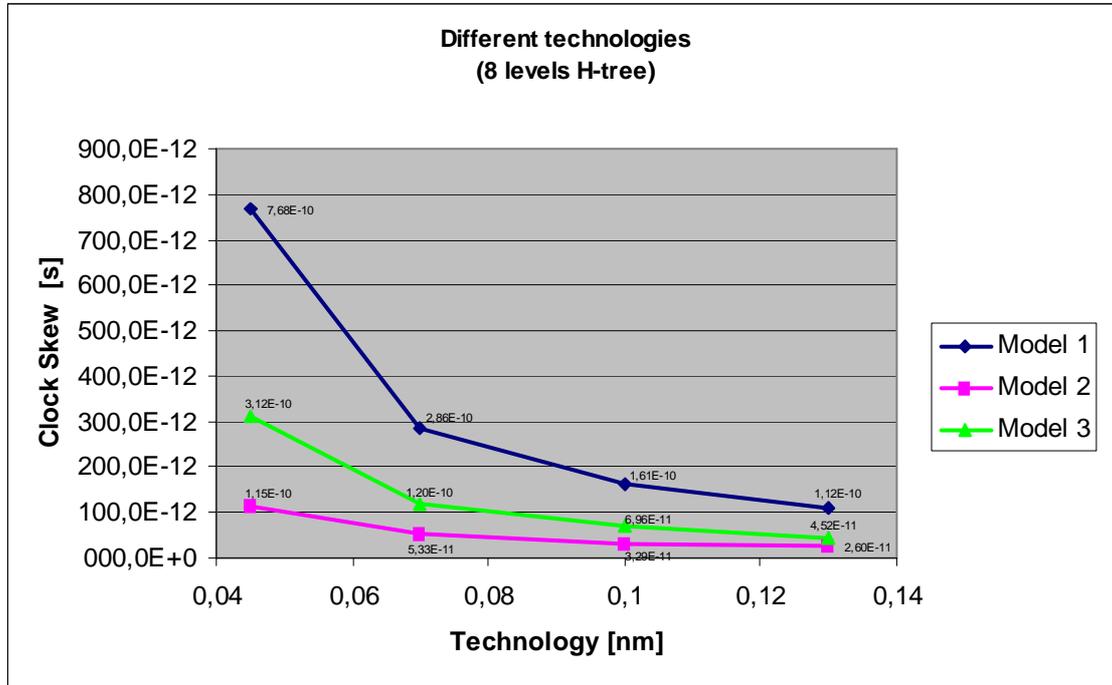


Figura 4.10: Clock skew para las diferente tecnologías (130, 100, 70, 45 nm).

En todos los casos, el clock skew dado por el modelo 3 es inferior al dado por el modelo 1. Esto es lógico, ya que este último da una cota superior para el clock skew, mientras que el modelo 3 calcula una estimación del clock skew más precisa, puesto que incluye en sus ecuaciones la correlación existente entre las partes comunes de los diferentes paths de señal de reloj. Las estimaciones que realiza el modelo 2 son para un árbol diferente que no incluye buffers intermedios en las ramas, las cuales son dimensionadas en ancho para evitar reflexiones de señal en los puntos de ramificación. Al existir menos buffers (principal fuente de clock skew), los valores estimados por este segundo modelo son inferiores.

Por otro lado, se puede observar como el clock skew aumenta según la tecnología decrece. La causa es el incremento de la constante RC, tanto de interconexiones como de buffers, cuando la tecnología es más pequeña. Este aumento es exponencial y, por lo tanto, para cada nueva tecnología, el clock skew de un árbol en H con la metodología de diseño propuesta aumenta considerablemente. Esto presenta un

serio inconveniente con uno de los principales objetivos de la aparición una nueva tecnología: conseguir frecuencias de reloj mayores. Debe siempre cumplirse que el clock skew sea proporcional al periodo de la señal de reloj (regla de diseño del 10 % aproximadamente). En la siguiente tabla 4.12 y en la figura 4.11, se muestra la relación existente entre el clock skew y el periodo de la señal de reloj (según los parámetros de cada tecnología). Sólo un árbol en H implementado en la tecnología de 130 nm cumple la relación del 10%.

Parámetro	130 nm	100 nm	70 nm	45 nm
Frecuencia de reloj	1.6 GHz	3.0 GHz	9 GHz	15 GHz
Periodo del reloj	625 ps	333 ps	111 ps	66.7 ps
Clock skew (modelo 3)	45.2 ps	69.6 ps	120 ps	312 ps
% (Clock skew vs. periodo)	6.8 %	20.9%	108.1 %	467.8 %

Tabla 4.12: Relación entre clock skew y periodo de reloj.

Se puede extraer una importante conclusión de estos últimos resultados: un árbol en H tal como el que se ha propuesto según la metodología de diseño no es válido, implementado en las futuras tecnologías de fabricación, para la parte global de una red de distribución de reloj jerárquica. No se cumple la regla de diseño del 10 %. Métodos adicionales como circuitos de deskew o realimentaciones son necesarios para obtener redes de distribución de reloj de bajo clock skew en las tecnologías más modernas que la de 130 nm.

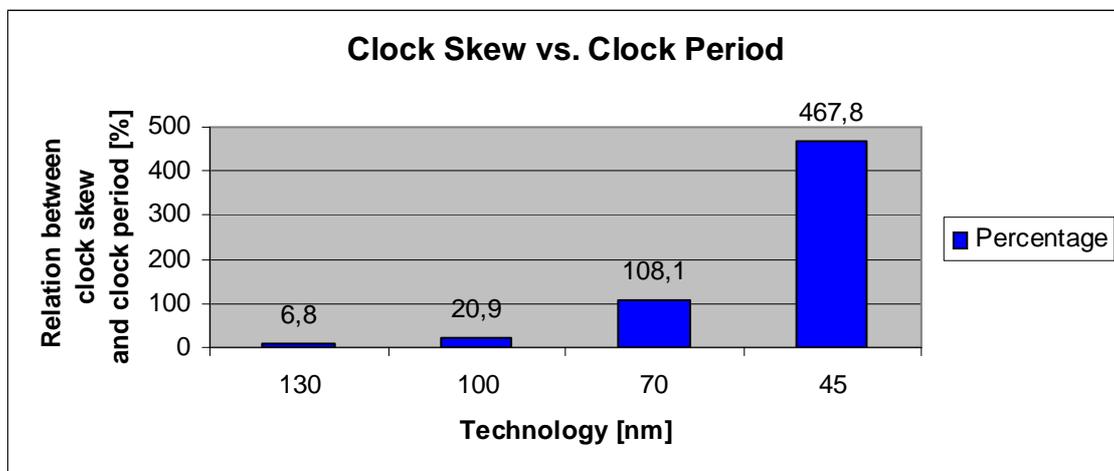


Figura 4.11: Porcentaje del clock skew con respecto al periodo de reloj.

III. CONCLUSIONES

Conclusiones

En este trabajo se han visto varios aspectos acerca del clock skew dentro de un sistema digital síncrono. El clock skew es hoy en día uno de los parámetros más importantes que impone limitaciones en el funcionamiento y fiabilidad de un sistema digital. Es por ello que en la actualidad sea uno de las áreas dentro de la electrónica de alto nivel de integración (VLSI) a la cual se dedica más tiempo.

En primer lugar se ha visto el papel que juega una red de distribución de reloj dentro de un sistema digital síncrono. Ésta se encarga de llevar la señal de reloj a todos los registros síncronos del sistema. Se han de cumplir unos requisitos de calidad mínimos que se requieren para el buen funcionamiento del sistema (clock skew, clock jitter, disipación de potencia). Una red jerárquica es la mejor solución a la hora de implementar la red de distribución de reloj por varias causas. La principal de ellas es que permite la partición del sistema en varios bloques funcionales sin que la distribución de la señal de reloj sea un problema. Existirá una parte global dentro de la red que lleve la señal de reloj a todos los puntos del circuito. Los siguientes niveles jerárquicos inferiores distribuyen la señal dentro de cada bloque funcional específico. Esto permite la selección de diferentes topologías para cada bloque funcional dependiendo de los requerimientos del mismo. También se presentaron las diferentes topologías que se pueden utilizar para implementar la red de reloj: árbol de buffers, árbol simétrico en H o en X, malla y rejilla.

A continuación, una vez presentadas las redes de distribución de reloj, se procedió a realizar un exhaustivo análisis del clock skew. Se partió de una visión teórica del clock skew: qué es (explicación desde el punto de vista temporal y qué restricciones impone al funcionamiento de un sistema digital síncrono) y cuáles son las fuentes que lo provocan (variaciones en los parámetros del circuito y de los procesos de fabricación). Uno de los principales objetivos del trabajo era la búsqueda de unas ecuaciones que nos calculen el valor del clock skew para una red de distribución de reloj. Para ello se han presentado tres modelos propuestos por autores diferentes y que nos dan una estimación del clock skew desde el punto de vista estadístico, ya que el valor depende de las tolerancias de los parámetros de la red.

La tercera parte del trabajo es probablemente la más importante, ya que es la que da unos resultados innovadores no existentes hasta entonces. Se realizó un análisis exhaustivo de los tres modelos mediante diversas simulaciones sobre un árbol en implementado en la tecnología de 130 nm (topología más adecuada para la parte global de una red de distribución de reloj jerárquica). Para ello se propuso una metodología de diseño que optimiza diversos parámetros del árbol (interconexiones y buffers para tener un menor retraso de propagación). Para las simulaciones se desarrolló la aplicación “*equations*” en lenguaje JAVA y que permite el cálculo de las estimaciones del clock skew en un árbol en H de acuerdo a las ecuaciones de los tres modelos estudiados. Gracias a esta aplicación y con los valores de los parámetros de las tecnologías de 100 nm, 70 nm y 45 nm, se presentaron las predicciones para el valor del clock skew en el árbol en H para futuras tecnologías de fabricación.

Con respecto a los modelos, las principales conclusiones a las que se llegaron es que el modelo 3 es el que nos da una estimación más aproximada a la realidad, ya que tiene en cuenta en sus cálculos la correlación existente entre las partes comunes de los paths de reloj dentro de una red de distribución de reloj. Sus estimaciones son menos conservadoras que las del modelo 1, el cual sólo nos da una cota superior al no tener en cuenta la correlación entre paths. El modelo 2 no se puede comparar directamente con los modelos 1 y 3, ya que la topología del árbol en H sobre el que se aplica es diferente (no tiene buffers intermedios y las líneas de transmisión son dimensionadas en ancho para evitar reflexiones de señal en los puntos de ramificación).

Hay que tener en cuenta que la validez de estas simulaciones es fuertemente dependiente de la precisión con que den los valores de las tolerancias de los parámetros del circuito y de los procesos de fabricación. La búsqueda de estos parámetros fue una de las mayores dificultades encontradas, ya que estos valores nunca se encontraron de un modo claro (la fiabilidad de que estos valores sean realmente correspondientes con la realidad). No se puede asegurar en ningún momento que los valores numéricos de las simulaciones realizadas sean los correspondientes con la realidad en el caso de tenerse un árbol en H diseñado y fabricado tal como el que se ha propuesto teóricamente. Sin embargo, de modo cualitativo y cuantitativo, los valores que se obtienen de las

simulaciones de cada modelo si son concluyentes tal como se ha comentado previamente.

Otra conclusión que se extrajo de las simulaciones de los modelos, tras aplicarlos a árboles diseñados con tecnologías futuras (más modernas a la de 130 nm), es que la topología simétrica en árbol en H no es suficiente para que el clock skew sea lo suficientemente pequeño como para cumplir la regla de diseño del 10 % (relación máxima entre clock skew y periodo de la señal de reloj). El motivo es que la constante RC, tanto de los buffers como de las líneas de interconexión, aumenta en las nuevas tecnologías, por lo que el retraso de propagación es mayor y, consecuentemente, el clock skew también. Para la parte global de una red de distribución de reloj se necesitan métodos adicionales para tener un bajo clock skew. Estos podrían ser circuitos de deskew o realimentaciones aparte de la estructura simétrica en árbol en H.

Para finalizar se puede decir que se han logrado los principales objetivos con los que este trabajo se iba a realizar. Se han comparado los pocos documentos existentes que tratan el clock skew desde el punto de vista de obtención de ecuaciones estadísticas para una red simétrica. Sin embargo, la mayor incertidumbre que deja el trabajo es la veracidad de los resultados numéricos para un caso real, ya que todo se ha realizado desde un punto de vista teórico y nunca práctico. La dificultad para encontrar los parámetros de las diferentes tecnologías de fabricación alberga dudas acerca de la similitud de las estimaciones con un hipotético caso real.