

3 Estudio de la *merging unit*

3.1 Introducción

La existencia de nuevos transductores electrónicos de tensión y de corriente que se emplean en la práctica, el creciente nivel de inteligencia de los dispositivos de conmutación y la publicación del estándar IEC 61850 están haciendo que se reemplace el complejo cableado entre los niveles de proceso y de bahía por un enlace serie. Estos transductores electrónicos presentan numerosas ventajas respecto a los transformadores tradicionales; sin embargo, este hecho hace que se impongan nuevos requerimientos en la interfaz hacia los relés de protección y las unidades de control.

En este sentido se han publicado algunos estándares internacionales sobre los transductores electrónicos y sus interfaces. El IEC 60044-8 es un estándar para los transformadores electrónicos de corriente; en él se especifican, entre otros, las salidas digitales tanto para los transformadores de tensión como de corriente. Aunque especifica su propio protocolo, el uso del IEC 61850-9-1 como solución alternativa también es soportado por aquel estándar.

En dichos estándares se describe el módulo de la *merging unit*, el elemento clave para conectar los transductores electrónicos (de tensión y de corriente) con los dispositivos de protección; es decir, la unión entre los niveles de proceso y de bahía.

La *merging unit* aporta una interfaz digital a los transformadores electrónicos de corriente y tensión de cara al equipamiento secundario como protección o dispositivos de medida. Una *merging unit* crea un conjunto de muestras coherentes en el tiempo con tres fases de tensión, tres fases de corriente y neutros de tensión y corriente.

La figura muestra el principio de funcionamiento de una *merging unit*. Bajo el punto de vista del modelo de datos del IEC 61850, la *merging unit* implementa los nodos lógicos TCTR y TVTR, representando respectivamente los transformadores de tensión y de corriente en el modelo de datos. El convertidor secundario es habitualmente parte del transformador, mientras que la *merging unit* puede estar ubicada en el cuadro de control. El enlace entre el convertidor secundario y la *merging unit* es propietario y puede ser analógico o digital. Según el protocolo que emplee este enlace, se podrá adaptar la *merging unit* para que sea capaz de interpretar los mensajes utilizados, y convertirlos al protocolo 61850 para volcarlo en el flujo de salida digital hacia el nivel de bahía.

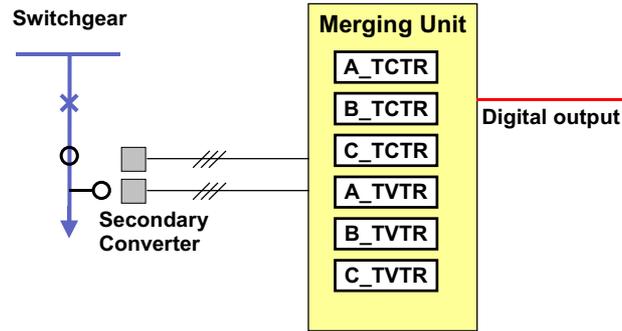


Imagen 1: Principio de funcionamiento de la *Merging Unit*

De acuerdo con la interfaz digital establecida en el IEC 60044-8, la *merging unit* es de uso obligatorio. El protocolo IEC 61850-9-2 no necesita obligatoriamente una *merging unit*, ya que el convertidor secundario puede tener una salida que cumpla la IEC 61850-9-2. Sin embargo, otras consideraciones adicionales sobre el sistema como la necesidad de un muestreo sincronizado y la existencia de una red de sincronización hacen que el uso de una *merging unit* sea adecuado a priori. Por tanto, la guía de implementación del grupo internacional de usuarios UCA está usando también el concepto de *merging unit*.

El concepto de *merging unit* también puede ser utilizado para integrar transformadores tradicionales en un sistema con interfaces digitales con los relés. En ese caso, el enlace entre el transformador y la *merging unit* sería una señal analógica de gran energía.

3.2 Comunicación

El estándar IEC 61850 incluye los requisitos de comunicación, los modelos de información, los protocolos de comunicación, gestión de ingeniería y detección de uniformidad, soporta la comunicación entre el nivel de control de subestación, el nivel de bahía y el nivel de proceso, satisfaciendo completamente los requisitos de las subestaciones digitales.

La *merging unit* envía señales síncronas a los transductores de corriente y tensión, y los convertidores analógico/digitales se activan para llevar a cabo el muestreo. Según el protocolo determinado que usen, los transductores de corriente y de tensión, a través de cables de fibra óptica, transmiten los resultados de la conversión a la *merging unit*. Una vez la FPGA termina de decodificar, la *merging unit* obtiene los valores muestreados, que son transmitidos hacia la CPU de esta unidad. Después, tras empaquetarlas, se envían en el formato estándar de mensaje IEC 61850 9-1.

La figura inferior es el diagrama estructural de una *merging unit* típica, tal como se describe en el IEC 61850 9-1. Se pueden agrupar hasta 5 transformadores de tensión y 7 de corriente usando una *merging unit*. En la figura se representa la máxima

configuración posible. La entrada de reloj es una entrada síncrona de reloj, y la salida digital es una salida que cumple los mensajes de los protocolos definidos en IEC 61850-9-1 ó IEC 61850-9-2.

La implementación de la *merging unit* como un dispositivo por sí mismo no es un requisito obligatorio. Puede ser parte de la electrónica de los transformadores de corriente o de tensión.

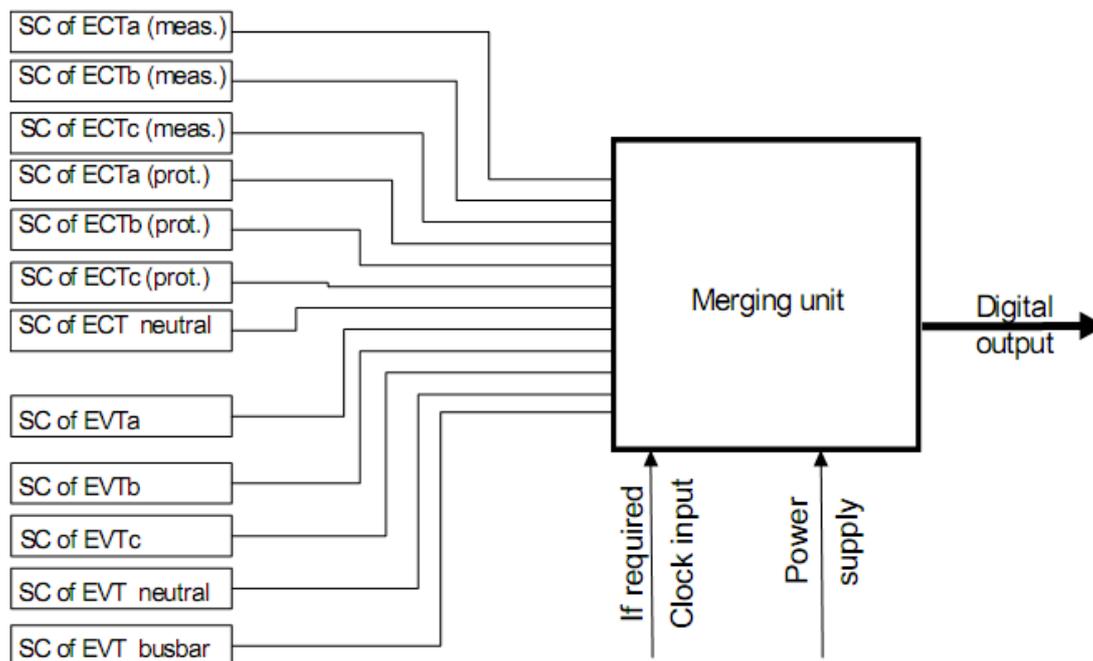


Imagen 2: Esquema general de la conectividad externa de la *Merging Unit*

En la figura anterior, "SC of ECTx" es el convertor secundario del transformador electrónico de corriente de fase X, mientras que "SC of EVTx", es el convertor secundario del transformador electrónico de tensión de fase X.

3.3 Funcionalidad requerida

3.3.1 Sincronización

3.3.1.1 Introducción

En cualquier sistema distribuido como en el que nos encontramos, es necesario conseguir la sincronización de los relojes de los diferentes equipos que lo conforman, obteniendo una referencia de tiempo común, sobre todo de cara a resolver problemas

como el ordenamiento de eventos, desarrollo de transacciones, inicio de procesos en tiempo real, etc.

Los requisitos de tiempo son, evidentemente, muy críticos, ya que no tendría ningún sentido un retardo importante de tiempo cuando lo que se pretende es conseguir la sincronización del mismo. Existen diferentes equipos, métodos y protocolos para gestionar la sincronización del tiempo y, según el que se utilice, conseguiremos una precisión u otra del sincronismo de los equipos de la red.

Se deben estudiar inicialmente tanto los algoritmos básicos como las implementaciones existentes. En todos los casos, lo que se tiende a resolver son las diferencias de:

- Referencia fija en el tiempo a partir de la cual se contabiliza el tiempo en cada dispositivo del sistema; aunque normalmente es constante, es relativamente difícil establecer con precisión su valor.
- Frecuencia entre los relojes de los dispositivos que se sincronizan.

Utilizando los fundamentos de los algoritmos básicos y las implementaciones existentes, se deben adaptar para tener en cuenta los requisitos mencionados y/o implementar un algoritmo específico para la sincronización de relojes. Este algoritmo debe ser caracterizado en términos de los dos parámetros mencionados: referencia fija en el tiempo y frecuencias de los relojes físicos que intervienen.

Una vez realizada la sincronización mínima entre los dispositivos se debe investigar el comportamiento de la misma en términos de escalabilidad. Usualmente la sincronización se da entre dos máquinas y en el caso particular de NTP (*Network Time Protocol*) se lleva a cabo con el modelo cliente / servidor. Es claro que cualquier tipo de centralización (en el servidor, por ejemplo) tiene sus inconvenientes de escalabilidad y al menos debería ser posible su cuantificación. En este contexto específico es muy interesante la posibilidad de sincronización utilizando mensajes *broadcast* con su consiguiente ahorro de comunicaciones punto a punto.

Considerando la criticidad de esta función dentro del sistema completo, debemos establecer un requerimiento de conseguir una precisión de tiempo en la sincronización inferior al milisegundo (< 1 ms).

3.3.1.2 Requerimientos

El pulso que se muestra en la Imagen 3 puede ser generado por un reloj maestro, como por ejemplo un receptor de GPS.

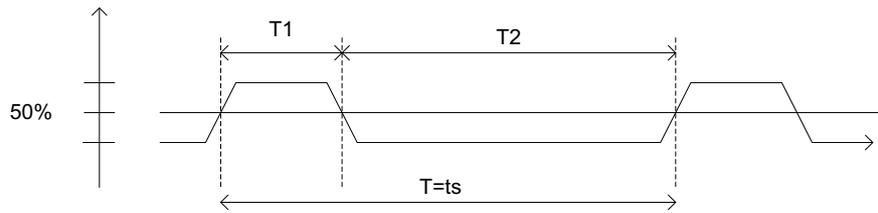


Imagen 3: Perfil del pulso para la entrada de reloj de la *merging unit*

Cuando la entrada de reloj de la *merging unit* es de tipo óptica, la duración del pulso T_1 es mayor de $10 \mu\text{s}$ y el tiempo entre pulsos T_2 mayor de 500 ms .

La frecuencia del comando de sincronización enviado al convertidor de multicanales A/D es igual a la tasa de muestreo. Por ejemplo, la frecuencia de comando de sincronización es de 1200 para el caso de 24 muestras por período y una frecuencia de red de 50 Hz .

La sincronización de la *merging unit* es muy importante para las aplicaciones de protección diferencial, en estos casos, el comando de sincronización enviado de diferentes *merging unit* debe guardar una alta precisión en la sincronización.

La precisión temporal en la sincronización de muestras varía en función de la aplicación, por ejemplo en el caso de medidas es de $1 \mu\text{s}$, mientras que para la protección en las líneas de transmisión es de $4 \mu\text{s}$.

La función de sincronización debe:

- Identificar de forma fiable y precisa la subida del PPS (señal 1).
- Después de identificarla correctamente, la *merging unit* debe enviar la señal convertida de sincronización (señal 2) a los convertidores A/D de los transformadores con la suficiente exactitud.
- Si la señal 1 se pierde o es defectuosa durante un intervalo de tiempo, la *merging unit* debe proporcionar la señal 2 a los convertidores a partir de su reloj interno, y cuando la señal 1 se recupere se debe conseguir de nuevo la sincronización en tiempo real a partir de dicha señal.

Mediante el empleo de FPGAs se consigue bajo consumo, alta fiabilidad y reducción de las dimensiones de sistemas electrónicos

3.3.2 Interfaces

3.3.2.1 Transductores

La norma IEC 60044-8 se aplica a los nuevos transformadores de intensidad electrónicos que tienen una salida de tensión analógica o digital, para su uso con instrumentos de medida eléctrica y dispositivos eléctricos de protección de frecuencia nominal comprendida entre 15 Hz a 100 Hz.

Los transformadores de intensidad destinados para medida y protección deberían cumplir con todos los capítulos de dicha norma y son denominados transformadores de intensidad electrónicos multipropósito.

La tecnología del transformador puede estar basada en dispositivos ópticos equipados con componentes eléctricos, bobinas con núcleo de aire (con o sin integrador incorporado), o bobinas con núcleo de hierro con *shunt* integrado usado como un convertidor de intensidad a tensión, solo o equipado con componentes electrónicos.

Para **salida analógica**, el transformador de intensidad electrónico puede incluir un cable de señal secundaria.

Para **salida digital**, dicha norma tiene en cuenta la conexión punto a punto desde el transformador electrónico a los instrumentos de medida eléctricos y dispositivos eléctricos. La norma también aporta información para asegurar la compatibilidad de este enlace punto a punto con el sistema general de comunicación en la subestación, permitiendo intercambio de datos entre todos los tipos de equipos de la subestación. Esta información constituye lo que es llamado el mapeado del nivel de enlace serie punto a punto. Este mapeado permite la interoperabilidad entre dispositivos de diferentes fabricantes.

Dicha norma no especifica implementaciones o productos individuales, ni restringe la implementación de entidades e interfaz en un sistema de ordenadores. Esta norma especifica la funcionalidad visible externamente de implementaciones junto con los requisitos de conformidad para tales funcionalidades.

3.3.2.1.1 CADs

En la norma IEC 60044-8 se describen las características de los transformadores electrónicos de intensidad con salida de tensión analógica o digital. La salida digital está pensada para su uso con una *merging unit*. Sin embargo, la salida analógica no; así que el 61850 no requiere el uso de convertidores analógico-digitales.

3.3.2.1.2 Requerimientos

Hasta 12 canales de datos del convertidor secundario se pueden agrupar juntos (fusionados) usando una unidad de comunicaciones. Un canal de datos transporta los

valores medidos simples de un flujo simple (conexión punto a punto) desde un transformador de intensidad electrónico o un transformador de tensión electrónico. Varios canales de datos pueden ser transmitidos vía una interfaz física desde el convertidor secundario a la unidad de comunicaciones en caso de multifases o unidades combinadas. La unidad de comunicaciones alimenta el equipo secundario con un conjunto de muestras de intensidad y tensión coherentes en el tiempo. Un convertidor secundario puede también emplearse para la adquisición de señales provenientes de transformadores de tensión o transformadores de intensidad convencionales y pueden integrarse en la unidad de comunicaciones.

Las características de comunicación de la interfaz entre la *merging unit* y los transductores electrónicos se detallan a continuación:

- *Los valores muestreados de múltiples canales son independientes*, es tarea de la *merging unit* recibir estos datos en paralelo y combinarlos en un conjunto de datos que sean coherentes en el tiempo. La *merging unit* también tiene que tener la capacidad de comprobar si los datos provenientes de los convertidores A/D se han distorsionado durante la transmisión, con el objeto de evitar proporcionar una información errónea a los equipos secundarios.
- *Requerimientos de alta fiabilidad y procesamiento en tiempo real*. Dado que los convertidores y la *merging unit* están cerca del área de interruptores, y teniendo en cuenta la importancia de la información proporcionada a los relés de protección, son necesarias unas muy buenas características en cuanto a la fiabilidad se refiere. Dado que el tiempo empleado en la interfaz de comunicación tendrá repercusiones sobre los equipos de protección, también será necesario disponer de unas elevadas prestaciones en lo que a las comunicaciones en tiempo real se refiere.
- *Gran flujo de datos*. La transmisión de datos provenientes de los transductores provoca una gran cantidad de datos, y además, el flujo de datos aumentará conforme suba la tasa de muestreo de la aplicación.
- *Alta velocidad en la comunicación*. Debido al hostil entorno electromagnético las comunicaciones con fibra óptica son la mejor opción. La comunicación entre *merging unit* y convertidores A/D es vía serie y la velocidad en la comunicación es elevada.

Para la recepción de los valores muestreados se necesita una comunicación en paralelo y una gran cantidad de puertos de entrada y salida. Debido a estas características es difícil implementar una *merging unit* con un simple microprocesador, y es por ese motivo por el que cobran fuerza las FPGAs. Se podrían poner a trabajar conjuntamente varios procesadores, pero la fiabilidad y la integridad del sistema se degradarían. Las FPGAs tienen multitud de puertos de entrada y salida que pueden ser configurados,

además la velocidad de operación puede ser muy elevada. Es por tanto una buena elección para realizar la interfaz entre los CAD y la *merging unit*.

La información transmitida de los canales hacia la *merging unit* son principalmente valores de tensión y corriente. Los valores de cada canal se pueden expresar usando dos bytes. Para la comunicación entre convertidores y *merging unit* se usa una comunicación asíncrona. Para poder comprobar la validez de los datos recibidos se usa un código de redundancia cíclico (CRC, *Cyclic Redundance Code*). Debido a que la información útil de de cada canal son sólo dos bytes, para mejorar la eficiencia en la comunicación, se utiliza el polinomio CRC-6 ($x^6+x^5+x^2+1$) en lugar de CRC-12 o CRC-32. Este polinomio debe ser el mismo tanto en el transmisor como en el receptor.

- *Código de redundancia cíclico.* CRC es uno de los más importantes códigos de control de error. Existen numerosos métodos para implementarlo, tales como usar LUTs o la división aritmética larga. El primero de ellos no es una buena opción para usar en FPGAs, pues consume muchos recursos. El segundo caso se puede realizar utilizando tan solo algunas puertas XOR y registros de desplazamientos.

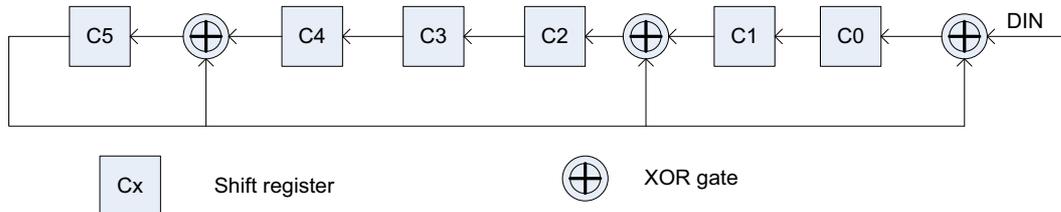


Imagen 4. Implementación CRC-6

En la figura anterior, DIN es la entrada serie de datos para ser comprobados. Una vez que todos los datos están dentro, se puede estimar si dichos valores son correctos (todos los valores del registro de desplazamiento son ceros) o por el contrario ha habido algún error. Usando una FPGA, la *merging unit* puede comprobar la validez de los datos de 12 canales en paralelo, con la consiguiente mejora en el rendimiento.

- *Ordenación de valores.* Después de recibir los valores muestreados de los 12 canales y comprobar si son correctos o no, es necesario ordenar los datos de esos 12 canales antes que se transmitan. Esto se puede realizar mediante el empleo de una cola FIFO. Antes que los datos del canal *n* se escriban en la FIFO los datos del canal *n-1* deben haber sido escritos. En ese caso, los datos que se vayan obteniendo a la salida de la FIFO estarán ordenados correctamente.

Existe un caso al que hay que prestarle especial atención. Cuando los datos de algún canal no se pueden transmitir a la *merging unit* por algún motivo, como por ejemplo

algún problema en el medio físico, no debería impactar en la recepción del valor muestreado del siguiente canal. Este problema se puede solucionar configurando un tiempo máximo de espera T_{max} . Por ejemplo, si la *merging unit* no recibe los valores del canal 1 antes que pase T_{max} , se da por hecho que hay un problema en la comunicación, en ese caso, se debe poner algún valor opcional en la que informe a los equipos de protección. De esta forma se puede continuar con la transmisión de los datos del canal 2. El tiempo T_{max} se decide a partir del tiempo de muestreo y del empleado por los convertidores A/D. El inicio del instante T_{max} se decide en el momento en el que la *merging unit* envía el comando de sincronización a los convertidores.

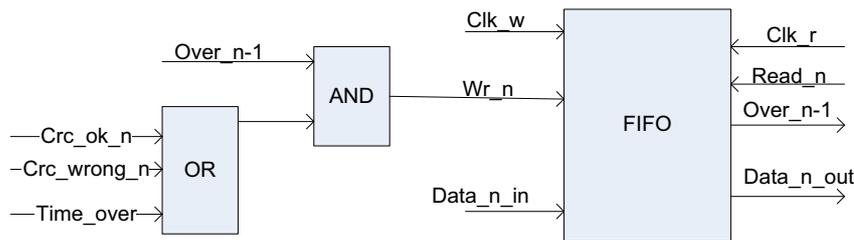


Imagen 5. Lógica de ordenación de los valores muestreados.

En la figura anterior, los nombres de las señales corresponden a lo siguiente:

- Clk_w, clk_r : relojes de lectura y escritura de la FIFO.
- $Data_n_{in}, data_n_{out}$: datos muestreados de entrada y datos de salida de la FIFO.
- Wr_n, rd_n : señales de habilitación de lectura y escritura.
- $Over_{n-1}, over_n$: los datos del canal (n-1) y n se han escrito correctamente en la FIFO.
- Crc_wrong_n : los datos del canal n son incorrectos.
- Crc_ok_n : los datos del canal n son correctos.
- $Time_over$: los datos no han sido recibidos dentro del intervalo de tiempo T_{max} .

3.3.3 Capacidad de configuración

Los sistemas eléctricos están en constante evolución, y numerosos aspectos tales como los protocolos empleados, los transformadores o las protecciones utilizadas, son susceptibles de cambiar a medio plazo, con lo que la vida útil de la *merging unit* podría verse acortada de manera inaceptable. Por tanto, resulta de notable utilidad el que la

merging unit cuente con cierta capacidad de actualización, para que sea capaz de adaptarse a los posibles cambios del entorno que puedan producirse.

La actualización software más habitual será el reemplazo del programa que ejecuta el procesador, grabado en la memoria flash, por una versión posterior, aunque también puede cambiarse el software completo, siendo sustituido por otro, si así se estima necesario. Una actualización del software puede venir motivada por el hecho de conseguir que la *merging unit* se adapte a otros protocolos, por ejemplo.

Este procedimiento será llevado a cabo a través del puerto Ethernet que incorpora la placa. Durante la actualización de la *merging unit*, esta será desconectada del resto de la red, haciendo que esta caiga durante el tiempo que dure la actualización; dicho tiempo será relativamente corto, no afectando prácticamente al funcionamiento normal del dispositivo.

Además de esto, la *merging unit* dispondrá de algunos parámetros configurables en función de las necesidades de cada subestación, de manera que pueda adaptarse mejor a cada caso particular. Estos parámetros pueden ir desde tiempos de sincronismo con los transformadores, número y tipo de entradas, protocolos empleados, hasta frecuencia de adquisición de datos.

Esta reconfiguración podrá ser llevada a cabo tanto por el puerto Ethernet como mediante el empleo del protocolo 802.15.4. Para esta reconfiguración no será necesario desconectar la *merging unit*, aunque según los cambios efectuados se puede exigir un reinicio del sistema.

3.3.4 Método de procesamiento de señales

Hoy en día, en el diseño de aplicaciones basadas en el procesado de señales se puede optar por tres tipos de soluciones: el uso de DSPs (*Digital Signal Processing*), FPGAs (*Field Programmable Gate Array*) y ASIC (*Application-Specific Integrated Circuit*).

Los DSPs son microprocesadores con un conjunto de instrucciones especialmente pensado para realizar operaciones matemáticas a muy alta velocidad. Ofrecen una mayor facilidad de diseño que las FPGAs y los ASICs, debido a su programación en lenguaje de alto nivel, y flexibilidad, motivada por la posibilidad de volver a programar el circuito. No obstante, debido a su procesamiento secuencial de cada instrucción impide la realización de algunos algoritmos en paralelo, lo que se traduce en un menor rendimiento. Este mismo procesamiento secuencial provoca también un mayor consumo, motivado por los constantes accesos a memoria externa que se deben hacer.

Los ASICs ofrecen la solución óptima en cuanto a velocidad, consumo y área de silicio empleada, a cambio de un mayor tiempo de diseño y una menor flexibilidad, con lo que

se pueden considerar opuestos a los DSP. Este tipo de circuitos sólo es rentable para grandes tiradas de producción, pues en caso contrario el precio por unidad sería muy elevado, debido a los altos gastos de fabricación iniciales.

Una solución intermedia a los dos casos anteriores, en cuanto a rendimiento, prestaciones y consumo se refiere es el empleo de FPGAs. Una FPGA es un circuito integrado de propósito general que puede ser modificado por el diseñador, a diferencia de los circuitos ASIC. Una de las principales ventajas que aportan es la flexibilidad, pues no son circuitos cerrados, es decir, se pueden modificar, cambiando fácilmente su utilidad y adaptándose de esa manera a los continuos cambios que se producen. Esto puede traducirse en una reducción de costes, pues los costes de ingeniería son más elevados para el caso del cambio de circuitos tipo ASIC. Por otra parte, la posibilidad de inclusión de procesadores empotrados en las FPGAs, hace que gane enteros con respecto a los DSP.

Los dos principales fabricantes de FPGAs son Xilinx y Altera. Los bloques más básicos de las FPGAs son las celdas lógicas (LC, para el caso de Xilinx) o elementos lógicos (LE, para el caso de Altera). De cualquier forma, ambos constan de una *Look-Up Table* (LUT) para las funciones lógicas y un flip-flop para almacenar. No obstante, hay que hacer notar que no se puede hacer una comparación directa entre LCs y LEs. Además de estos bloques también existen otros como memorias, bloques dedicados, gestión del reloj, entradas/salidas y bloques específicos para multiplicación.