

2 MARCO TEÓRICO

2.1 Teoría de la conversión analógica-digital

El objetivo de este capítulo es presentar de forma concisa y rigurosa los fundamentos de la conversión analógica/digital, con objeto de introducir la terminología y los conceptos básicos que faciliten la comprensión del resto de la memoria y que sienten las bases del sistema desarrollado.

2.1.1 Introducción a la conversión analógica-digital

El procesado digital de señales (*DSP, Digital Signal Processing*) se ha convertido en parte fundamental de nuestra vida cotidiana al ser incorporado en la gran mayoría de los sistemas electrónicos (1). Esto se ha debido, fundamentalmente, a los avances sufridos por la tecnología, que han hecho posible que la transmisión, almacenamiento y procesado de la información se realice mediante sistemas de bajo coste y dimensiones muy reducidas.

Uno de los campos de aplicación más importantes para el procesado digital de señales es el de sistemas que interactúan con el mundo exterior, midiendo o monitorizando señales del medio en el que operan. Esto se puede realizar con diferentes fines: en ocasiones es para analizar la información a posteriori, y en otras, el sistema toma decisiones en base a esos datos en tiempo real.

En general las magnitudes medidas por estos sistemas electrónicos son analógicas por naturaleza (presión, temperatura, humedad, etcétera). Por medio de sensores se obtienen señales eléctricas analógicas equivalentes. Es aquí donde los convertidores analógico-digitales juegan un papel fundamental, ya que trabajar con la información en formato digital ofrece grandes ventajas sobre el analógico, entre las que se pueden destacar:

- Permite la codificación de los datos, reduciendo el tamaño de memoria necesaria para su almacenamiento así como el ancho de banda de las transmisiones.
- Los dispositivos digitales tienen gran fiabilidad y precisión, mayor esperanza de vida y son más robustos ante las condiciones ambientales (temperatura, humedad, etcétera.) que los analógicos.
- Dos dispositivos digitales idénticos tendrán la misma respuesta operando en las mismas condiciones. Sin embargo, esto no ocurre en los analógicos, donde puede haber pequeñas variaciones críticas en muchas aplicaciones.
- En muchos sistemas digitales el cambio de la funcionalidad o la corrección de errores puede llevarse a cabo mediante software, reduciendo drásticamente los costes.

Por todos estos motivos la tecnología digital ha ido reemplazando a la analógica en muy diversos campos tales como televisión, fotografía o comunicaciones. En muchos de ellos, como ocurre en los sistemas de audio o de medida, la calidad de la señal es de vital importancia. Es en estos casos donde se debe prestar un especial interés al diseño de la etapa convertidora analógico-digital, ya que las transformaciones A/D o D/A son procesos que deterioran en gran medida la calidad de las señales (2).

2.1.2 El Convertidor analógico-digital ideal

Un convertidor analógico-digital puede ser visto como una caja negra que proporciona a la salida de la misma una representación digital de la señal analógica de entrada, ya sea ésta en forma de corriente o voltaje como se observa en la *Figura 4*.

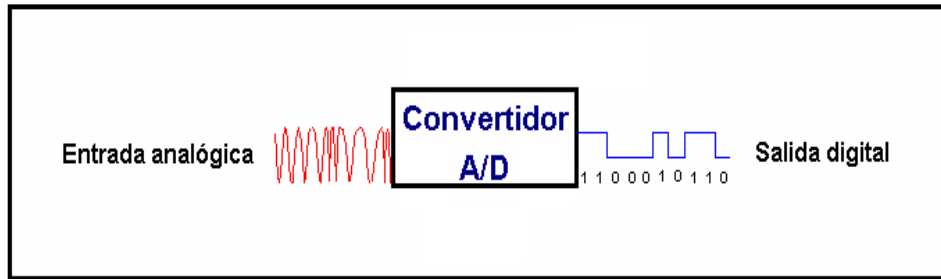


Figura 4. Convertidor analógico-digital ideal

Todo convertidor A/D necesita de una señal de referencia (voltaje o corriente) para su funcionamiento con la que la entrada analógica es comparada. El código digital de salida indica que fracción del voltaje o corriente de referencia es la señal de entrada. Así pues, un ADC puede definirse básicamente como un divisor (entrada entre referencia) que proporciona un resultado digital de las operaciones (3).

El número de bits utilizado por el convertidor en los códigos digitales de salida (N) se define como su resolución y determina el número de códigos digitales disponibles (2^N) para representar el rango de valores de entrada.

La variación mínima necesaria en la señal de entrada que hace variar la salida digital en un solo código se denomina LSB (*Less Significant Bit*) y viene dado por la expresión:

$$LSB = \frac{FS}{2^N}$$

dónde FS (*Full Scale*) representa el rango completo de valores analógicos de entrada y N la resolución del convertidor.

La Figura 5 muestra la función de transferencia de un ADC ideal de 3-bits. Este tipo de gráficas es una representación de la señal analógica de entrada al convertidor versus los códigos digitales de salida y se utiliza fundamentalmente para mostrar desviaciones en el comportamiento de los convertidores con respecto al funcionamiento ideal.

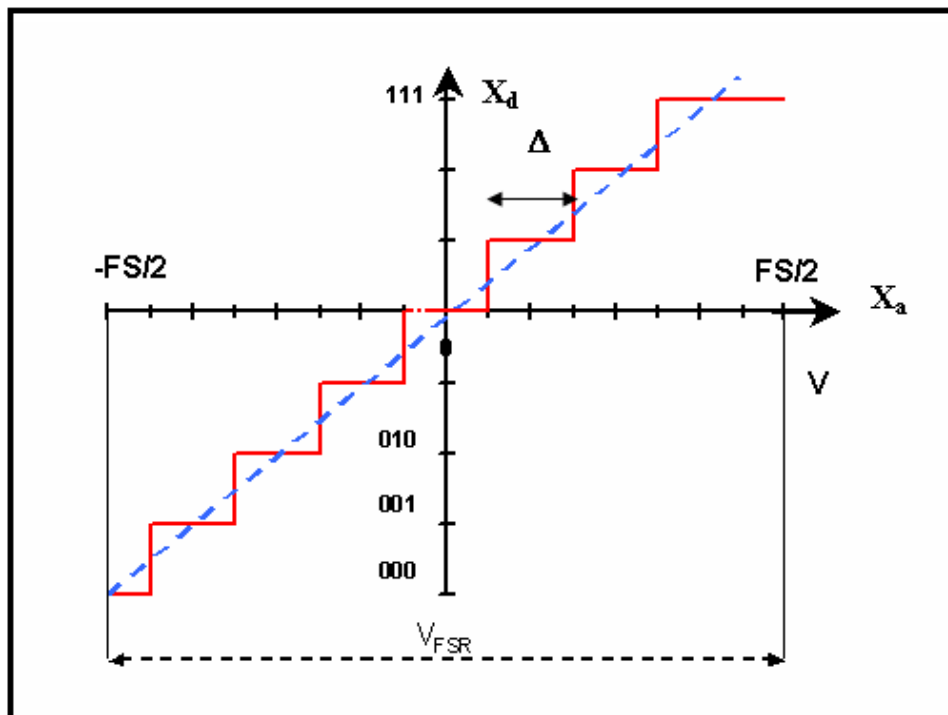


Figura 5. Función de transferencia de un ADC ideal de 3-bits. X_a representa la señal analógica de entrada y X_d los códigos digitales de salida. Δ es el valor de un LSB

2.1.3 Tipos de convertidores

Son pocos los esquemas básicos utilizados en los convertidores A/D, aunque existen un gran número de variaciones dentro de cada uno a la hora de implementarlos. La elección dependerá de la aplicación final del sistema, así por ejemplo en un osciloscopio digital se necesita una gran velocidad en las conversiones mientras que en un sistema de audio lo primordial es la resolución de las mismas. La *Figura 6* muestra una clasificación de los 3 tipos de ADC más utilizados en función de su velocidad y resolución.

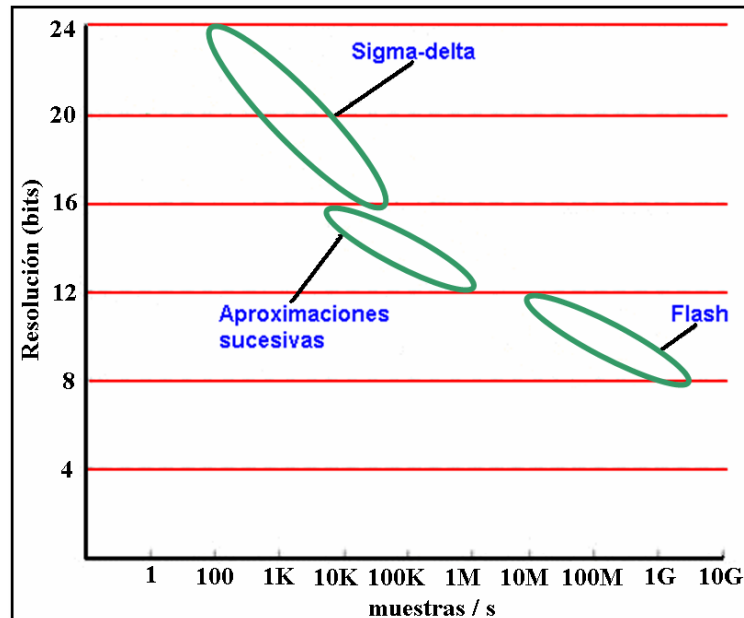


Figura 6. Representación de la velocidad de conversión vs resolución para los tres tipos de ADC más comunes.

A continuación se describen los distintos tipos de convertidores más comunes.

2.1.3.1 Convertidor de aproximaciones sucesivas

En la *Figura 7* se muestra el esquema de un convertidor analógico-digital de aproximaciones sucesivas, uno de los más utilizados en la actualidad, pues permite una considerable velocidad de conversión y una alta resolución a un bajo coste. La estructura cuenta con un registro de aproximaciones sucesivas.

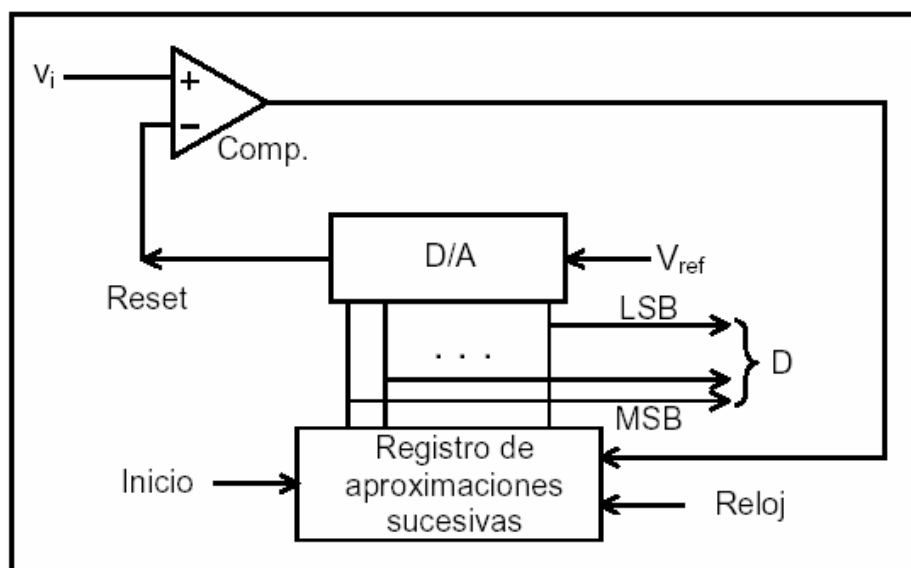


Figura 7. Esquema de un convertidor analógico-digital de aproximaciones sucesivas

El funcionamiento, es el siguiente: tras una señal de inicio para la conversión, el registro aplica un "1" en el MSB (bit n) del convertidor D/A y un "0" en el resto de los bits. La salida del D/A ante dicho código ($1000\dots0$) se ubica en la mitad de la escala ($V_{ref} / 2$). Si $v_i > V_{ref} / 2$, el MSB queda fijado definitivamente en "1". Si, por el contrario, $v_i < V_{ref} / 2$, el MSB vuelve a "0". En el paso siguiente, con independencia del valor fijado previamente para el MSB (bit n), el bit $n-1$ es llevado a "1". Nuevamente, si v_i supera el valor que ante ese código ($x100\dots0$) genera el convertidor D/A, el "1" se conserva, de lo contrario vuelve a "0". En el tercer paso se procede de igual manera: se lleva el bit $n-2$ a "1" y se compara la entrada con la salida del D/A ante ese código ($xx10\dots0$) y, según el resultado, se conserva el "1" o se lleva a "0". El proceso continúa hasta que se llega al LSB (bit 1). Una vez decidido el valor de éste, queda concluida la conversión.

Con este tipo de convertidor el tiempo de conversión es de n ciclos de reloj, en lugar de 2^n (o aún mayor) como en otros casos. Además de la velocidad, resulta importante el hecho de que en k ciclos de reloj ($k < n$) quedan garantizados los k bits más significativos, lo cual permite utilizar un mismo convertidor con mayor velocidad si no se requiere la máxima resolución.

Es importante observar que, a diferencia del convertido flash (que se verá en el apartado 2.1.3.2), en este caso se requiere que la entrada se mantenga rigurosamente constante, de lo contrario, podrían producirse errores graves. En efecto, una vez que los bits más significativos han quedado fijados, ya no es posible cambiarlos hasta la próxima conversión, por lo cual el proceso continúa buscando la mejor aproximación que sea posible con los restantes bits. Por esta razón se requiere un circuito de muestreo y retención a la entrada.

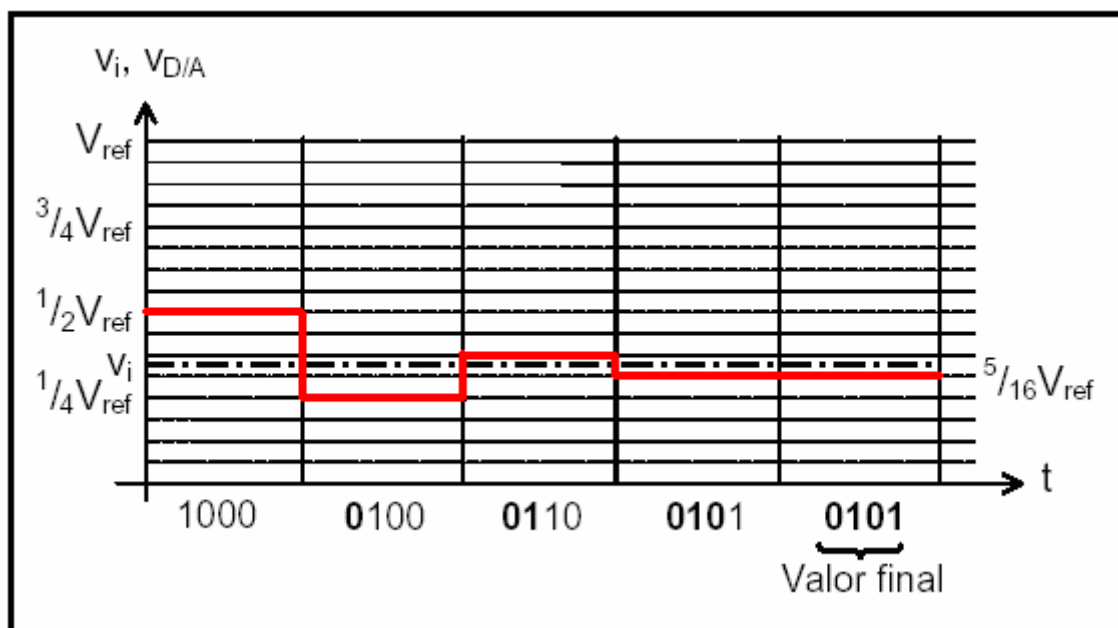


Figura 8. Ejemplo del proceso de acercamiento al valor final en un convertidor analógico-digital de aproximaciones sucesivas de 4-bits.

2.1.3.2 Convertidor flash

Es el más rápido de los esquemas. Está formado por un conjunto de comparadores en los que la señal de entrada es comparada con voltajes de referencia. Las salidas de dichos comparadores son conectadas a un circuito codificador con prioridad que produce una salida binaria. La Figura 9 muestra el esquema de un convertidor flash de 3 bits:

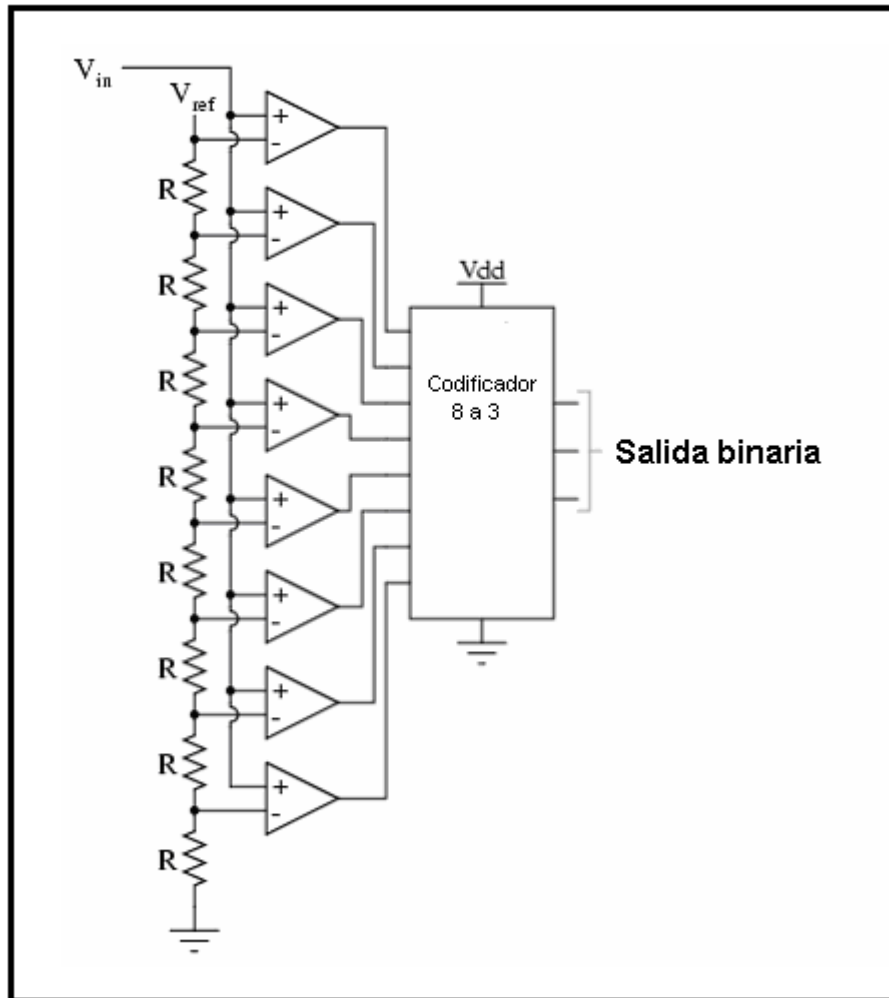


Figura 9. Convertidor flash de 3-bits

V_{ref} es un voltaje estable de referencia. Cuando el voltaje analógico a la entrada del convertidor supera el voltaje de referencia en cada comparador, la salida de estos se satura positivamente. El codificador genera entonces un número binario basado en la entrada activa de mayor orden, ignorando el resto de entradas activas.

Los convertidores Flash no sólo son los más simples en cuanto a la teoría de operación sino que son además los más eficientes en términos de velocidad. El problema radica en que son los que más número de componentes necesitan para una determinada resolución (número de bits). Un convertidor Flash de n -bits requiere 2^n convertidores, lo que significa que para obtener 8 bits a la salida se necesitan 256 comparadores. Esto hace que sean inutilizables para aplicaciones donde se requiera una alta precisión.

2.1.3.3 Convertidor Sigma-Delta

Estos convertidores digitalizan la señal con una muy baja resolución (1-bit) y con un ritmo de muestreo muy elevado (MHz). Mediante el uso de técnicas de sobremuestreo y filtros digitales se pueden obtener resoluciones cercanas a los 20 bits. Este tipo de convertidores son muy adecuados para conversiones donde la resolución es un factor muy importante y donde la frecuencia de las señales no es muy elevada, como puede ser el caso de utilidades de audio.

En un convertidor sigma-delta la señal analógica de entrada se conecta a un integrador cuya salida se compara con el voltaje de masa del sistema mediante un comparador. Éste último actúa como una ADC de 1-bit generando una salida binaria (+V o -V) dependiendo de si la salida del integrador es positiva o negativa. La salida del comparador pasa a través de un flip-flop tipo D (con una señal de reloj de alta frecuencia) y realimenta otro canal del integrador, conduciendo a éste en la dirección de los 0V. La *Figura 10* muestra el esquema un convertidor:

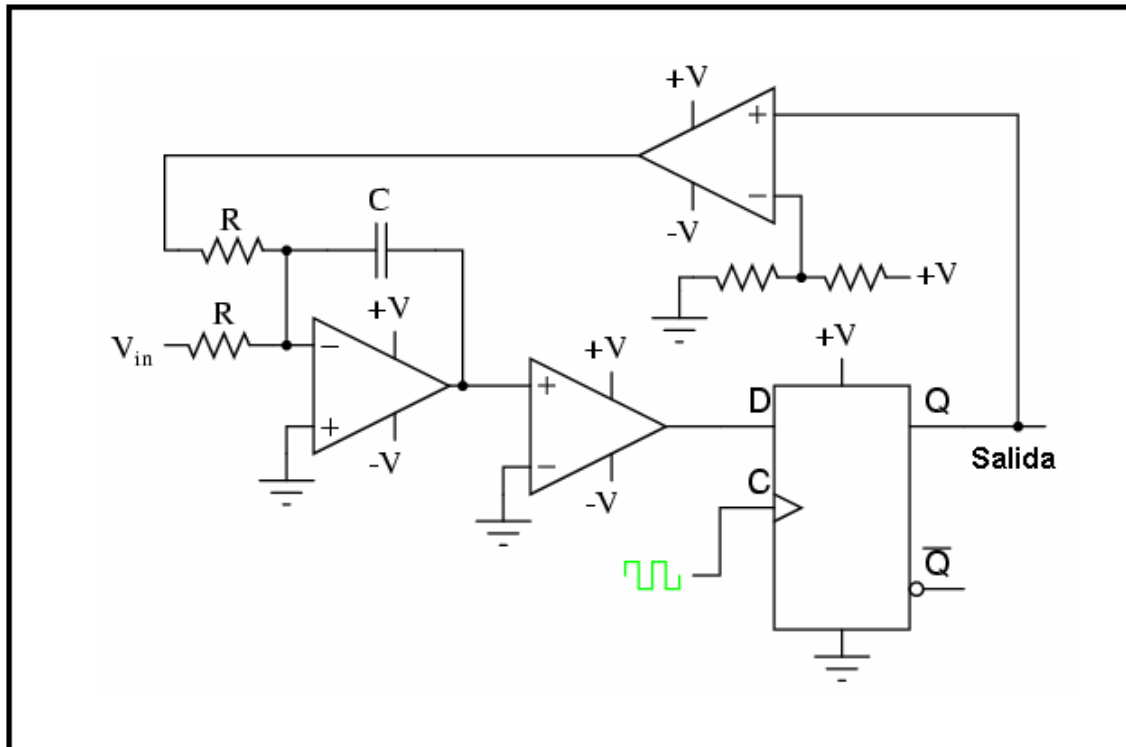


Figura 10. Esquema de un convertidor sigma-delta

Si la salida del integrador es positiva, el comparador se satura hacia $+V$ (lo que representa un 1 digital). En el siguiente pulso de reloj este valor se encontrará a la salida del flip-flop y por tanto siendo la entrada del segundo comparador, el cual tiene como voltaje de referencia un valor superior a $\frac{1}{2} +V$. Esto provoca una saturación positiva del mismo enviando un valor $+V$ al integrador, tendiendo su salida en dirección negativa. Cuando el voltaje de salida del integrador toma un valor negativo, el lazo de realimentación envía una señal de corrección negativa ($-V$) al integrador de forma que el mismo es conducido hacia un valor positivo. El concepto de sigma-delta se puede resumir de la siguiente manera: El primer comparador establece una diferencia (delta) entre la salida del integrador y $0V$. El integrador suma (sigma) la salida del comparador con la salida analógica de entrada. El resultado de este esquema es una cadena de bits a la salida del flip-flop.

La obtención de un número binario a la salida del sistema, es decir, un determinado número de bits paralelos a la salida, se consigue mediante la realización de una media de la cadena de bits a la salida del flip-flop. Por ejemplo, se puede diseñar un contador que determine el total de unos a la salida del flip-flop en un número dado de pulsos de reloj. Esta cuenta sería un indicativo del valor del voltaje de entrada.

2.1.3.4 Convertidor basado en tiempo

Existen otro tipo de arquitecturas que se identifican como convertidores analógico-digitales basados en tiempo, en los cuales se cuantifica el tiempo o la frecuencia en lugar de la tensión o la corriente. En el diseño del ADC que se lleva a cabo en este proyecto se trata de implementar un convertidor basado en tiempo. En el capítulo 3 se hará una descripción de las diferentes arquitecturas de este tipo. Se le ha dedicado un capítulo entero a este tipo de arquitecturas porque el diseño que se lleva a cabo en este proyecto se basa en un convertidor de este tipo, por lo que tiene especial interés analizar estas arquitecturas.

2.1.4 Evaluación de un convertidor analógico-digital

Todo convertidor A/D tiene desviaciones en su comportamiento con respecto al que sería ideal (4). Estas imperfecciones se pueden manifestar de diferentes formas, así por ejemplo, mientras que con un convertidor ideal se obtiene un único código digital de salida ante una entrada analógica constante, en un convertidor “real” la salida digital varía entorno a un valor central. Los “histogramas de ruido” son una representación de esta característica, mostrándose diferentes códigos de salida para un valor constante a la entrada, y la frecuencia con la que aparecen (ver *Figura 11*).

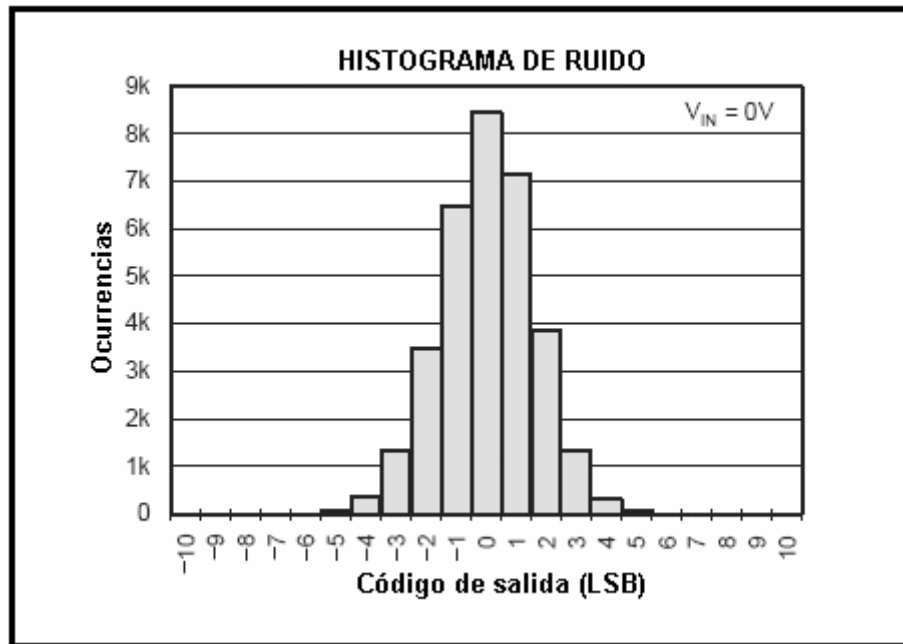


Figura 11. Ejemplo de histograma de ruido para un ADC.

Existen otros muchos tipos de desviaciones del comportamiento ideal, por ello, y con el fin de poder evaluar el funcionamiento de los convertidores A/D reales, se definen una serie de medidas que valoran estas imperfecciones y que se detallan a continuación.

2.1.4.1 Cuantización

El número de posibles códigos digitales a la salida de un convertidor es de 2^N , donde N representa la resolución del convertidor. Sólo un número limitado de valores analógicos de entrada (2^N), denominados valores centrales, pueden ser representados por medio de palabras digitales, el resto se aproxima al valor central más próximo. Por tanto siempre existe un error inherente a las conversiones denominado “error de cuantización”.

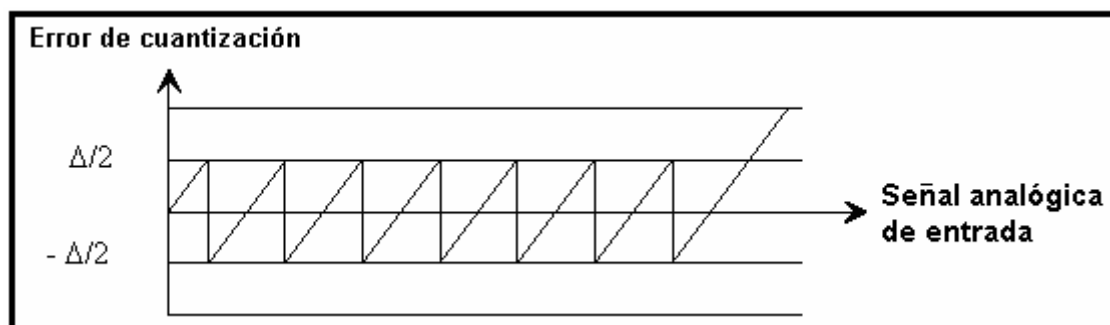


Figura 12. Error de cuantización en un ADC con $N=3$ y por tanto con 8 códigos digitales de salida. Δ representa un LSB.

Tal y como se observa en la **Figura 12**, el error de cuantización toma una amplitud máxima de $+\Delta/2$, donde Δ representa un LSB, y se divide en 2^N segmentos, en cada uno de ellos aumentando proporcionalmente al valor de la señal analógica de entrada.

Para calcular la potencia del ruido de cuantización se procede como sigue: la potencia de cualquier señal de ruido viene dada por la expresión

$$P_N(t) = \chi_{rms}^2(t) = \int_{-\infty}^{\infty} e^2 \cdot p(e,t) de$$

donde $x(t)$ representa el ruido y $p(e,t)$ es la función de densidad de probabilidad. En los sistemas ADC de alta resolución el error de cuantización puede ser considerado como ruido blanco, es decir, todos los valores de error en el rango $[-\Delta/2, \Delta/2]$ tienen la misma probabilidad de aparecer. Esto se puede expresar matemáticamente como

$$p(e,t) = \begin{cases} 1/\Delta \Rightarrow -\frac{\Delta}{2} < e < \frac{\Delta}{2} \\ 0 \Rightarrow e.o.c. \end{cases}$$

Por lo que la potencia del error de cuantización se puede calcular como

$$P_N = \int_{-\Delta/2}^{\Delta/2} e^2 \cdot \frac{1}{\Delta} de = \frac{\Delta^2}{12}$$

Este resultado será solo válido en el caso de que todos los niveles de cuantización tengan el mismo tamaño, lo cual ofrece el mejor resultado cuando los valores analógicos de entrada se distribuyen uniformemente. Pero si éste no es el caso, es decir, la señal de entrada al convertidor toma ciertos valores con mayor frecuencia, es más recomendable, para obtener mayor precisión en las conversiones, el uso de una cuantización no uniforme, en la que se utilizan niveles de cuantización más cortos para aquellos valores más frecuentes (ver *Figura 13*).

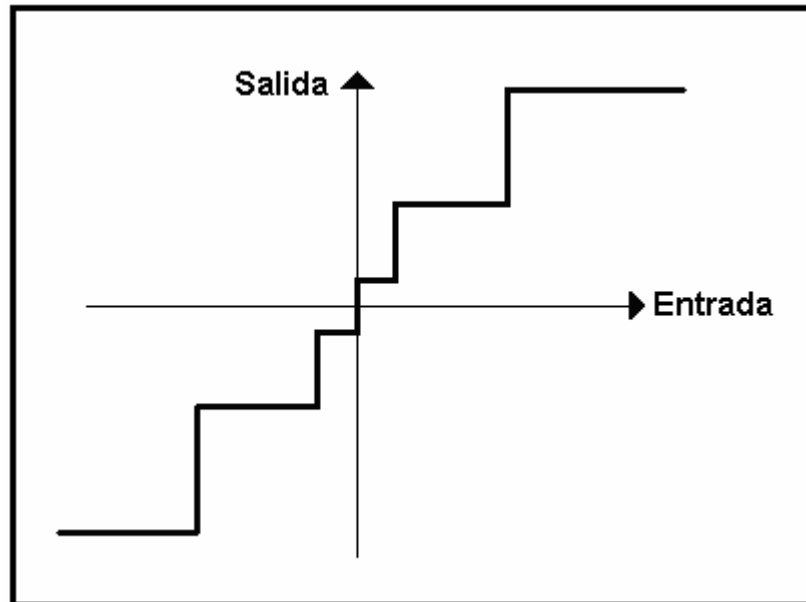


Figura 13. Función de transferencia de un ADC con cuantización no-uniforme.

Utilizando este método no-uniforme, algunas amplitudes se cuantizan con un mayor error, sin embargo, debido a que su probabilidad es menor, el error se mejora estadísticamente.

En los convertidores reales existen otros muchos factores que afectan negativamente el rendimiento del dispositivo, haciendo mucho mayor el error total que el causado por la

cuantización. Éste tipo de desviaciones del comportamiento ideal pueden ser divididas en dos grandes grupos: especificaciones estáticas y especificaciones dinámicas.

2.1.4.2 Especificaciones estáticas

Son aquellas especificaciones de un ADC que se refieren a una entrada analógica constante. Entre ellas se encuentran errores diferenciales e integrales, errores de *offset*, de ganancia y de monotonía.

2.1.4.2.1 Error de no-linealidad diferencial (DNL, Differential Non-Linearity)

DNL se define como la diferencia entre el ancho de código de entrada ideal y el real. El ancho de código de entrada es el conjunto de valores analógicos que pertenecen al mismo código digital de salida.

En un convertidor ideal los puntos de transición de un código al siguiente se encuentran separados exactamente por un LSB, existiendo en total 2^N transiciones (siendo N la resolución del convertidor). La transición cuyo ancho de código de entrada se aleja más del caso ideal es la que se toma para definir el DNL del convertidor.

La Figura 14 muestra la característica de DNL para un convertidor A/D de 3 bits.

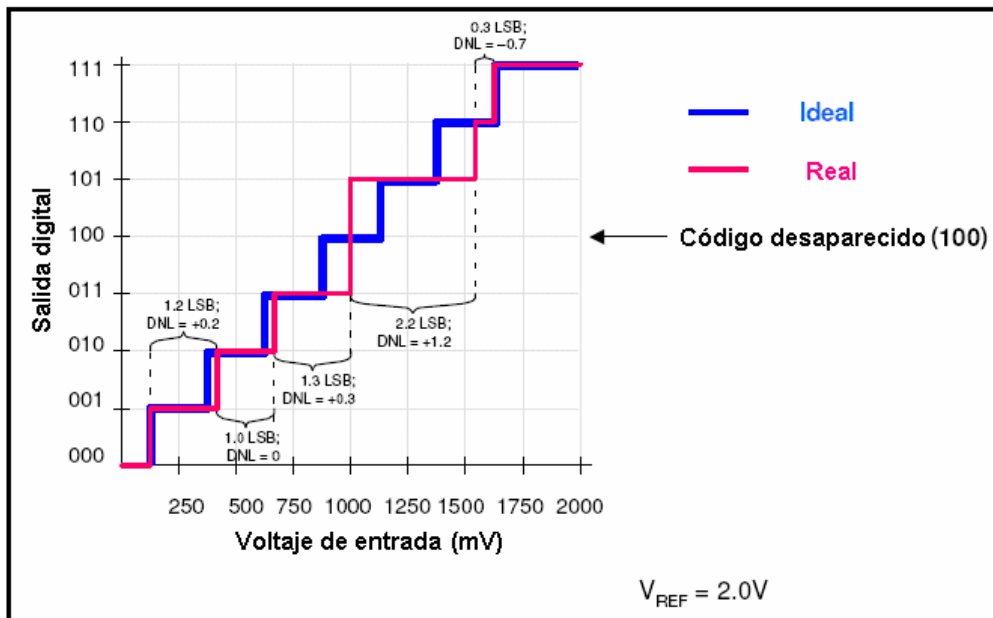


Figura 14. Comparación entre la función de transferencia de un ADC ideal (línea azul) y la de un ADC afectado por DNL (línea roja)

Cada escalón debería tener un ancho exacto de $1/8$ del rango completo de valores de entrada (FS). En el ejemplo de la figura la primera transición (de 000 a 001) es causada por una variación en el valor de entrada de FS/8 (250mV para el ejemplo mostrado de 2V), tal y como debería ser idealmente. La segunda transición, de 001 a 010, se corresponde con una variación de 1.2LSB en la señal de entrada, es decir, una diferencia de 0.2LSB con respecto al caso ideal. La tercera transición tiene exactamente el tamaño correcto. La salida digital del convertidor permanece anclada a un valor constante para valores analógicos de entrada comprendidos entre 1000mV y 1500mV aproximadamente, por lo que el código 100 nunca aparece a la salida. Es lo que se denomina código desaparecido. Para evitar este fenómeno es necesario mantener el DNL entre -1LSB y +1LSB.

Como ya se ha indicado previamente, el DNL de un convertidor es una especificación estática y se corresponde con el SNR (*Signal-to-Noise Ratio*), que es una especificación dinámica. Aunque el rendimiento del convertidor en lo que a ruido se refiere no puede ser

calculado en base a su DNL, sí que se puede afirmar que el SNR tiende a empeorar a medida que el DNL se aleja de cero.

2.1.4.2.2 No-linealidad integral (INL, Integral non-linearity)

No-linealidad integral, INL, (también conocida como error de linealidad integral o ILE y error de linealidad o LE) describe la desviación con respecto a la curva de transferencia lineal de un ADC ideal (ver Figura 15).

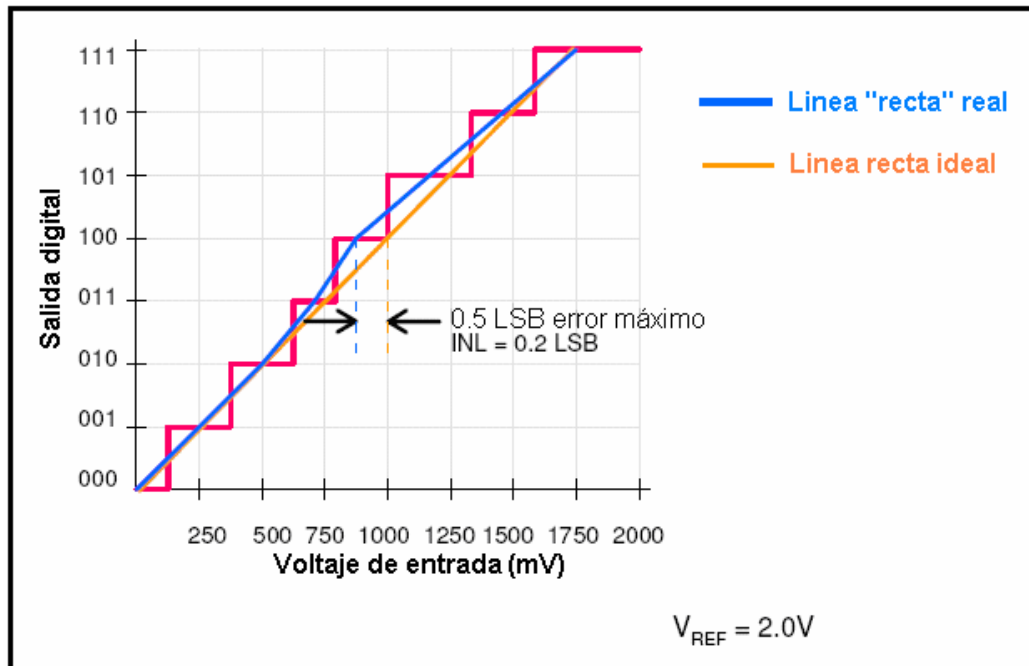


Figura 15. Función de transferencia de un ADC real. La línea azul muestra la desviación de ésta última con respecto a la de un ADC ideal.

El error INL no incluye errores de cuantización, de *offset* o de ganancia. Es una medida de la rectitud de la función de transferencia y puede ser mayor que la no-linealidad diferencial (DNL). El tamaño y distribución de los errores de DNL determinan el INL del convertidor.

En ocasiones se define un convertidor como "x-bits lineal". Por ejemplo, un convertidor A/D de 10-bits de resolución y 4-LSB de no-linealidad se describe como un convertidor "8-bits lineal", ya que 4 LSB para un dispositivo ADC de 10-bits es lo mismo que 1LSB para uno de 8-bits.

El error INL es una especificación estática que se corresponde con el THD (distorsión armónica total) del convertidor, que es una especificación dinámica. Aunque el rendimiento del convertidor en lo que a distorsión se refiere no puede ser calculado en base a su INL, sí que se puede afirmar que el THD tiende a empeorar a medida que el INL se aleja de cero.

2.1.4.2.3 Error de Offset

El error de offset indica el grado de correspondencia entre la función de transferencia real del convertidor y la ideal en un punto determinado de la misma. En un convertidor ideal la primera transferencia ocurre cuando el voltaje analógico de entrada supera 1/2LSB. Cualquier desviación de este comportamiento (ver Figura 16) es lo que se define como error de offset (también llamado error de offset de escala cero).

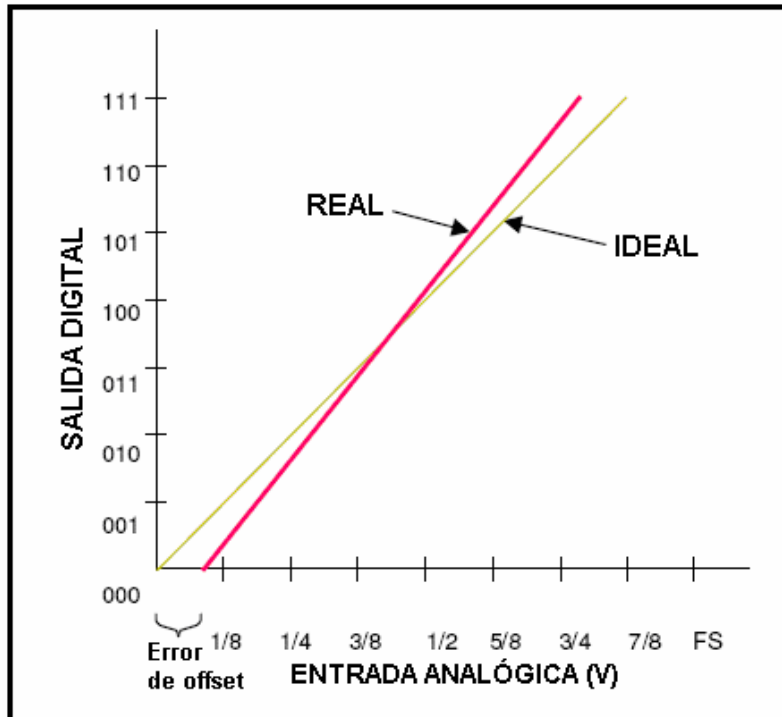


Figura 16. En un convertidor afectado por error de offset la primera transición de código se produce para un voltaje de entrada diferente al caso ideal

Este error puede ser positivo o negativo dependiendo de si la primera transición es mayor o menor que la ideal y se expresa en porcentaje del rango de valores de entrada (%FSR), en voltios o en LSB.

El error de offset se mantiene constante con el tiempo, aunque puede depender de condiciones externas al convertidor, tales como la temperatura del mismo, y puede ser fácilmente corregido (factorizado o calibrado) por medio de software.

2.1.4.2.4 Error de ganancia

El error de ganancia es una indicación de cómo la pendiente de la función de transferencia de un convertidor A/D real se ajusta a la pendiente ideal (ver Figura 17).

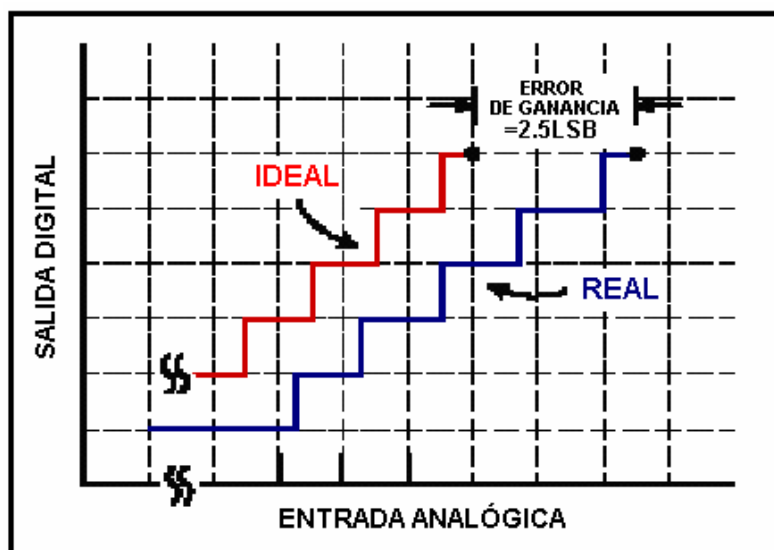


Figura 17. Ejemplo de la función de transferencia de un convertidor A/D afectado por error de ganancia

Es expresado en LSB o en porcentaje del rango de valores de entrada (%FSR) y puede ser corregido mediante calibrado en el hardware o en el software del sistema.

2.1.4.2.5 Códigos desaparecidos

Cuando ningún valor analógico de entrada causa la aparición a la salida del convertidor de un determinado código digital, como es el caso del código 010 mostrado en la *Figura 18*, éste deja de estar presente en la función de transferencia y se denomina “código desaparecido”.

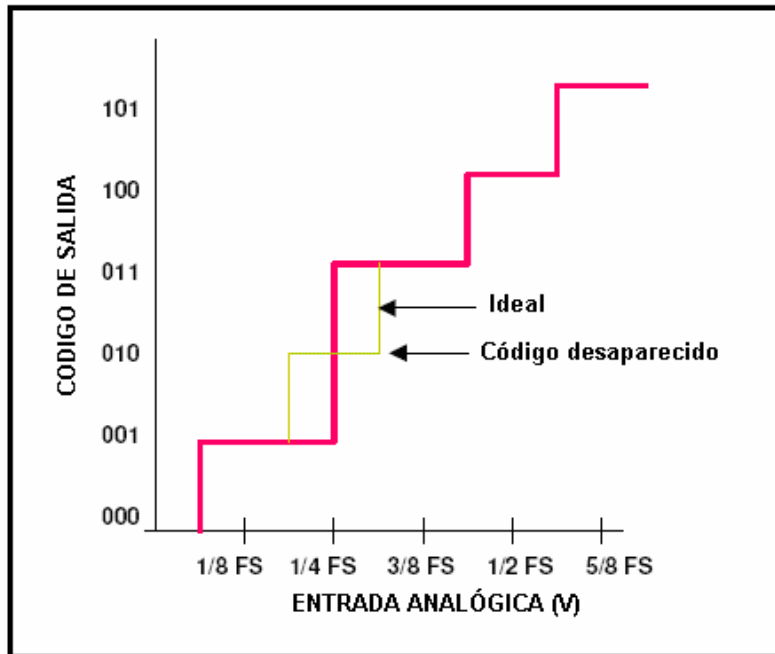


Figura 18. Función de transferencia de un ADC de 3-bits en el que el código 010 queda desaparecido

La *Figura 18* muestra la función de transferencia de un ADC de 3-bits. La primera transición de código, de 000 a 001, se produce cuando el voltaje de entrada supera $1/2\text{LSB}$, que se corresponde con el caso ideal. La segunda transición ocurre cuando la entrada alcanza $1/4\text{FS}$, siendo por tanto el error lineal diferencial en éste punto de $+1/2\text{LSB}$. La tercera transición tiene un error lineal diferencial de 1LSB , lo que tiene como consecuencia que el código de salida salte de 001 a 011 sin pasar por 010 (código desaparecido).

Muchos convertidores A/D especifican que no tienen códigos desaparecidos, ya que ésta propiedad puede ser crítica en muchas aplicaciones.

2.1.4.3 Especificaciones dinámicas

El rendimiento dinámico de un ADC se especifica mediante parámetros obtenidos tras el análisis de los resultados en el dominio de la frecuencia. La herramienta más utilizada para este propósito es la transformada de Fourier (*FFT, Fast Fourier Transform*) de los códigos digitales de salida.

2.1.4.3.1 Relación señal-ruido (SNR, Signal to noise ratio)

SNR es el cociente, expresado en dB, entre el valor cuadrático medio (*rms, root mean square*) de la señal de entrada tras la conversión y el valor *rms* del resto de los componentes espectrales con frecuencia inferior a la mitad de la de muestreo, incluyendo los armónicos. Esto se puede simplificar diciendo que el SNR es la relación en dB entre el valor *rms* de la señal digital de salida y el valor *rms* de la señal de ruido en un cierto instante de tiempo.

En un convertidor ideal el único ruido presente es el de cuantización, el cual viene dado por $\Delta/\sqrt{12}$ ($\Delta=1\text{LSB}=FS/2^N$). El valor *rms* de una señal sinusoidal (señal utilizada para este tipo de análisis) es $FS/2\sqrt{2}$, por tanto en un convertidor ideal:

$$SNR_{ideal} = \frac{señal_{rms}}{ruido_{rms}} = \frac{\frac{FS}{2\sqrt{2}}}{\frac{FS}{2^N\sqrt{2}}} = \frac{2^N \cdot \sqrt{3}}{\sqrt{2}} = 1.225 \cdot 2^N$$

expresado en dB:

$$SNR_{ideal} (dB) = 20 \log(1.225 \cdot 2^N) = 6.02N + 1.763$$

En la práctica, en un convertidor real, existen diversas fuentes de ruido (no sólo el de cuantización) por lo que el SNR de un convertidor real se define como:

$$SNR_{dB} = 20 \log_{10} \left(\frac{A_{señal[rms]}}{A_{ruido_total[rms]}} \right)$$

donde $A_{señal[rms]}$ representa la amplitud *rms* de la señal de entrada a la salida del convertidor, y $A_{ruido_total[rms]}$ es la suma *rms* de todas las señales de ruido (térmico, cuantización, etcétera), responsables de la disminución de la precisión de las conversiones.

2.1.4.3.2 Rango dinámico libre de espurios (SFDR, Spurious free dynamic range)

SFDR es la diferencia, expresada en dB, entre el valor *rms* de la señal de entrada a la salida del convertidor y el valor *rms* del mayor espurio (ver Figura 19). Un espurio se define como cualquier señal presente en el espectro de salida no incluido en la señal de entrada al ADC.

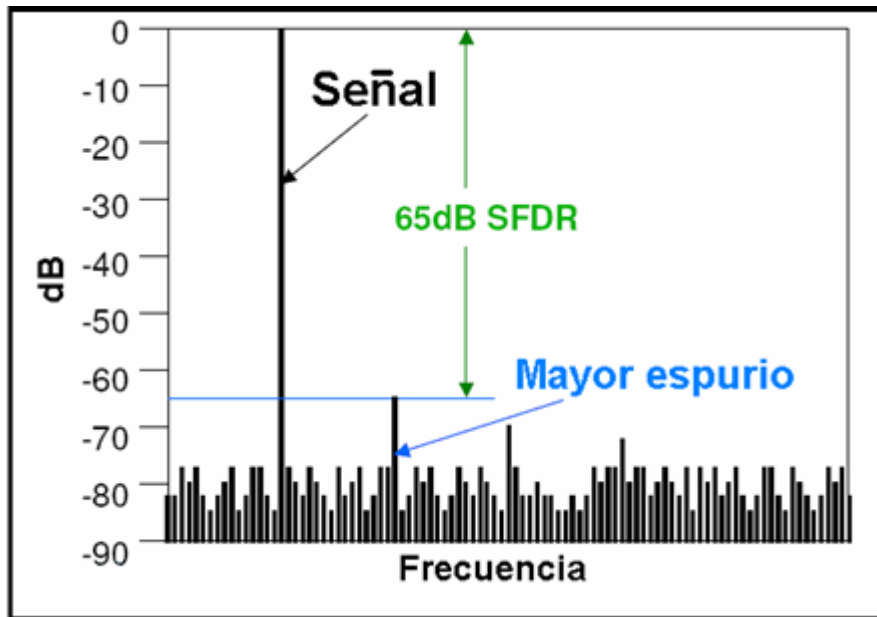


Figura 19. Gráfica de la FFT de una señal con un SFDR de 65dB

2.1.4.3.3 Distorsión armónica total (THD, Total Harmonic Distortion)

THD es el cociente, expresado en dB, de la suma *rms* de todos los armónicos presentes en el espectro de la señal de salida y el valor *rms* de la señal de entrada tras la conversión.

$$THD_{dB} = 20 \log_{10} \left(\frac{\sqrt{A_{HD2[rms]}^2 + A_{HD3[rms]}^2 + \dots + A_{HDN[rms]}^2}}{A[f_{in}]_{rms}} \right)$$

Donde $A[f_{in}]_{rms}$ representa el valor *rms* de la señal convertida y $A_{HDN[rms]}$ es el valor *rms* del armónico N.

Aunque por definición se incluyen todos los armónicos, en la práctica, los primeros seis de ellos representan la mayoría de la distorsión a la salida del convertidor, siendo suficientes para el cálculo del THD.

En un ADC muestreando una señal periódica, cualquier error dinámico así como las no-linealidades integrales contribuyen a la distorsión armónica del convertidor. En señales sinusoidales puras, los componentes armónicos de distorsión a la salida del convertidor son múltiplos enteros de la frecuencia de la señal de entrada. Este hecho facilita en gran medida el algoritmo utilizado para el cálculo del SNR y THD ya que restringe la búsqueda de los armónicos a determinadas áreas del espectro. Esta es una de las razones por la que las señales sinusoidales son las más frecuentes a la hora de evaluar el comportamiento dinámico de los sistemas ADC.

2.1.4.3.4 Relación señal-ruido plus distorsión (SINAD)

La relación señal-ruido plus distorsión (SINAD, SNDR o S/N+D) es una combinación de las especificaciones de SNR y THD del convertidor. Se puede definir como el cociente entre el valor *rms* de la señal de salida y el valor *rms* del resto de componentes espectrales por debajo de la mitad de la frecuencia de muestreo, incluyendo los armónicos pero excluyendo componentes DC. Su valor puede ser fácilmente obtenido a partir de los valores SNR y THD del convertidor:

$$SINAD = -20 \log \sqrt{10^{\frac{-SNR}{10}} + 10^{\frac{THD}{10}}}$$

Se trata de una medida general del comportamiento dinámico del ADC, ya que compara componentes en frecuencia indeseados con la frecuencia de entrada.

2.1.4.3.5 Número efectivo de bits (ENOB, Effective number of bits)

El número efectivo de bits es una de las especificaciones dinámicas más utilizadas para convertidores A/D reales, ya que es un indicador global de la resolución del sistema para una determinada frecuencia de la señal de entrada a una cierta velocidad de muestreo.

Se calcula en base a los datos digitales de salida del convertidor como:

$$ENOB = N - \log_2 \left(\frac{A_{error_medido[rms]}}{A_{error_ideal[rms]}} \right)$$

Donde N es la resolución del convertidor, es decir, el número de bits del mismo, $A_{error_medido[rms]}$ es el valor *rms* medio del ruido medido y $A_{error_ideal[rms]}$ representa el error de cuantización que, como ya se ha visto en apartados anteriores, puede ser expresado como:

$$A_{error_ideal[rms]} = \frac{LSB}{\sqrt{12}} = \frac{FS}{2^N \sqrt{12}}$$

y por tanto:

$$ENOB = \left(\frac{A_{FS}}{A_{error_medido[rms]} \cdot \sqrt{12}} \right)$$

También se puede expresar en función del SINAD como:

$$ENOB = \frac{(SINAD - 1.763)}{6.02}$$

En resumen se puede definir el ENOB como un método de especificación de la resolución del sistema e indica que el convertidor es equivalente a un ADC ideal de ese número (ENOB) de bits.

A pesar de ser una especificación dinámica, en ella quedan reflejadas todas las imperfecciones del sistema, es decir, engloba la totalidad de fuentes de ruido, siendo así la mejor manera de comprobar el rendimiento del convertidor. Es por ello que a lo largo de éste proyecto se utilizará el ENOB junto con la INL como medida de la precisión.