3 CONVERTIDOR ANLÓGICO-DIGITAL BASADO EN TIEMPO

En este capítulo se describirán las arquitecturas existentes más comunes de convertidores analógico –digital basados en tiempo, es decir, el estado del arte.

3.1 Arquitecturas de ADCs basados en tiempo

3.1.1 Convertidor de rampa discreta

Operan generando un código digital que es aplicado como entrada a un convertidor D/A. La salida de éste se compara con la entrada y, según el signo del error, se incrementa o no el código. El generador de código es un simple contador ascendente. La estructura está ilustrada en la *Figura 20*. Al resetear el contador, el convertidor D/A aplica una tensión nula al comparador. Si $v_i > 0$, la salida del comparador es alta, la puerta AND deja pasar los pulsos de reloj, el contador comienza a incrementar el número aplicado en el D/A y éste comienza a aumentar en forma escalonada la tensión en el terminal (-) del comparador. Esta situación se mantiene hasta que la tensión (-) supera a v_i. En ese instante la salida del comparador baja e inhibe, a través de la puerta AND, el conteo. El valor digital D se mantiene entonces invariable hasta un nuevo reset.

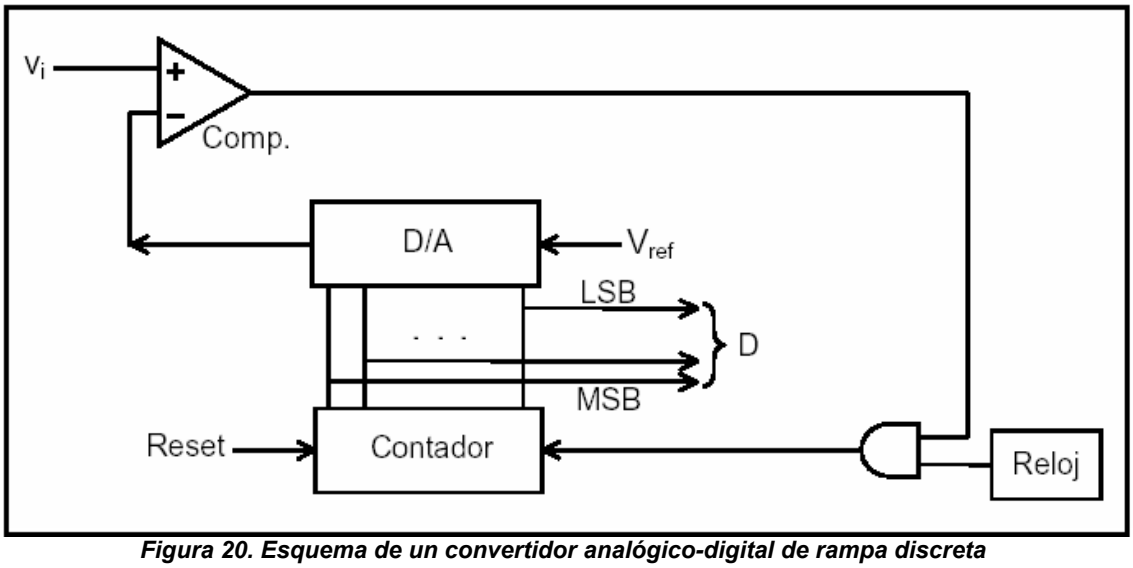

Figura 20. Esquema de un convertidor analógico-digital de rampa discreta

3.1.2 Convertidor de balance continuo

El convertidor anterior necesita ser reseteado para cada conversión, además de requerir hasta 2^{N-1} ciclos de reloj para completar una conversión. Conceptualmente, el reset puede interpretarse como un conteo descendente rápido y, en ese caso, se efectúa externamente al convertidor (ya sea manual o automáticamente).

Si se supone ahora un contador capaz de contar hacia arriba o hacia abajo (*up/down*) según el nivel de una señal de control. Tendremos así un convertidor que responde muy rápidamente a variaciones pequeñas. Tal esquema, denominado convertidor de balance continuo, se muestra en la *Figura 21*.

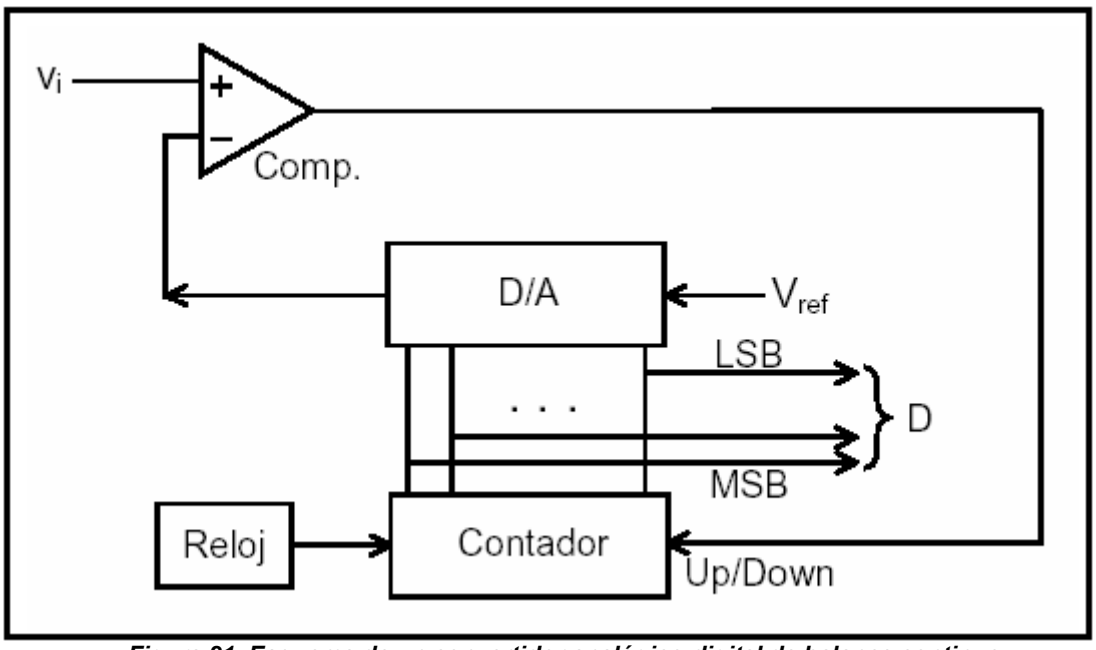

Figura 21. Esquema de un convertidor analógico-digital de balance continuo

Una desventaja es que siempre cambia de valor, aun con entrada constante, ya que siempre "se pasa" para uno u otro lado, oscilando con una amplitud de un LSB. Una solución sería ignorar el bit menos significativo, o bien utilizar un convertidor con un bit más de lo necesario.

3.1.3 Convertidor de rampa simple

En este tipo de convertidores se utiliza un integrador con un condensador que se carga a pendiente constante hasta alcanzar la tensión a convertir, instante en que cesa la integración. El tiempo requerido es proporcional a la tensión de entrada, y puede medirse con un contador que cuente ciclos de un reloj. En la *Figura 22* se muestra el esquema correspondiente a este tipo de convertidor.

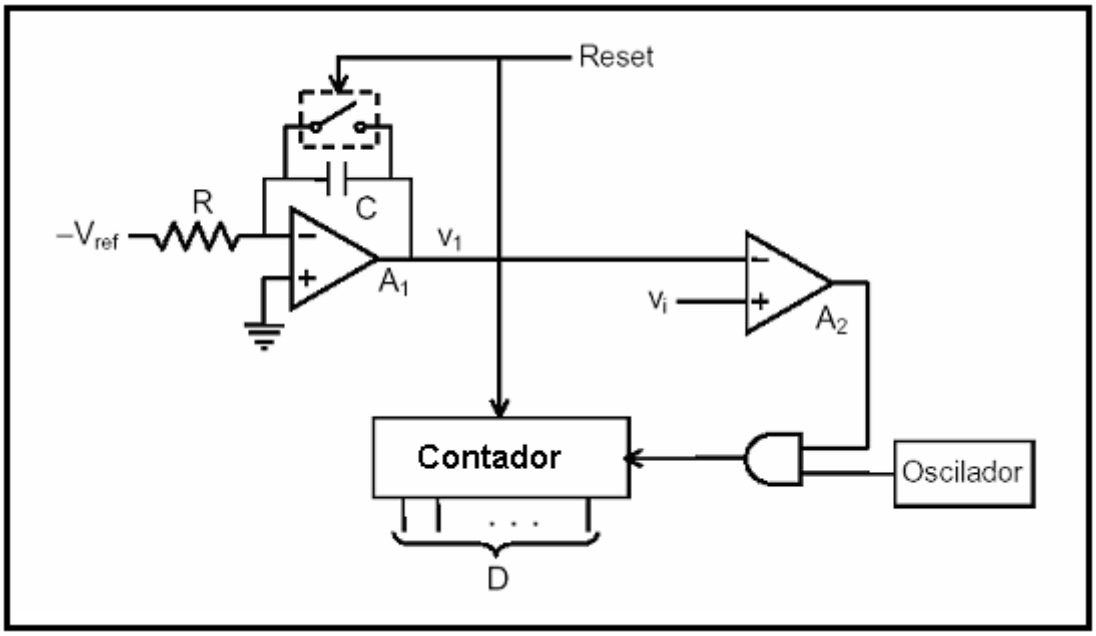

Figura 22. Esquema de un convertidor analógico-digital de rampa simple

El integrador comienza a integrar la tensión –Vref, obteniéndose

$$v_1 = \frac{V_{ref}}{RC} t$$

Mientras $v_1 < v_i$ el comparador está alto, permitiendo que los pulsos del oscilador pasen a la entrada de reloj de un contador. Cuando $v_1 \geq v_i$, el comparador conmuta, inhibiendo los pulsos de reloj. El contador queda entonces con su cuenta retenida. Dicho valor es

$$D = \left[f_{ck} \bullet t_0 \right] = f_{ck} \bullet R \bullet C \frac{v_i}{V_{ref}}$$

Donde [] es la parte entera del argumento. Eligiendo $f_{ck}RC=2^n$ se obtiene un convertidor de n bits.

Este circuito tiene dos inconvenientes:

- La exactitud depende de f_{ck}, de R y de C.
- Si se requiere mayor velocidad debe reducirse RC. Por lo cual, las corrientes de polarización pueden alterar la integración.

3.1.4 Convertidor de rampa doble

Este esquema permite independizarse de la precisión de f_{ck}, R y C. La conversión se hace en dos etapas. En la primera se realiza una integración de la tensión de entrada durante un tiempo fijo, y en la segunda se produce la descarga, con pendiente fija, durante un tiempo dependiente de la cantidad de carga acumulada.

La conversión se realiza contando pulsos de reloj durante el tiempo de descarga del integrador hasta que éste retorna a 0. En general, el tiempo fijo T es:

$$T = \frac{2^n}{f_{ck}}$$

A continuación se toman las pendientes como $p_1=v_i/RC$ y $p_2=V_{ref}/RC$. En la *Figura 23* se muestra un circuito que realiza esta función.

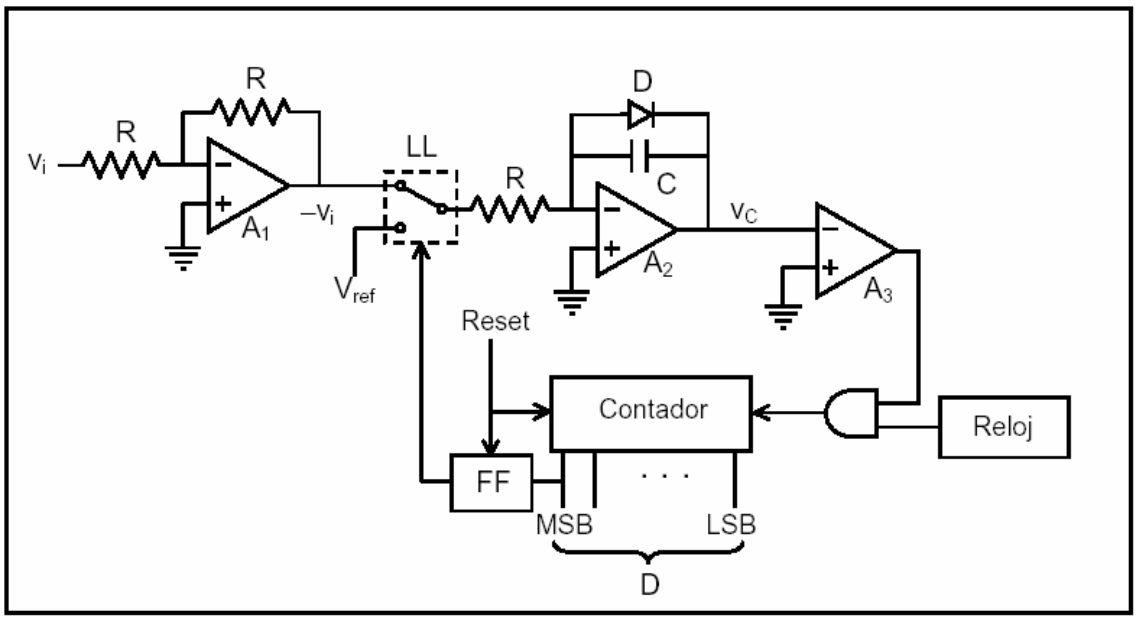

Figura 23. Esquema de un convertidor analógico-digital de doble rampa

El ciclo comienza cuando se resetean, simultáneamente, el contador y el flip-flop FF. Entonces el conmutador LL conecta la tensión $-v_i$, por lo tanto, a la salida del integrador tenemos

$$v_c(t) = \frac{v_i}{R \bullet C} t + v_c(0)$$

Dado que inicialmente $v_c(0) < 0$, la salida del comparador es baja, inhibiendo los pulsos del reloj. Cuando $v_c(t)$ pasa por 0 se habilita el reloj y el contador cuenta hasta llegar al máximo valor (11...1), tras lo cual el MSB pasa nuevamente a 0, haciendo conmutar el flip-flop. El tiempo total transcurrido es

$$T = \frac{2^n}{f_{ck}}$$

Donde f_{ck} es la frecuencia de los pulsos del reloj. Al cabo de este tiempo tenemos

$$v_c(T) = \frac{v_i \bullet 2^n}{R \bullet C \bullet f_{ck}}$$

Luego LL conmuta, pasando a integrar V_{ref}. Entonces

$$v_c(t) = \frac{v_i \bullet 2^2}{R \bullet C \bullet f_{ck}} - \frac{V_{ref}}{R \bullet C}(t - T)$$

El conteo prosigue hasta que $v_c(t) = 0$, por lo tanto

$$(t - T) = \frac{v_i \bullet 2^n}{V_{ref} \bullet f_{ck}}$$

La cuenta alcanzada será $D = [(t-T)f_{ck}]$, donde [] es la parte entera. Finalmente

$$D = \frac{v_i \bullet 2^n}{V_{ref}}$$

Este valor no depende ni de RC ni de la frecuencia del reloj, siempre que ambos valores se mantengan constantes durante ambas rampas. El rango máximo de entrada será $[0, V_{ref}]$.

En la *Figura 24* se resume la operación durante el ciclo de conversión.

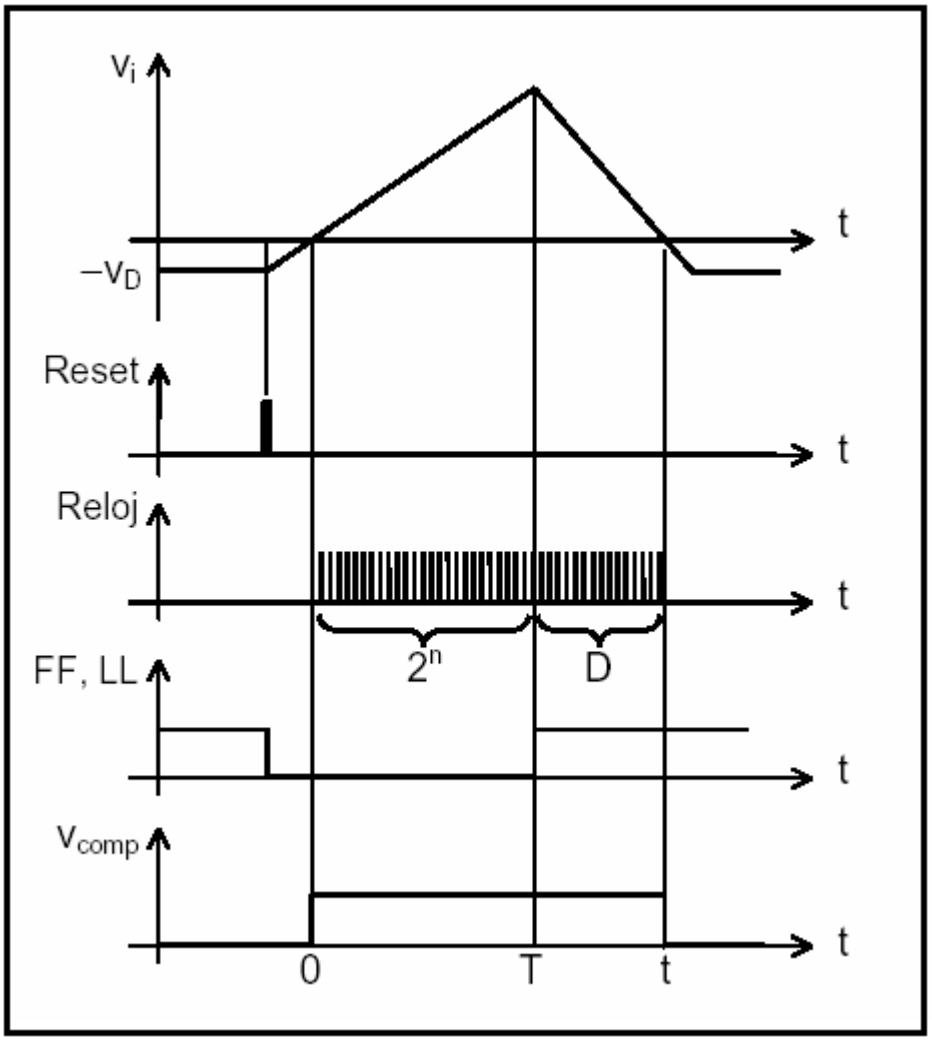

Figura 24. Diagramas temporales de la evolución del ciclo de conversión de un convertidor analógico digital de rampa doble.

Es posible transformar este convertidor, originalmente unipolar, en bipolar, para lo cual basta desplazar la entrada, sustituyendo el amplificador de entrada por un sumador, como se muestra en la *Figura 25* (en este caso el resultado se presenta en complemento a 2). Al cabo de 2^n cuentas tendremos

$$v_c(T) = \left(v_i + \frac{V_{ref}}{2} \right) \bullet \frac{2^n}{R \bullet C \bullet f_{ck}}$$

De manera que, con el mismo razonamiento anterior, se tiene

$$D = \left[\left(v_i + \frac{V_{ref}}{2} \right) \frac{2^n}{V_{ref}} \right]$$

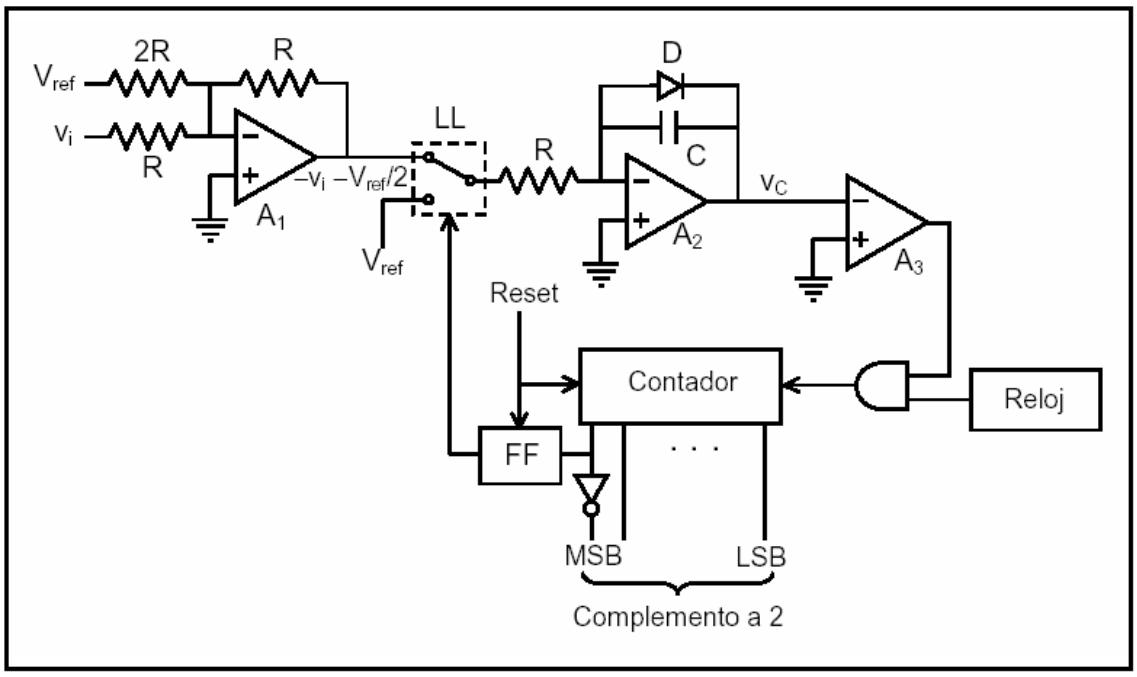

Figura 25. Esquema de un convertidor analógico-digital bipolar de rampa doble. La conversión se obtiene en complemento a 2.

Por ejemplo, si $v_i = -V_{ref} / 2$, resulta D = 0; si $v_i = 0$, D $=2^{n-1}$; y si $v_i \approx V_{ref} / 2$, D = 2^{n-1}. Se obtiene el resultado en código binario desplazado. Negando el MSB se obtiene en complemento a 2.

Una desventaja de este tipo de circuitos es que el tiempo de conversión es elevado. Podría disminuirse reduciendo RC y aumentando la frecuencia de los pulsos del reloj, pero ello no es conveniente porque si se reduce R, aumentan los errores debidos a la caída en la resistencia no nula del conmutador y si se reduce C, aumentan los errores debidos a las corrientes parásitas.

Una propiedad interesante de los convertidores integrados es que rechazan el ruido de alta frecuencia, el cual es atenuado por la propia integración. Pero, además, si el período de integración de la señal de entrada coincide con el de algún ruido periódico, como por ejemplo, el ruido originado en fugas o *ripples* con frecuencia de la línea de alimentación (50 Hz) o sus múltiplos, dicho ruido resultará eliminado por completo (en tanto su pendiente no sea tan alta como para igualar la pendiente de descarga). En efecto, supongamos un ruido sinusoidal

$$r(t) = V_r \cos(\omega t + \varphi)$$

sumado a la señal (constante) de entrada. Entonces, llamando T = 0 al instante en que se habilita el contador

$$v_c(t) = \frac{v_i}{R \bullet C} t + \frac{1}{R \bullet C} \int_0^t r(t) = V_r \cos(\omega t + \varphi)\, dt$$

$$v_c(t) = \frac{v_i}{R \bullet C} t + 2 \frac{V_r}{R \bullet C} sen\left((\omega t + \varphi) - sen\varphi\right)$$

Teniendo en cuenta que sen(x)-sen(y) = 2sen[(x-y)/2]*cos[(x+y)/2], resulta

$$v_c(t) = \frac{v_i}{R \bullet C} t + 2 \frac{V_r}{R \bullet C} sen\left(\frac{\omega t}{2}\right) \cos\left(\frac{\omega t}{2} + \varphi\right)$$

Si integramos hasta t = T y tenemos en cuenta que φ es arbitrario, ya que el orden de comienzo de la conversión no guarda ninguna relación con el ruido, resulta que el peor caso (ruido máximo) se da para $\varphi = -\omega T/2$. Entonces

$$v_c(t) = \left(v_i + V_r \frac{sen(\pi fT)}{\pi fT} \right) \frac{T}{R \bullet C}$$

El error queda multiplicado por la función $sen(\pi fT)$, como se ilustra en la *Figura 26*.

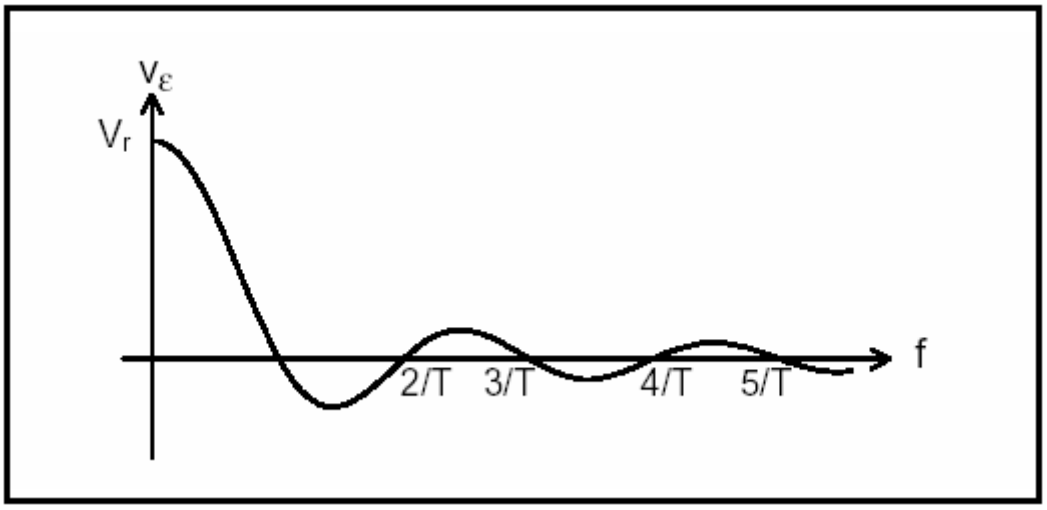

Figura 26. Error al cabo de la primera rampa ocasionado por una sinusoide superpuesta de amplitud Vr y frecuencia f.

En otras palabras, para f = k/T, con k entero, el ruido se anula. En general se adopta k=1 y $T=1/f_{ruido}$. Esto se utiliza especialmente en los convertidores A/D destinados a los multímetros digitales. En estos casos, el contador es BCD y en lugar de usar códigos desplazados, un circuito detecta el signo e invierte la señal si resulta negativa.

3.1.5 ADC basado en la modulación de anchura de pulso (PWM, Pulse Width Modulation)

Podemos ver una simplificación de un diagrama de bloques de este tipo de ADC (5) en la *Figura 27.* En primer lugar la señal de entrada es modulada de tal forma que en función del nivel de señal de entrada, a la salida del modulador se tendrá un tren de pulsos de mayor o menor periodo, es decir, de mayor o menor anchura (*pulse-width-modulated*). Posteriormente este tren de pulsos es cuantizado por un contador. La modulación del ancho del pulso es una técnica para transferir la información en el dominio de la amplitud (tanto de tensión como de corriente) al dominio del tiempo. Cuando se utiliza PWM generalmente se crea distorsión en la señal debido a un comportamiento no lineal. Para evitar las no linealidades la frecuencia de modulación debe ser al menos ocho veces mayor que el ancho de banda de la señal de entrada.

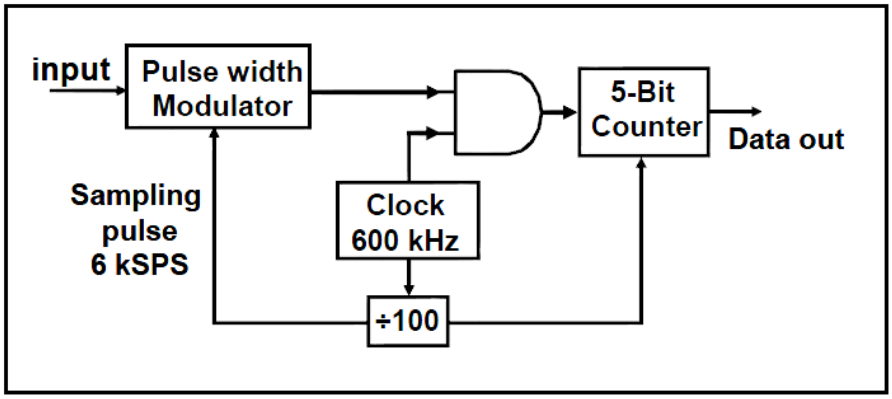

Figura 27. ADC PWM

3.1.6 ADC asíncrono (Level-crossing or asynchronous)

Un ADC de este tipo (6) tiene distintos niveles de referencia (referencia de tensión) y múltiples comparadores. El funcionamiento se basa en el registro de instantes de tiempo. Cuando la señal pasa por los umbrales de dos niveles consecutivos, los instantes en los que se produce el *cruce* quedan registrados, y el intervalo entre los dos instantes de tiempo es cuantizado. Esto se puede ver en la *Figura 28*.

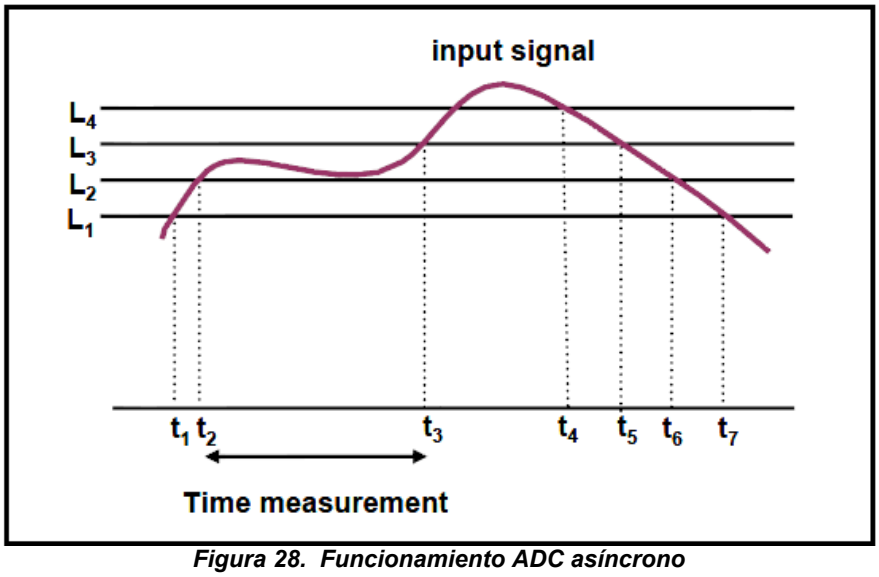

Figura 28. Funcionamiento ADC asíncrono

Los datos de salida, es decir, el tiempo medido (time measurement) se dan de forma no uniforme, de manera que no están espaciados en el tiempo. En cuanto al funcionamiento, cada comparador genera un pulso de salida cuando la señal de entrada pasa su correspondiente umbral de tensión. La actividad de comparación no es síncrona con ninguna referencia de reloj, y solamente depende de la actividad de la señal de entrada. Por lo tanto, debe haber un protocolo de "apretón de manos" entre estos comparadores (por ejemplo tokens en la Figura 29) y un bloque de grabación de tiempo. Un bloque de ADC asíncrono se puede ver en la *Figura 29*.

Una característica interesante de este tipo de convertidores es que el consumo de potencia es proporcional a la actividad de la señal, de manera que si no se está introduciendo señal el ADC no consumirá.

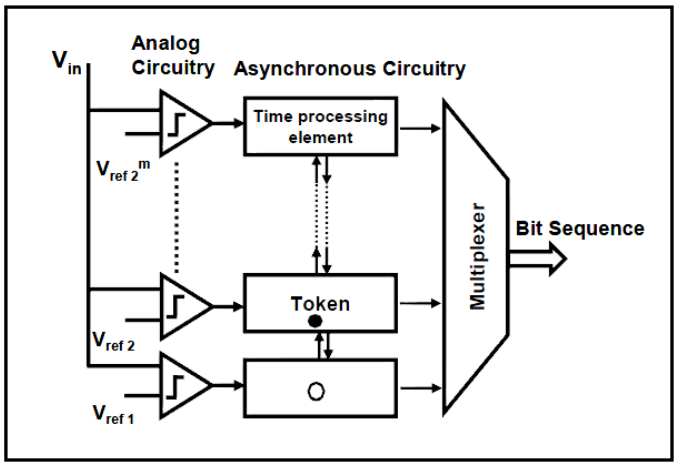

Figura 29. ADC asíncrono

3.1.7 ADC basado en celda de retraso controlado por tensión (based on voltage-controlled delay cell)

En esta arquitectura (7), la tensión de la señal de entrada en primer lugar se convierte a retraso (tiempo), usando una celda de retraso controlado por tensión y este tiempo de retraso es digitalizado mediante un convertidor de tiempo a digital (time-to-digital converter, TDC) como se observa en la *Figura 30* . En otras palabras, el retraso generado por la celda de controlada por tensión se modula de forma lineal por la entrada V_{in}. Como se puede ver en la figura cuando se produce el flanco de subida de la señal *start* entra en funcionamiento la celda de retraso. La salida de la celda (señal *stop*) es generada después de un cierto retraso (t_d). Es importante saber que t_d linealmente proporcional a la señal de entrada V_{in}, y por lo tanto la salida del TDC es proporcional a $V_{in.}$ El inconveniente de este tipo de convertidores es que el diseño de una celda de retraso controlado por tensión con un rango dinámico muy grande es una tarea difícil.

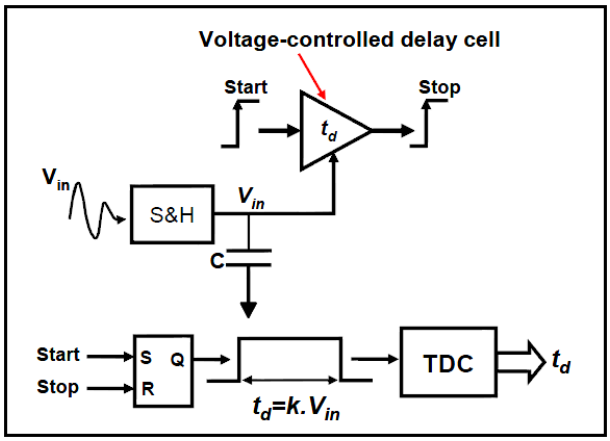

Figura 30. ADC basado en TDC con celda de retraso controlado por tensión de forma lineal

3.1.8 ADC basado en la conversión voltaje-frecuencia (voltage-to-frequency conversión)

En la arquitectura de los convertidores basados en la conversión de voltaje-frecuencia La señal de entrada es convertida a frecuencia (o fase) y posteriormente es cuantizada mediante un cuantizador de frecuencia (o fase). El principal problema de esta arquitectura es la precisión y la linealidad de la conversión voltaje-frecuencia. Normalmente, este ADC utiliza un oscilador controlado por tensión (VCO) como convertidor voltaje-frecuencia, de manera que la frecuencia es controlada mediante una tensión de entrada analógica V_{in} (8) (9). Durante un

tiempo limitado, t_{sample}, la salida del VCO se alimenta a un contador que detecta el aumento en los bordes de la salida del VCO, y en consecuencia cuantiza la frecuencia. La salida del contador es procesada una tabla de asignación para mapear la característica del VCO. La resolución del ADC viene determinada por la frecuencia máxima y mínima del VCO y t_{sample} como:

$$\mathrm{Re}\,s = \log_2\left(\frac{f_{\max}}{f_{sample}} - \frac{f_{\min}}{f_{sample}}\right)$$

donde f_{sample} es el inverso de t_{sample}, y f_{max} y f_{min} son el máximo y el mínimo de frecuencia del VCO respectivamente.

Con el fin de aumentar la velocidad y la resolución del ADC, se puede emplear un VCO multifase, para lo cual se puede emplear un anillo VCO (ver *Figura 31*). Durante el período de muestreo, el VCO convierte tensión de entrada analógica a fase. La salida es cuantizada de forma gruesa por un contador, contando los flancos de subida y de bajada. La fase residual o el error de cuantización gruesa (residual error) se cuantiza de forma más fina mediante los detectores de fase de los diferentes etapas del anillo oscilador. Suponiendo que N_{cell} es el número de etapas del anillo VCO, la resolución se modifica, dando lugar a:

$$\mathrm{Re}\,s = \log_2\left[\left(\frac{f_{\max}}{f_{sample}} - \frac{f_{\min}}{f_{sample}}\right) \bullet 2N_{cell}\right]$$

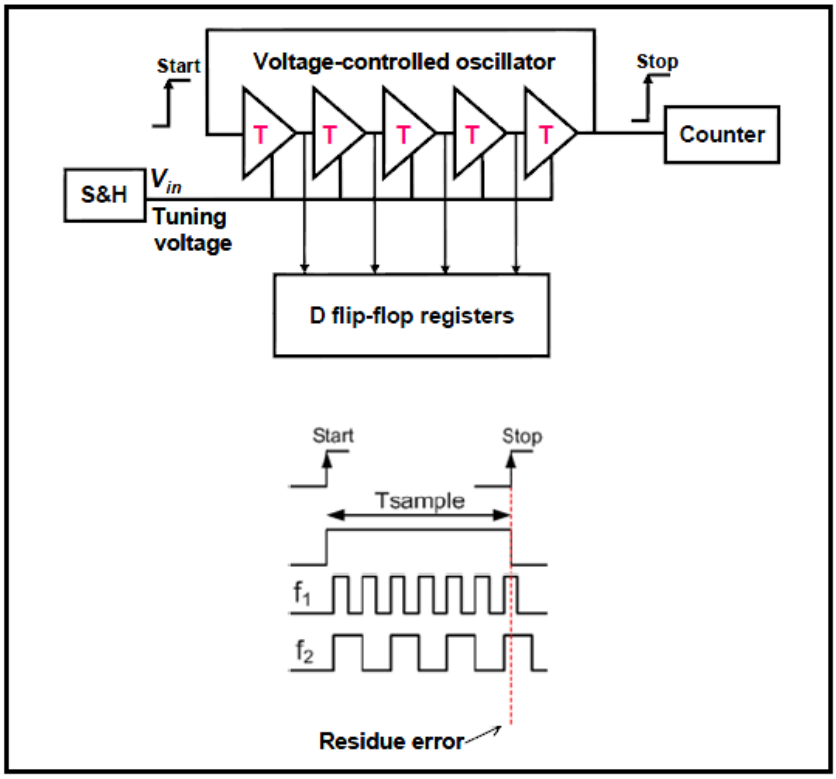

Figura 31. ADC basado en VCO

Son muchos los problemas que envuelve la implementación de esta arquitectura como el tiempo de jitter, la linealidad del VCO, el suministro de tensión, y las variaciones de temperatura. La principal ventaja de esta arquitectura es que el VCO actúa como convertidor de tensión a frecuencia y como cuantizador al mismo tiempo. El VCO junto con un contador de pulsos puede funcionar como un cuantificador de alta velocidad. Un VCO también produce ruido shaping de primer orden ya que la fase del pulso de salida es una cantidad integrada en la tensión de entrada. La mayoría de los VCOs sufren una relación entre la tensión de entrada y la frecuencia de salida. Para mejorar la linealidad, el VCO se puede configurar con una

realimentación de segundo orden ΣΔ-ADC, como se muestra en la *Figura 32*. Esta última arquitectura proporciona un convertidor de alta resolución y relativamente rápido.

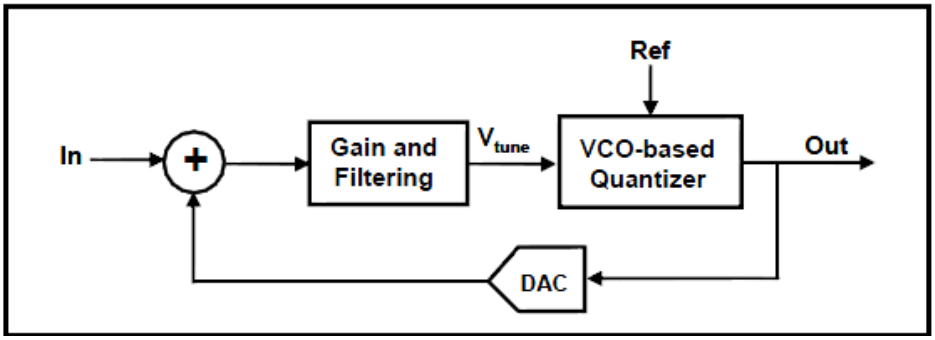

Figura 32. ΣΔ-ADC basado en VCO

3.2 Convertidores de tiempo a digital (Time-to-digital converter, TDC)

En este apartado se revisan algunas de las arquitecturas de circuitos más comunes para obtener un convertidor de tiempo a digital (time-to-digital converte, TDC). Los TDCs son elementos importantes en la mayoría de los ADCs basados en tiempo.

3.2.1 Línea de retraso digital (Digital delay line TDC)

El principio de un TDC que utiliza una línea de retraso digital se ve en la Figura 1. El propósito es medir el intervalo de tiempo entre dos eventos que vienen indicados por los bordes de la señal: $start$ y $stop$. El primer pulso, $start$ se propaga en una línea de retraso, la cual consiste en una serie de buffers. La salida de los buffers son entradas de una serie de flip-flops D. Con el flanco de subida del pulso $stop$ se guarda el estado de la línea de retraso. Las salidas del flip-flop D forman un código que muestra la distancia entre los flancos de subida de las señales $start$ y $stop$. La resolución temporal está limitada por el retraso mínimo que se pueda obtener en la tecnología utilizada para implementar la línea de retraso. Los elementos del buffer normalmente son implementados con celdas de retraso contraladas por tensión. Para estabilizar el retraso en el buffer contra variaciones de temperatura o de suministro de potencia se puede utilizar un DLL (delay-locked loop) (10).

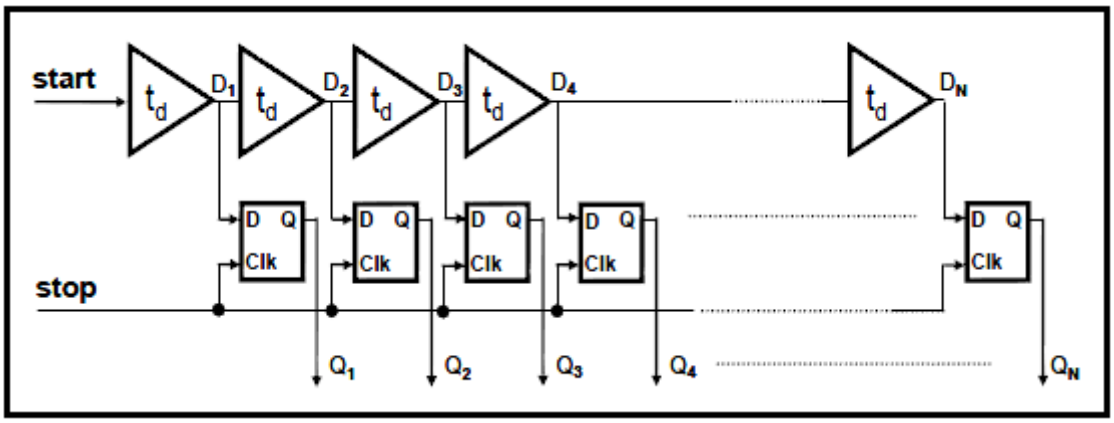

Figura 33. Línea de retraso del TDC

Las variaciones aleatorias de los elementos de retraso causadas por el desapareamiento (mismatch) son una fuente de no linealidad diferencial (DNL). Este error es acumulativo y se propaga en la señal a lo largo de la línea de retraso. La INL crece desde el principio de la línea de retraso y vuelve a cero al final de la línea ya que el último retraso se

aparea con el reloj de referencia DLL. Por lo tanto, el máximo de la INL se produce en medio de la línea de retraso y es proporcional a la raíz cuadrada de la línea de retraso:

$$INL_{\max} \propto \sqrt{n}$$

Por lo que se puede concluir que tener una larga cadena de retraso degrada la INL.

El tiempo de setup y la tasa de metaestabilidad del muestreo de los flip-flops pueden provocar errores. Para garantizar una correcta medición del tiempo a lo largo de la línea de retraso se debe tener una ventana de metaestabilidad estrecha. De hecho, la ventana de metaestabilidad de los flip-flops debe ser mucho menor que el que la unidad de tiempo de retraso que se corresponda con un LSB. En general, esto no supone un gran problema, ya que no resulta complicado el diseño de flip-flops con ventana de metaestabilidad estrecha.

3.2.2 Línea de retraso digital basado en inversor (Inverter-based delay line TDC)

En la línea de retraso TDC descrita anteriormente, la unidad de retraso viene limitada por el retraso del buffer. Un TDC basado en inversor puede duplicar la resolución que se obtiene con un TDC basado en buffer. Se puede ver un ejemplo de un TDC basado en inversor en la *Figura 34* . Tanto la señal $start$ como $\overline{start}$ se propagan a lo largo de la línea de retraso. Las polaridades de los flip-flops diferenciales se intercambian en cada fase ya que hay dos señales opuestas viajando a través de la línea de retraso. Con el fin de evitar cualquier desfase entre las señales de $start$ y $\overline{start}$, se usa una señal para alinear las fases. Como se puede ver en la figura la señal $start$ se invierte en la cadena de retraso inferior, y posteriormente ambas señales ($start$ y $\overline{start}$) se envían hacia un latch a de retraso. La contención en el feedback del latch causa el flanco de subida (bajada) en la señal $start$ para alinearse con el flanco de bajada (subida) de la señal $\overline{start}$. Posteriormente las salidas de los flip-flops generan un código termométrico.

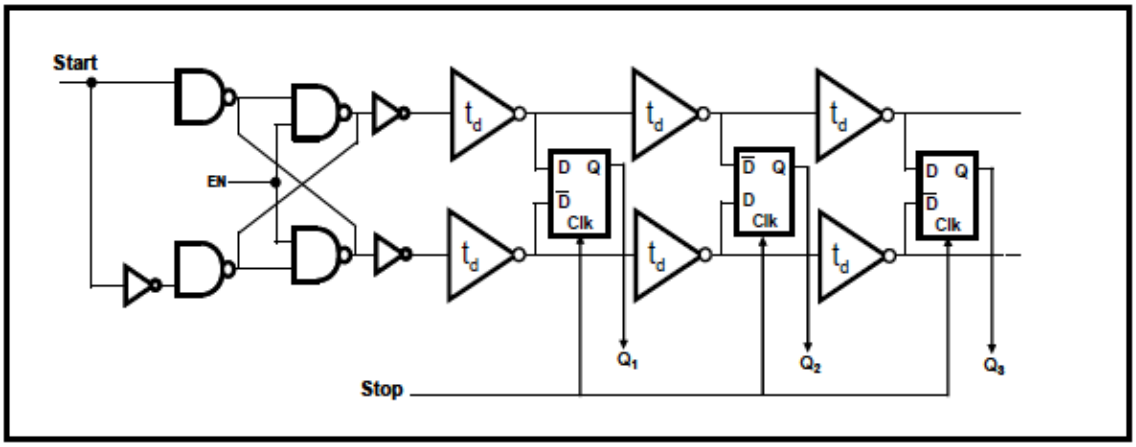

Figura 34. TDC basado en inversor (Inverter-based delay line TDC)

3.2.3 Oscilador de vernier (Vernier Oscillator TDC)

El método de conversión de tiempo a digital del oscilador de Vernier (11) se basa en dos osciladores con señal de inicio que funcionarán a dos frecuencias diferentes. La diferencia entre ambas frecuencias define el tiempo de resolución. Los osciladores son controlados por las señales de $start$ y $stop$. Dado que el período de la señal de $stop$ que controla el oscilador es más corta que la señal de $start$, la fase de la señal de $stop$ va alcanzando gradualmente la fase del la señal de $start$ del oscilador. El número de ciclos de reloj necesario para alinear

las fases de las señales que controlan los dos osciladores son contados mediante un contador. La técnica del oscilador de Vernier se puede observar en la *Figura 35*. Uno de los dos osciladores es iniciado por la señal más rápida, $start$, con un período de oscilación t_s, mientras que el otro oscilador con un o período de oscilación más corto, t_f , es iniciado mediante la señal de $stop$. Como se puede ver en la figura, T_{in} es la diferencia entre las señales $start$ y $stop$. Después de *N* ciclos de t_f, los dos flancos de subido de los osciladores se alinearán, de manera que se tendrá $T_{in} = N \times \left(t_s - t_f \right)$.

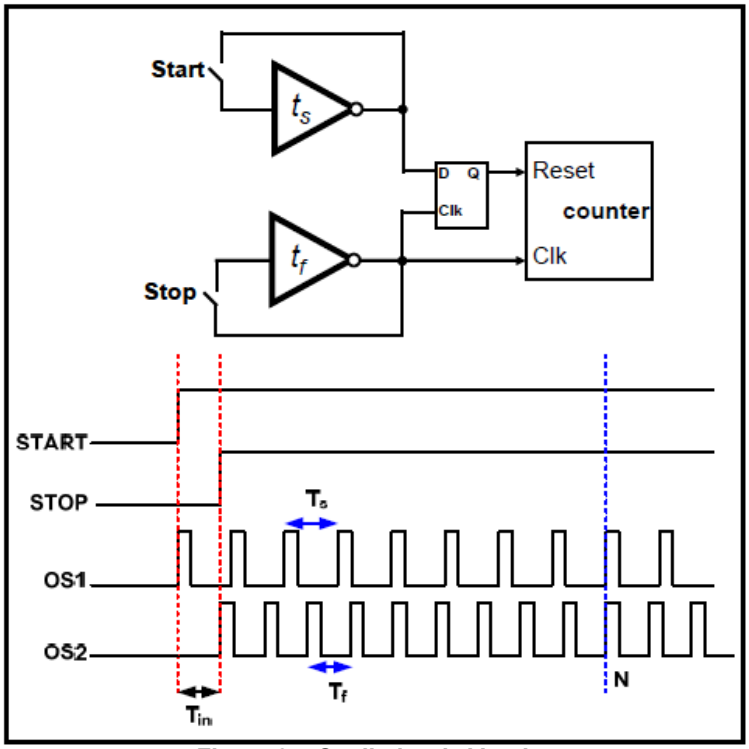

Figura 35. Oscilador de Vernier

3.2.4 Línea de retraso de Vernier (Vernier delay line TDC)

La resolución alcanzable en las líneas de retraso que se han visto viene limitada por el retraso mínimo de las puertas (buffer o basado en inversor), el cual viene limitado por la tecnología que se esté usando. En las líneas de retraso que consta de dos elementos en paralelo con retrasos diferentes como la línea de retraso de Vernier no existe este problema. La configuración básica se puede observar en la *Figura 36* . El objetivo es medir el intervalo de tiempo entre $start$ y $stop$. Hay dos cadenas paralelas de retraso. El retraso del buffer en la cadena de arriba es t_1, y es ligeramente mayor que el retraso del buffer de la cadena de retraso de abajo t_2. Las señales de $start$ y $stop$ viajan a través de las cadenas de retraso hasta que se alinean. La posición 'n' en la línea de retraso en la cual la señal de $stop$ alcanza a la señal $start$ muestra la distancia en tiempo entre ambas señales como

$$d = n \bullet t_R \,,\; t_R = t_1 - t_2$$

donde t_R es el tiempo de resolución y puede, en teoría, ser muy pequeño, independientemente de la tecnología CMOS que se use. En la práctica, un tiempo de resolución muy pequeño requiere una cadena de retraso muy larga, lo cual puede dar lugar a una INL grande, como se dije anteriormente, por lo que hay que llegar a una solución de compromiso.

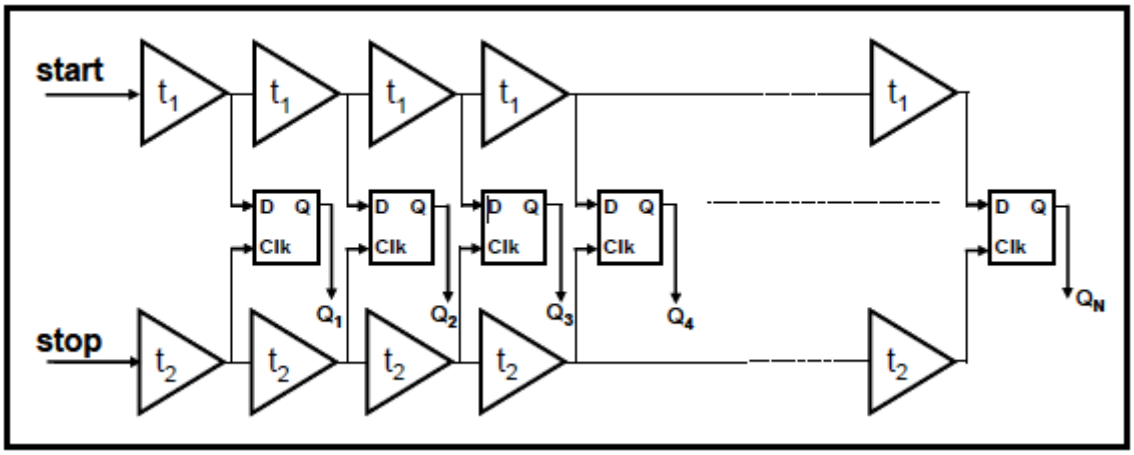

Figura 36. Línea de retraso de Vernier

3.2.5 Convertidor de tiempo a digital Híbrido (Hybrid TDC)

Los TDC de línea de retraso discutidos hasta ahora se pueden utilizar para medir un intervalo de tiempo corto con una alta resolución. Para medir un período de tiempo largo, la línea de retraso debe ser muy larga, lo cual degrada la INL, y por tanto la resolución, significativamente. Sin embargo en algunas aplicaciones se hace necesario medir un intervalo de tiempo amplio con una alta resolución. Para alcanzar este objetivo, se utiliza un contador como un cuantizador grueso y una línea de retraso TDC como un cuantizador fino para resolver el error residual que se produce tras la medida del tiempo con el contador (12). Esto se muestra gráficamente en la *Figura 37*. El intervalo de tiempo t_m es medido por un contador, el cual está sincronizado con una señal de reloj con período t_c. Por simplicidad, se asumirá que el punto de partida en la cuanta del contador es síncrono con la señal de reloj. Como se puede ver en el ejemplo de la figura, el resultado del contador tras medir t_m será $3xt_c$, sin embargo, hay un error residual t_d, Este error residual puede ser resuelto mediante una línea de retraso TDC para obtener una resolución más fina.

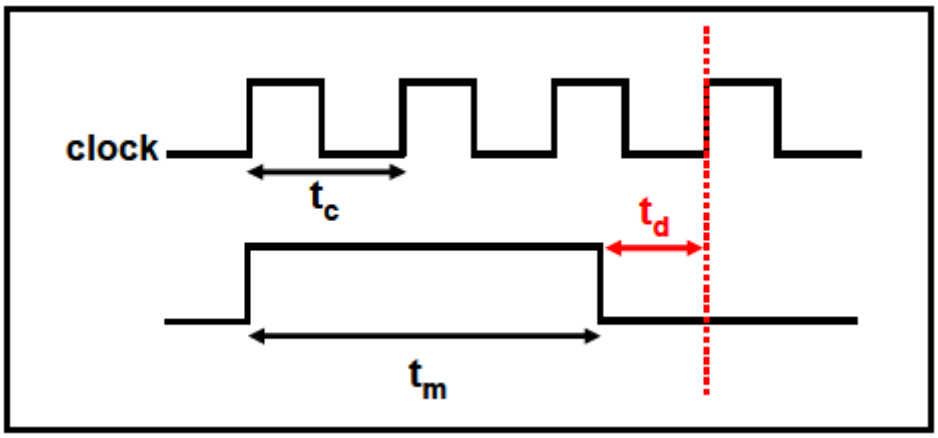

Figura 37. Error residual tras la medida del contador

La medida de tiempo mediante un contador depende de la frecuencia de reloj (f_c) y la medida más fina del tiempo también está relacionada con retraso de la celda de la cadena de retraso. En la implementación de un TDC de dos pasos, el retraso de la celda y la frecuencia de reloj deben estar relacionados. Con el fin de relacionar estos dos parámetros, la línea de retraso TDC necesita ser ajustada al período de reloj (t_c). En otras palabras, la línea de retraso debe utilizarse para interpolar fracciones de tiempo de un ciclo de reloj. Esto se puede hacer incluyendo la cadena de retraso en un bucle cerrado de control o DLL como se puede ver en la *Figura 38*, o mediante ciclos de calibración en los que se calibra la cadena de retraso con el reloj de referencia.

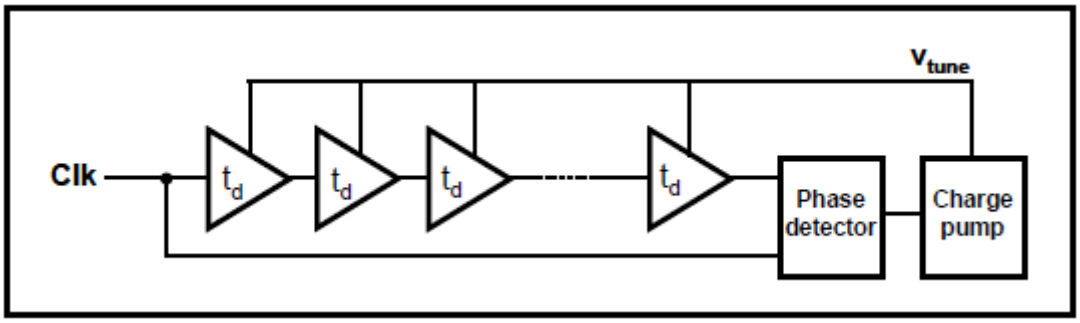

Figura 38. Línea de retraso incluida en un bucle cerrado de control o DLL