

4 DESCRIPCIÓN DE ADC ESPECÍFICO

Hasta ahora se han descrito los esquemas básicos utilizados en los convertidores analógico-digitales y se han estudiado las diferentes arquitecturas existentes de convertidores basados en tiempo. Este estudio previo se ha realizado para conocer las diferentes arquitecturas y poder afrontar el diseño de una arquitectura más compleja en la cual se basará el proyecto.

4.1.1 Descripción

En este proyecto se introduce un nuevo enfoque para los convertidores basados en tiempo (13). Se trata de un novedoso algoritmo en modo corriente (current-mode) que usa el tiempo para realizar la conversión analógico-digital utilizando la técnica de aproximaciones sucesivas utilizando el tiempo en lugar de la tensión como variable.

En el diseño de este convertidor uno de los objetivos es la mejora energética. Una mejora energética requiere un diseño más adaptado, lo cual se ha intentado con la arquitectura que se explicará a continuación. Cuando se trata de convertidores basados en tiempo (como los convertidores de doble rampa, por ejemplo), solo ha habido progresos en relación con el consumo de potencia mediante la mejora de los algoritmos en los que se basan los convertidores. Con este nuevo enfoque teóricamente la eficiencia energética se mejora de forma exponencial.

Como se ha comentado anteriormente se diseñará un convertidor en modo corriente (current-mode ADC) que funciona como un convertidor de aproximaciones sucesivas. Este convertidor usa el tiempo como variable intermedia, a la cual, en ciertos casos, se le aplicará una ganancia y en otros se realizarán rutinas de resta, según se encuentre en las distintas fases del algoritmo en el que se basará la conversión. Por otro lado, se alivian los errores de debidos a la inyección de carga, retrasos en comparación y a offsets por la propia naturaleza del algoritmo, el cual utiliza un único comparador y una referencia de corriente. Esto permite construir un convertidor sin un amplificador explícito, lo cual supone un ahorro de en el consumo de potencia.

La arquitectura del ADC consiste en dos condensadores emparejados, una referencia de corriente, un comparador con control exhaustivo de la anchura del pulso, una máquina de estados simple y N contadores de un bit, donde N es el número total de bits de resolución del contador. En la *Figura 39* se puede ver diagrama de bloques del ADC. Básicamente el funcionamiento se basa en el control que tiene una máquina de estados, por un lado, sobre una serie de conmutadores para realizar la carga de un condensador u otro, según corresponda, con las corrientes de entrada y de referencia, y por otro lado, sobre una serie de conmutadores que controlarán la conexión de determinadas tensiones al terminal negativo o positivo del comparador de un comparador.

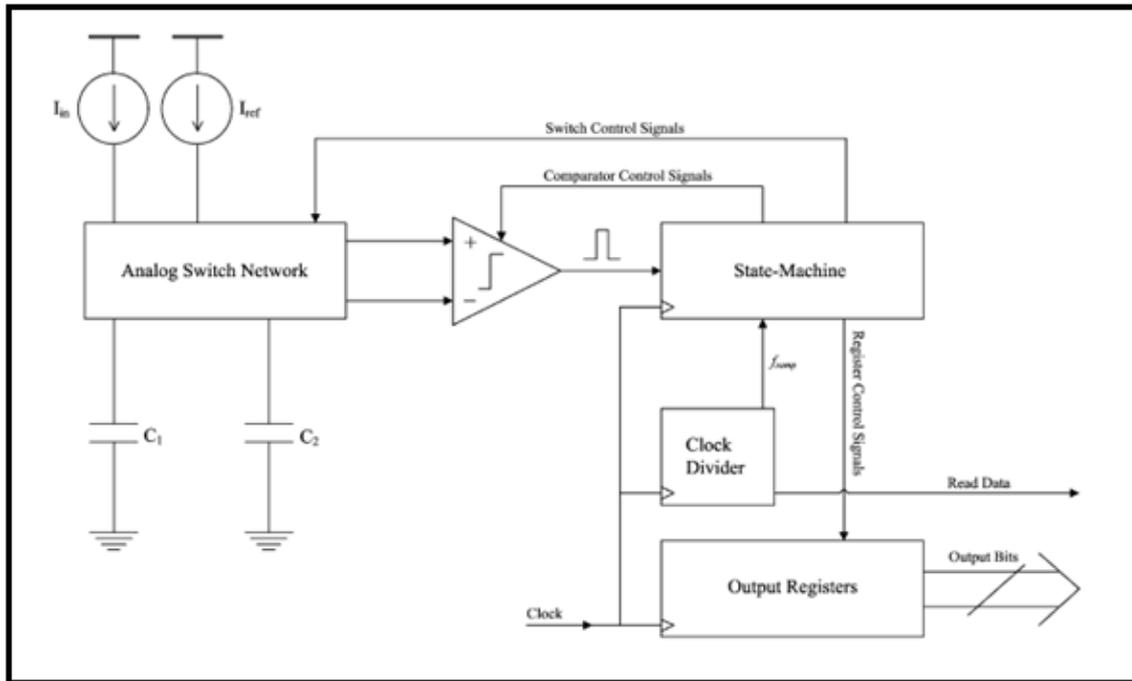


Figura 39. Diagrama de bloques de la arquitectura del ADC diseñado

4.1.2 Algoritmo

El algoritmo llevado a cabo para realizar la conversión en este ADC consiste en dos etapas distintas. Durante la primera etapa se calculan los dos bits más significativos (MSBs) mediante un método idéntico al de un convertidor de doble rampa. Durante la segunda etapa se calculan los bits restantes iterativamente mediante un proceso de sustracción y amplificación similar al que se realiza en un convertidor de aproximaciones sucesivas, pero usando el tiempo (en lugar de tensión o corriente) como variable de señal.

En la Figura 40 se puede ver la idea básica del algoritmo, donde aparecen los dos estados que se han mencionado anteriormente. Durante el primer ciclo de reloj, una corriente de entrada (I_{in}) carga un primer condensador, C_1 , hasta alcanzar un valor de tensión. Posteriormente, una corriente de referencia (I_{ref}) carga un segundo condensador, C_2 , hasta alcanzar el mismo valor de tensión al que se había llegado cargando el primer condensador. Contando el número de ciclos de reloj que tarda en cargarse C_2 hasta llegar al mismo valor de tensión con el que se encuentra cargado C_1 , se calculan los dos primeros bit más significativos MSB correspondientes a la relación I_{in}/I_{ref} como en un convertidor de doble rampa. En este convertidor, el tiempo que puede tardar en cargarse el segundo condensador con la corriente de referencia es como máximo cuatro ciclos de reloj, por tanto se tiene que dar la condición $I_{in} \leq 4 \cdot I_{ref}$ en el proceso de conversión. Una vez finalizado la primera etapa de la conversión, un tiempo residual, denominado $0.5 + \varepsilon$ ciclos de reloj en la figura, se codifican los bits restantes de la relación I_{in}/I_{ref} en la segunda etapa. En la segunda etapa los bits se cuantizan mediante un proceso iterativo que se describirá a continuación. Cabe destacar que en el ejemplo de la figura ε es positivo, de manera que el residuo será mayor que la mitad de un ciclo de reloj.

En la segunda etapa, en primer lugar, se convierte el tiempo residual $0.5 + \varepsilon$ en tensión residual cargando C_1 . Posteriormente se carga el otro condensador C_2 hasta que se alcanza la tensión residual y se repite la el proceso cargando de nuevo C_1 , de manera el tiempo residual $0.5 + \varepsilon$ se duplica obteniendo como resultado $2(0.5 + \varepsilon) = (1 + 2\varepsilon)$. En esencia, se amplifica el tiempo residual por dos veces en el tiempo. El “1” de $(1 + 2\varepsilon)$ proporciona

información para la cuantización, en concreto, significa que el residuo previo era mayor que la mitad de un ciclo de reloj, de manera que la amplificación habrá sido mayor que un ciclo de reloj, y el 2ε será automáticamente codificado como un residuo que hace referencia a este último ciclo de reloj en el siguiente paso de la conversión. Por lo tanto, la sustracción intermedia de tiempo provoca la cuantización automática de los bits intermedios ya que dependiendo de si la amplificación del residuo supera el último flanco de reloj tendremos que los bits intermedios se codificarán como “1” o “0”, y el tiempo residual que resta será siempre cuantizado con respecto al último flanco de reloj respecto a este tiempo residual.

La amplificación, sustracción y cuantización de los residuos se repite iterativamente para obtener los bits sucesivos. Como se puede ver en la figura el residuo 2ε es convertido a $1-2\varepsilon$ para cuantizar el residuo con respecto a la última amplificación. En general con este algoritmo se asegura un tratamiento correcto de todos los residuos, sin embargo, se produce una alternancia de cambio de signo en los residuos, lo cual se corrige fácilmente digitalmente mediante lógica en la cuantización de los bits.

A continuación se ampliará la discusión anterior, algo intuitiva, en una descripción más detallada del algoritmo. En primer lugar se describe cómo cuantificar los dos primeros MSBs. Posteriormente se analiza el proceso recursivo llevado a cabo durante el proceso de sustracción.

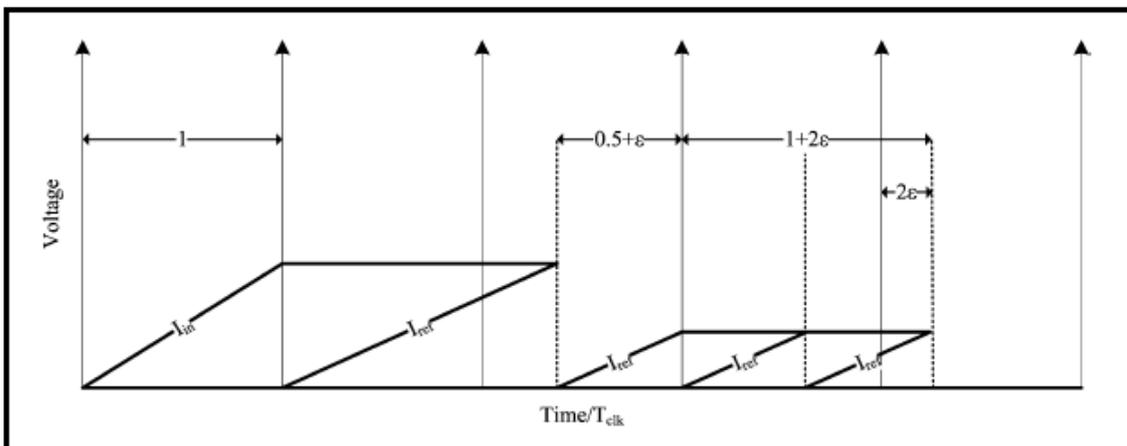


Figura 40. Idea básica del algoritmo

4.1.2.1 Fase MSB

En la Figura 41 se puede ver como durante la primera fase del convertidor, la corriente de entrada I_{in} carga el condensador C_1 durante un periodo de reloj T_{clk} . Se debe hacer notar que dado que la corriente de entrada solo se integra durante un período de reloj, la fase MSB se puede ver como una fase de muestreo y retención (sample-and-hold). Durante los sucesivos períodos de reloj (cuatro como máximo) se carga el segundo condensador C_2 con una corriente de referencia I_{ref} hasta llegar al mismo nivel de tensión que se había llegado al cargar el primer condensador. La comparación para ver que se ha llegado al mismo nivel de tensión se puede lograr mediante el uso de un comparador asíncrono. Se va a definir T_{ref} como el tiempo requerido para cargar C_2 hasta llegar a la tensión que se había llegado mediante la carga de C_1 . De una manera similar a la que se obtiene la relación entre I_{in} y I_{ref} mediante un convertidor de doble rampa, si se cuantiza la relación entre T_{ref} y T_{clk} se obtiene el mismo resultado. Específicamente:

$$\frac{I_{in}}{I_{ref}} = \frac{T_{ref}}{T_{clk}}$$

Si se usa un contador de dos bit para contar el número de ciclos de reloj durante T_{ref} , se puede cuantizar la corriente de entrada asumiendo que I_{in} sea como mucho $4I_{ref}$. Esta limitación es necesaria para mantener la relación lineal de la conversión del tiempo y la precisión. Al final de

T_{ref} se define un tiempo residual T_{res} como el tiempo entre el último flanco de reloj y el final de tiempo T_{ref} , como se puede ver en la figura. Se debe destacar que este tiempo residual es análogo, en el dominio temporal, a la tensión residual a cuantizar cuando se trabaja con un convertidor de aproximaciones sucesivas. Si se cuantiza el tiempo residual con $N-2$ bits de precisión, se logrará la cuantización satisfactoriamente de la corriente de entrada con N bits de precisión.

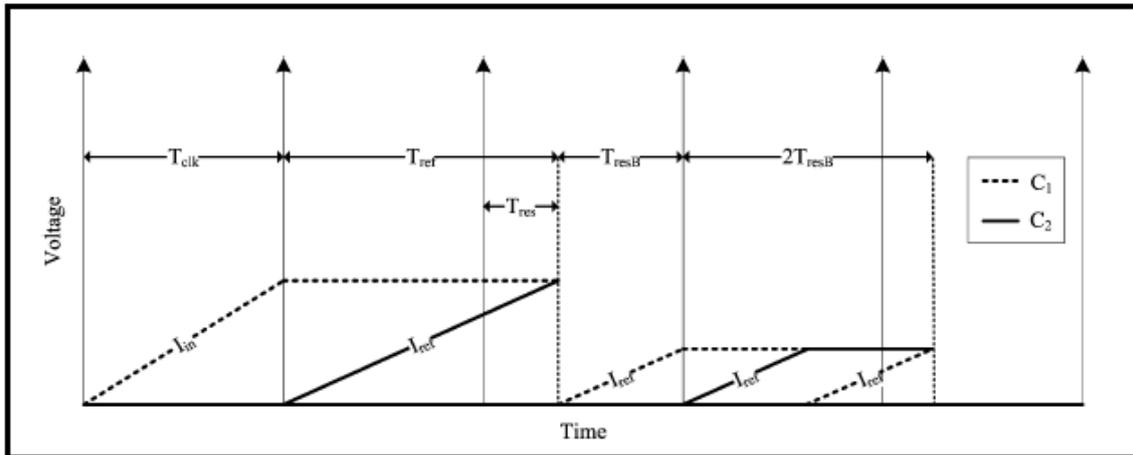


Figura 41. Representación visual de las variables de señal en el algoritmo

4.1.2.2 Cuantización del Residuo: Fase de aproximaciones sucesivas

Una vez que se ha obtenido los primeros bits MSBs se necesita un método para sustraer el tiempo que ya ha sido cuantizado de T_{ref} para poder operar únicamente con el tiempo residual T_{res} . Además, se necesita un método para amplificar T_{res} , de tal manera que se llegue a cuantizar el residuo bit a bit.

- a) *Rutina de sustracción:* en la figura anterior se puede observar que T_{res} es el resultado de restar el tiempo correspondiente a la señal ya cuantizada del tiempo total T_{ref} . La sustracción de este tiempo ya cuantizado se produce automáticamente en el algoritmo ya que se ignoran los ciclos ya cuantizados y siempre se toma el tiempo residual teniendo en cuenta el último ciclo de reloj. Este hecho lleva a definir un tiempo T_{resB} como el tiempo que transcurre desde el final de T_{ref} hasta el final del ciclo de reloj, que viene dado por $T_{resB} = T_{clk} - T_{res}$.

La cuantización de T_{resB} es equivalente a la cuantización de T_{res} : cuantizar x y $1-x$ es equivalente siempre y cuando se pueda compensar digitalmente la referencia con respecto a 1 en lugar de con respecto a 0. Esto se explicará más adelante en este apartado.

- b) *Amplificación tiempo-tensión y tensión-tiempo:* al final de la fase MSB, la salida del comparador tiene un valor alto. Al producirse este evento se le indica a la máquina de estados que debe resetear los dos condensadores de los que consta la arquitectura, tanto C_1 como C_2 dejándolos a cero, y por otro lado, la propia máquina de estados reorganiza la circuitería analógica de manera que I_{ref} es redireccionada para cargar C_1 . Al cargar C_1 se convierte el tiempo T_{resB} en tensión mediante la integración de C_1 con I_{ref} desde el final de T_{ref} hasta el siguiente ciclo de reloj. La tensión que se tiene en C_1 en ese momento es

$$V_{C_1} = \frac{I_{ref} T_{resB}}{C_1}$$

Observando la expresión anterior se puede definir I_{ref}/C_1 como la ganancia de conversión tiempo-tensión, y el proceso de convertir T_{resB} a V_{C_1} se define como conversión de tiempo-tensión.

Una vez que el condensador C_1 llega a la tensión V_{C_1} , I_{ref} se vuelve a direccionar para comenzar a cargar el condensador C_2 hasta que se alcanza el valor de tensión V_{C_1} . Para comprobar que se ha alcanzado este valor de tensión en C_2 se utiliza el mismo comparador que se utilizaba en la fase MSB. Por otro lado, el proceso de reconvertir V_{C_1} a tiempo se define como conversión tensión-tiempo. Tan pronto como las tensiones en ambos condensadores son iguales, el condensador C_1 se resetea dejando la tensión a cero, y se repite la misma carga de I_{ref} sobre C_1 . Al final de la última comparación se ha amplificado satisfactoriamente T_{resB} , de forma que este tiempo queda duplicado. Una vez hecho esto, se cuentan el número de ciclos de reloj que tienen lugar durante el tiempo $2T_{resB}$ (serán uno o cero) para realizar la cuantización correspondiente a T_{resB} con un bit.

Una vez realizada la cuantización, es necesario sustraer el tiempo ya cuantizado del total $2T_{resB}$ para producir un nuevo residuo para conversiones sucesivas. Para hacer esto, se repite la rutina de sustracción descrita anteriormente.

Al final de esta etapa de amplificación, se vuelven a resetear los dos condensadores poniéndolos a cero, y la máquina de estados reconfigura la circuitería analógica para que en este momento I_{ref} cargue el condensador C_2 . Los elementos están ahora en lugar de repetir el proceso de sustracción y amplificación, excepto que ahora se está haciendo la conversión tiempo-tensión sobre C_2 y la conversión tensión-tiempo sobre C_1 . Cada proceso de sustracción y amplificación sucesivo que se produce recursivamente proporciona un bit en el convertidor.

4.1.2.3 Etapa de cuantización positiva y negativa

Como se ha explicado anteriormente la rutina de sustracción fuerza a cuantizar T_{resB} en lugar del residuo T_{res} . Como resultado de este hecho, en cada paso de las sucesivas cuantizaciones el peso para cada bit será diferente para obtener una señal digital equivalente, es decir, unas veces se estará codificando el bit correspondiente propiamente y en otras ocasiones estaremos codificando el negado, lo cual será corregido en la máquina de estados. En concreto, si se define n_i como el i -ésimo bit, entonces la cuantización de I_{in} con respecto a I_{ref} viene dada por:

$$I_{in} = I_{ref} \left[n_0 + \frac{n_1}{2} + \sum_{i=2}^N (-1)^{i-1} \frac{(n_i + 1)}{2^i} \right]$$

Por ejemplo, la primera vez que se ejecuta la rutina de sustracción y se amplifica en proceso de aproximaciones sucesivas se cuantiza T_{resB} frente T_{res} . Se define esta etapa con índice negativo (negative-index). En la siguiente etapa del proceso de aproximaciones sucesivas se opera en negativo, pero se actúa sobre un residuo negativo, por lo que el resultado final es positivo. Se define esta etapa con índice positivo (positive-index). Las etapas con índice negativo y positivo son alternas en todo el proceso de aproximaciones sucesivas, de manera que se aplica la expresión vista anteriormente a través de la lógica que se le aplica a la arquitectura del ADC.

4.1.2.4 Algoritmo $1+\epsilon$

Una limitación práctica de este algoritmo es la posibilidad de que el residuo T_{resB} sea infinitesimalmente pequeño. Si se da este hecho, en la conversión tiempo-tensión se podría producir una tensión infinitesimalmente pequeña para operar. Este es un problema inherente

de muchos diseños de convertidores de tiempo a digital. Por lo tanto, de una manera similar a otros TDC's se diseñará un algoritmo $1+\varepsilon$ donde se garantice una tensión mínima en el proceso de conversión tiempo-tensión mediante la integración de un ciclo de reloj extra. Es decir, si estamos en el caso de tener un tiempo infinitesimal, en lugar de integrar T_{resB} , se integra un ciclo de reloj extra de manera que el tiempo convertido a tensión será $T_{resB} + T_{clk}$. De esta manera se garantiza que la tensión que resulta de la conversión tiempo-tensión al menos sea V_{FS} , donde

$$V_{FS} = \frac{I_{ref} T_{clk}}{C_i}$$

Estos dos ciclos de reloj extra generados durante la amplificación pueden ser tenidos en cuenta en la máquina de estados, y en base a ello se producirá la conversión.

4.1.3 Máquina de Estados

Como se ha mencionado anteriormente una máquina de estados controla la carga y descarga de los condensadores y coordina el funcionamiento general del convertidor. Cabe destacar que en la máquina de estados hay una serie de flip-flops D (cuatro concretamente) que están controlados por la salida del comparador, los cuales nos servirán para controlar la carga y descarga de los condensadores dentro de los propios estados, así como para controlar las condiciones que se deben dar en las distintas transiciones de los estados. En el siguiente apartado se explicará cómo se ha llevado a cabo el diseño de la máquina de estados para cumplir con las exigencias de la arquitectura.