## **INDICE DE CONTENIDOS**

1	INTROD	UCCION	10
	1.1 Pres	sentación del problema	10
	1.2 Obje	etivos del proyecto	14
	1.3 Met	odología	14
	1.4 Des	cripción de capítulos	15
2	MARCO	TEÓRICO	17
	2.1 Teo	ría de la conversión analógica-digital	17
	2.1.1	Introducción a la conversión analógica-digital	17
	2.1.2	El Convertidor analógico-digital ideal	17
	2.1.3	Tipos de convertidores	19
	2.1.3.1	1 Convertidor de aproximaciones sucesivas	19
	2.1.3.2	2 Convertidor flash	20
	2.1.3.3	3 Convertidor Sigma-Delta	21
	2.1.3.4	Convertidor basado en tiempo	22
	2.1.4	Evaluación de un convertidor analógico-digital	23
	2.1.4.1	1 Cuantización	23
	2.1.4.2	2 Especificaciones estáticas	25
	2.1.4	4.2.1 Error de no-linealidad diferencial (DNL, Differential Non-Linearity)	25
	2.1.4	4.2.2 No-linealidad integral (INL, Integral non-linearity)	26
	2.1.4	4.2.3 Error de Offset	26
	2.1.4	4.2.4 Error de ganancia	27
	2.1.4	4.2.5 Códigos desparecidos	28
	2.1.4.3	3 Especificaciones dinámicas	28
	2.1.4	4.3.1 Relación señal-ruido (SNR, Signal to noise ratio)	28
	2.1.	4.3.2 Rango dinámico libre de espurios (SFDR, Spurious free dynamic rang	ge)29
	2.1.	4.3.3 Distorsión harmónica total (THD, Total Harmonic Distortion)	30
	2.1.4	4.3.4 Relación señal-ruido plus distorsión (SINAD)	30
	2.1.4	4.3.5 Número efectivo de bits (ENOB, Effective number of bits)	30
3	CONVER	RTIDOR ANLOGICO-DIGITAL BASADO EN TIEMPO	32
	3.1 Arqu	uitecturas de ADCs basados en tiempo	32
	3.1.1	Convertidor de rampa discreta	32
	3.1.2		32
	3.1.3	Convertidor de rampa simple	33
	3.1.4	Convertidor de rampa doble	34
	3.1.5 Modulatio	ADC basado en la modulación de anchura de pulso (PWM, Pulse on)	Width
	3.1.6	ADC asíncrono (Level-crossing or asynchronous)	39
	3.1.7 controlled	ADC basado en celda de retraso controlado por tensión (based on vo d delay cell)	ltage- 40
	3.1.8	ADC basado en la conversión voltaje-frecuencia (voltage-to-frequencia	uency
	conversio	on)	40

	3.2 Convertion	dores de tiempo a digital (Time-to-digital converter, TDC)	42
	3.2.1 Líne	ea de retraso digital (Digital delay line TDC)	42
	3.2.2 Líne	ea de retraso digital basado en inversor (Inverter-based delay line TDC)	43
	3.2.3 Osc	ilador de vernier (Vernier Oscillator TDC)	43
	3.2.4 Líne	ea de retraso de Vernier (Vernier delay line TDC)	44
	3.2.5 Con	vertidor de tiempo a digital Híbrido (Hybrid TDC)	45
4	Descripción d	e ADC específico	47
	4.1.1 Des	cripción	47
	4.1.2 Algo	pritmo	48
	4.1.2.1 F	ase MSB	49
	4.1.2.2 C	uantización del Residuo: Fase de aproximaciones sucesivas	50
	4.1.2.3 E	tapa de cuantización positiva y negativa	51
	4.1.2.4 A	lgoritmo 1+ε	51
	4.1.3 Mác	quina de Estados	52
5	Consideracior	nes de Diseño de ADC basado en tiempo	53
	5.1 Máquina	de estados	53
	5.1.1 Fun	cionalidad	53
	5.1.2 Imp	lementación en código VHDL	55
	5.1.2.1 D	escripción del código VHDL	56
	5.1.2.2 S	imulación	65
	5.2 Impleme	ntación del Diseño en Matlab/Simulink	69
	5.2.1 Dise	eño de los distintos bloques del sistema	69
	5.2.1.1 C	apacidad	69
	5.2.1.2 S	witches	71
	5.2.1.3 L	ógica	71
	5.2.1.4 C	comparador	76
	5.2.1.5 N	laquina de estados: Stateflow	79
	5.2.1.6 N	lodelo Completo:ADC basado en tiempo	87
	5.2.2 Tes	t-Bench: Simulación	90
	5.2.2.1 C	álculo de error INL (No-linealidad integral)	92
	5.2.2.1.1	Sistema Ideal	93
	5.2.2.1.2	Influencia del Retraso del Comparador	94
	5.2.2.1.3	Influencia de la disparidad de Capacidades	95
	5.2.2.1.4	Influencia del offset independiente de señal en el comparador	97
	5.2.2.1.5	Influencia del offset dependiente de señal en el comparador	98
	5.2.2.1.6	Influencia de todo el conjunto de parámetros no Ideales	100
	5.2.2.2 C	álculo de la Resolución Efectiva (enob)	127
	5.2.2.2.1	Sistema Ideal	128
	5.2.2.2.2	Influencia del Retraso del Comparador	129
	5.2.2.2.3	Influencia de la disparidad de Capacidades	129
	5.2.2.2.4	Influencia del offset independiente de señal en el comparador	131
	5.2.2.2.5	Influencia del offset dependiente de señal en el comparador	132

## **INDICE DE FIGURAS**

Figura 1. Distribución de las fuerzas verticales que se producen al caminar	10
Figura 2. Sistema de medida Rígido	13
Figura 3. Sistema de medida Flexible	13
Figura 4. Convertidor analógico-digital ideal	18
Figura 5. Función de transferencia de un ADC ideal de 3-bits. Xa representa la señal analógi	ica
de entrada y Xd los códigos digitales de salida. $\Delta$ es el valor de un LSB	18
Figura 6. Representación de la velocidad de conversión vs resolución para los tres tipos	de
ADC más comunes.	19
Figura 7. Esquema de un convertidor analógico-digital de aproximaciones sucesivas	19
Figura 8. Ejemplo del proceso de acercamiento al valor final en un convertidor analógico-digi	ital
de aproximaciones sucesivas de 4-bits.	20
Figura 9. Convertidor flash de 3-bits	21
Figura 10. Esquema de un convertidor sigma-delta	22
Figura 11. Ejemplo de histograma de ruido para un ADC.	23
Figura 12. Error de cuantización en un ADC con N=3 y por tanto con 8 códigos digitales	de
salida. $\Delta$ representa un LSB	23
Figura 13. Función de transferencia de un ADC con cuantización no-uniforme.	24
Figura 14. Comparación entre la función de transferencia de un ADC ideal (línea azul) y la	de
un ADC afectado por DNL (línea roja)	25
Figura 15. Función de transferencia de un ADC real. La línea azul muestra la desviación	de
ésta última con respecto a la de un ADC ideal.	26
Figura 16. En un convertidor afectado por error de offset la primera transición de código	se
produce para un voltaje de entrada diferente al caso ideal	27
Figura 17. Ejemplo de la función de transferencia de un convertidor A/D afectado por error	de
ganancia	27
Figura 18. Función de transferencia de un ADC de 3-bits en el que el código 010 que	da
desaparecido	28
Figura 19. Gráfica de la FFT de una señal con un SFDR de 65dB	29
Figura 20. Esquema de un convertidor analógico-digital de rampa discreta	32
Figura 21. Esquema de un convertidor analógico-digital de balance continuo	33
Figura 22. Esquema de un convertidor analógico-digital de rampa simple	33
Figura 23. Esquema de un convertidor analógico-digital de doble rampa	34
Figura 24. Diagramas temporales de la evolución del ciclo de conversión de un convertic	lor
analógico digital de rampa doble	36
Figura 25. Esquema de un convertidor analógico-digital bipolar de rampa doble. La conversi	ón
se obtiene en complemento a 2.	37
Figura 26. Error al cabo de la primera rampa ocasionado por una sinusoide superpuesta	de
amplitud Vr v frecuencia f	38
Figura 27. ADC PWM	39
Figura 28. Funcionamiento ADC asíncrono	39
Figura 29. ADC asíncrono	40
Figura 30. ADC basado en TDC con celda de retraso controlado por tensión de forma lineal	40
Figura 31. ADC basado en VCO	41
Figura 32. ΣΔ-ADC basado en VCO	42
Figura 33. Línea de retraso del TDC	42
Figura 34. TDC basado en inversor (Inverter-based delav line TDC)	43
Figura 35. Oscilador de Vernier	44
Figura 36. Línea de retraso de Vernier	45
Figura 37. Error residual tras la medida del contador	45
Figura 38. Línea de retraso incluida en un bucle cerrado de control o DLL	46
Figura 39. Diagrama de blogues de la arquitectura del ADC diseñado	48
Figura 40. Idea básica del algoritmo	49
Figura 41. Representación visual de las variables de señal en el algoritmo	50
Figura 42. Entradas-Salidas de la Máguina de Estados	53
Figura 43. Simulación flip-flip D en Modelsim	57
Figura 44. Conversión completa. Detección correcta de los residuos	66
Figura 45. Conversión completa. Residuo demasiado cercano al ciclo de reloj previo	67
· · · · ·	

Figura 46. Conversión completa. Residuo demasiado cercano al ciclo de reloj siguiente	. 68
Figura 47. Bloque de Capacidad incluido en el ADC	. 69
Figura 48. Capacidad. Matlab/Simulink	. 70
Figura 49. Implementación de capacidad. Matlab/Simulink	. 70
Figura 50. Carga-Descarga de Capacidad. Matlab/Simulink	. 70
Figura 51. Switch. Matlab/Simulink	. 71
Figura 52. Implementación de switch. Matlab/Simulink	. 71
Figura 53. LogicPhiX. Matlab/Simulink	. 72
Figura 54. Implementación de LogicPhiX. Matlab/Simulink	. 72
Figura 55. LogicComp_en_f. Matlab/Simulink	. 72
Figura 56. Implementacion LogicComp_en_f. Matlab/Simulink	. 73
Figura 57. Phases. Matlab/Simulink	. 74
Figura 58. Implementación Phases. Matiab/Simulink	. 74
Figura 59. Senaies de carga del bioque Phases	. 75
Figura 60. Senales de descarga del bloque Phases	. 76
Figura 61. Comparador. Matiab/Simulink	. 76
Figura 62. Implementacon Comparador. Matiab/Simulink	. / /
Figura 63. Funcionamiento del comparador. Matiab/Simulink	. / /
Figura 64. Funcionamiento del comparador con retraso. Matlab/Simulink	. 78
Figura 65. Funcionamiento del comparador con offset independiente. Matiab/Simulink	. 78
Figura 66. Funcionamiento del comparador con offset dependiente. Matiab/Simulink	. 79
Figura 67. Maquina de estados. Funcional (fsm_logic). Matlab/Simulink	. 80
Figura 68. Inicio del proceso funcional. Stateflow	. 80
Figura 69. Estado U: Reposo	. 81
Figura 70. Estado 1: Initial_charge	. 81
Figura 71. Estado 2: C2_charge	. 81
Figura 72. Estado 3: Neg_res	. 82
Figura /3. Estado 4: Pos_res	. 83
Figura /4. Estado 5: Assign_1	. 84
Figura /5. Estado 6: Assign_0	. 84
Figura 76. Estado 7: Wait_end	. 84
Figura //. Maquina de estados. Función de sincronismo (fsm_state). Matlab/Simulink	. 85
Figura /8. fsm_state. Stateflow	. 85
Figura 79. Maquina de estados. flip_flop D (ff_mem). Matiab/Simulink	. 86
Figura 80. ff_mem. Stateflow	. 86
Figura 81. Maquina de estados. ADC_FSM. Matiab/Simulink	.86
Figura 82. Conexión bloques de Máquina de estados. Matlab/Simulink	. 87
Figura 83. Top_Model. Matlab/Simulink	. 88
Figura 84. Conexion de Bloques: Modelo completo. I op_Model. Matiab/Simulink	. 88
Figura 85. Ejemplo de conversión	. 89
Figura 86. Zoom data	. 90
Figura 87. test-bench en simulink	. 91
Figura 88. Interfaz: Parametros Top_Model	. 91
Figura 89. Resultado INL. Sistema Ideal	. 93
Figura 90. Resultado INL. Influencia del retraso del comparador	. 94
Figura 91. Resultado INL. Retraso 50ns	. 95
Figura 92. Resultado INL. Mistmach de capacidades	. 96
Figura 93. Resultado INL. Offset independiente de señal en el comparador	. 97
Figura 94. Resultado INL. Offset dependiente para V_offset=0.0005V	. 98
Figura 95. Resultado INL. Offset dependiente para V_offset=0.0025V	. 99
Figura 96. Resultado INL. Offset dependiente para V_offset=0.0050V	100
Figura 97. Resultado INL. I delay=2ns. Mistmach de capacidades	101
Figura 98. Resultado INL. I delay=10ns. Mistmach de capacidades	102
Figura 99. Resultado INL. I delay=100ns. Mistmach de capacidades	103
Figura 100. Resultado INL. I delay=2ns. V_offset	104
Figura 101. Resultado INL. I delay=10ns. V_offset	105
Figura 102. Resultado INL. I delay=100ns. V_offset	106
Figura 103. Resultado INL. I delay=2ns. V_offset=0.0005V. Depend_offset	107
Figura 104. Resultado INL. I delay=10ns. V_offset=0.0005V. Depend_offset	108
Figura 105. Resultado INL. I delay=100ns. V_offset=0.0005V. Depend_offset	109

Figura 106. Resultado INL. Tdelay=2ns. V_offset=0.0025V. Depend_offset	110
Figura 107. Resultado INL. Tdelay=10ns. V_offset=0.0025V. Depend_offset	111
Figura 108. Resultado INL. Tdelay=100ns. V_offset=0.0025V. Depend_offset	112
Figura 109. Resultado INL. Tdelay=2ns. V_offset=0.0050V. Depend_offset	113
Figura 110. Resultado INL. Tdelay=10ns. V_offset=0.0050V. Depend_offset	114
Figura 111. Resultado INL. Tdelay=100ns. V_offset=0.0050V. Depend_offset	115
Figura 112. Resultado INL. Tdelay=2ns. V_offset 0.0005V-0.0025V. Depend_offset 0	).002.
Cmistmach	116
Figura 113. Resultado INL. Tdelay=2ns. V_offset 0.0005V-0.0025V. Depend_offset 0	).004.
Cmistmach	117
Figura 114. Resultado INL. Tdelay=2ns. V_offset 0.0005V-0.0025V. Depend_offset 0	).006.
Cmistmach	118
Figura 115. Resultado INL. Tdelay=10ns. V_offset 0.0005V-0.0025V. Depend_offset 0	).002.
Cmistmach	120
Figura 116. Resultado INL. Tdelay=10ns. V_offset 0.0005V-0.0025V. Depend_offset 0	).004.
Cmistmach	121
Figura 117. Resultado INL. Tdelay=10ns. V_offset 0.0005V-0.0025V. Depend_offset 0	).006.
Cmistmach	122
Figura 118. Resultado INL. Tdelay=100ns. V_offset 0.0005V-0.0025V. Depend_offset 0	).002.
	124
Figura 119. Resultado INL. I delay=100ns. V_offset 0.0005V-0.0025V. Depend_offset (	).004.
Cmistmach	125
Figura 120. Resultado INL. I delay=100ns. V_offset 0.0005V-0.0025V. Depend_offset 0	1.006.
Cmistmach	126
Figura 121. Resultado ENOB. Sistema ideal	128
Figura 122. Resultado ENOB. Influencia del retraso del comparador	129
Figura 123. Resultado ENOB. Mistmach de capacidades	130
Figura 124. Resultado ENOB. Offset dependiente de senal en el comparador	131
Figura 125. Resultado ENOB. Offset dependiente para V_offset=0.0005V	132
Figura 120. Resultado ENOB. Offset dependiente para V_offset=0.0025V	. 133
Figura 127. Resultado ENOB. Oliset dependiente para v_oliset=0.0050v	125
Figura 120. Resultado ENOB. Tuelay=205. Mistinació de capacidados	126
Figura 129. Resultado ENOB. Idelay=100s. Mistinació de capacidades	. 130
Figura 130. Resultado ENOB. Tuelay-10015. Mistinació de Capacidades	120
Figure 131. Resultado ENOB. Tdelay=20s. V_offset	130
Figura 132. Resultado ENOB. Tdelay=100s. V_offset	140
Figure 134, Resultado ENOB. Tdelay=206, V. offset=0.0005V. Depend. offset	1/1
Figura 135, Resultado ENOB, Tdelay=20s, V_offset=0.0005V, Depend_offset	142
Figura 136. Resultado ENOB. Tdelay=100s. V_offset=0.0000V. Depend_offset	142
Figure 137 Resultado ENOB Tdelay=2ns V offset=0.0025V Depend_offset	140
Figura 138 Resultado ENOB Tdelay=10ns V offset=0.0025V Depend offset	145
Figura 139 Resultado ENOB Tdelay=100ns V offset=0.0025V Depend offset	146
Figure 140 Resultado ENOB Tdelay=2ns V offset 0.0005V-0.0025V Depend offset (	) 002
Cmistmach	. 147
Figura 141 Resultado ENOB Tdelay=2ns V offset 0.0005V-0.0025V Depend offset (	) 004
Cmistmach	148
Figura 142, Resultado ENOB, Tdelay=2ns, V offset 0.0005V-0.0025V, Depend offset (	).006.
Cmistmach	149
Figura 143, Resultado ENOB, Tdelay=10ns, V offset 0.0005V-0.0025V. Depend offset (	).002
Cmistmach	151
Figura 144. Resultado ENOB. Tdelay=10ns. V offset 0.0005V-0.0025V. Depend offset 0	).004.
Cmistmach	152
Figura 145. Resultado ENOB. Tdelay=10ns. V offset 0.0005V-0.0025V. Depend offset 0	).006.
Cmistmach	153
Figura 146. Resultado ENOB. Tdelay=100ns. V offset 0.0005V-0.0025V. Depend offset 0	).002.
Cmistmach	155
Figura 147. Resultado ENOB. Tdelay=100ns. V_offset 0.0005V-0.0025V. Depend_offset 0	).004.
Cmistmach	156

Figura 148. Resultado ENOB. Tdelay=100ns. V_offset 0.0005V-0.0025V. Depend_offset	et 0.006.
Cmistmach	157
Figura 149. Capacidades-Switches. Modelo verilog	159
Figura 150. Lógica. Modelo verilog	159
Figura 151. Implementación de Lógica: Logic_seg. Modelo verilog	160
Figura 152. Fuente de corriente. Modelo verilog	160
Figura 153. Comparador: comparator_sh. Modelo verilog	161
Figura 154. Implementación del Comparador. Modelo verilog	161
Figura 155. Código veriloga-Comparador	162
Figura 156. Máquina de estados: cur_based_adc_sm. Modelo verilog	162
Figura 157. Implementación Máquina de estados. Modelo verilog	163
Figura 158. ADC completo: current_adc_top. Modelo verilog	163
Figura 159. Implementación del ADC completo. Modelo verilog	164
Figura 160. Test bench: Sim current adc tran 02	165
Figura 161. ENOB. Diseño ideal	165

## **INDICE DE TABLAS**

Tabla 1. Análisis paramétrico: error INL	187
Tabla 2. Análisis paramétrico: ENOB	196