

Proyecto Fin de Carrera

Ingeniería de Telecomunicación

Diseño de un Power On Reset con brown-out detection en tecnología IBM-180nm

Autor: Andrés Alcántara de las Heras

Tutor: Fernando Muñoz Chavero

Dep. Ingeniería Electrónica
Escuela Técnica Superior de Ingeniería
Universidad de Sevilla

Sevilla, 2015



Proyecto Fin de Carrera
Ingeniería de Telecomunicación

Diseño de un Power On Reset con brown-out detection en tecnología IBM-180nm

Autor:

Andrés Alcántara de las Heras

Tutor:

Fernando Muñoz Chavero

Profesor titular

Departamento de Ingeniería Electrónica

Escuela Técnica Superior de Ingeniería

Universidad de Sevilla

Sevilla, 2015

Proyecto Fin de Carrera: Diseño de un Power On Reset con brown-out detection en tecnología IBM-180nm

Autor: Andrés Alcántara de las Heras

Tutor: Fernando Muñoz Chavero

El tribunal nombrado para juzgar el Proyecto arriba indicado, compuesto por los siguientes miembros:

Presidente:

Vocales:

Secretario:

Acuerdan otorgarle la calificación de:

Sevilla, 2015

El Secretario del Tribunal

A mi padre

ÍNDICE

Índice	vii
Índice de tablas	viii
Índice de figuras	ix
1. Introducción	10
1.1. Objetivos del proyecto	11
1.2. Contenido de la documentación	11
2. Introducción teórica	12
2.1. El transistor MOSFET (o MOS)	12
2.2. Capacidades MOS	14
2.3. Resistencias integradas	16
2.4. Configuración <i>Cascodo</i>	19
2.5. Espejos de corriente	22
2.6. Schmitt Trigger	24
2.7. Brown-out detection	27
2.8. Power on reset	28
3. Estado del arte.....	33
3.1. Power on reset en tecnología cmos de 65nm	33
3.2. Circuito Power-On Reset con una capacidad conmutable	37
3.3. Power on reset sin capacidad	39
3.4. Power on reset con menor retraso y alta precisión	41
3.5. Power on reset con un bloque de retraso en cascada	43
4. Diseño y resultados obtenidos	46
4.1. Bloque 1: Generador de corriente y espejos de corriente	46
4.2. Bloque 2: Celda de retraso para el power-on detector.	52
4.3. Bloque 3: Schmitt trigger	55
4.4. Bloque 4: Brown-out Detection	58
4.5. Circuito completo	60
5. Conclusiones y futuras líneas de trabajo	66
Bibliografía.....	67

ÍNDICE DE TABLAS

Tabla 1. Resistencia por cuadrado de diferentes capas.	16
Tabla 2. Dimensiones fuente de corriente.	48
Tabla 3. Dimensiones resto de transistores bloque 1.	49
Tabla 4. Dimensiones de transistores bloque 2.....	55
Tabla 5. Dimensiones de los transistores del Schmitt trigger (bloque 3).	56
Tabla 6. Dimensiones Brown-out detector (bloque 4).	59

ÍNDICE DE FIGURAS

Figura 1. Circuito propuesto	10
Figura 2: Circuito equivalente y símbolo de un transistor NMOS.	12
Figura 3. Característica de un transistor Nmos	13
Figura 4. Fabricación de un capacitor con un transistor MOS.....	15
Figura 5. Regiones de operación de una capacidad MOS.....	15
Figura 6. Resistencias integradas.....	17
Figura 7. Modulación de la resistencia de pozo-n en función de la tensión aplicada.	17
Figura 8. Diseño optimizado resistencia integrada.	18
Figura 9. Capacidad parásita C_{GD} amplificada por el efecto Miller.	19
Figura 10. Circuito equivalente de la Fig. 9.....	19
Fig. 11. Circuito inversor con etapa cascode y su circuito equivalente.	20
Figura 12. Etapa cascode con carga activa.	21
Figura 13. Espejos de corriente con transistores NMOS (izquierda) y PMOS (derecha).	22
Figura 14. Espejo de corriente con cascode y circuito pequeña señal asociado.	23
Figura 15. Inversor con característica entrada/salida asimétrica.....	24
Figura 16. Schmitt trigger en tecnología CMOS.....	25
Figuras 17 y 18. Circuito oscilador de relajación y simulación del circuito.	27
Figura 19. Definición gráfica <i>Brown-out</i>	27
Figura 20. Ejemplo de Brown-out detector.	28
Figura 21. Circuito Power on Reset basado en tecnología NMOS.	29
Figura 22. Comportamiento de los nodos en el circuito Power on Reset.	30
Figura 23. Esquema de bloques de un circuito Power On Reset convencional.....	31
Figura 24. Esquema modificado para eliminar el consumo.....	31
Figura 25. Estructura general del circuito PoR.	33
Figura 26. Detector de tensión en la banda prohibida y comparador de corriente.	34
Figura 27. Esquemático del la+tc.	35
Figura 28. Detector de fases brown-out.....	36
Figura 29. Esquema del circuito propuesto.	37
Figura 30. Esquemático del circuito propuesto.	38
Figura 31. Esquemático del PoR propuesto.....	40

Figura 32. Explicación gráfica funcionalidad del circuito PoR.	41
Figura 33. Arquitectura del circuito propuesto.	42
Figura 34. Esquemático del elemento de retraso propuesto.	43
Figura 35. Bloque de retraso del PoR a) en $t=0$. b) entre $t=0+$ y $t=t_2$, c) entre $t=t_2$ y $t=t_3$	44
Figura 36. Entorno Cadence Virtuoso.	46
Figura 37. Esquemático fuente de corriente.	47
Figura 38. Simulación DC generador de corriente.	48
Figura 39. Esquemático bloque 1.	49
Figura 40. Simulación DC Bloque 1.	50
Figura 41. Propiedades del elemento (Cadence).	51
Figura 42. Simulación DC Bloque 1 nueva configuración.	51
Figura 43. Esquemático bloque 1 y 2 con condensador ideal.	52
Figura 44. Simulación bloque 1 y 2.	53
Figura 45. Simulación bloque 1 y 2 con condensador <i>mimx</i>	54
Fig. 46. Graficas que muestran la repercusión de los W/L y circuito de referencia.	56
Figura 47. Esquemático Schmitt trigger.	57
Figura 48. Simulación bloque 3 rampa ascendente.	57
Figura 49. Simulación bloque 3 rampa descendente.	58
Figura 50. Esquemático bloque 4.	59
Figura 51. Esquemático circuito completo.	60
Figura 52. Señal de entrada escogida de simulación.	60
Figura 53. Salida vs entrada del sistema.	61
Figura 54. Salida FF vs salida nominal.	62
Figura 55. Salida FS vs salida nominal.	63
Figura 56. Salida SF vs salida nominal.	63
Figura 57. Salida SF vs salida nominal.	64

1. INTRODUCCIÓN

En los circuitos digitales, es necesario un tiempo para que la fuente de alimentación alcance el nivel de funcionamiento adecuado. Éste tiempo puede ser notable para numerosos sistemas digitales, por lo que es necesario que exista una señal Reset que impida que los integradores y registros implicados obtengan valores indeseados.

Además del periodo transitorio relatado en el párrafo anterior, los circuitos pueden sufrir “glitches” o descensos de la tensión de alimentación debido al exceso de ruido en la fuente o por un cambio brusco en corriente de la carga. Esto implica un descenso por debajo de valores en los que el circuito funciona adecuadamente.

El primer problema podría solucionarse con un Power on Reset convencional. No obstante, para implementar una señal de Reset en la situación de existencia de glitches es necesario añadir un módulo auxiliar, como es el Brown-Out detection.

Por ello, el circuito propuesto se compone de cuatro módulos, como podemos observar:

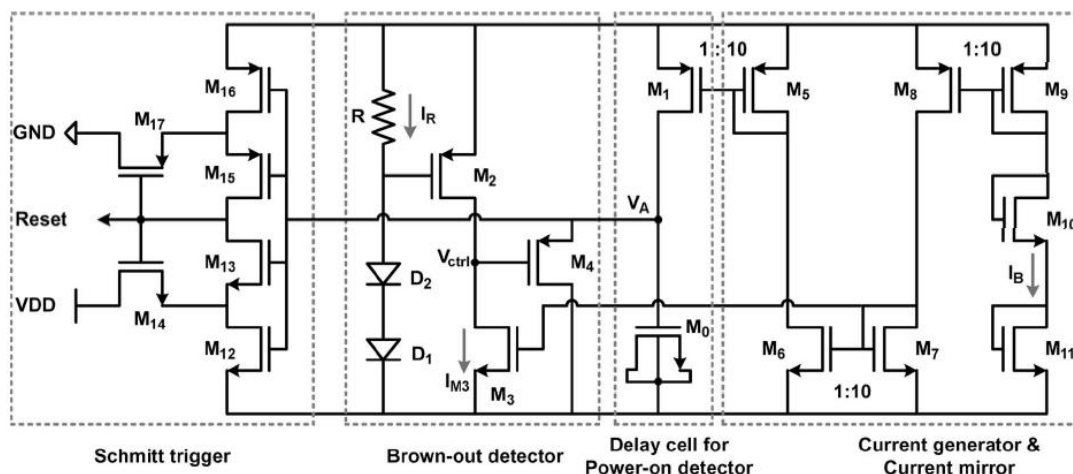


Figura 1. Circuito propuesto

En el apartado de introducción teórica se procede a la explicación del funcionamiento del circuito propuesto, así como de cada uno de sus módulos.

1.1. OBJETIVOS DEL PROYECTO

Los objetivos que se persiguen en el proyecto son los siguientes:

- Establecer las especificaciones del diseño del circuito que establezcan un robusto funcionamiento del sistema ante posibles futuras perturbaciones.
- Diseño del circuito bloque a bloque y posterior conexión.
- Realización de pruebas al circuito tanto en condiciones favorables como desfavorables para su funcionamiento.
- Comprobar la viabilidad del circuito propuesto en tecnología 180nm.

Para conseguir dichos objetivos, se ha hecho uso de la herramienta Cadence Virtuoso 6.1.5 para el diseño y la simulación.

1.2. CONTENIDO DE LA DOCUMENTACIÓN

La organización del presente documento consta de 4 capítulos, que se describen brevemente a continuación:

- En el primer capítulo, se establece una introducción sobre la necesidad de implementación del circuito, los objetivos buscados y la estructura del proyecto.
- En el segundo capítulo, se realiza una introducción teórica de forma genérica sobre los bloques que componen el circuito, así como del circuito completo.
- En el segundo capítulo, llamado estado del arte, se recolectan las configuraciones más actuales del circuito objeto de estudio, realizando un resumen de los aspectos más importantes de cada uno.
- En el cuarto capítulo, se procede a la exposición de los datos obtenidos tras la simulación del circuito, haciendo hincapié en el proceso que se ha seguido en la construcción del circuito. Se abarca tanto el funcionamiento como la definición de los valores característicos del circuito.
- En el cuarto y último capítulo, se recoge las conclusiones, nuevas líneas de investigación abiertas y aportaciones realizadas.

2. INTRODUCCIÓN TEÓRICA

En este apartado, se realiza una introducción teórica de los elementos característicos del circuito. El apartado comienza desde lo más básico, como es el transistor que se ha utilizado, y va avanzando en pequeños elementos o subcircuitos que forman parte del diseño del circuito adoptado para este proyecto.

Para terminar, se procede con la explicación teórica del Power on Reset en general, sin entrar a valorar los diferentes posibles diseños que existen para el mismo.

2.1. EL TRANSISTOR MOSFET (o MOS)

El transistor MOSFET (o MOS) se define como una fuente de corriente controlada por tensión. Cuando se estudia el comportamiento de un dispositivo respecto a pequeñas señales sobre el punto de operación, existen ecuaciones representativas del modelo que pueden ser linealizadas.

El circuito equivalente del MOS se representa en la siguiente figura, en la que se observa que el terminal G (puerta) está aislado, ya que se supone que por ella no fluye corriente, y el generador de corriente es controlado por la tensión aplicada.

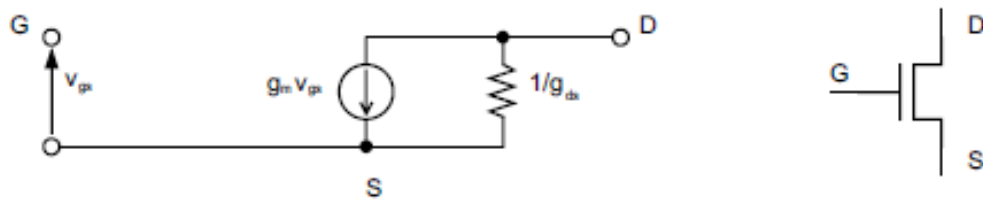


Figura 2: Circuito equivalente y símbolo de un transistor NMOS.

En caso de ser un transistor NMOS, el terminal S (fuente) es el de menor tensión en comparación con el terminal D (drenador). En el caso de los transistores PMOS sería al contrario, es decir, el terminal de mayor tensión sería el S y el de menor el D.

En la Fig. X, g_{ds} es la conductancia de salida, g_m es la transconductancia con la variación de una cantidad de entrada. V_{gs} es una cantidad en la salida e I_{ds} es la corriente que fluye por el transistor (desde el drenador a la fuente $D \rightarrow S$).

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}}$$

$$g_{ds} = \frac{\partial I_{DS}}{\partial V_{DS}}$$

Los parámetros descritos rara vez se utilizan para el diseño desde cero. Sólo los programas de simulación pueden gestionar con ellos a fin de resolver los sistemas de ecuaciones y obtener los parámetros de todos los elementos, las corrientes de las ramas, etc..

El aspecto más relevante es que g_m tiene relación directa con la relación de aspecto del transistor (W/L) que es el único parámetro que el diseñador puede controlar a priori.

El transistor, tiene 3 regiones de actuación que son determinadas por la tensión que existe entre sus terminales y si están por encima o por debajo de la tensión umbral (V_T) característica del transistor, como podemos observar en la siguiente gráfica:

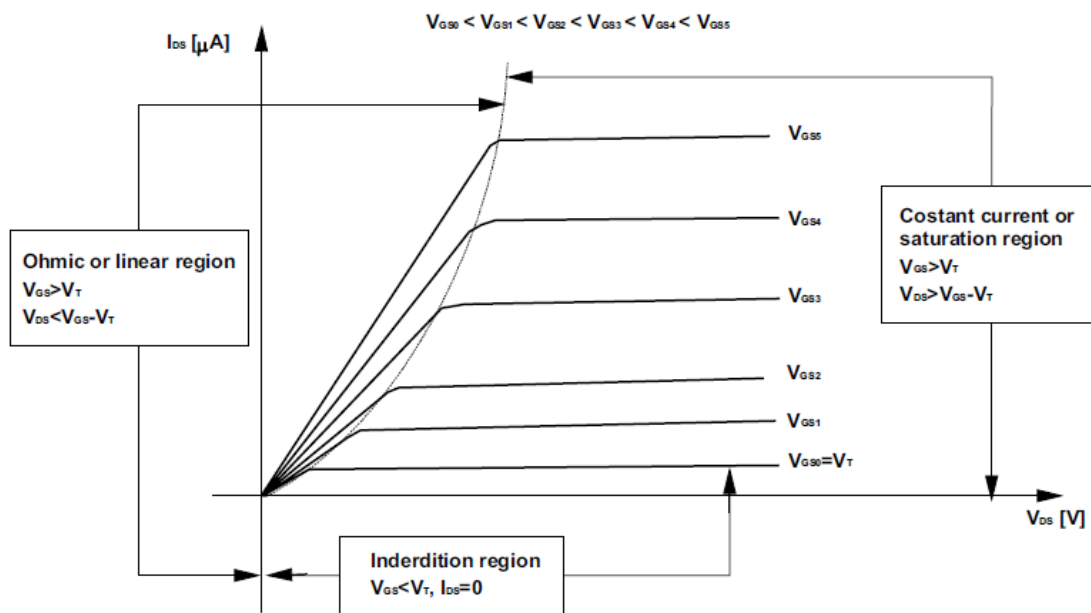


Figura 3. Característica de un transistor Nmos

- Si $V_{GS} < V_T$ el transistor se encuentra en la región de **“corte”**. En esta región en el transistor no fluye corriente alguna y por tanto se podría considerar como un circuito abierto.
- Si $V_{GS} > V_T$ y $V_{DS} < V_{GS} - V_T$, el transistor está en la región **“óhmica”** o **“lineal”**, en la que el transistor actúa como una resistencia equivalente cuya I_{DS} se puede calcular con la siguiente ecuación:

$$I_{DS} = \frac{1}{2} \cdot \mu_n \cdot C_{ox} \cdot \left(\frac{W}{L}\right) \cdot [2 \cdot (V_{GS} - V_T) \cdot V_{DS} - V_{DS}^2]$$

Donde μ_n es la movilidad de un electrón, C_{ox} la capacitancia del óxido por unidad de área y W/L la anchura entre la longitud del transistor respectivamente.

- En el caso que $V_{GS} > V_T$ y $V_{DS} > V_{GS} - V_T$, el transistor se encuentra en la región de **“saturación”** que es la región en la que la mayoría de aplicaciones se basan para su funcionamiento.

La ecuación característica de éste estado es la siguiente:

$$I_{DS} = \frac{1}{2} \cdot \mu_n \cdot C_{ox} \cdot \left(\frac{W}{L}\right) \cdot [(V_{GS} - V_T)^2 \cdot (1 + \lambda \cdot V_{DS})]$$

El término $(1 + \lambda \cdot V_{DS})$ explica el hecho de que en la región de saturación, la línea característica no es paralela al eje X, existe una cierta pendiente (cuyo valor λ oscila entre 0,03 y 0,005 V^{-1}). El factor λ es conocido como el parámetro de modulación de canal.

Con las ecuaciones anteriormente descritas se pueden obtener el valor de la transconductancia y la conductancia de salida en ambas regiones de funcionamiento.

2.2. CAPACIDADES MOS

El análisis de una capacidad MOS es generalmente el primer paso de estudio del transistor MOSFET. En principio, se puede considerar como un condensador con dos placas planas paralelas, el polisilicio y el silicio dopado, con el óxido como aislante.

En la práctica, es posible fabricar un condensador poniendo en contacto los terminales de la fuente y el drenador, como vemos en la siguiente figura.

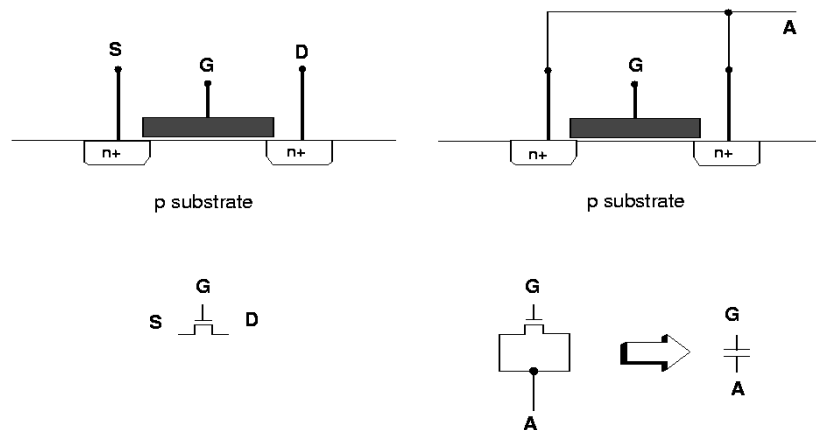


Figura 4. Fabricación de un capacitor con un transistor MOS.

La configuración más sencilla para fabricar una capacidad es contactando con el sustrato p. Hay 3 regiones de operación a tener en cuenta, considerando el sustrato de tipo p conectado a tierra.

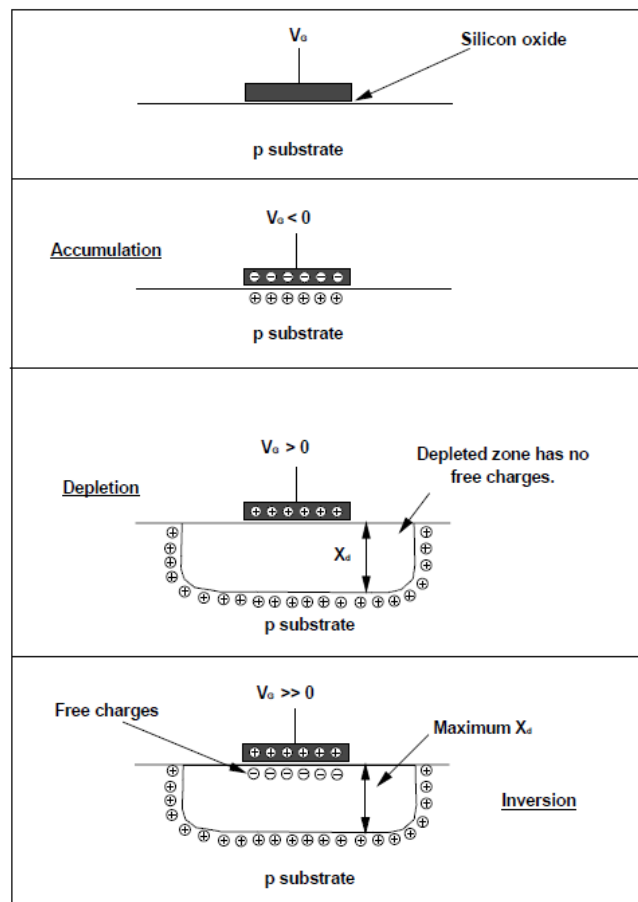


Figura 5. Regiones de operación de una capacidad MOS.

- **Acumulación:** Aplicando una tensión negativa a la puerta ($V_G < 0$), una capa de huecos se colocan en la interfaz entre el óxido-semiconductor. La carga de la red del semiconductor es por tanto positiva, debido a la acumulación de los huecos en exceso respecto al equilibrio.

El valor de la capacidad se puede definir como $C = \varepsilon/t_{ox}$, donde ε es la permitividad del óxido de silicio y t_{ox} el espesor del óxido.

- **Depleción:** En el momento que la tensión de la puerta aumenta (o se hace positiva), las cargas libres se mueven del interfaz oxido-silicio. Se crea un espesor x_d y una caída de tensión Ψ_s , donde:

$$V_G = V_{ox} + \Psi_s$$

- **Inversión:** Cuando V_G tiene un incremento elevado, también aumenta el espesor x_d . Si la tensión aplicada a la puerta supera un valor crítico, referido a la tensión umbral V_{TH} , se forma una capa de electrones en la interfaz oxido-silicio, invirtiendo la polaridad del silicio.

2.3. RESISTENCIAS INTEGRADAS

Las resistencias disponibles en tecnologías CMOS, son aquellas que se pueden obtener con las distintas capas diseñadas en el proceso de fabricación. En la siguiente tabla, se puede observar las diferentes capas disponibles con el valor de la resistencia y su variación en una tecnología 0.35 μm .

Es de práctica habitual calcular el valor de una resistencia integrada en cuadrados (indicado con el símbolo $\square$). De hecho, la longitud de los cuadrados es lo único que el diseñador puede interferir, mientras que la profundidad se fija por el proceso. Una vez conocido el valor de la resistencia por cuadrado se conoce, se puede obtener el valor requerido con la colocación de uno o más cuadrados (o fracciones de cuadrados en serie).

Capa	Resistencia por cuadrado ($\Omega/\square$)
n* (active area)	50/60
n-well	600/1200
Poly2 with silicide	5/7
Poly2 without silicide	50/100
Metal1	0.08
Metal2	0.04

Tabla 1. Resistencia por cuadrado de diferentes capas.

Se puede observar que la capa que proporciona una resistencia de mayor envergadura es el pozo-n, que es una opción recomendable para divisores resistivos, ya que se reduce el consumo de corriente.

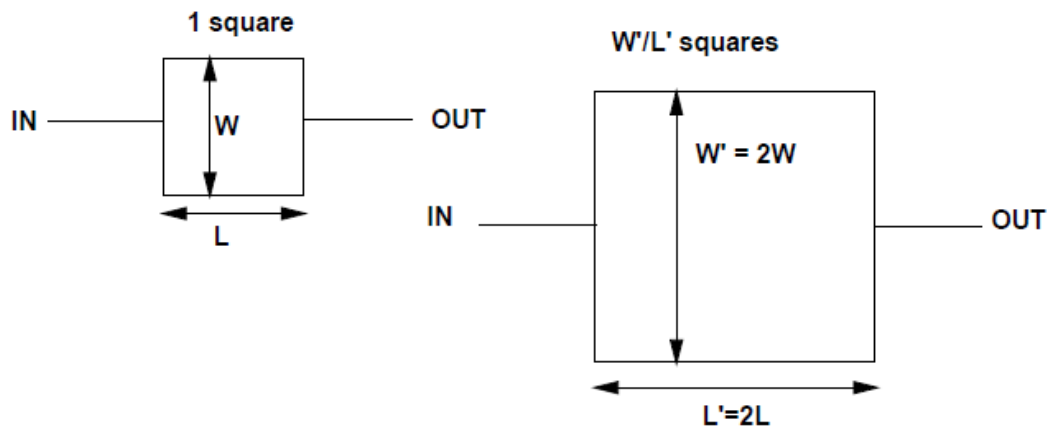


Figura 6. Resistencias integradas.

El problema de las resistencias construidas en base al pozo-n es que la unión polarizada inversamente se utiliza para aislar la resistencia del sustrato. La tensión aplicada modula la región de deplexión del sustrato/pozo-n cambiando el valor de la resistencia (siguiente figura). Por tanto, la resistencia es también función del espesor de la región de deplexión. Si se quisiera diseñar un divisor resistivo, es necesario usar valores de resistencias diferentes a los que se calculan teóricamente, para compensar dicho efecto.

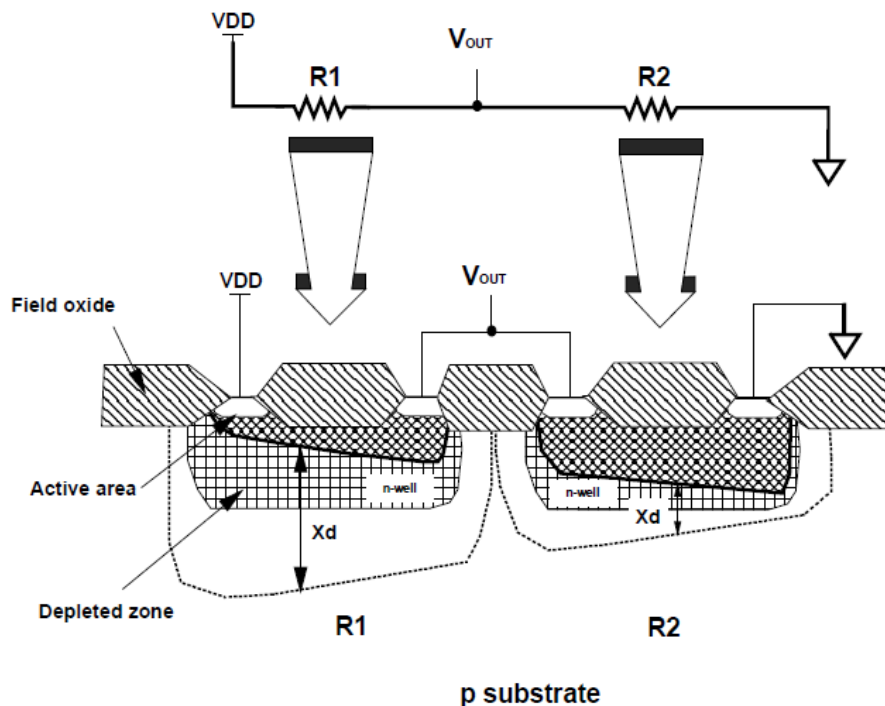


Figura 7. Modulación de la resistencia de pozo-n en función de la tensión aplicada.

Para la fabricación de una resistencia de valor elevado es necesario disponer de varias resistencias en serie, no puede conseguirse en la figura XX. De hecho, es difícil determinar el valor final exacto de la resistencia por el número de ángulos que presenta el layout. Además, la corriente tiende a desplazarse cerca de los bordes, favoreciendo fenómenos de ruptura indeseados.

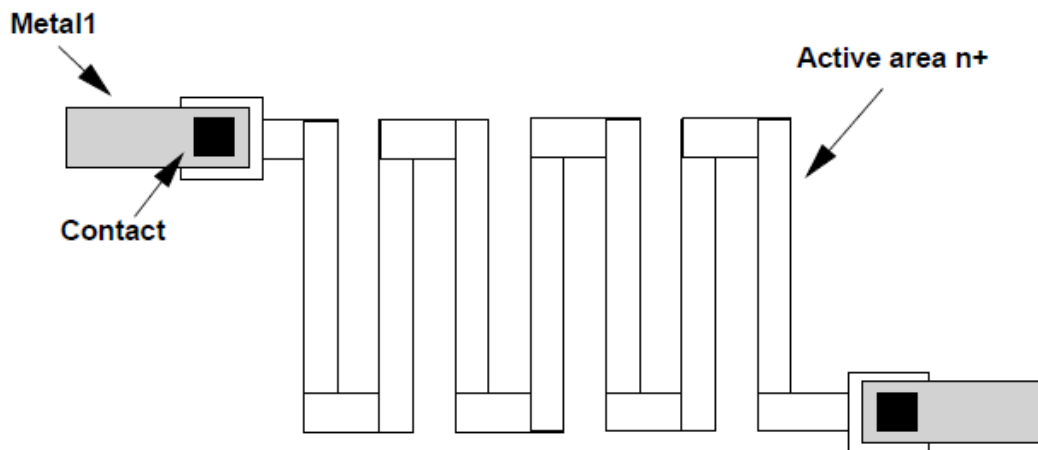


Figura 8: Área activa resistencia.

Para tener un diseño más óptimo, la parte de Metal1 (o Metal2) tiene un valor insignificante de resistencia. Los contactos Metal1/n+ son resistivos; cada contacto puede tener resistencias de varias decenas de ohmios. Esto requiere la colocación de más contactos en paralelo a fin de hacer la contribución de la resistencia de los contactos insignificante.

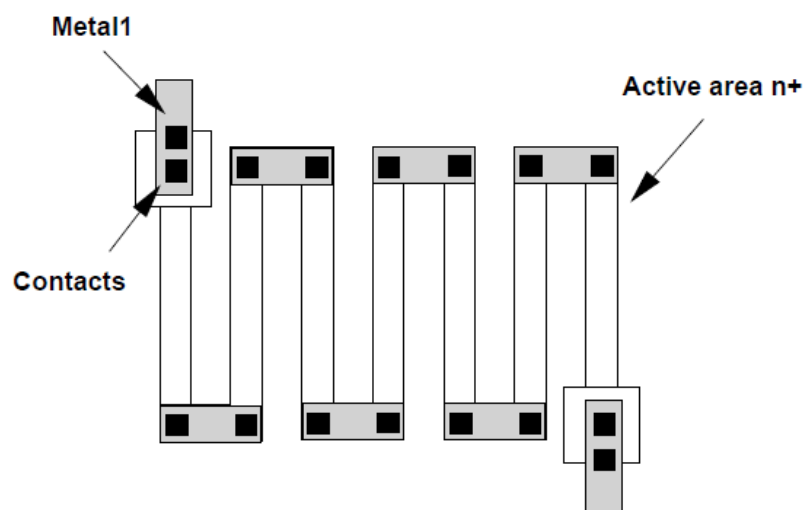


Figura 9. Diseño optimizado resistencia integrada.

2.4. CONFIGURACIÓN *CASCODO*

La ventaja de la configuración “cascodo” es la reducción del efecto Miller causado en la amplificación de las capacidades acopladas entre la puerta y el drenador de un transistor MOS. En la siguiente figura se muestra un circuito a modo de ejemplo donde existe una capacidad parásita entre la puerta y el drenador.

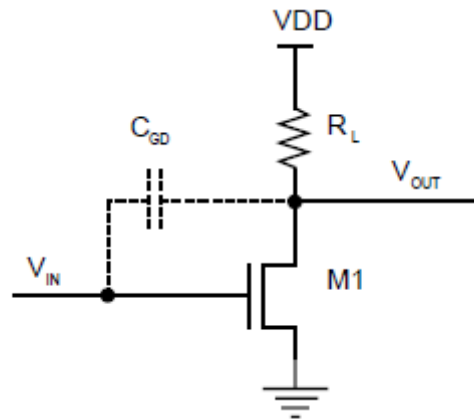


Figura 10. Capacidad parásita C_{GD} amplificada por el efecto Miller.

Cuyo circuito equivalente en pequeña señal es el siguiente:

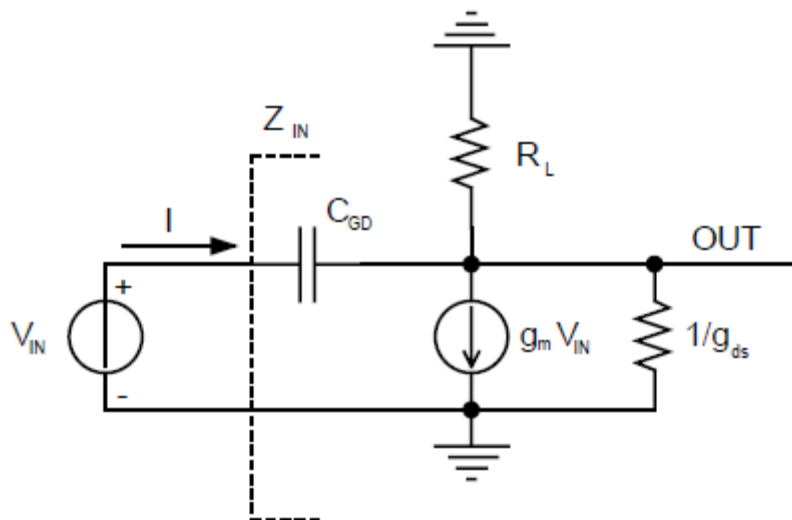


Figura 11. Circuito equivalente de la Fig. 9.

Teniendo este circuito, las ecuaciones características pueden escribirse de la siguiente forma:

$$I = s \cdot C_{GD}(V_{IN} - V_{OUT})$$

Despreciando la contribución de la corriente en C_{GD} , se puede aproximar la tensión a la salida:

$$V_{OUT} \cong -g_m \cdot R_L \cdot V_{IN}$$

Por tanto:

$$(V_{IN} + g_m \cdot R_L \cdot V_{IN}) = I$$

De la cual con sencillas operaciones matemáticas se puede extraer el valor de la impedancia de entrada:

$$Z_{IN} = \frac{V_{IN}}{I} = \frac{1}{(1 + g_m \cdot R_L) \cdot s \cdot C_{GD}}$$

Esto es como si existiera una capacidad igual a $C_{GD} \cdot (1 + g_m \cdot R_L)$. Si se asume que la ganancia del inversor es del orden de 10 unidades, es fácil imaginar cómo gracias a la amplificación por el efecto Miller, la capacidad C_{GD} no será fácil de conducir al estado anterior. Las capacidades parásitas causan un decremento de la impedancia de entrada, degradando su respuesta en frecuencia.

Si añadimos un segundo transistor, con una tensión constante en el terminal de puerta, la capacidad de entrada está desacoplada con el nodo de salida. Evaluando la impedancia de entrada usando el circuito equivalente del siguiente circuito:

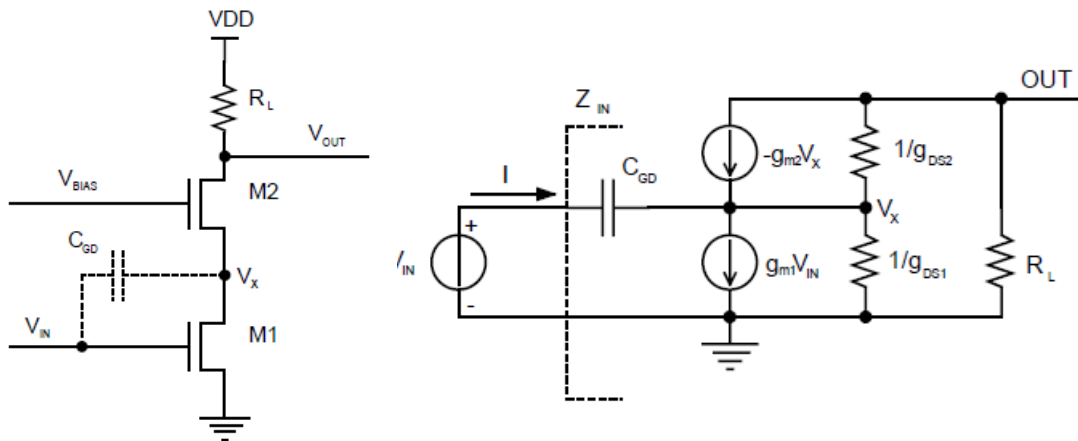


Fig. 12. Circuito inversor con etapa cascode y su circuito equivalente.

Despreciando las resistencias de salida de los transistores ($1/g_{DS1}$ y $1/g_{DS2}$), se pueden establecer las siguientes relaciones:

$$g_{m1} \cdot V_{IN} = -g_{m2} \cdot V_X$$

$$V_{OUT} = g_{m2} \cdot V_X \cdot R_L$$

Combinando estas ecuaciones:

$$Z_{IN} = \frac{V_{IN}}{I} = \frac{1}{\left(1 + \frac{g_{m1}}{g_{m2}}\right) \cdot s \cdot C_{GD}}$$

En el caso que $g_{m1} \ll g_{m2}$, se podría aproximar $Z \sim 1/s \cdot C_{GD}$. Incluso si M1 y M2 tienen dimensiones parecidas, el factor de amplificación por el efecto Miller es un valor muy pequeño, y el efecto de realimentación ha sido eliminado. Se pueden derivar las expresiones para obtener las ganancias de tensión:

$$A_{OUT} = \frac{V_{OUT}}{V_{IN}} = -g_{m1} \cdot R_L$$

$$A_X = \frac{V_X}{V_{IN}} = -\frac{g_{m1}}{g_{m2}}$$

A_X debe ser baja debido a la reducción del efecto Miller, mientras A_{OUT} será alta ya que es la ganancia real de la etapa.

En la siguiente figura se muestra una configuración cascode donde la resistencia de carga ha sido reemplazada por una carga activa (M3). Se aplican las mismas consideraciones expuestas anteriormente, teniendo en cuenta la resistencia de salida de M3 en lugar de R_L .

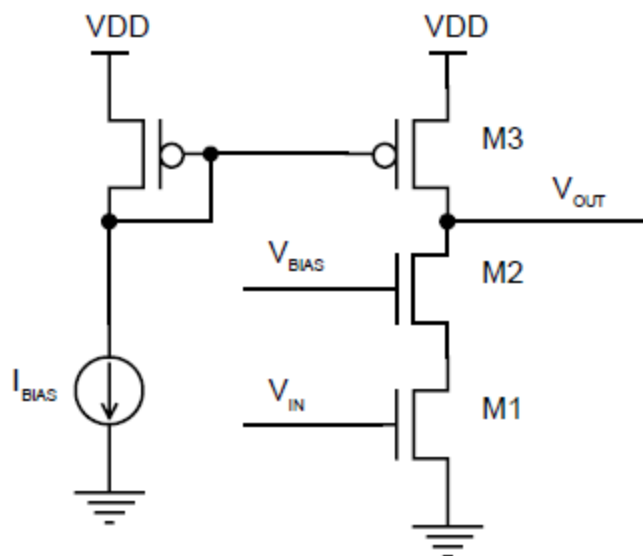


Figura 13. Etapa cascode con carga activa.

2.5. ESPEJOS DE CORRIENTE

Una configuración de circuitos ampliamente utilizada en innumerables sistemas, es la conocida como “*Espejo de corriente*”. Con esta configuración, se pretende generar una intensidad igual que la referencia o una fracción de ésta. En la siguiente figura se representan espejos de corriente en tecnología NMOS y PMOS aplicando las mismas consideraciones.

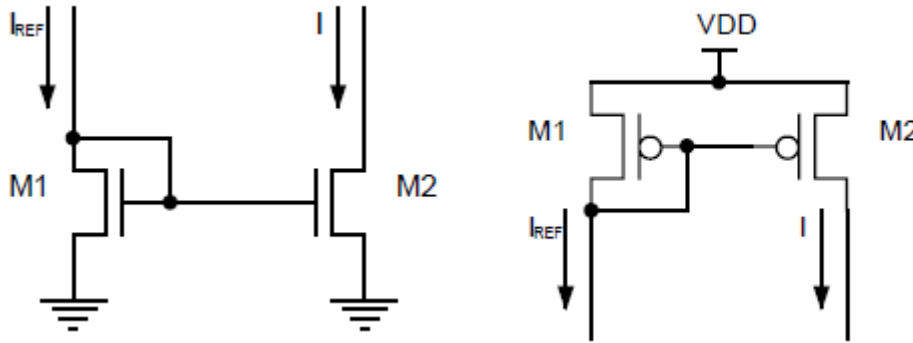


Figura 14. Espejos de corriente con transistores NMOS (izquierda) y PMOS (derecha).

Si se asume que M1 está en la región de saturación, la corriente de M1 (I_{REF}) sólo depende de V_{GS1} . Por tanto, podemos escribir la siguiente ecuación:

$$I_{REF} = \beta_1 (V_{GS} - V_{T,N})^2$$

$$I = \beta_2 (V_{GS} - V_{T,N})^2$$

En el caso que M1 y M2 tengan la misma V_{GS} y V_{TN} , entonces, el factor proporcional (k) de ambas corrientes es equivalente al de su tamaño, es decir:

$$\frac{I_{REF}}{I} = \frac{\beta_1}{\beta_2} = k$$

A la hora de evaluar la capacidad del espejo para actuar de generador de corriente, es necesario analizar su impedancia de salida. En caso de NMOS, la impedancia de salida z_o , basada en el modelo de pequeña señal, se puede considerar como:

$$z_o = r_{ds2} \propto \frac{L_2}{I_{DS2}}$$

Se necesita una impedancia de salida alta, por lo que la longitud de los transistores debe ser alta o que la intensidad del transistor sea pequeña. Una posible solución es incrementar la resistencia de salida como se muestra en la Fig. 14.

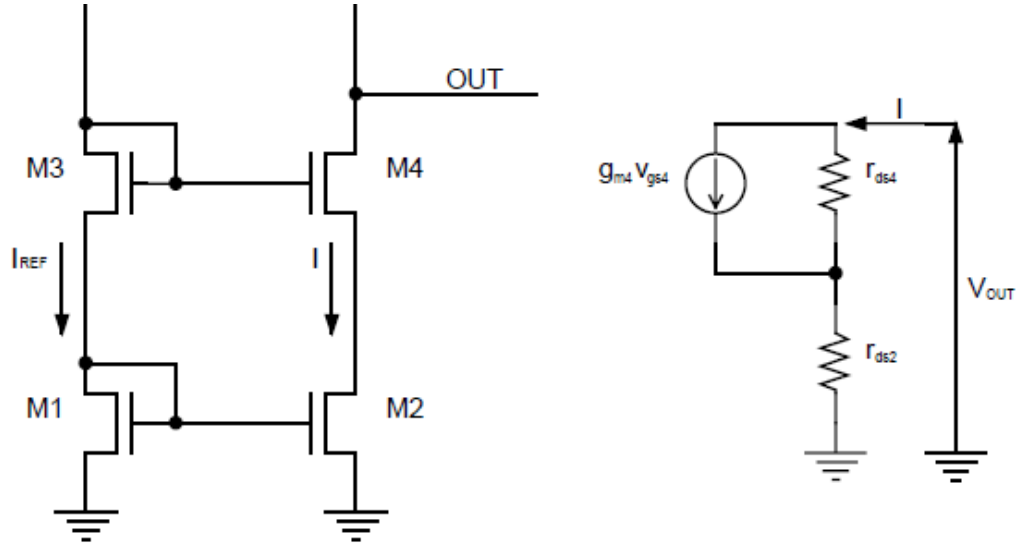


Figura 15. Espejo de corriente con cascode y circuito pequeña señal asociado.

La impedancia de salida en este caso quedaría:

$$z_o = \frac{V_{OUT}}{I} = r_{ds2} + r_{ds4} \cdot (1 + g_{m4} \cdot r_{ds2})$$

El inconveniente de este circuito respecto al espejo simple es el estrecho margen que existe en la tensión de salida. De hecho, el mínimo V_{OUT} es igual a:

$$V_{OUT,min} = V_{GS1} + V_{GS3} - V_{GS4} + V_{sat2}$$

Recordando que el mínimo voltaje requerido entre el drenador y la fuente para que permanezca en la región de saturación es:

$$V_{sat} = V_{GS} - V_T$$

Se obtiene:

$$V_{OUT,min} \cong V_{T,N} + 2 \cdot V_{sat}$$

En otras palabras, la tensión de salida puede estar por debajo de la tensión de puerta de M4 un máximo del valor de la tensión umbral, V_T .

2.6. SCHMITT TRIGGER

Del estudio de los inversores, es conocido que es posible variar el punto de “disparo” o “trigger” modificando la relación de aspecto de los transistores implicados. Se trata del punto que al alcanzar la entrada provoca que el valor de la señal de salida cambie.

El Schmitt trigger no es más que un inversor con dos puntos de “disparo”. En otras palabras, este circuito tiene una transición en el cambio de la salida de su valor alto a su valor bajo cuando la entrada alcanza una cierta tensión V_{TH}^+ . Por el contrario, existe otra transición cuando la señal de entrada asciende y alcanza una tensión V_{TH}^- . En este sentido, se trata de un inversor que es capaz de estabilizar el cambio en la salida si éste es producido por ruido, gracias a los puntos de “disparo”.

En la figura 15 se representa una gráfica con una posible transición asimétrica, donde V_{IN} es la señal de entrada y V_{OUT} es la señal de salida. Los puntos de disparos se aprecian en la figura como la intersección entre ambas señales, existiendo diferentes valores de tensión. La diferencia entre dichos valores de tensión es llamada histéresis.

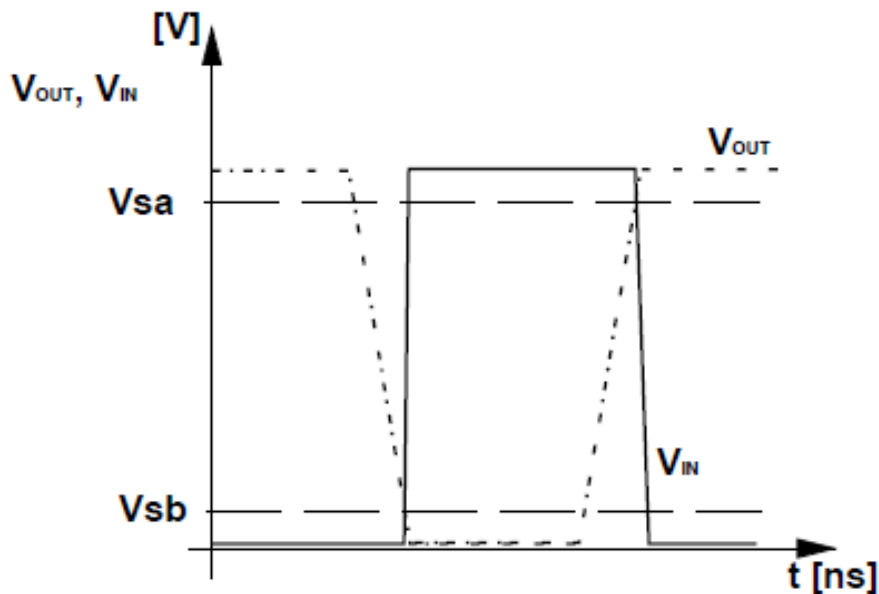


Figura 16. Inversor con característica entrada/salida asimétrica.

La versión con tecnología CMOS más extendida del Schmitt trigger es la siguiente:

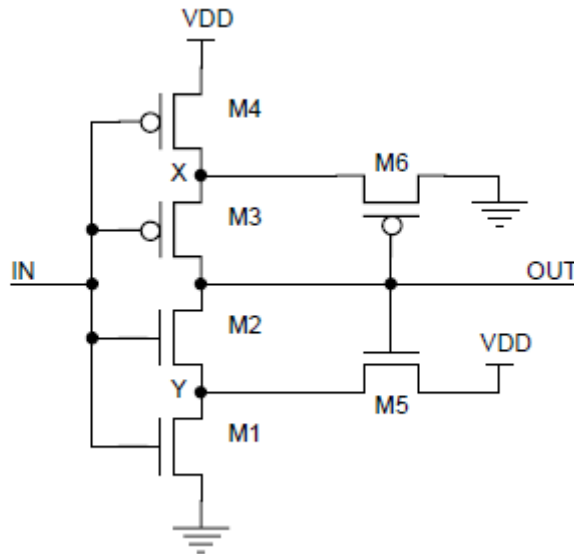


Figura 17. Schmitt trigger en tecnología CMOS.

La curva de histéresis se consigue gracias a los dos transistores complementarios M5 y M6. Cuando V_{IN} vale 0, M3 y M4 están en funcionamiento, y la tensión de salida es VDD. El transistor M5 se activa y fuerza $V_Y = V_{DD} - V_{T,M5}$.

Cuando la tensión de entrada V_{IN} aumenta y supera el valor umbral de tensión de M1, M1 empieza a conducir mientras M2 aún está en estado de corte. La tensión V_Y comienza a disminuir debido a la división de tensiones entre M1 y M5. Si V_{IN} sigue aumentando, el transistor M1 sigue haciendo que la tensión V_Y disminuya y el transistor M2 empieza a conducir. En este punto, el circuito empieza a forzar a la salida V_{OUT} a descender hasta el valor mínimo. El primer punto de “disparo” V_{TH}^+ es el que marca cuando se produce la transición, suele estar entre 70-80% del valor de VDD.

Asumiendo que la tensión V_Y es capaz de trasladar M1 a la región de saturación, se pueden calcular el punto de disparo para la transición del valor alto al bajo en la salida.

$$V_{IN} = V_Y + V_{T,M4}$$

$$\frac{\beta_1}{2} (V_{IN} - V_{T,M1})^2 = \frac{\beta_5}{2} (V_{DD} - V_Y - V_{T,M6})^2$$

$$V_{IN} = \frac{V_{DD} + V_{T,M1} \cdot \sqrt{\beta_1/\beta_5}}{1 + \sqrt{\beta_1/\beta_5}}$$

De igual forma, se puede estudiar el caso que la salida comience en el valor máximo, esto es $V_{IN} = V_{DD}$. Los transistores M1 y M2 están en funcionamiento y la salida está en el valor más bajo posible. El nodo X es forzado por M6 a alcanzar su propia tensión umbral. Cuando V_{IN} desciende, M4 se enciende y empieza a compartir la tensión con M6, la tensión del nodo X comienza a aumentar hasta un valor que permite que el transistor M3 entre en funcionamiento provocando la transición del nodo de salida desde 0 hasta el valor máximo (VDD). En este caso el punto de “disparo” suele estar en torno al 30-40% del valor de VDD.

Aplicaciones

El Schmitt trigger puede usarse para multitud de aplicaciones, pero se destacan dos de las más importantes:

- *Inmunidad ante el ruido:* se trata de un circuito que aumenta la inmunidad frente al ruido en comparación a los circuitos que solo poseen un umbral simple. Si una señal ruidosa de entrada supera uno de los umbrales del Schmitt trigger la señal de salida cambia, no obstante, para que vuelva a cambiar debe alcanzar el otro umbral, por lo que no hay tal cantidad de cambios en la señal de salida como lo hubiera en un circuito con sólo un umbral.
- *Uso como oscilador:* Un Schmitt trigger puede ser usado como un oscilador de relajación. Esto se consigue conectado un simple integrador RC entre la salida y la entrada de un inversor Schmitt trigger. La salida será una señal cuadrada cuya frecuencia depende de los valores de R, C y del valor de los umbrales del Schmitt trigger. Este tipo de circuitos se usan para diversas aplicaciones, como el intermitente de un vehículo de motor.

Podemos observar el circuito y el funcionamiento en las siguientes figuras.

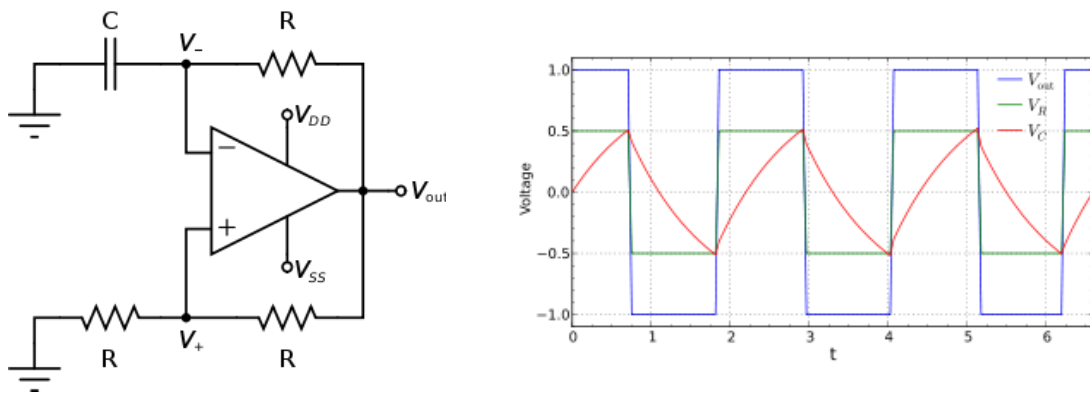


Figura 18. Circuito oscilador de relajación y simulación del circuito.

2.7. BROWN-OUT DETECTION

Como su propio nombre indica, un Brown-out detection no es más que un circuito que detecta una caída de la tensión de la fuente por debajo del valor de funcionamiento. Este descenso de tensión puede ser intencionado (como en situaciones de emergencia en las que se necesita una reducción de la carga) o fortuito (glitches producidos por alteraciones externas al circuito).

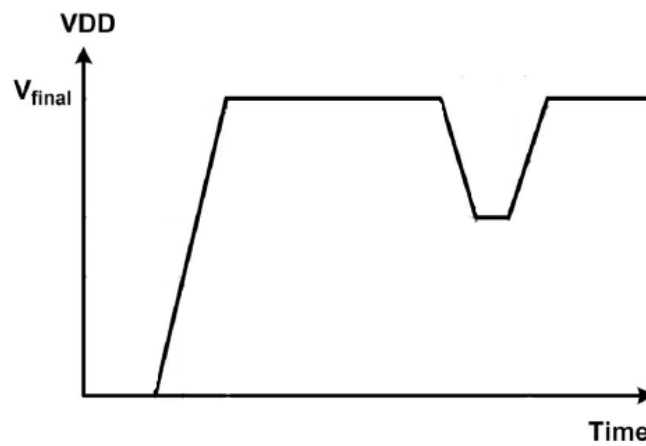


Figura 19. Definición gráfica *Brown-out*.

Un circuito que detecte este tipo de alteraciones puede diseñarse de muchas formas, no obstante, el funcionamiento siempre es el mismo:

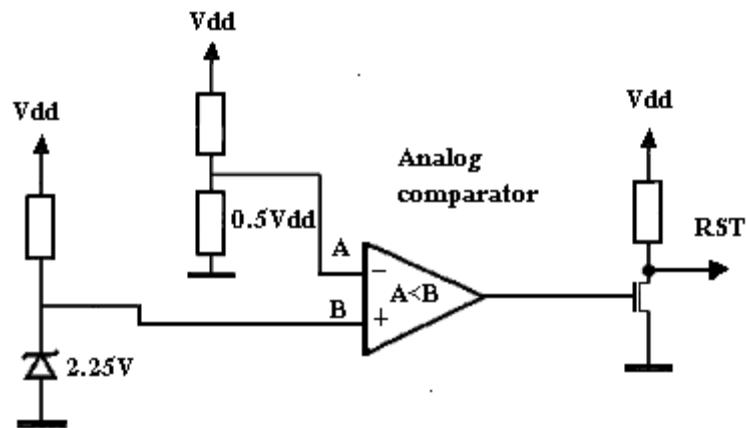


Figura 20. Ejemplo de Brown-out detector.

En este circuito, podemos observar que existe un comparador en el que en una rama se le introduce la fuente y por otra un valor de tensión mínimo predeterminado. Si la fuente desciende por debajo de dicho valor, el comparador hace que el transistor de la línea de carga cambie de región de funcionamiento y se envíe una señal de Reset.

Aplicaciones

El Brown-out detection es un circuito menos conocido, no obstante, se utiliza en algunas aplicaciones:

- Se puede utilizar en microcontroladores, como un recurso externo para prevenir el mal funcionamiento durante los periodos en los que la fuente proporcione un nivel insuficiente de tensión.
- En sistemas diseñados para funcionar en periodos largos de tiempo con una batería que proporcione la tensión mínima de funcionamiento, es importante proveer al sistema de un circuito como el Brown-out detector, que resetee el sistema en caso de que la tensión disminuya del nivel mínimo permitido.

2.8. POWER ON RESET

Un problema que comparte la mayoría de los dispositivos digitales es su correcta puesta en funcionamiento (Reset) tan pronto como la tensión es aplicada. A esta fase se le llama "Power on".

Durante la transición de esta fase, el estado inicial tanto de los elementos de memoria implicados como de los registros digitales y los integradores analógicos no se pueden determinar, por lo que es necesario una señal de Reset que inicialice dichos valores.

El Power on Reset es el circuito encargado de crear una señal en el periodo de encendido de los sistemas electrónicos. La señal creada se llama POR y es la encargada de mantener los circuitos en estado de reset durante el periodo referido.

En un dispositivo NMOS, teniendo una señal activa durante la rampa en la que la tensión aplicada no es un problema, ya que el consumo de energía durante la fase inactiva del PoR puede despreciarse.

En la siguiente figura se muestra un ejemplo. El circuito está compuesto por 3 bloques, el primero es un circuito de referencia de tensión compuesto por M1 y M2, el central es un prototipo de un latch set/reset, y en la rama de la derecha (M5, M3 y M4), cuyos tamaños son escogidos de tal manera que el nodo 6 tiene un valor de tensión igual al de alimentación menos un valor de offset determinado.

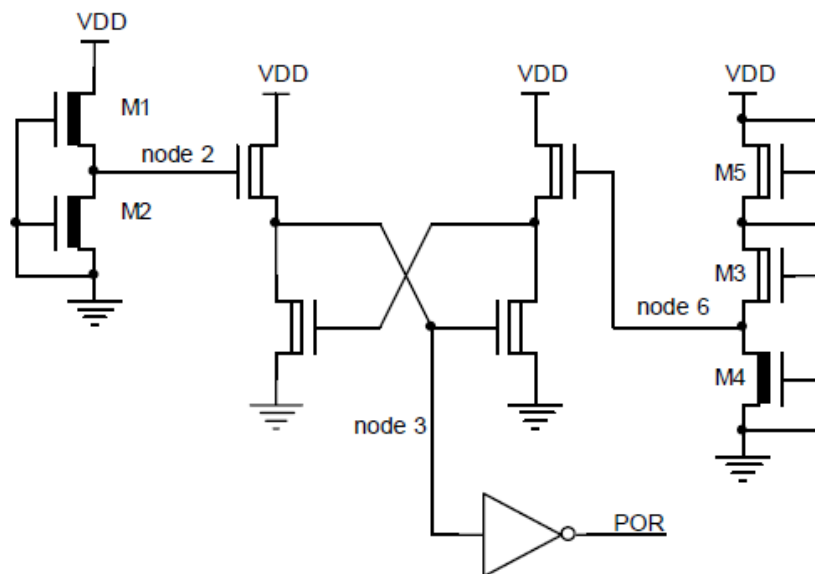


Figura 21. Circuito Power on Reset basado en tecnología NMOS.

El circuito es realmente sencillo; existen variantes con la intención de mejorar la velocidad de conmutación de estado. En la figura 22 se muestra el comportamiento de los nodos principales, dependiendo del resultado de la comparación de los nodos de entradas, el latch cambia de estado o no.

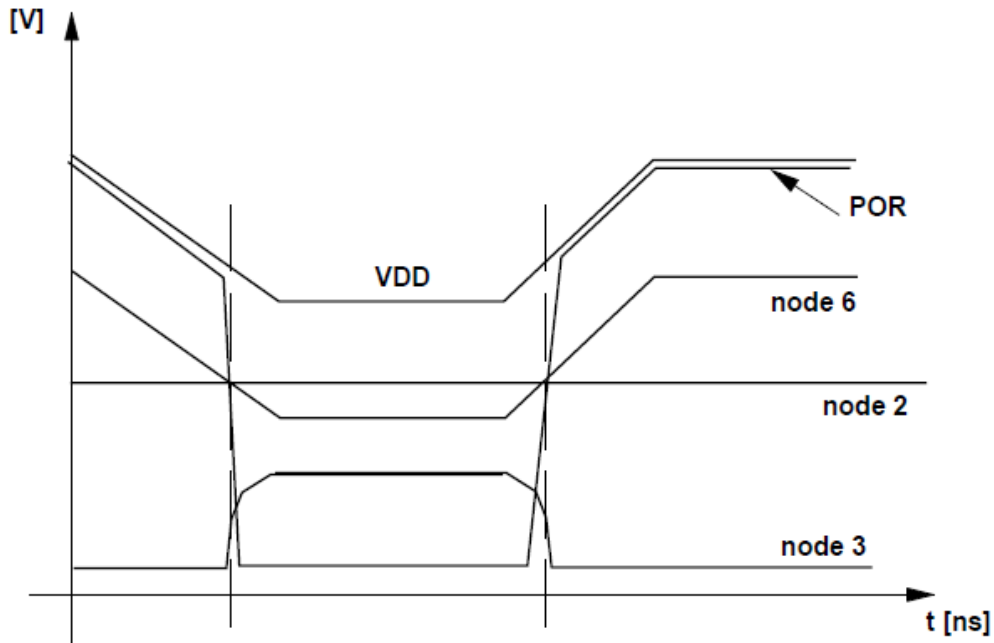


Figura 22. Comportamiento de los nodos en el circuito Power on Reset.

Un circuito power on reset debe ser muy rápido y funcionar con baja tensión, ya que muchos registros y sistemas funcionan a una tensión de 1.8 (incluso menos en estos momentos). Una curva de histéresis también es necesaria, ya que el margen de seguridad necesario para posibles ruidos indeseados se reduce debido al descenso de la tensión de alimentación y por el valor umbral del Power on Reset.

Los requisitos de consumo se establecen en torno a pocos microamperios, no obstante, la especificación de consumo en “Stand-By” se ha convertido en una prioridad en dispositivos portátiles.

Se puede ver como ejemplo un circuito CMOS que cumple todas los requisitos.

En este caso, se trata de un comparadora cuya salida, llamada INTPOR, influye directamente en la señal POR, haciendo una comparación entre las dos señales, la referencia y el seguidor de corriente. La figura 23 muestra el esquema con las partes principales del sistema. La tarea del bloque llamado VDDDIV es producir una tensión de salida con el mismo patrón lineal de VDD, pero con un coeficiente angular que se escala por un factor m ; éste parámetro es el coeficiente de partición, cuya estabilidad debe estar garantizada en la implementación del circuito.

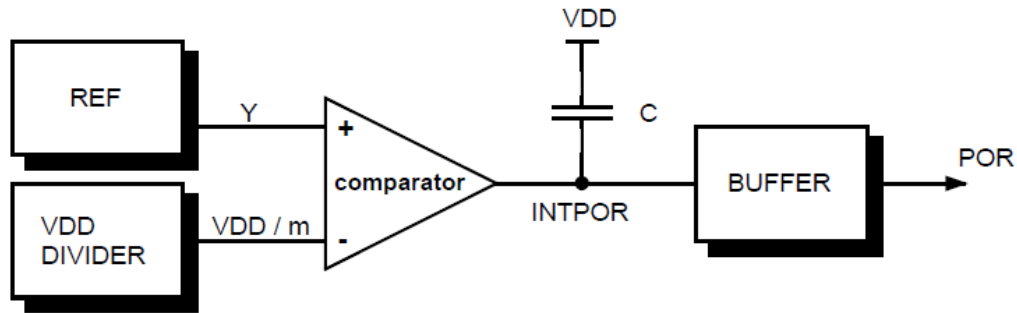


Figura 23. Esquema de bloques de un circuito Power On Reset convencional.

La función de la capacidad C es permitir el acoplamiento de la señal de INTPOR con la fuente de tensión durante las transiciones (rampas). El Buffer tiene como objetivo desacoplar el comportamiento dinámico de la señal de salida, cuyo rango es igual al valor de VDD , del comportamiento dinámico de INTPOR, que puede tener pequeñas variaciones. Esto mejora la velocidad de funcionamiento del circuito. El mayor problema de un circuito Power On Reset es el consumo, ya que los bloques del esquema que se está estudiando requiere que todos los circuitos estén en funcionamiento para ser capaz de regenerar la señal POR en caso de una caída de tensión. En circuitos de bajo consumo, este factor es inaceptable, por lo que deben de establecerse unas condiciones:

1. Deben introducirse señales específicas en la entrada, de modo que gran parte del circuito permanezca en estado de corte tan pronto como la señal POR se haya generado.
2. El sistema debe ser capaz de salir de forma autónoma del estado OFF en caso de una caída en la fuente de tensión.

Para cumplir estos requisitos, el esquema de bloques quedaría como sigue:

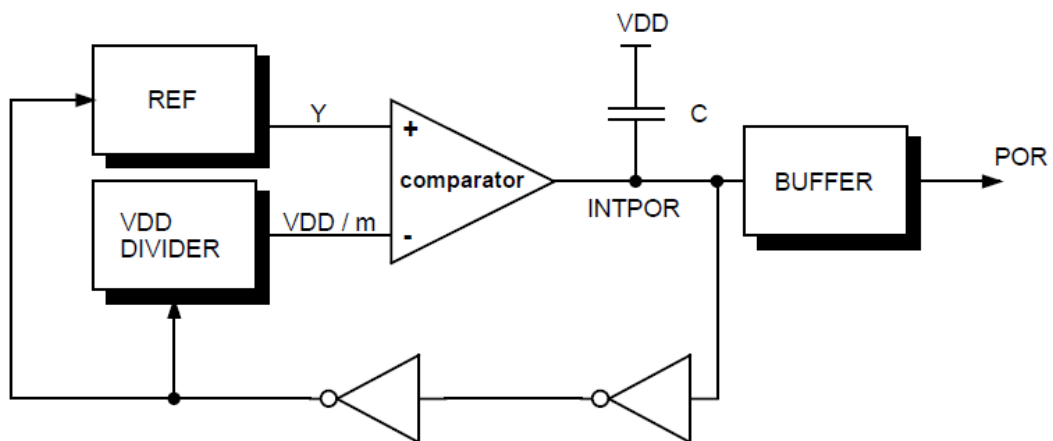


Figura 24. Esquema modificado para eliminar el consumo.

Cabe destacar la importancia de que el bloque de referencia proporcione una tensión estable ante posibles variaciones de temperatura, procesos de fabricación y fuentes de tensión.

3. ESTADO DEL ARTE

En este apartado se recopilan distintas configuraciones adoptadas para el diseño del circuito Power on Reset. Existe un gran número de posibilidades en cuanto al diseño, por lo que se ha escogido los que tienen mayor interés y su publicación está más cercana a la actualidad.

3.1. POWER ON RESET EN TECNOLOGÍA CMOS DE 65NM

En este artículo [1], se recalca el problema de los circuitos integrados, especialmente en la red de sensores wireless y la batería de los terminales móviles, donde la potencia estática es importante.

El diseño está basado en fuentes de baja potencia, ya que la tecnología de 65 nm está limitada en este sentido. La estructura general es la siguiente:

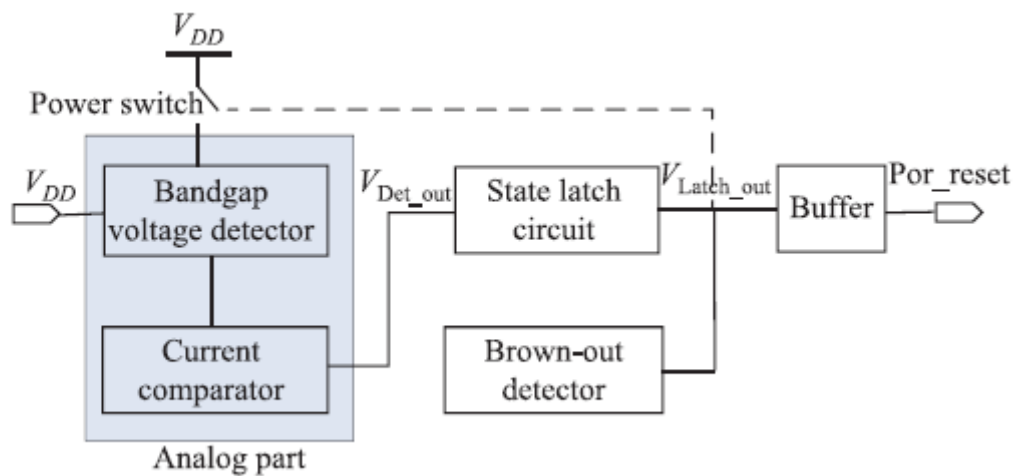


Figura 25. Estructura general del circuito PoR.

El sistema se compone de tres bloques principales:

1. Detector de tensión en la banda prohibida y comparador de corriente.

El circuito de referencia de la banda prohibida de tensión, como puede observarse en la siguiente figura, está compuesto por transistores NPN, resistencias y transistores CMOS.

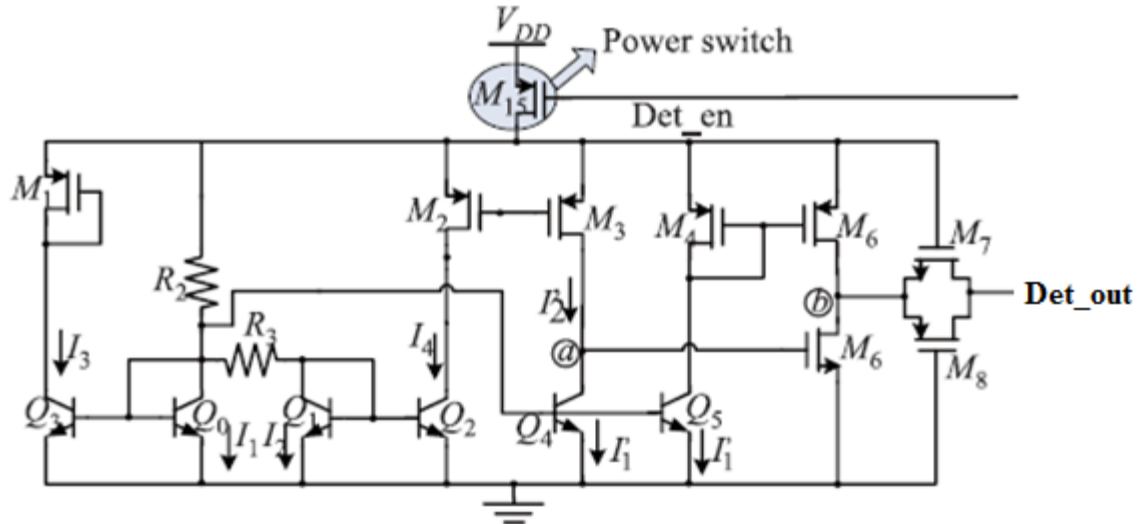


Figura 26. Detector de tensión en la banda prohibida y comparador de corriente.

El funcionamiento es el siguiente; en un principio, cuando VDD se incrementa desde 0, la corriente I_2 es mayor que I_1 debido a que la unión PN está en corte mientras $V_{BE0} = V_{R1} + V_{BE1}$. La intensidad I_2 se mantiene por encima de I_1 hasta que VDD supera la tensión pull-up V_{TP} . En el momento que se alcanza dicha tensión umbral $V_{DD} > V_{TP}$, I_1 es menor que I_2 y se genera la señal de Reset.

Cabe destacar la influencia de la temperatura en la tensión pull-up del circuito; cuanto más cercana esté de los 300K, esta influencia será despreciable y no tendrá efectos incontrolados.

Por último, el comparador de corriente se usa para comparar I_1 e I_2 y generar la señal de detección (Det_out) cuando VDD alcanza la tensión de pull-up (V_{TP}).

Las intensidades de los transistores NPN (Q4 y Q5) se reflejan desde Q0 al ser comparado con la corriente reflejada de Q1. Al comienzo del proceso, M5 comienza a conducir cargando el nodo a. Mientras tanto, el nodo b se mantiene descargado debido a que el transistor M6 está en corte. Cuando VDD se incrementa hasta llegar a V_{TP} , I_2 es igual a I_1 y paulatinamente mientras VDD supera el valor de V_{TP} , M5 entra en corte y M6 conduce, generando la señal **Det_out**.

2. Circuito “latch”.

Este subcircuito se usa para generar la señal de activación del detector **Det_en** para controlar la conmutación de alimentación (Power switch) de la parte analógica, como vemos en la figura 26. Se apagará en cuanto el proceso de Reset finalice. El detector de tensión de la banda prohibida y el latch están conectados a través de un transistor PMOS (M13).

El esquemático del subcircuito es el siguiente:

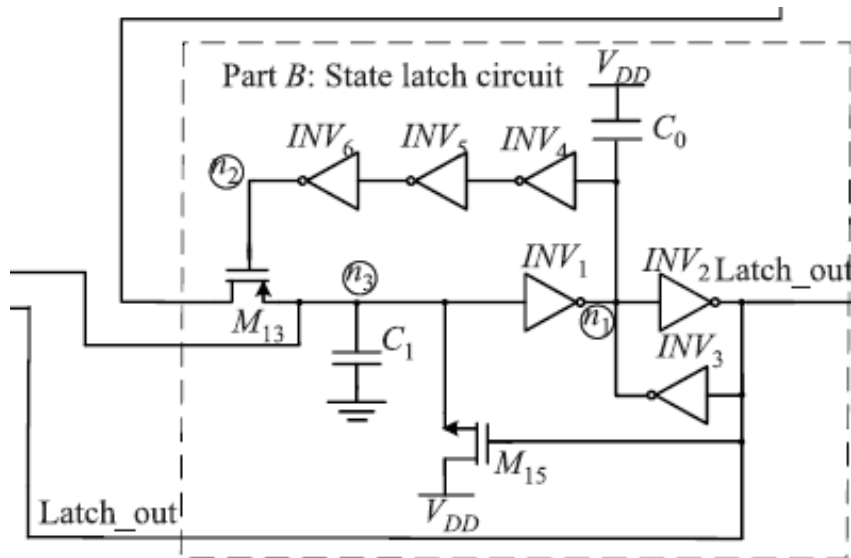


Figura 27. Esquemático del latch.

Este circuito tiene dos estados de trabajo: en la etapa de encendido, cuando la tensión de alimentación VDD aumenta, la tensión en el nodo n_1 crece en concordancia, y el nodo n_2 desciende haciendo que M13 conduzca para generar Det_out y producir una señal global de Reset. Posteriormente, cuando VDD supera V_{TP} , V_{Det_out} crece en forma de rampa de la misma forma que VDD. Por tanto, como M13 sigue en funcionamiento, V_{Det_out} pasa por el terminal de puerta de M13 haciendo que el nodo 1 esté con una tensión baja, y que el nodo n_2 tenga una tensión alta llevando a M13 al corte y consiguiendo aislar la parte analógica del subcircuito.

3. Detector de brown-out.

El circuito propuesto en el artículo para detectar las fases de brown-out es el que se muestra en la siguiente figura.

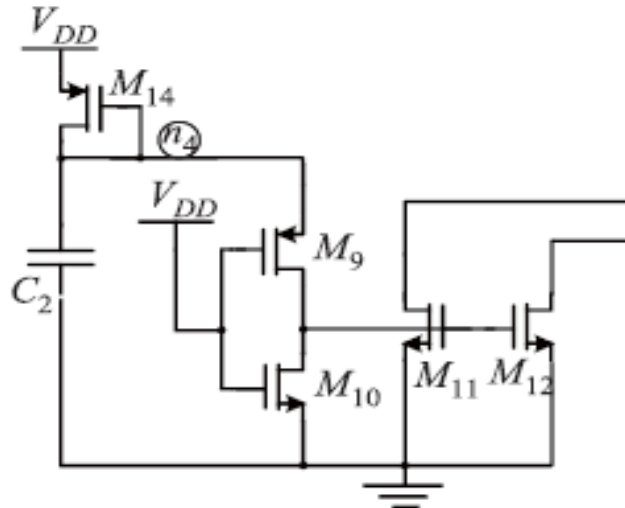


Figura 28. Detector de fases brown-out.

Este subcircuito se usa para generar la señal de reset cuando VDD desciende repentinamente o cuando es demasiado baja, con la intención de prevenir que el sistema trabaje en un estado desconocido.

Cuando VDD desciende bruscamente, el nodo n_4 tendrá una tensión de $V_{DD} - V_{th}$, mientras que la fuente de alimentación siga en funcionamiento, debido a la capacidad C_2 . Posteriormente, el valor de la señal **Lach_out** y del nodo n_3 decrecerán debido a la salida del inversor compuesto por M_9 y M_{10} , por tanto, el sistema se reestablece de nuevo.

Cabe destacar el escaso consumo del subcircuito, debido a que existe una conexión directa entre VDD y tierra.

3.2. CIRCUITO POWER-ON RESET CON UNA CAPACIDAD CONMUTABLE

En este artículo [2] se hace hincapié en el problema de los circuitos PoR convencionales, que poseen un elemento de retardo RC y un Schmitt trigger. En este sentido, se recalca la dependencia del tiempo de subida de la tensión de alimentación con la constante de tiempo RC; si el tiempo de subida es grande en comparación con la constante de tiempo, el tiempo de reposición no es suficientemente largo para proveer al sistema de una señal de Reset el tiempo necesario para su correcto funcionamiento. Para solucionar este problema, se requiere de una resistencia de gran capacidad y resistencia, cosa que es inviable en cualquier circuito integrado.

En el circuito propuesto, la propiedad de una señal de reloj es un factor importante. Cuando un oscilador empieza a funcionar, le toma una cantidad finita de tiempo para que los elementos internos de alcanzar el estado de funcionamiento. Esta etapa de transición causa variaciones en el periodo del oscilador. Existen varios métodos para reducir el tiempo de funcionamiento del oscilador, como utilizar un oscilador de cristal.

El circuito consiste en una capacidad con la cualidad de poder conmutar de un rango de picofaradios y un inversor Schmitt trigger. La capacidad funciona con una señal de reloj. La tensión de la capacidad se incrementa con la tensión de la fuente de alimentación.

La señal reset se activa cuando la tensión de la capacidad alcanza el valor de la tensión umbral alto (V_{th}^+) del Schmitt trigger.

Uno de los atractivos de este circuito es su simplicidad, compacidad y que no posee consumo de tensión estática. Cuando el sistema funciona en modo de “bajo consumo”, la señal de reloj está apagada para bloquear el consumo dinámico de energía.

En la siguiente figura se ve un esquema básico del circuito propuesto:

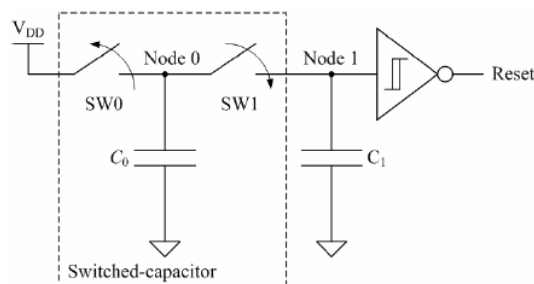


Figura 29. Esquema del circuito propuesto.

Se puede observar en la figura que existen dos conmutadores $SW0$ y $SW1$ que son mutuamente excluyentes, por ello, no pueden estar en funcionamiento simultáneamente. El control de la señales para los conmutadores se crean a través de la señal de reloj que proviene del oscilador de cristal.

El funcionamiento del circuito es el siguiente: Las capacidades están descargadas a tensión 0 antes de que la fuente de alimentación empiece a funcionar. Cuando la tensión de alimentación alcance V_{OSCR} , el oscilador empieza a funcionar, y la capacidad con los conmutadores también lo hace. La capacidad (C_0) comienza a cargarse con V_{DD} debido a que el primer conmutador $SW0$ está encendido. Cuando C_0 está cargado, la tensión se transfiere a C_1 a través de $SW1$. Este proceso se repite; el nodo 1 se incrementa hasta llegar a V_{DDF} .

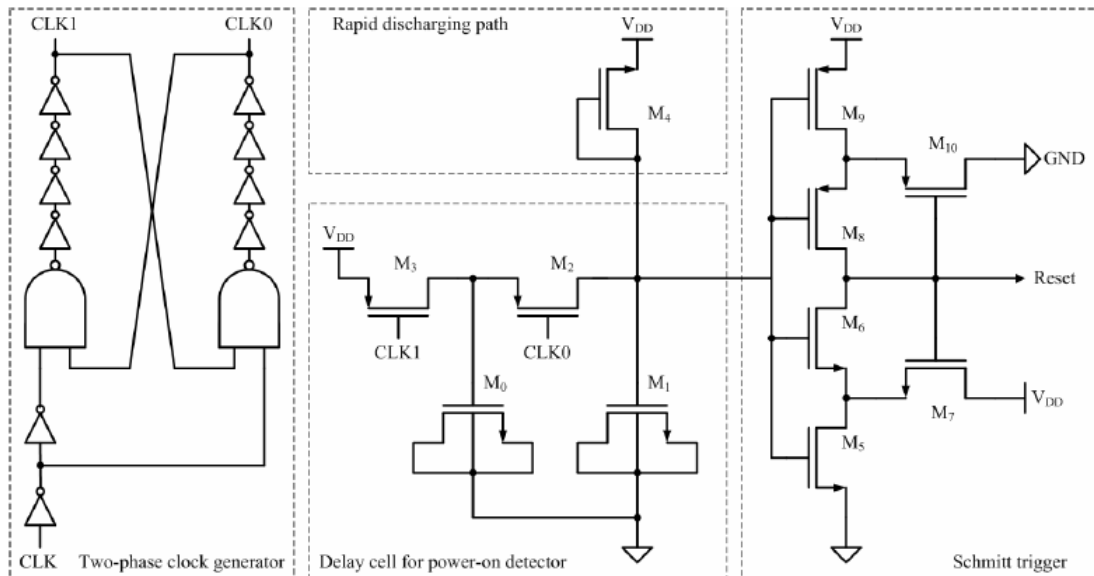


Figura 30. Esquemático del circuito propuesto.

En el esquemático de la Fig. 30 se puede observar un generador de señal de reloj de dos fases que marcan las señales de control de los transistores $M3$ y $M2$, correspondiendo a los conmutadores $SW0$ y $SW1$ respectivamente. Las señales de reloj previenen la activación de $M2$ y $M3$ simultáneamente. Las capacidades C_0 y C_1 se han diseñado con las capacidades de puerta de $M0$ y $M1$ respectivamente. El transistor $M4$ se coloca para la descarga rápida de la capacidad $C1$ cuando la fuente de tensión está desconectada. El diseño del Schmitt trigger es el convencional en tecnología CMOS.

3.3. POWER ON RESET SIN CAPACIDAD

Este apartado está basado en el artículo [3].

Con el incremento de la densidad de integración de los circuitos, cada vez es más necesario buscar técnicas de optimización que reduzcan el tamaño de los circuitos. En este sentido, la mayoría de los circuitos propuestos PoR contienen un bloque de retraso con un sistema RC que es necesario que tengan un valor considerable para que la constante de tiempo no sea demasiado baja.

El circuito propuesto ofrece tres ventajas de los circuitos PoR convencionales: En primer lugar, no se usa una capacidad de retraso para generar la señal POR. Esto hace que se reduzca la área del chip del circuito PoR.

La segunda mejora es el bloque de “charge clamp”. Este subcircuito está compuesto por diodos tanto PMOS como NMOS (M6). La tensión del nodo A empieza a crecer desde 0 hasta VDD por la rama marcada por P1, compuesta por los tres diodos PMOS. El transistor M6 incrementa el tiempo de retraso en el que el nodo A empieza a cargarse. Cuando la tensión del nodo A supera la tensión necesaria para encender el inversor INV3, además el transistor M7 entra en funcionamiento. El camino P2 carga el nodo A de nuevo siguiendo el valor VDD.

La última mejora es la resistencia R3, que puede ser usada para determinar la tensión umbral lógica del INV3. El valor de esta tensión umbral se decide debido al valor de R3 y la relación de aspecto del transistor M5. Por ejemplo, un transistor de valor alto R3 puede hacer que la salida de INV3 se descargue rápidamente. Por tanto el pulso POR se genera en una situación de baja tensión.

Por último, el transistor M8 se usa para mejorar la inmunidad de la fuente frente a glitches. R1, R2 y INV1 se incluyen para realizar pruebas.

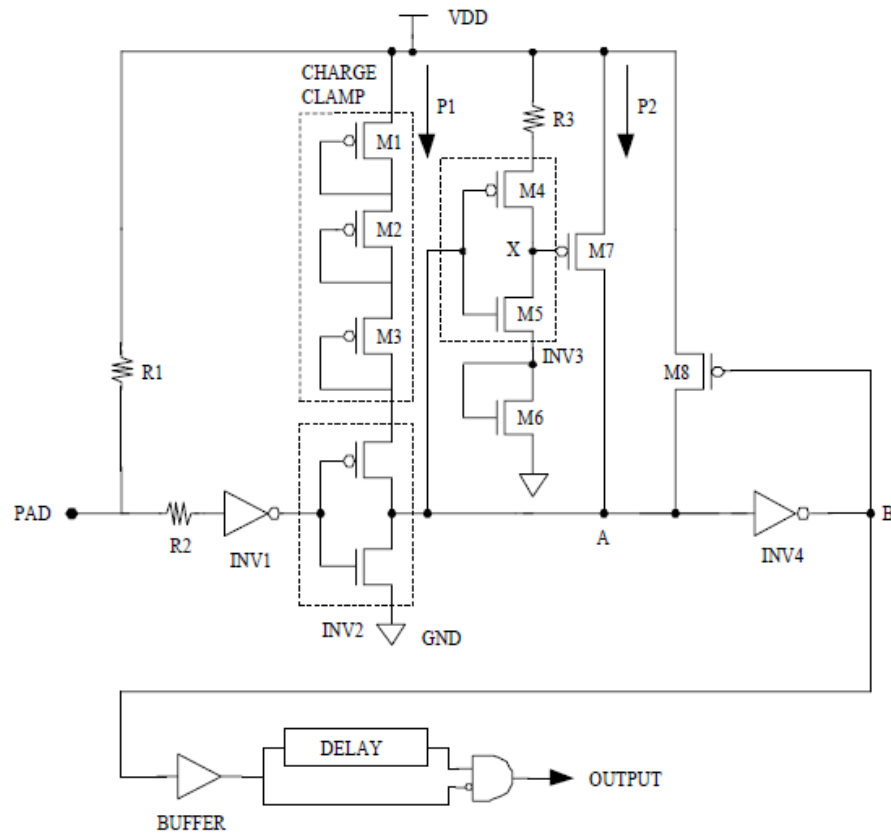


Figura 31. Esquemático del PoR propuesto.

3.4. POWER ON RESET CON MENOR RETRASO Y ALTA PRECISIÓN

En el artículo [4] estudiado en este apartado, se relata la dependencia de los esquemas basados en el retraso sobre la fuente de alimentación. Es decir, una célula con un retraso superior al tiempo de encendido puede ser utilizado de una señal Power on reset. No obstante, la generación de un gran retraso normalmente no es deseable. Además, con esta configuración, el sistema no puede hacerse cargo de la generación de la señal PoR en situaciones de apagados inesperados.

Los esquemas basados en referencias de tensión, se basan en la comparación la tensión de alimentación con una tensión de referencia para producir la señal POR. El error en los puntos umbrales del POR decide cómo de cerca V_{L2H} debe ser establecida para el mínimo de tensión de la fuente de alimentación. Para minimizar estos errores, se pueden usar referencias de tensión en banda prohibida. En este caso, la tensión de alimentación se compara con una tensión de referencia conocida y precisa.

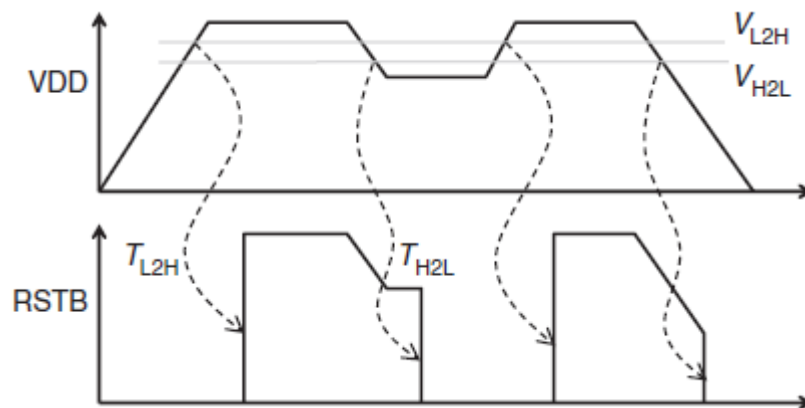


Figura 32. Explicación gráfica funcionalidad del circuito PoR.

Para altos valores de tensión de alimentación, la funcionalidad del circuito es tal y como se espera. Sin embargo, como la tensión de referencia depende de la tensión de alimentación, existe un rango de tensiones de alimentación por las que $V_R > V_{REF}$, incluso si la tensión de alimentación es mucho menor que el punto de disparo deseado. Esto significa que es necesario un circuito adicional para eliminar el error de la salida del comparador cuando la tensión de alimentación es pequeña.

En el circuito propuesto, se tiene en cuenta la necesidad de un bloque adicional para generar una señal que conmuta cuando la referencia tiene una precisión suficiente. Tal lógica adicional introduce más errores debido a que se basa en la tensión umbral. Un error grande también limita el valor mínimo para el punto de

disparo. Para resolver este nuevo problema, se propone una nueva arquitectura como la de la siguiente figura.

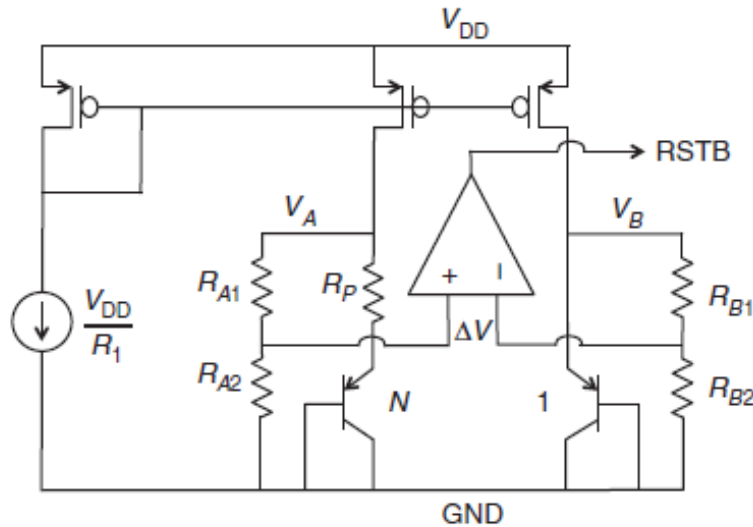


Figura 33. Arquitectura del circuito propuesto.

El circuito propuesto es una modificación del clásico circuito de referencia de banda prohibida en bajas tensiones. En este circuito, una intensidad proporcional a la fuente de tensión se inyecta en el núcleo del PoR. Dicho núcleo es igual que dos ramas de referencias de tensión en banda prohibida. El nodo de realimentación se abre y el opamp actúa como un comparador. Cuando la tensión de alimentación es menor que el punto de disparo, la intensidad en el núcleo del PoR es menor que la corriente de disparo resultante en $V_A < V_B$ y la salida del comparador permanece baja. En el momento que la tensión de alimentación aumenta, la diferencia entre V_A y V_B también sufre una caída y finalmente alcanzan el mismo valor cuando la tensión de alimentación llega al valor de tensión de disparo. Si la tensión de alimentación supera el valor de la tensión de disparo, $V_A > V_B$ y la salida del comparador cambia a un valor alto. Se trata de un sistema de bucle abierto, que no necesita un circuito externo para hacerlo funcionar.

La dependencia del punto de disparo y la temperatura es similar a la que existe con la tensión de referencia generada por el circuito de referencia de tensión en banda prohibida. Esto asegura que el punto de disparo es tan preciso como la salida de tensión de referencia en la banda prohibida.

Por otro lado, cualquier esquema de compensación de temperatura de orden superior utilizado para este tipo de sistemas se puede aplicar fácilmente a este circuito. Las dos resistencias R_A y R_B pueden modificarse ($R_A < R_B$) de modo que incluso con una corriente de entrada muy pequeña, la relación $V_A < V_B$ está garantizada.

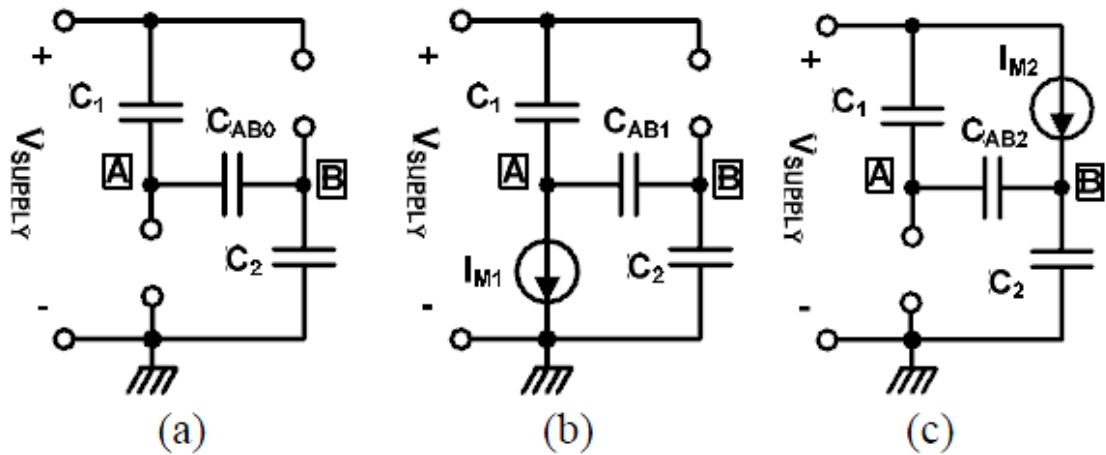


Figura 35. Bloque de retraso del PoR a) en $t=0$. b) entre $t=0+$ y $t=t_2$, c) entre $t=t_2$ y $t=t_3$.

Podemos ver el comportamiento del circuito en distintos valores de tiempo. En primer lugar, cuando $t=0$, todos los nodos están descargados ($V=0$). La rampa de tensión de alimentación hace que la capacidad C_1 transvase la tensión al nodo A. Idealmente, el nodo B permanece a tensión 0 hasta que VDD alcanza la tensión umbral del transistor M2 en $t=t_2$.

En realidad, el nodo B se carga por las capacidades parásitas entre el nodo A y B (C_{AB0}). Esta capacidad es la suma de las capacidades parásitas de puerta-fuente/drenado de los transistores M1 y M2 entre los tiempos $t=0$ y $t=t_1$. Por tanto, las capacidades C_{AB0} , C_1 y C_2 forman un divisor de tensión. C_{AB0} es mucho menor que C_2 hasta $t=t_1$, el nodo B crece pero de forma más liviana que la fuente de tensión (Fig. 35. a)).

Hasta $t=t_1$, la tensión puerta-fuente (V_{gs}) del transistor M2 es muy pequeña, por lo que el transistor está en corte. M1 por otro lado funciona inicialmente en régimen de acumulación ($t=0+$). Se mueve rápidamente entre las regiones de inversión débil y moderadas dependiendo de la tensión V_{gs} de M1. La tensión entre el nodo A y Nodo B aumenta hasta llegar a $t=t_1$. Este circuito se puede ver en la Fig. 35.b).

Mientras C_1 acopla la tensión de alimentación al nodo-A, el transistor M1 descarga el nodo A cada vez más trabajando en la región de inversión débil inicialmente ($t=t_0+$), hasta llegar a la región de inversión moderada ($t=0+$ hasta $t=t_1$). Posteriormente, M2 entra en funcionamiento y cuando el tiempo está entre $t=t_2$ y $t=t_{Subida}$ M1 se mueve a la región de inversión débil. Como resultado, C_1 trasfiere directamente la tensión de alimentación al nodo A. Durante este periodo de tiempo,

M2 rápidamente se enciende y empieza a cargar el nodo B siguiendo la tensión de alimentación. Este circuito se puede ver en la Fig. 3.c).

Cuando la tensión de alimentación alcanza su valor final en $t = t_{\text{Subida}}$, la crecida de tensión en el nodo A deja de crecer del mismo modo. En este momento, la V_{gs} del transistor M2 es mayor que su tensión umbral, por lo que el nodo B sigue creciendo, la crecida del nodo B se produce a través de la capacidad C_{AB2} desde el nodo A, reduciendo paulatinamente la tensión V_{gs} del nodo 2.

El transistor 3 se ha añadido para detectar glitches de tensión después de que la fuente de alimentación alcance el valor final de funcionamiento. M3 siempre está apagado durante el tiempo de “encendido” de la fuente. Después de $t = t_{\text{Subida}}$, la tensión del nodo A asciende hasta alcanzar la tensión final de alimentación gracias al ascenso del nodo B. Así, se crea la tensión de alimentación del transistor M3 (a través del nodo A). Cualquier caída repentina de la tensión de alimentación que no puedan ser detectados por C1 y M1 debido a la limitación de velocidad es detectada por M3.

4. DISEÑO Y RESULTADOS OBTENIDOS

En este apartado se va a realizar una descripción del proceso seguido para el diseño del circuito. Se realizará un seguimiento por fases o “hitos” tal y como se ha procedido para la implementación del sistema.

Cabe destacar que el diseño se basa en un artículo del IEEE con nombre “*A Long Reset-Time Power-On Reset Circuit With Brown-Out Detection Capability*”, cuyos autores son Huy-Binh Le, Xuan-Dien Do, Sang-Gug Lee y Seung-Tak Ryu. [6]

Como observamos en la Figura 1, el diseño propuesto está dividido en cuatro bloques principales, que marcan las fases de diseño anteriormente mencionadas.

4.1. BLOQUE 1: GENERADOR DE CORRIENTE Y ESPEJOS DE CORRIENTE

En este primer apartado se pretende construir el bloque que dispone al circuito de corriente y de 3 espejos de corriente 1:10 que reduzcan dicha corriente generada unas 1000 veces aproximadamente.

En primer lugar nos familiarizamos con el entorno de diseño y la herramienta utilizada.

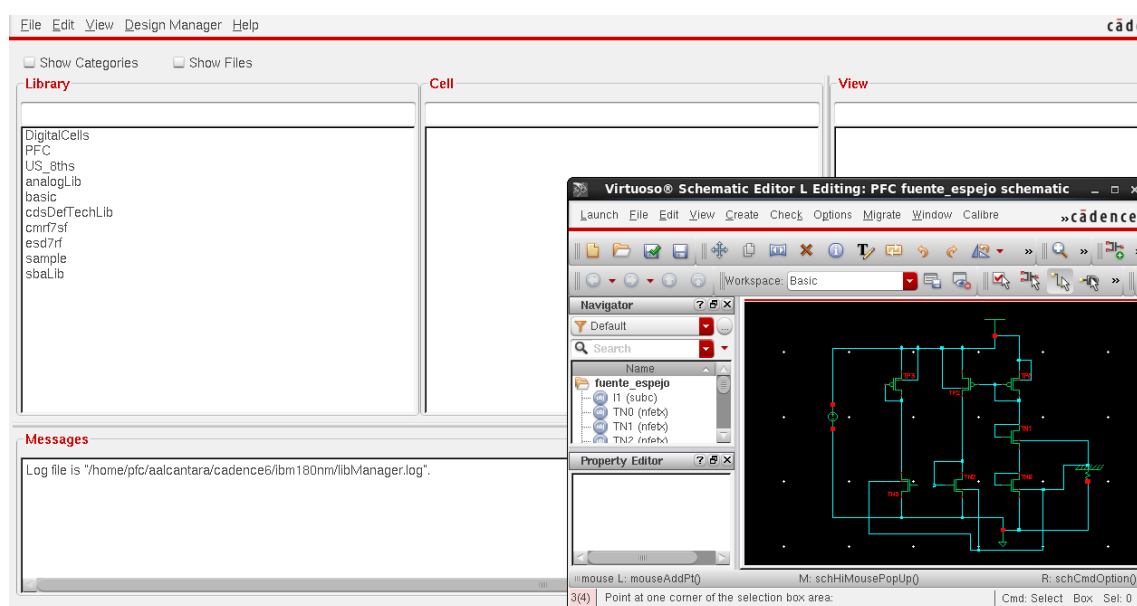


Figura 36. Entorno Cadence Virtuoso.

Tras realizar pruebas con circuitos sencillos y adquirir la destreza necesaria como para afrontar el diseño y la simulación del circuito escogido para el proyecto.

Disponemos de 3 transistores en serie tal y como dictan las especificaciones. El transistor superior es tipo P (M9), y va a formar parte de uno de los espejos de éste bloque. Los otros dos transistores son de tipo N (M10 y M11), y su funcionamiento es como el de un diodo convencional; dejan pasar la corriente si la tensión de $V_{gs_{10,11}} = V_{ds_{10,11}}$ de dichos transistores supera un valor umbral determinado.

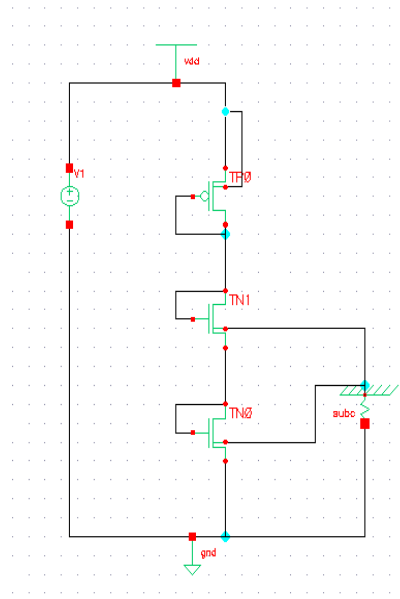


Figura 37. Esquemático fuente de corriente.

Se han escogido unas dimensiones de los transistores que forman la fuente de tal forma que se genere una intensidad de **5 μA** . Para ello se ha impuesto dicha tensión en la aproximación de la ecuación conocida de los transistores NMOS en la región de funcionamiento de saturación:

$$I_d = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{gs} - V_{th})^2$$

Para el caso de los transistores PMOS solo se tendría que cambiar el subíndice de V_{gs} a V_{sg} , de tal forma quedaría:

$$I_d = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{sg} - V_{th})^2$$

Conociendo el valor de los parámetros de diseño de la tecnología utilizada (μ_n , C_{ox} , V_{th} , ...), se puede imponer el valor de la corriente generada en la rama.

Para obtener los 5 μ A, se ha decidido por valores de W/L que sean los mínimos posibles de la tecnología para su correcto funcionamiento, teniendo en cuenta que el transistor M9 forma parte de un espejo de corriente por lo que su W tiene que ser al menos 10 veces superior al valor mínimo permitido por la tecnología.

Se han escogido los siguientes valores:

Transistor	M9 (TP0)	M10 (TN1)	M11 (TN0)
W (μ m)	3.6	0.36	0.36
L (μ m)	0.4	0.4	0.4

Tabla 2. Dimensiones fuente de corriente.

Observamos el resultado en la siguiente simulación en DC:

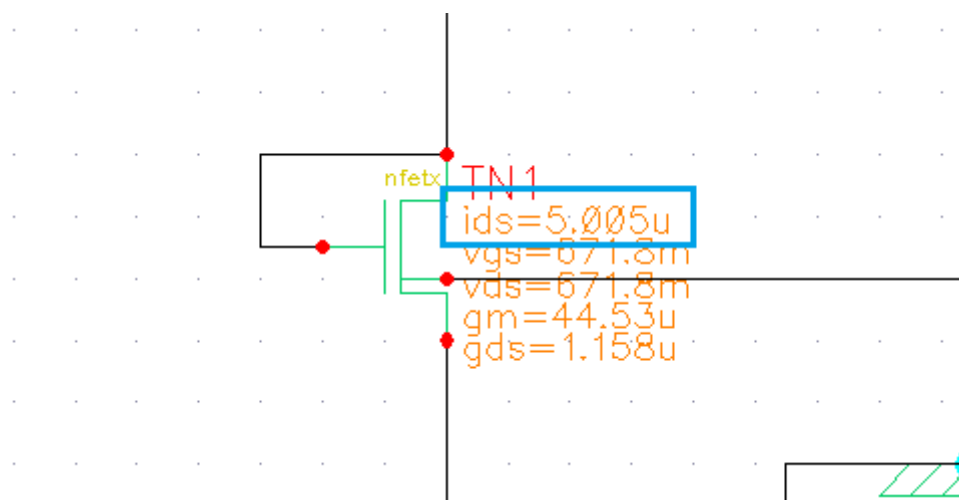


Figura 38. Simulación DC generador de corriente.

Se puede observar que la intensidad generada es cercana a la que buscamos, en torno a los 5 μ A. Una vez obtenida la intensidad deseada, se procede a añadir los espejos que forman el resto del primer apartado.

El transistor M8 no es más que una copia del M9 pero el valor de su W es 10 veces inferior (espejo 1:10). Los transistores M7 y M6 forman otro espejo 1:10 cuyo

funcionamiento es similar. En este sentido, el valor de W de M7 debe ser 10 veces superior al de M6.

Al escoger el valor de la relación de aspecto (W/L) de $M5$ hay que tener en cuenta que forma parte de un nuevo espejo con un transistor que forma parte del bloque 2 del que se discutirá en el siguiente apartado. Por ello, hay que diseñarlo teniendo en consideración que su valor de W debe ser al menos 10 veces superior al mínimo permitido.

Se escogen los siguientes valores provisionales para el diseño:

Transistor	M8 (TP2)	M7 (TN2)	M6 (TN3)	M5 (TP3)
W(μm)	0.36	3.6	0.36	3.6
L(μm)	0.4	0.4	0.4	0.4

Tabla 3. Dimensiones resto de transistores bloque 1.

Tras el diseño de los transistores, se obtiene el siguiente esquemático:

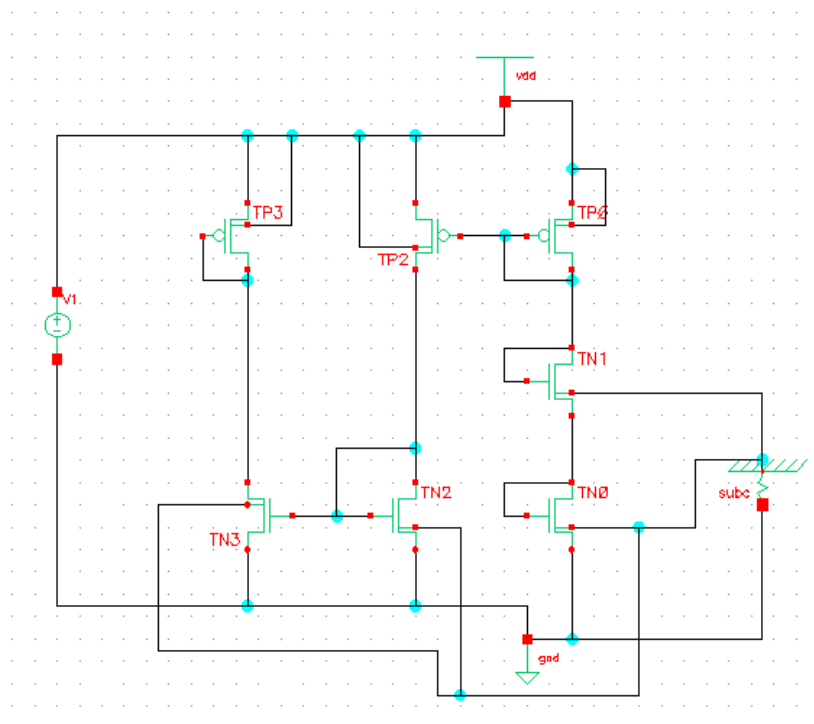


Figura 39. Esquemático bloque 1.

Se procede a la simulación DC, obteniendo los siguientes resultados:

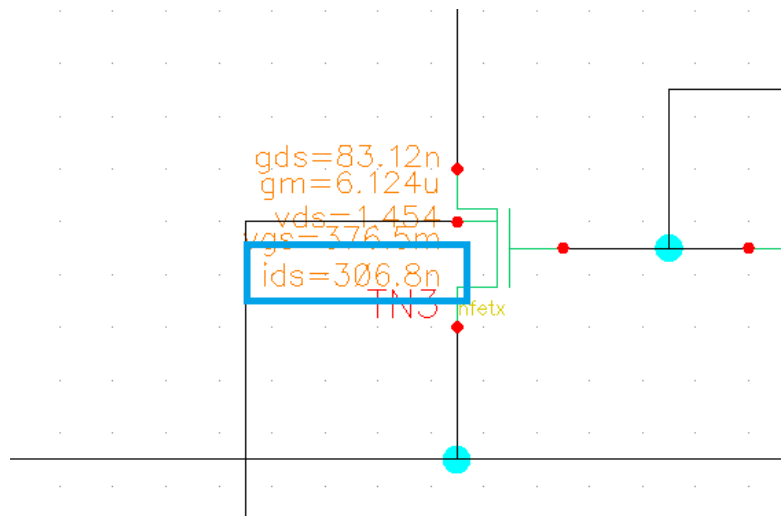


Figura 40. Simulación DC Bloque 1.

Como se puede observar, la intensidad que llega a la rama de los transistores M5-M6 (TN3-TP3 en el diseño) no es 100 veces inferior a la corriente generada, de hecho ni se aproxima a esta magnitud, por lo que parece que existe algún factor que influye en el buen funcionamiento del circuito que se desconoce a priori.

Tras el correcto asesoramiento del tutor designado al proyecto, se llega a la fuente del problema. En un primer diseño, se escogieron los transistores que forman parte de los diferentes espejos como si físicamente fueran sólo 2, existiendo una diferencia entre ambos en su anchura de 10 órdenes de magnitud. Este hecho produce que los efectos de borde sean más aparentes, por lo que el efecto de reducción de intensidad que se busca no se produce.

Para este tipo de situaciones, la herramienta del esquemático de Cadence dispone de una opción que implementa sobre el esquemático de un transistor, la cantidad de transistores que se necesitan en serie. Es decir, aunque esquemáticamente sólo se observe un transistor, físicamente se implementan tantos como le indiquemos en el campo "*fingers*" que está dentro de la opción de editar las propiedades del objeto.

El funcionamiento de ambos diseños teóricamente es el mismo, ya que los transistores además de estar en serie tienen 1 solo terminal de puerta que es al que

todos los terminales de puerta individuales van enlazados, no obstante, el efecto de borde es un factor inapreciable al escoger esta opción.

En el diseño abarcado, los espejos utilizados son 1:10, por lo que se necesitan que en la rama de la “derecha” existan 10 transistores en serie iguales al de la rama del a “izquierda”.

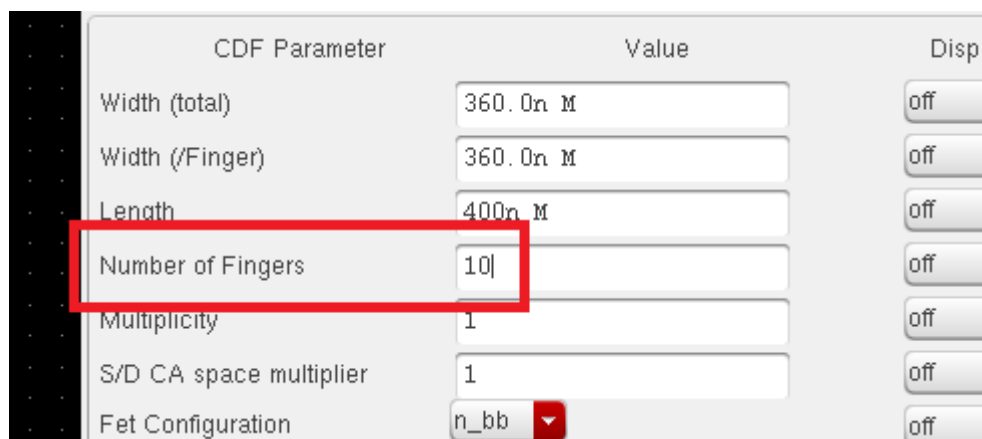


Figura 41. Propiedades del elemento (Cadence).

Con esta reconfiguración, volvemos a simular en DC obteniendo los siguientes resultados:

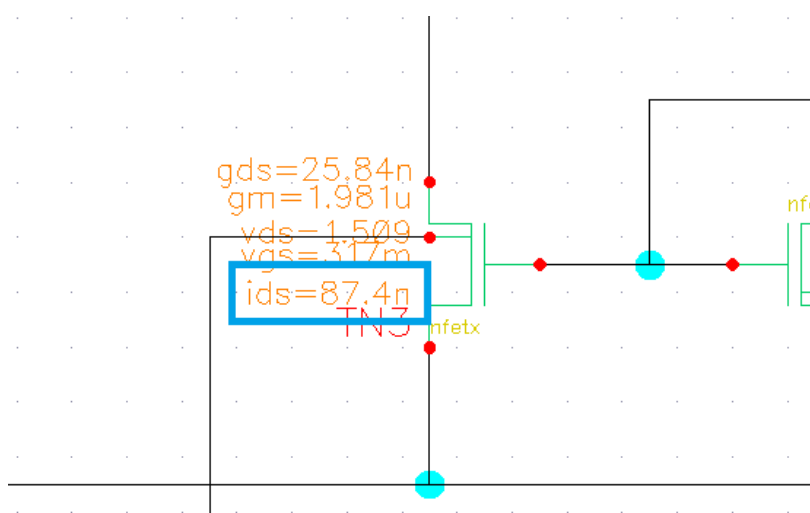


Figura 42. Simulación DC Bloque 1 nueva configuración.

Se obtiene un funcionamiento más cercano al deseado. La reducción no es exactamente de 100 órdenes de magnitud, debido entre otros factores al efecto

sustrato, pero se alcanza un factor de aproximadamente 60 que cumple con creces las expectativas del diseño.

4.2. BLOQUE 2: CELDA DE RETRASO PARA EL POWER-ON DETECTOR.

En este apartado, se diseña el bloque que se encarga de obtener la corriente final de funcionamiento del sistema, tras pasar por los tres espejos de corriente desde el generador de corriente. Se dispone de un condensador que realiza la función de “retraso”; dependiendo del valor con el que le caractericemos, alcanzará la tensión que estimamos como V_{SPH} en un tiempo determinado. V_{SPH} es la tensión que marca el umbral superior del Schmitt trigger como hemos visto en el bloque de la explicación teórica.

En primer lugar, añadimos el bloque al construido anteriormente. No es más que añadir un transistor y un condensador al circuito ya diseñado.

El transistor M1 forma parte del último espejo del sistema con M5, por lo que las dimensiones dependerán de éste.

La rama dispone además de un transistor M0 que se trata de un condensador utilizando tecnología CMOS. El condensador utilizado para la primera prueba se trata de un condensador ideal que nos proporciona la librería “*AnalogLib*” de la herramienta Cadence.

El circuito queda de la siguiente forma:

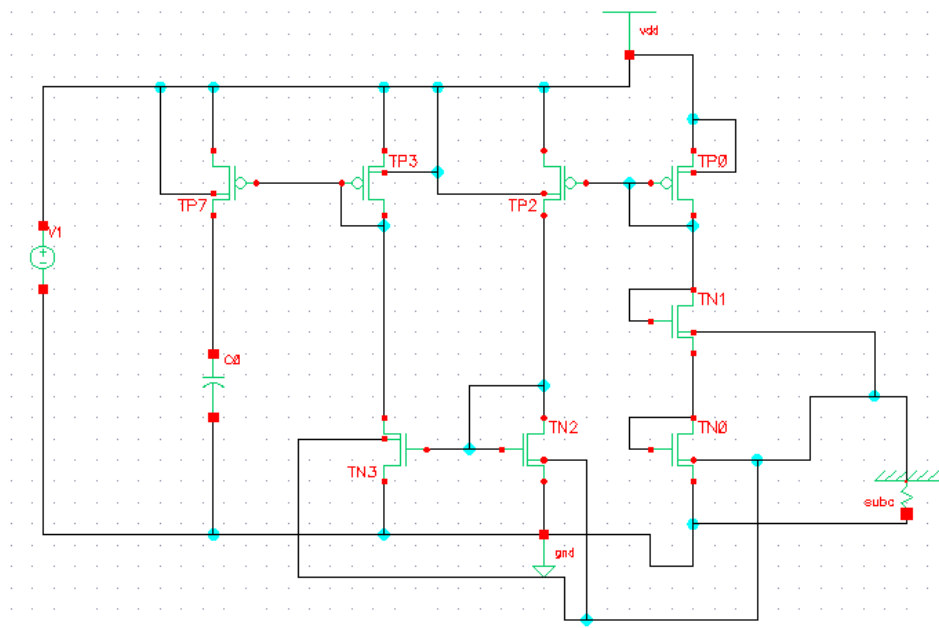


Figura 43. Esquemático bloque 1 y 2 con condensador ideal.

Antes de realizar la simulación, caracterizamos el valor del condensador para que alcance el valor de $V_{SPH} = 1.3$ V en un tiempo de aproximadamente 10ms. Para ello, tras realizar una batería de simulaciones, se estima que el condensador tiene que tener un valor de 78.5pF.

Se comprueba que se alcanzan las condiciones deseadas:

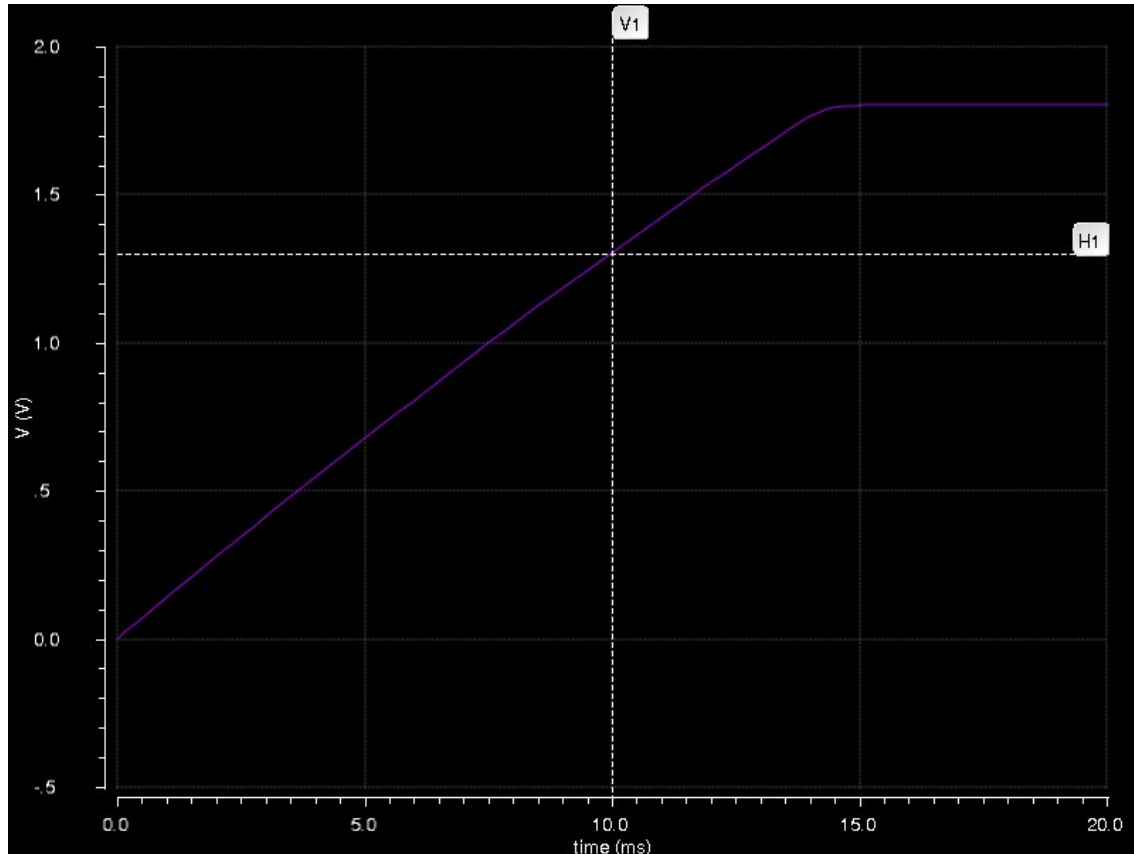


Figura 44. Simulación bloque 1 y 2.

Se observa gracias a los cursores que efectivamente se alcanzan los 1.3 V a los 10 milisegundos exactamente, por lo que el valor del condensador es el adecuado para el funcionamiento del circuito.²⁰

Un condensador ideal de estas características no es realizable a nivel físico, por lo que se debe buscar un elemento realizable en la tecnología utilizada que cumpla la función.

Tras revisar la documentación de las librerías incluidas en la tecnología, se decide que el elemento que mejor se ajusta a las necesidades es el llamado “*mimx*”, que no es más que un transistor con unas características específicas que lo hacen óptimo para dicho uso.

El problema de este tipo de transistores es que no pueden alcanzar valores de decenas de picofaradios con 1 sólo, por lo que es necesario hacer uso del campo “Multiplicity” dentro de las propiedades del elemento. Para alcanzar los 78,5 pF necesarios, se ha diseñado un *mimx* con 999.927 fF y en el campo *Multiplicity* se ha insertado el número 78, obteniendo una capacidad final de 77.995 pF que es muy cercana a la ideal.

El esquemático del circuito quedaría de idéntica forma que el anterior (el símbolo es el mismo), salvo por el terminal de sustrato del nuevo “condensador”, que debe estar conectado a la resistencia equivalente de sustrato proporcionado por la tecnología, de la misma forma que los transistores NMOS. Sin embargo, podemos observar una ligera variación en la respuesta en la simulación, debido al carácter no ideal del nuevo elemento.

Si se realiza la simulación:

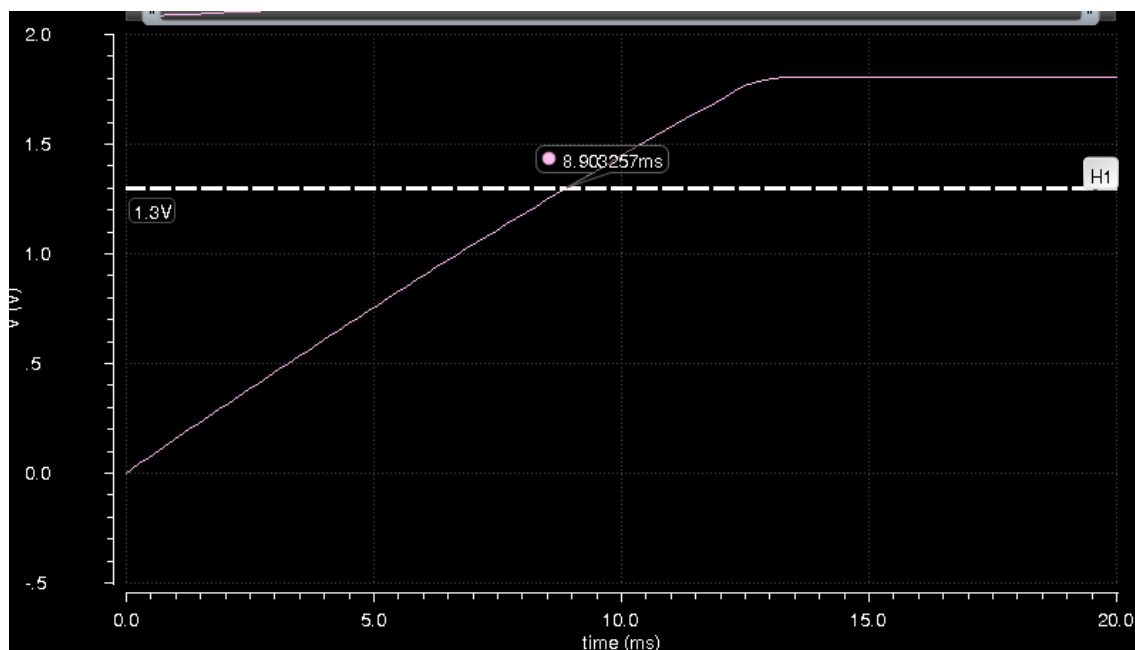


Figura 45. Simulación bloque 1 y 2 con condensador *mimx*.

Se puede observar que al ser un valor más bajo del condensador, se alcanzan los 1.3 V en menor tiempo, en este caso en aproximadamente 9 milisegundos. Es una diferencia mínima con el condensador ideal, por lo que se puede dar por concluido el diseño del bloque 2.

Para finalizar el apartado, se dispone una tabla con las dimensiones de los elementos implicados:

Transistor	M1	M0 (C1)
W(μm)	0.36	22
L(μm)	0.4	22.36

Tabla 4. Dimensiones de transistores bloque 2.

4.3. BLOQUE 3: SCHMITT TRIGGER

Para seguir con el orden natural de diseño, se debería haber construido el bloque de Brown-out detector antes del Schmitt trigger, no obstante, el Schmitt trigger es un circuito que es fácilmente modulable, es decir, se puede simular por separado e integrar al resto del circuito con relativa facilidad, por lo que se decide el diseño de este bloque en primer lugar.

El Schmitt trigger es un circuito ampliamente conocido y utilizado, como se explica en el apartado teórico. En el diseño propuesto, el Schmitt trigger lo forman seis condensadores, tres de tipo N y tres de tipo P.

Para el diseño del bloque, se ha tenido en cuenta la repercusión que tienen las dimensiones de los transistores en los valores de V_{SPL} y V_{SPH} , que se tratan del umbral inferior y superior respectivamente.

En este sentido, según esta ilustración, extraída de [1] se puede observar que dependiendo del valor de W/L de los transistores implicados, pueden diseñarse los valores V_{SPL} y V_{SPH} según las necesidades. Se incluye un circuito de referencia para la posterior definición.

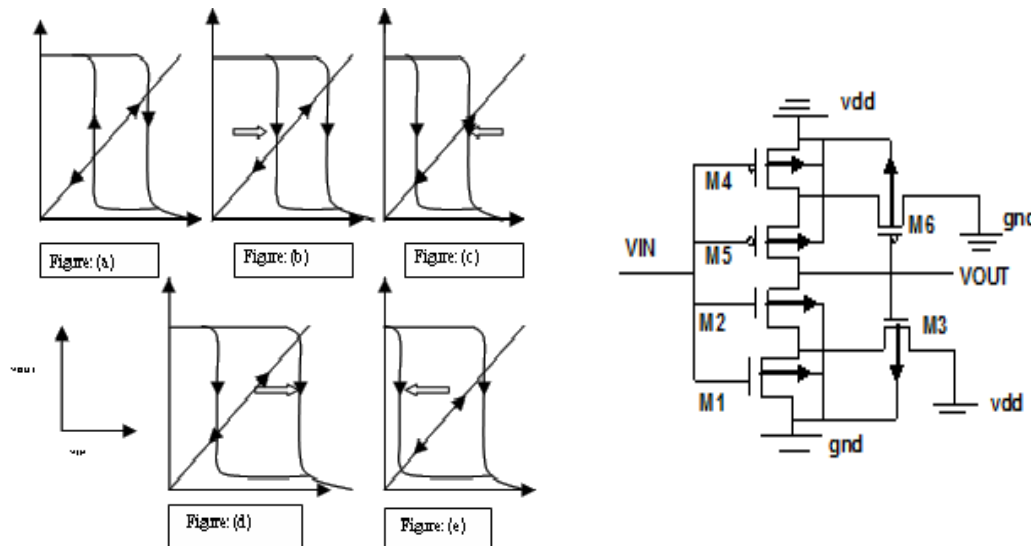


Fig. 46. Graficas que muestran la repercusión de los W/L y circuito de referencia.

De la Fig. 46 pueden extraerse las siguientes conclusiones:

- En la figura (a), se observa una curva de histéresis normal, sin hacer modificaciones sobre W/L.
- En la figura (b), se observa que el valor de V_{PSL} aumenta cuando la W/L de M4 crece.
- En la figura (c), el valor de V_{PSH} disminuye cuando la W/L de M1 aumenta.
- En la figura (d), el valor de V_{PSH} aumenta cuando la W/L de M3 crece.
- En la figura (e), se observa el decremento de V_{PSL} cuando la W/L de M6 aumenta.

Resumiendo, el valor de V_{PSL} cambia dependiendo de las dimensiones de M4 y M6 (en el circuito que se va a diseñar M16 y M17) y el valor de V_{PSH} varía dependiendo de la relación de aspecto de los transistores M1 y M3 (M12 y M14 en el circuito de diseño).

Teniendo en cuenta estas circunstancias y caracterizando $V_{PSL} = 0.8 \text{ V}$ y $V_{PSH} = 1.4 \text{ V}$. Se estiman las siguientes dimensiones para los transistores del bloque:

Transistor	M12 (TN3)	M13 (TN2)	M14 (TN4)	M15 (TP2)	M16 (TP3)	M17 (TP4)
W(μm)	0.4	1.08	5	4.2	1.4	0.4
L(μm)	0.4	0.4	0.4	0.4	0.4	0.4

Tabla 5. Dimensiones de los transistores del Schmitt trigger (bloque 3).

El esquemático del bloque diseñado quedaría como sigue, donde se señal de alimentación proporcionada es una rampa en sentido ascendente/descendente para comprobar en simulación que la salida alcanzada es la correcta al llegar a los valores de V_{PSL}/V_{PSH} .

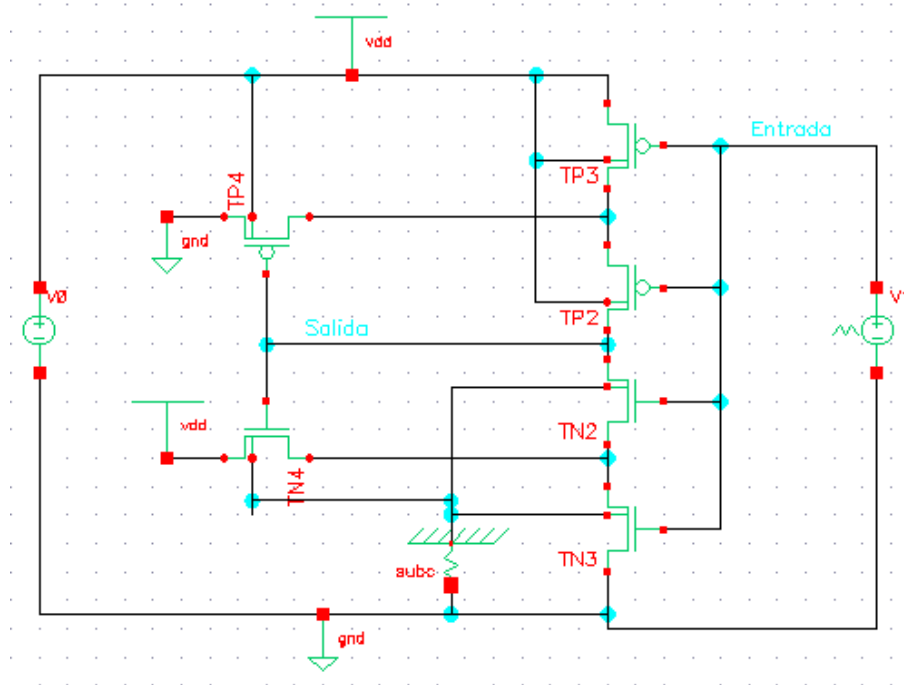


Figura 47. Esquemático Schmitt trigger.

Para una rampa en sentido ascendente, observamos que la salida conmuta aproximadamente al valor deseado.

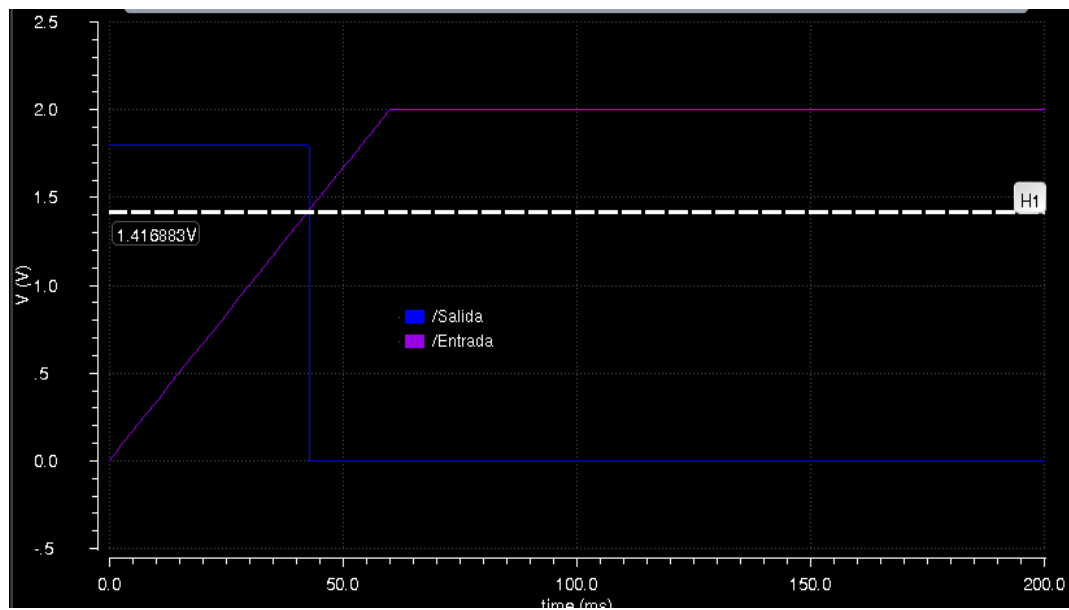


Figura 48. Simulación bloque 3 rampa ascendente.

De igual forma, para una rampa de sentido descendente:

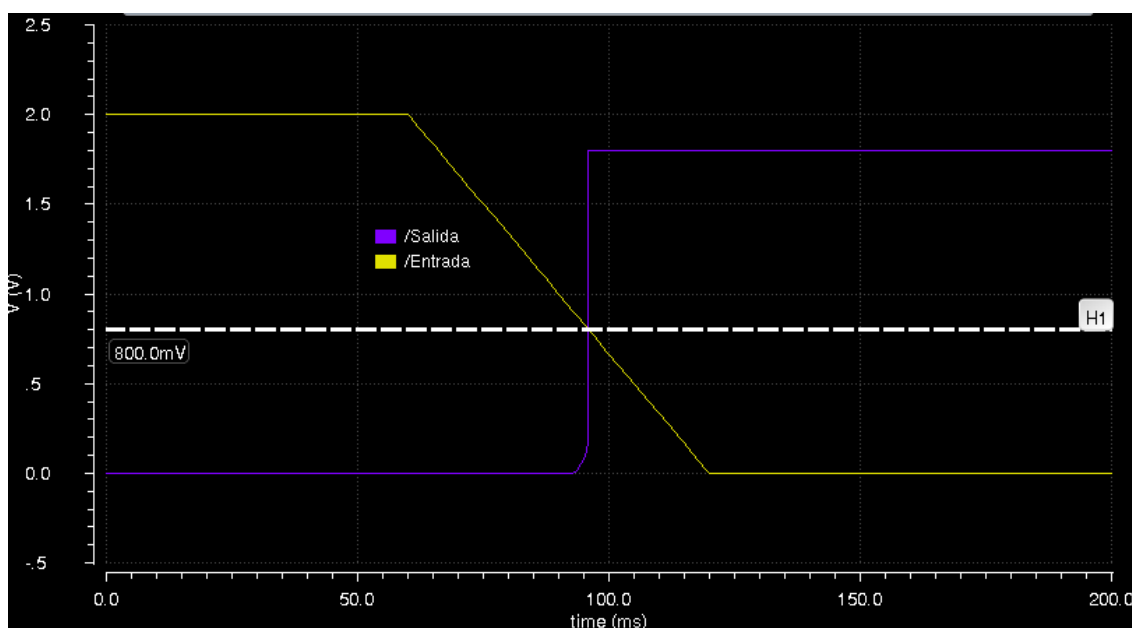


Figura 49. Simulación bloque 3 rampa descendente.

4.4. BLOQUE 4: BROWN-OUT DETECTION

Por último, se procede al diseño del cuarto bloque que compone el sistema. En este caso, en el diseño del artículo que se ha usado como base, el subcircuito posee tres transistores tipo (M2,M3 y M4), y una rama en la que se encuentra una resistencia y dos diodos (D1 y D2).

El diseño de los diodos se ha realizado teniendo en cuenta que los transistores que comparten el terminal de drenador y puerta (Véase M10,M11, etc) actúan como tal.

Para la caracterización de los transistores, se ha intentado optimizar la relación de aspecto para que fueran las mínimas posibles y su funcionamiento sea el adecuado.

El valor de V_{low} lo determinan el valor tanto de la resistencia escogida como de los transistores M4 y M2. Se han escogido unos valores que determinen una $V_{low}=1.2V$.

A continuación, se muestra una tabla con las dimensiones de los transistores del bloque.

Transistor	M3 (TN4)	M4 (TP9)	M2 (TP8)	D1 (TN6)	D2 (TN5)
W(μm)	0.4	0.4	0.6	0.36	0.36
L(μm)	0.4	4	0.36	0.4	0.4

Tabla 6. Dimensiones Brown-out detector (bloque 4).

Además de los transistores, se ha escogido un valor de resistencia **R= 1 MΩ**, tal y como aconseja el artículo.

Se puede observar el esquemático en la siguiente figura.

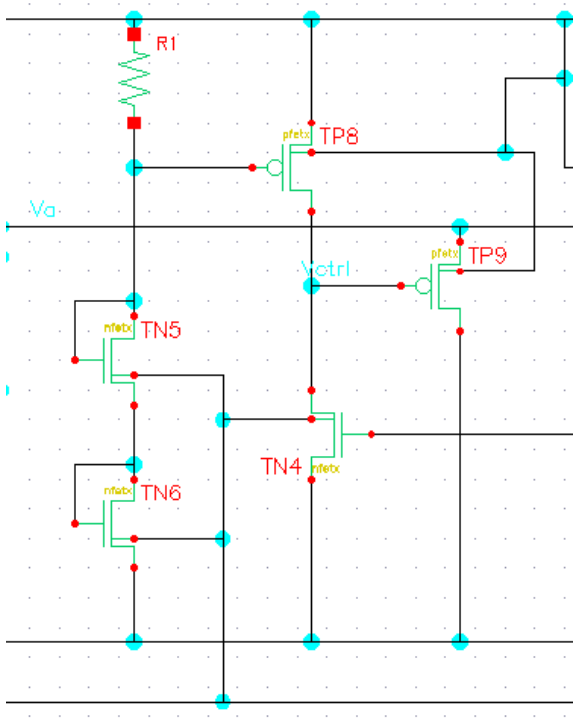


Figura 50. Esquemático bloque 4.

Cabe destacar que los terminales “al aire” están conectados en el circuito completo.

En este caso, no se puede simular este bloque por separado, por lo que procedemos a integrarlo en el sistema restante y obtenemos el circuito completo deseado.

4.5. CIRCUITO COMPLETO

Llegados a este punto, el diseño del circuito está completado. El último paso será comprobar el funcionamiento del mismo en una batería de pruebas o simulaciones.

El esquemático del circuito completo quedaría de la siguiente forma:

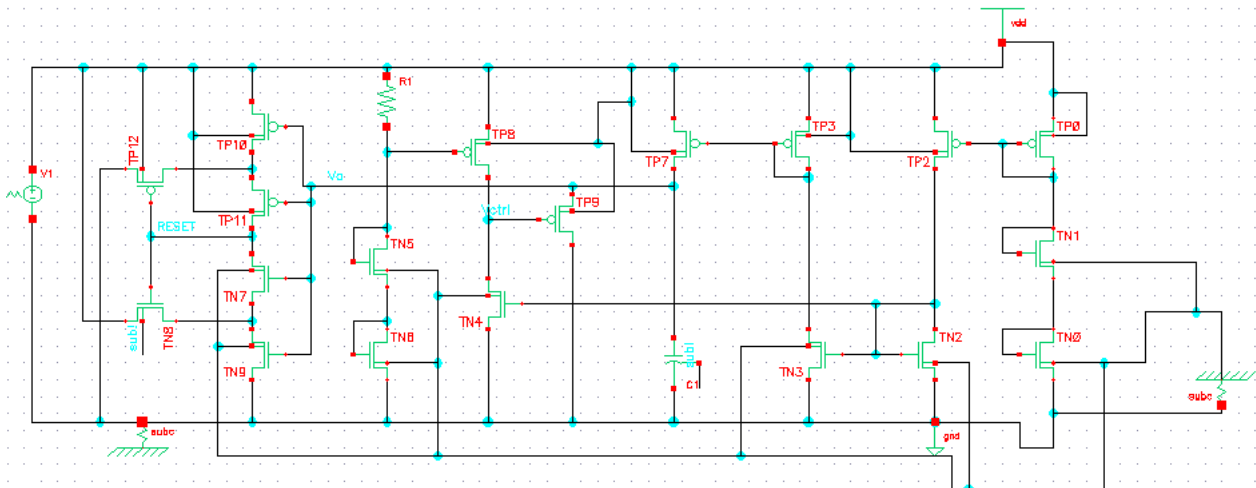


Figura 51. Esquemático circuito completo.

En primer lugar, se escoge una señal de entrada que tenga el comportamiento requerido para verificar el funcionamiento del circuito.

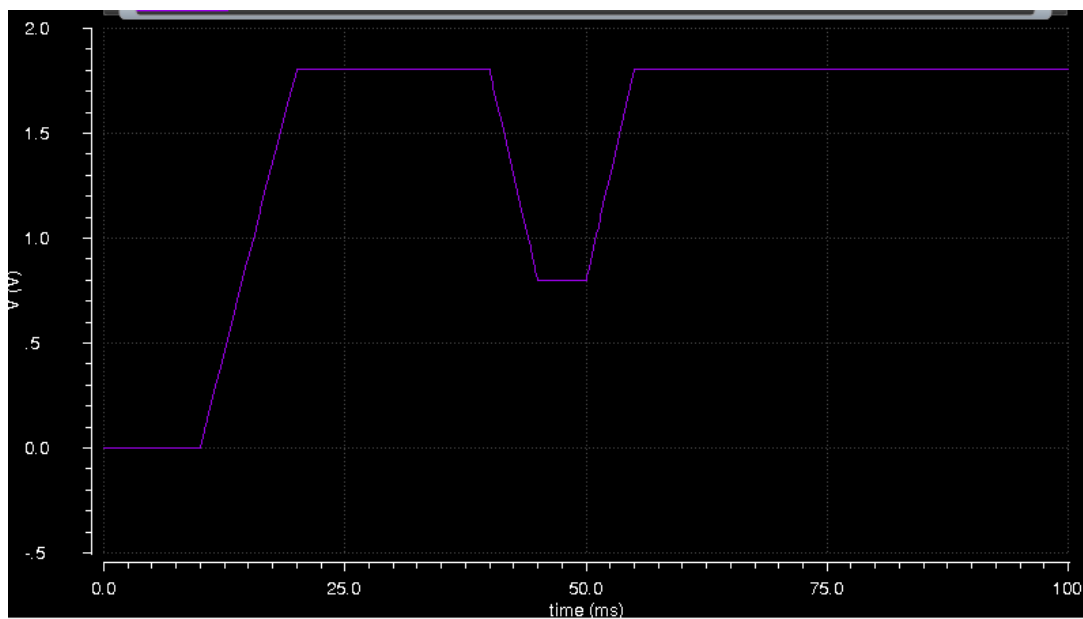


Figura 52. Señal de entrada escogida de simulación.

Se ha escogido un valor de inferior a V_{low} en la fase de “Brown-out” para verificar el funcionamiento.

Como se puede observar en la salida frente a la entrada, el sistema realiza la función deseada. En este caso, en los dos eventos característicos del sistema (powering-up y Brown-out), la salida responde con el retraso caracterizado y provee al sistema de la señal Reset.

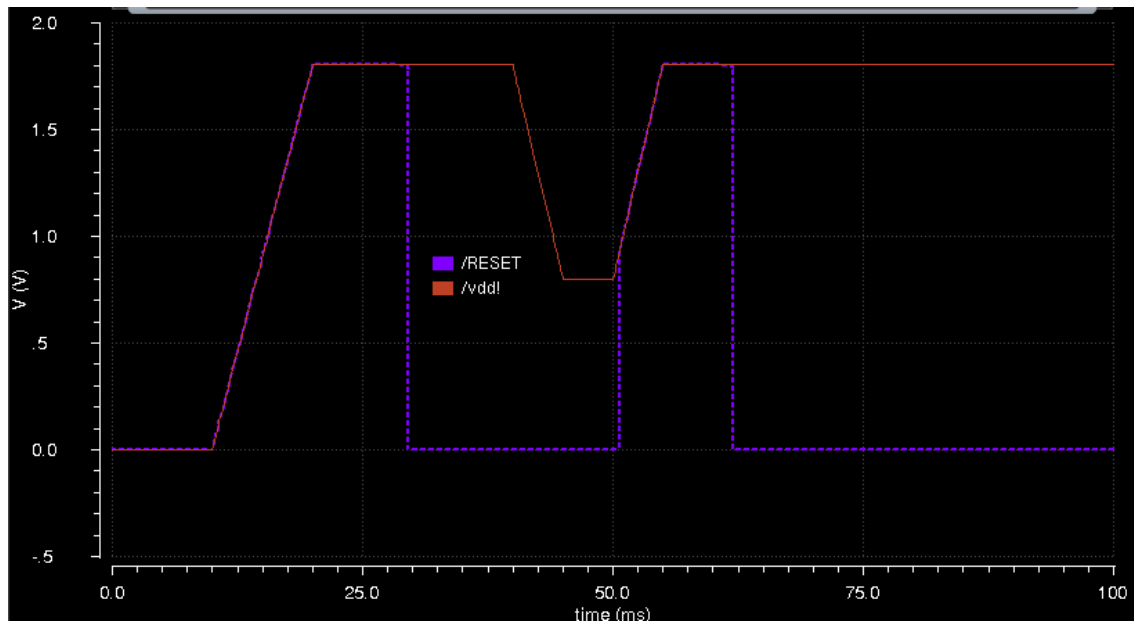


Figura 53. Salida vs entrada del sistema.

4.5.1. SIMULACIÓN DE LAS “ESQUINAS”

Para este tipo de circuitos, es interesante conocer el comportamiento en diferentes situaciones. Para ello, se propone realizar una simulación de “esquinas”, que representan la variación de los parámetros de fabricación de los elementos que forman el circuito. Según dicha variación, así como de la temperatura de funcionamiento o las tensiones aplicadas, los transistores pueden comportarse de forma más rápida o lenta.

Dentro de Cadence virtuoso, entre otras herramientas, existe la opción de configurar las esquinas de los elementos de la tecnología (librería) utilizada en las opciones de simulación, permitiéndonos conseguir el objetivo buscado.

Para la simulación del circuito, utilizando la misma entrada que para el comportamiento “natural” del circuito, se han considerado 4 esquinas o “corners” como son:

- Esquina **FF**: en este caso se ha considerado que tanto los transistores NMOS como los PMOS que forman parte del sistema actúan con la mayor rapidez posible en la tecnología utilizada.

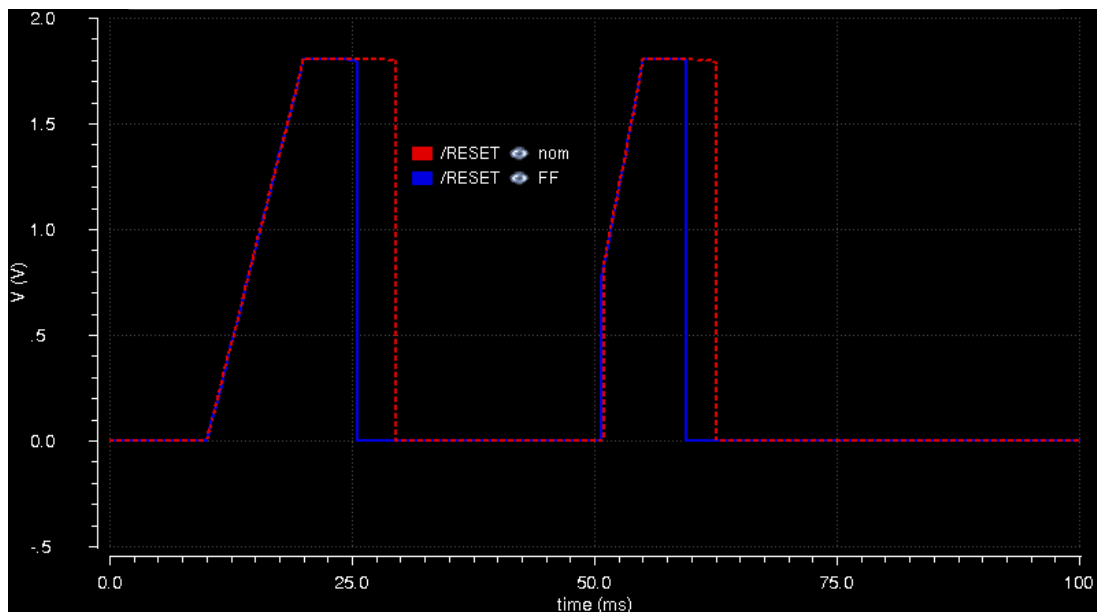


Figura 54. Salida FF vs salida nominal.

Como puede observarse, el tiempo en el que se el valor de Reset conmuta a 0 es menor en esta esquina (azul) que en la salida nominal (rojo).

- Esquina **FS**: En esta esquina, los transistores NMOS actúan de la forma más rápida posible y los PMOS de forma inversa, considerando su funcionamiento con la mayor lentitud que puede atribuírseles.

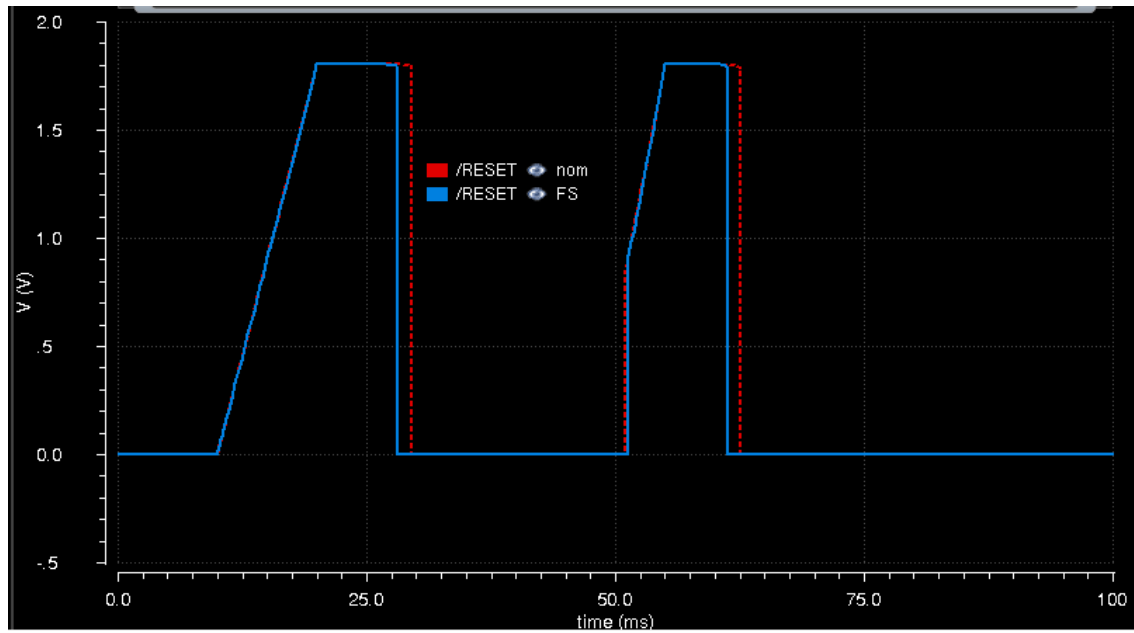


Figura 55. Salida FS vs salida nominal.

En este caso, la señal de salida en la esquina FS (azul) es más parecida a la salida “nominal” (roja), no obstante, se observa que la conmutación a valor bajo de la señal sigue siendo más rápida.

- Esquina **SF**: este caso es el inverso al anterior; los transistores NMOS actúan en su comportamiento más lento posible y los PMOS con la mayor velocidad según la tecnología.

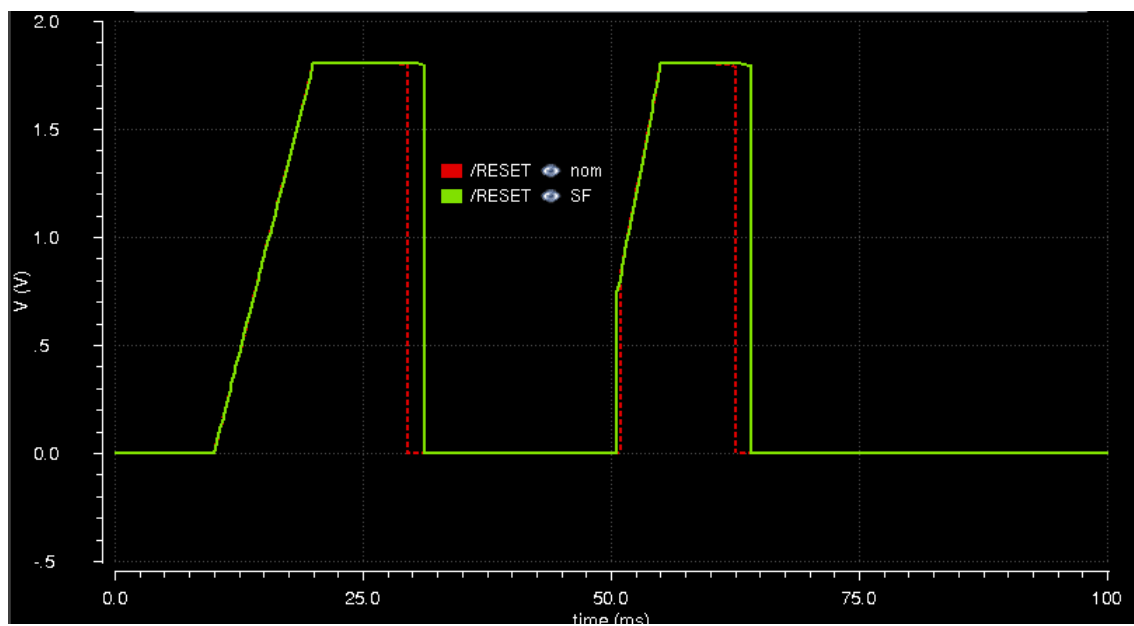


Figura 56. Salida SF vs salida nominal.

En la gráfica anterior se observa que al considerar la esquina con los transistores NMOS en su configuración más lenta posible, la conmutación de la salida (verde) es más lenta que la salida nominal (roja).

- Esquina **SS**: en esta última esquina, se estudia el caso en el que tanto los transistores NMOS como los PMOS actúan de la forma más lenta que les es posible según su tecnología.

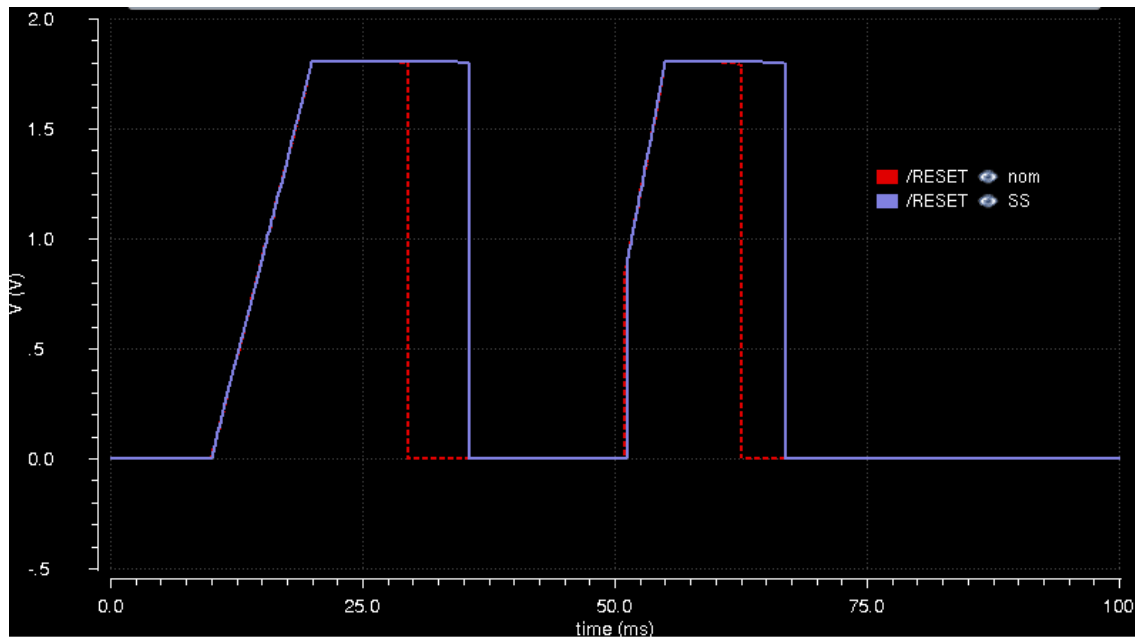


Figura 57. Salida SF vs salida nominal.

Por último, en la gráfica anterior, se puede observar en el caso de la esquina en la que la configuración más lenta de ambos transistores (N y P) que se pone de manifiesto lo que se podía intuir. El periodo de conmutación en este caso es notablemente mayor (color lila) frente a la nominal (roja).

5. CONCLUSIONES Y FUTURAS LÍNEAS DE TRABAJO

Teniendo en cuenta los resultados obtenidos, se puede concluir que se han cumplido todos los objetivos de diseño y funcionalidad deseados.

Se ha diseñado un circuito PoR con detector de fases de “brown-out” optimizando las dimensiones de los transistores implicados para minimizar el área en el posterior proceso de fabricación. Se ha realizado pruebas en las diferentes esquinas de actuación de los transistores corroborando el buen funcionamiento del sistema.

Cabe destacar el aprendizaje en cuanto al manejo de la herramienta Cadence Virtuoso, con la que se ha desarrollado una destreza que hace posible llevar a cabo casi cualquier proyecto de diseño y simulación de microelectrónica, por lo que se puede valorar positivamente ya que el manejo de esta herramienta puede ser clave para el futuro en cuanto a búsqueda de oportunidades laborales.

Por otro lado, el proceso de investigación sobre el estado del arte y los fundamentos teóricos de los elementos implicados, han reafirmado unas capacidades adoptadas durante la carrera en la que se hace hincapié en la proactividad y la autonomía del alumnado.

Para terminar, como posible línea de investigación futura, podría ser el diseño del circuito en tecnologías de mayor escala de integración que la utilizada en este diseño. Actualmente existen ya diseños en escalas de 65nm, no obstante, el funcionamiento es menos robusto que el diseño adoptado para este proyecto, por lo que se considera que una investigación en este campo, proporcionando robustez y precisión para valores bajos de tensión de alimentación.

BIBLIOGRAFÍA

- [1] SHAN Weiwei, WANG Xuexiang, LIU Xinning and SUN Huafang, “*An Ultra Low Steady-State Current Power-on-Reset Circuit in 65nm CMOS Technology*”, Chinese Journal of Electronics, Vol.23, N°14, Oct.2014.
- [2] Kwang-Su Seong, “*Compact Power-on Reset Circuit Using a Switched Capacitor*”, JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE, VOL.14, NO.5, OCTOBER, 2014.
- [3] KUO-HSING CHENG, YU-LUNG LO, and WEI-BIN YANG, “*A Novel Power-On Reset Circuit Without Capacitor*”, Department of Electrical Engineering Tamkang University.ç
- [4] P. Pandey, “*Low-voltage power-on-reset circuit with least delay and high accuracy*”, ELECTRONICS LETTERS 28th May 2015 Vol. 51 No. 11 pp. 856–858.
- [5] Suat U. Ay, “*A Nanowatt Cascadable Delay Element for Compact Power-on-Reset (POR) Circuits*”, Electrical and Computer Engineering University of Idaho, Moscow, Idaho, U.S.A.
- [6] Huy-Binh Le, Xuan-Dien Do, Sang-Gug Lee, and Seung-Tak Ryu, “*A Long Reset-Time Power-On Reset Circuit With Brown-Out Detection Capability*”, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: EXPRESS BRIEFS, VOL. 58, NO. 11, NOVEMBER 2011.
- [7] G. Campardo, R. Micheloni y D. Novosel, “*VLSI-Design of Non-Volatile Memories*”, ISBN 3-540-20198-X Springer Berlin Heidelberg New York.
- [8] Sai-Weng Sin, Seng-Pan U and R. P. Martins “*Generalized Circuit Techniques for Low-Voltage*”, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—I: REGULAR PAPERS, VOL. 55, NO. 8, SEPTEMBER 2008.
- [9] Faiz Bin Arith, Md Mamun, Mohammad Arif Sobhan Bhuiyan and Ahmad Ashrif A. Bakar, “*Low Voltage Schmitt Trigger In 0.18 μm CMOS Technology*”, Advances in Natural and Applied Sciences, 7(1): 33-38, 2013.
- [10] Munish Kumar, Parminder Kaur, Sheenu Thapar, “*Design of CMOS Schmitt Trigger*”, International Journal of Engineering and Innovative Technology (IJEIT) Volume 2, Issue 1, July 2012.
- [11] Ahmad Khateb, “*STEP BY STEP CADENCE MANUAL AND EXAMPLES Schematic*”, Faculty of Electrical Engineering and Communication Department of Microelectronics.

