

2. Introducción al Phase-Locked Loop (PLL)

El primer Phase-Locked Loop (PLL) fue implementado en 1932 por el ingeniero francés de Bellescize, considerado el padre de la “comunicación coherente”. Inicialmente el PLL surgió como un circuito lineal. Los primeros de éstos se construyeron con elementos discretos, y no estuvieron disponibles como circuitos integrados hasta 1965, los primeros de ellos fueron dispositivos lineales (LPLL). Algunos años más tarde, sobre 1970, aparecen algunos modelos “digitales”, aunque realmente sólo se construía con circuitería lógica el detector de fases, el resto de elementos del filtro seguía conformándose a partir de elementos analógicos. Por este motivo sería lógico considerar estos dispositivos como híbridos (DPLL). Pocos años después aparece el dispositivo digital al completo (ADPLL). De forma análoga a un filtro, el PLL puede ser implementado mediante software (SPLL).

Todos estos tipos de dispositivos presentan comportamiento diferente. En el caso de los dos primeros el comportamiento es similar. El último de ellos presenta como gran ventaja la flexibilidad que brinda un lenguaje de programación, pudiendo programarse como LPLL, DPLL ó ADPLL.

Un PLL es un circuito que provoca que un determinado sistema siga a otro, es decir, es un circuito capaz de sincronizar la señal de salida con una señal de referencia a la entrada, tanto en frecuencia como en fase. Cuando existe dicha sincronización (se dirá que el PLL está “Locked”), el error entre ambas señales es nulo o permanece constante. Si éste aumentase, el control actuaría sobre el oscilador de tal forma que ese error sea reducido. En todo momento el control estará provocando la sintonización en fase (“Locked”) de la señal de salida y la de referencia, es por esto por lo que recibe el nombre de PLL, Phase-Locked Loop.

El PLL consta de tres bloques fundamentales, como se puede ver en la Figura 14:

- Oscilador controlado en Tensión (VCO)
- Detector de Fase (PD)
- Filtro en bucle (LF)

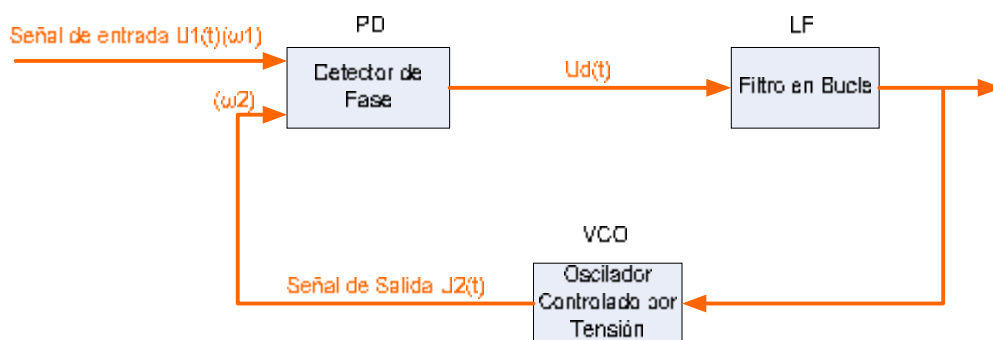


Figura 1. Diagrama de bloques de un Phase-Locked Loop (PLL)

Puede darse el caso en el que entre el Detector de Fase y el Oscilador aparezca un nuevo bloque, el escalador, el cual actuará como un divisor de frecuencias y que se emplea en el caso de usar el PLL como un sintetizador de éstas. En otras ocasiones en

lugar del VCO, el oscilador es controlado mediante corriente, CCO. En ambas situaciones la finalidad del PLL es la misma.

A continuación se presentan las señales de interés a la hora de trabajar con el PLL:

- Referencia o entrada $\hat{a}$ $U_1(t)$
- Frecuencia angular de la señal de referencia $\hat{a}$ $\omega_1(t)$
- Señal de salida del oscilador $\hat{a}$ $U_2(t)$
- Frecuencia angular de la señal de salida $\hat{a}$ $\omega_2(t)$
- Señal de salida del detector de fase $\hat{a}$ $U_d(t)$
- Señal de salida del filtro $\hat{a}$ $U_f(t)$
- El error entre la fase de U_1 y de U_2 $\hat{a}$ q_e

Veamos muy brevemente la funcionalidad de cada uno de los bloques. En primer lugar se estudiará el Oscilador, éste oscila a una frecuencia ω_2 que es determinada a partir de la señal de salida del filtro $U_f(t)$. Dicha frecuencia angular viene dada por la expresión

$$\omega_2(t) = \omega_0 + K_o U_f(t)$$

Donde ω_0 es la frecuencia angular central del oscilador y K_o la ganancia del mismo, ésta se mide $\text{rad} \cdot \text{s}^{-1} \cdot \text{V}^{-1}$.

El detector de fase se encarga de comparar la fase de la señal de salida con la de la referencia y generar una salida que sea aproximadamente proporcional a ese error:

$$U_d(t) = K_d \cdot q_e$$

Siendo K_d la ganancia del detector la cual viene expresada en $\text{V} \cdot \text{rad}^{-1}$. La señal de salida del detector está compuesta por una componente continua y una alterna superpuesta, ésta última no es deseada, de tal forma que será eliminada a su paso por el filtro, en la mayoría de los casos éste será un filtro de primer orden y por lo general de paso bajo.

Visto de forma genérica el funcionamiento de cada uno de los bloques, es interesante estudiar la interacción entre ellos para llevar a cabo la finalidad del PLL.

Si se asume que la frecuencia de la señal de entrada $U_1(t)$ es igual a la frecuencia central del oscilador ω_0 , el VCO estará operando a su frecuencia central, en este caso el error q_e es cero. Si éste es cero provocará que la señal de salida del detector de fase $U_d(t)$ sea también nula, lo que irremediablemente provocará una salida de nuevo nula a la salida del filtro, esto es, $U_f(t)$ igual a cero. Esta es la condición que hace que el VCO esté trabajando a su frecuencia ω_0 .

Si el error entre fases no fuese inicialmente cero, el detector de fases generaría una señal de salida no nula, la cual provocaría una señal a la salida del filtro, la cual también sería distinta de cero. Ésta forzaría al oscilador a variar su frecuencia de trabajo de manera que el error entre fases finalmente desaparezca.

Supongamos que la frecuencia de la señal de entrada varía de manera repentina en el instante t_0 una cantidad $\Delta\omega > 0$. Para ver el comportamiento del sistema ante éste escalón se muestra la Figura 15.

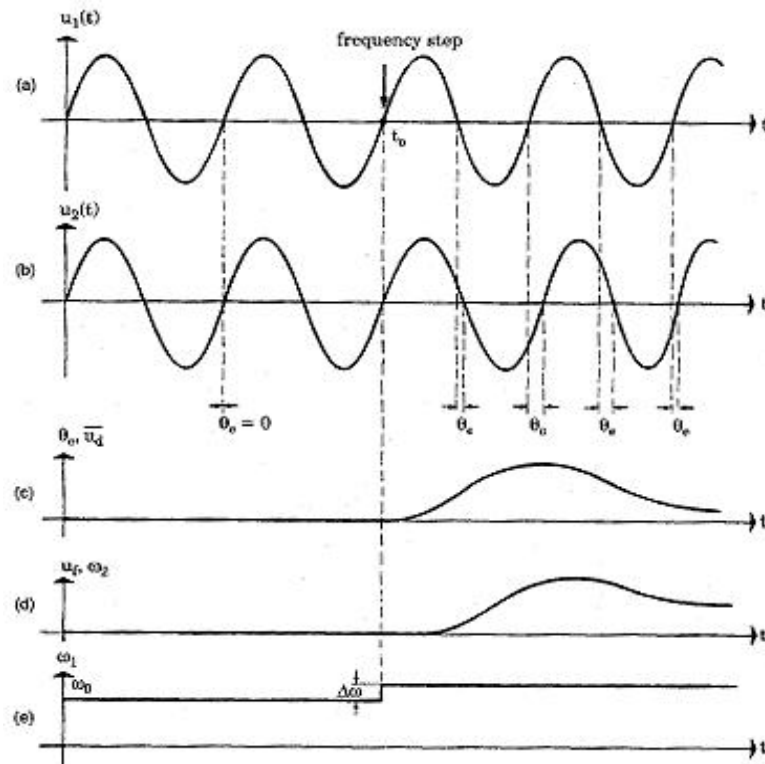


Figura 2. Transitorio de la respuesta de un PLL ante un escalón en la frecuencia de referencia

(a) Señal de Referencia $u_1(t)$. (b) Señal de salida del VCO $u_2(t)$. (c) Error en fase y media de la señal de salida del detector de fase en función del tiempo. (d) Frecuencia angular de la señal de salida del oscilador en función del tiempo. (e) Frecuencia angular de la señal de referencia.

Esto provocará un adelanto de la señal de entrada respecto de la señal de salida del oscilador, lo que se traducirá en un aumento del error de fases. El detector de fases reaccionará produciendo una señal $U_d(t)$, que además incrementará con el tiempo, lo que nos lleva a un aumento de $U_f(t)$, con el correspondiente retraso introducido por el filtro. Todo esto nos lleva a que se produzca un aumento en la frecuencia de funcionamiento del VCO. Al ir aumentando ésta, el error entre fases irá disminuyendo, puesto que la frecuencia del oscilador tenderá a la frecuencia de la señal de entrada. El error final entre fases será cero o quedará fijado en un valor finito, éste depende mucho del tipo de filtro que se emplee en nuestro PLL.

Ahora el VCO está trabajando a una frecuencia mayor que su frecuencia central en una cantidad $\Delta\omega$, lo que provoca que finalmente $U_f(t)$ tienda a $\Delta\omega/K_0$.

Una de las características más destacables del PLL, es su habilidad para suprimir ruido que lleve impuesto la señal de entrada. Si la referencia lleva asociado un determinado ruido, al intentar medir el detector de fases el error en frecuencia entre las dos señales, observará que la señal de referencia al pasar por cero lo hará de manera estocástica adelantándose o retrasándose de manera aleatoria. Esto obviamente provocará que la señal generada por el detector fluctúe en torno a un valor medio. Si la frecuencia de corte del filtro es suficientemente baja, el efecto del ruido a penas será notorio en la señal $U_f(t)$, y el oscilador operará de tal modo que la frecuencia de la señal

de salida de éste será igual a la fase media de la señal de entrada. Por último finalizar indicando dos cuestiones de interés a la hora de trabajar con un PLL:

- El PLL está inicialmente “Locked”. ¿Bajo qué condiciones éste permanecerá en dicho estado?
- El PLL inicialmente no está sincronizado. ¿Bajo qué condiciones éste conseguirá sincronizarse?

