

3. PLLs híbridos: Dispositivos Lineales y Digitales

Como ya se ha comentado en la introducción, la versatilidad del software nos ofrece un amplio campo de implementaciones a la hora de desarrollar un SPLL. Es sabida la existencia de los PLLs lineales, puramente analógicos, de los PLLs digitales, lo cuales realmente están a caballo entre lo puramente analógico y lo puramente digital, y los PLLs completamente digitales, ADPLL. Dependiendo del comportamiento que se quiera obtener, se usarán unos u otros, o en nuestro caso se programará el que mejor se adapte a nuestros objetivos. En esta sección se estudiarán los PLL híbridos ya que por sus características nos va a permitir entender tanto el PLL lineal como el digital.

3.1 Estudio de los distintos bloques del PLL

En este apartado se van a ver las distintas posibilidades que se presentan a la hora de llevar a cabo la realización de cada uno de los bloques del PLL. Como el caso del sintetizador de frecuencias no nos ocupa, se va a obviar el divisor de frecuencia.

3.1.1 Detector de Fases

Un detector de fases es un circuito capaz de generar una señal de salida proporcional a la diferencia de fases entre sus dos señales de entrada, $U_1(t)$ y $U_2(t)$. Existen numerosos circuitos que son capaces de realizar esta operación, aquí se verán algunos de ellos como, circuito multiplicador, empleado únicamente en PLLs analógicos. En el terreno digital encontramos detectores como EXOR gate, JK-flipflop y el phase-frequency detector (PFD).

- Circuito Multiplicador.

Como se ha comentado, esta opción es sólo empleada en los PLLs lineales, en éstos la entrada es una señal analógica, la cual en la mayor parte de las ocasiones es de la forma

$$U_1(t) = U_{10} \sin(\omega_1 t + q_1)$$

Donde U_{10} es la amplitud de la onda, ω_1 es la frecuencia, en radianes, y q_1 la fase. De forma usual la segunda onda de entrada suele ser una señal cuadrada, ésta vendrá dada por una ecuación de la forma

$$U_2 = U_{20} \text{rect}(\omega_2 t + q_2)$$

Siendo U_{20} la amplitud de la onda, ω_2 la frecuencia, en radianes, y q_2 la fase.

Presentadas las dos ondas con las que se va a trabajar, veamos como obtiene el multiplicador su señal de salida. Para ello, éste realiza la multiplicación de las dos ondas

$$U_d(t) = U_1(t) \cdot U_2(t)$$

Para que sea más sencilla esta operación se va a emplear el desarrollo de Fourier de una onda cuadrada

$$U_2(t) = U_{20} \left[\frac{4}{p} \cos(w_2 t + q_2) + \frac{4}{3p} \cos(3w_2 t + q_2) \dots \right]$$

Donde el primero de los sumandos corresponde a la componente fundamental y el resto de los elementos son armónicos impares. Con esto se obtiene

$$U_d(t) = U_1(t) \cdot U_2(t) = U_{10} U_{20} \sin(w_1 t + q_1) \left[\frac{4}{p} \cos(w_2 t + q_2) + \frac{4}{3p} \cos(3w_2 t + q_2) \dots \right]$$

Cuando el PLL está sincronizado, ambas frecuencias son idénticas y mediante relaciones trigonométricas se llega a

$$U_d(t) = U_{10} U_{20} \left(\frac{2}{p} \sin q_e \dots \right)$$

Donde q_e es el error entre fases, y siendo el término de la serie representado el único de interés, puesto que los demás, al ser de alta frecuencia, serán eliminados por el filtro del PLL. Por tanto si se define K_d , ganancia del multiplicador, como $K_d = \frac{2U_{10}U_{20}}{p}$, se tiene entonces

$$U_d(t) \approx K_d \cdot \sin(q_e)$$

Cuando el error entre fases es pequeño, la función seno puede ser reemplazada por su argumento y esto nos lleva a

$$U_d(t) \approx K_d \cdot q_e$$

Ecuación que representa la linealidad del detector de fases. La dimensión de K_d es $\text{rad} \cdot \text{V}^{-1}$. Como se ve, ésta es proporcional a las amplitudes de las dos entradas. Por lo general U_{20} es constante por lo que K_d es una función lineal de U_{10} , como se puede ver en la Figura 16.

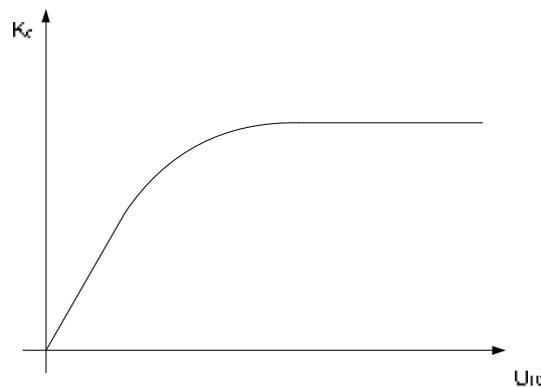


Figura 1. Ganancia del detector de fases como función de la amplitud de la señal de referencia

Para finalizar con la discusión del multiplicador de fases se va a estudiar como se comporta el PLL cuando no está sincronizado. En este caso las frecuencias de las dos señales de entrada del multiplicador son diferentes. La señal de salida de éste vendrá dada por

$$U_d(t) = K_d(t) \sin(w_1(t) - w_2(t) + q_1 - q_2) + \text{armónicos de alta frecuencia}$$

El sumando correspondiente a los armónicos de alta frecuencia se puede obviar puesto que será eliminado por el filtro, sin embargo en esta ocasión se tiene un término “ac” cuya frecuencia viene dada por $\omega_1 - \omega_2$. Que esta señal sea alterna no nos debe hacer pensar que en media sea cero, ya que esto implicaría que la señal producida en el filtro sería nula y por tanto el oscilador estaría continuamente operando en su frecuencia central ω_0 . Como ya se vio la señal anteriormente comentada no es simétrica, y su semiciclo positivo y negativo poseen distinta duración. Esto provocará que la señal no tenga una media nula y por tanto la salida del filtro sea también distinta de cero, la cual actuando sobre el oscilador consigue que la frecuencia de oscilación del mismo tienda a la de la señal de entrada, siendo la diferencia entre ambas menor que un valor límite denominado “pull-in range”, $\Delta\omega_p$. No obstante, se verá que el proceso de “pull-in” es bastante lento, para solventar esto, será necesario buscar otro tipo de detector de fases, como puede ser el detector de fase y frecuencia, el cual no sólo es sensible a la frecuencia sino también a la fase en el caso de no estar sincronizado el PLL.

A continuación se presentan otras variantes para emplearlas como detector de fases.

- **Detector de fases EXOR.**

La forma de llevar a cabo la detección de fase es similar a la empleada por la opción estudiada anteriormente. La señal en los DPLLs son siempre señales binarias, por ejemplo, ondas cuadradas. Para el estudio que se va a llevar a cabo se supondrá que las dos señales de entradas del detector son simétricas. Como se ve en la Figura 17.

Supongamos que ambas se encuentran desfasadas 90° , en este caso la señal U_d será una onda cuadrada del doble de frecuencia que las dos anteriores, obviamente cuando las dos señales coincidan en su valor superior o inferior la señal de salida será nula, y será distinta de cero cuando las dos señales no coincidan, como se ha dicho que el desfase entre ambas de $\frac{P}{2}$ radianes, la frecuencia de la onda generada será dos veces la de la onda de entrada, por otro lado esta señal será simétrica y por consiguiente su media será nula, es por este motivo que se considera que este desfase es el que provoca un error nulo.

Si el retraso entre la señal del oscilador y la de referencia fuese mayor de 90° , se considera que el error de fases es positivo. En este caso la duración del nivel alto de la onda es mayor que la del nivel bajo, y por tanto la media de la señal será distinta de cero. Viendo la gráfica es fácilmente apreciable que el mayor valor de la media de U_d se alcanzará cuando el error sea de 90° y el menor cuando éste sea de -90° .

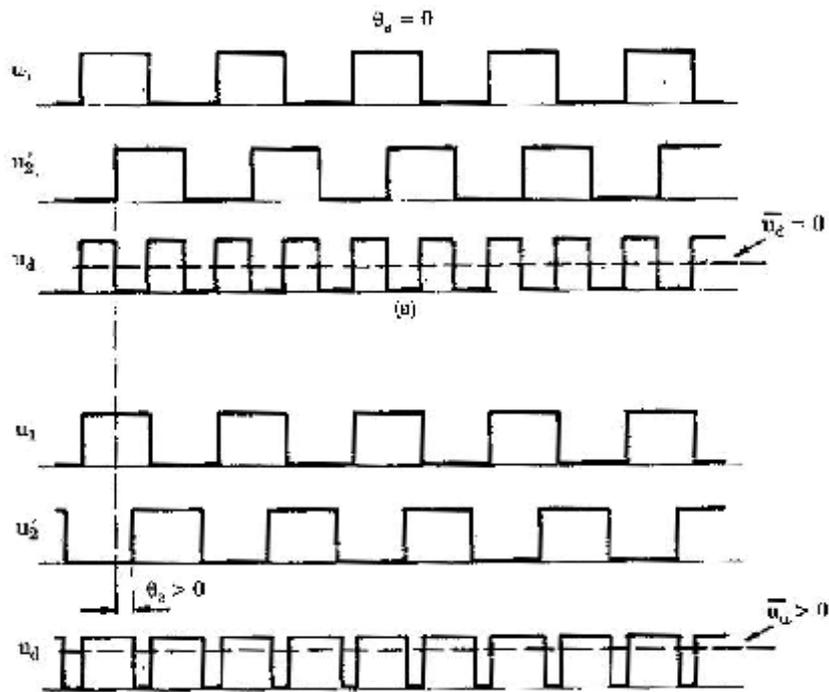


Figura 2. Ondas de las entradas del detector de fase tipo EXOR
 (a) Error de fase nulo. (b) Error de fase positivo

Con esto se puede concluir que $-\frac{p}{2} \leq q_e \leq \frac{p}{2}$, valores entre los que el detector podrá mantener el seguimiento de la fase, y que

$$\bar{U}_d = K_d q_e$$

En este caso la ganancia K_d es constante, y viene dada por la siguiente ecuación

$$K_d = \frac{U_+ - U_-}{p}$$

Siendo las dos tensiones que aparecen en el numerador las de alimentación del EXOR.

Si las señales de alimentación del detector de fases fueran asimétricas, la señal generada por éste estaría recortada en un valor indeterminado. Esto reduce las prestaciones del PLL.

Por último se estudiará qué sucede cuando el PLL no está sincronizado, en este caso la frecuencia de ambas señales será diferente, y de nuevo la onda de salida del detector estará conformada por un término “ac” cuya frecuencia fundamental será la diferencia de frecuencias y una serie de armónicos de alta frecuencia que serán eliminados en el filtro. Al igual que en el caso anterior el proceso de “Pull-in” es demasiado lento.

- JK-flipflop.

Este tipo de biestables JK difieren de los convencionales en que son disparados por flanco. Cuando exista dicho flanco, si la entrada J, señal de referencia por ejemplo, está en su valor alto, la salida del biestable, U_d , será alta. Si por el contrario es la entrada K,

onda proveniente del oscilador, es la de valor alto la onda generada por el detector será baja. Figura 18.

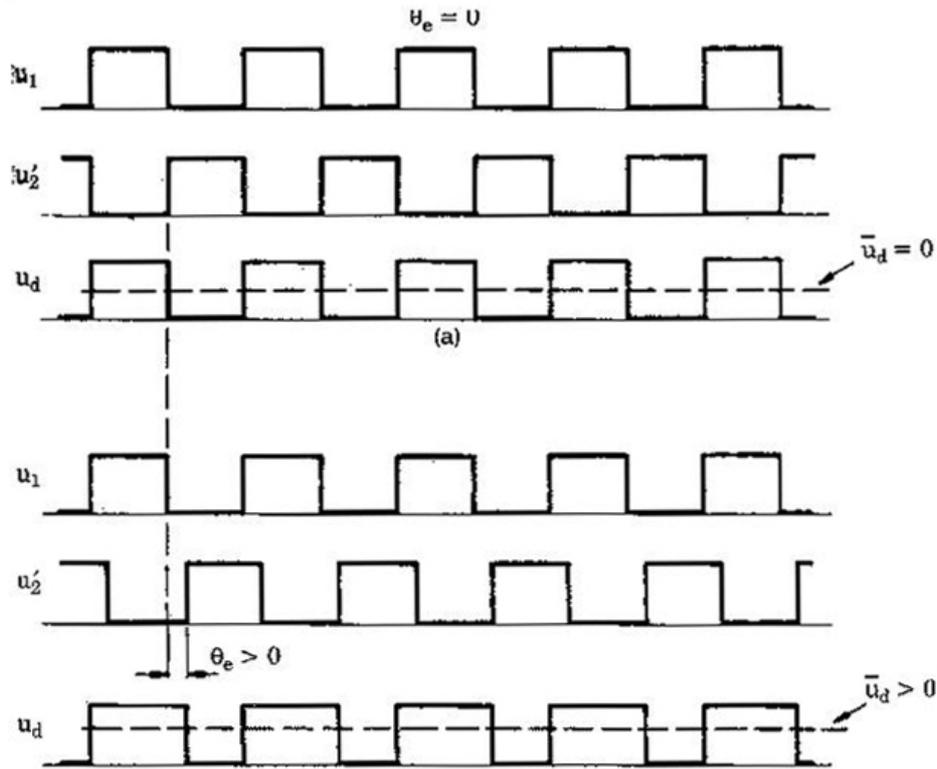


Figura 3. Ondas de las entradas del detector de fase tipo JK-Flipflop
(a) Error de fase nulo. (b) Error de fase positivo

De nuevo, si se piensa en esta señal de salida, se verá que el error de fases será nulo, cuando las ondas de entradas se encuentren en contrafase, ya que de esta manera la señal de salida será simétrica y por tanto nula en media. Todo el estudio llevado a cabo para el caso anterior es factible hacerlo para éste, de tal manera que se llegará a las mismas conclusiones exceptuando que ahora $-p \leq q_e \leq p$. Y por tanto

$$\bar{U}_d = K_d q_e$$

$$K_d = \frac{U_+ - U_-}{2p}$$

- Detector fase-frecuencia (PFD).

Como su nombre indica la señal emitida por éste no sólo depende de la diferencia de fase sino también de la diferencia de frecuencia cuando el PLL no está sincronizado. A la vista de la Figura 19, éste se construye a partir de dos biestables tipo D, los cuales estarán en su nivel alto o bajo dependiendo de cómo se encuentren la señales de entrada. Aunque con dos biestables se tendrían teóricamente cuatro estados disponibles sólo tres de ellos son útiles, inutilizando el caso en el que ambos flipflops se encuentren a nivel alto.

Los valores de la señal de salida vendrían dados por

$DN = 1, UP = 0 \Rightarrow U_d = -1$
 $DN = 0, UP = 0 \Rightarrow U_d = 0$
 $DN = 0, UP = 1 \Rightarrow U_d = 1$

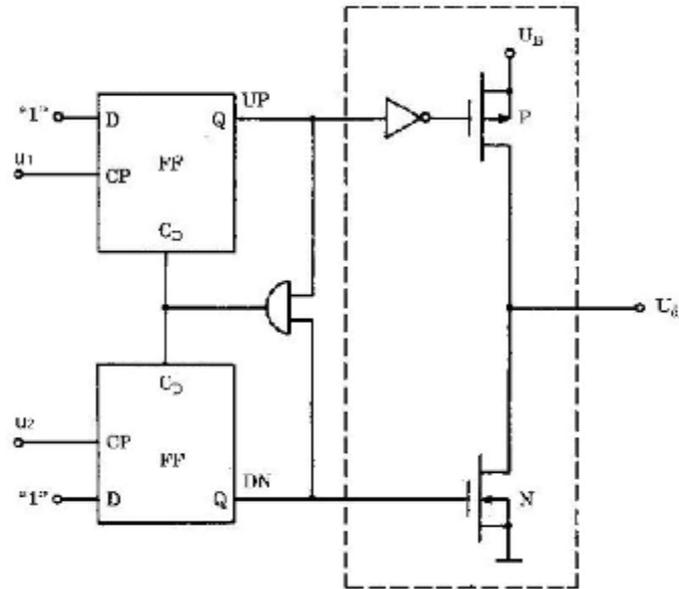


Figura 4. Esquema del PFD

El estado del detector de fases viene dado por al paso de nivel bajo a nivel alto de sus señales de entrada. Como se ve en la Figura 20 el cambio de la señal de referencia fuerza al PFD a pasar a su siguiente estado, a no ser que éste se encuentre en el estado +1. Por otro lado si es la señal del oscilador la que sufre un cambio en su nivel pasando del inferior al superior, el detector irá hacia su estado anterior a no ser que éste se encuentre en el estado -1.

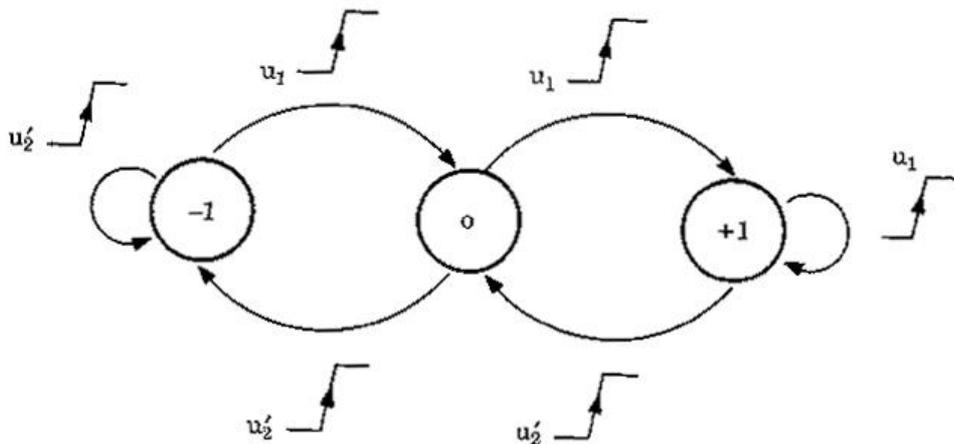


Figura 5. Diagrama de estados para el PFD

Cuando el PFD, se encuentra en su estado +1, la señal de salida del mismo deber ser positiva, de igual manera cuando se encuentre en el estado -1, será negativa y nula cuando esté en el estado cero. Se consigue uno de los tres estados incorporando un estado de alta impedancia a nuestro circuito digital.

Si no existe desfase entre ambas señales, el error de fases será nulo. Suponiendo que en el instante inicial el estado del detector es el cero, como el paso del nivel bajo al alto en ambas ondas sucede al mismo tiempo, sus efectos se restaran permaneciendo en el estado inicial para siempre.

Para el caso en el que U_1 se adelante, $q_e > 0$, el PFD oscilará entre los estados cero y +1, de igual forma si se retrasase la oscilación sería entre los estados cero y -1. Se puede intuir fácilmente que U_d será mayor con error de fase positivo y cuanto más cerca de los 360° se encuentre el desfase, y será menor en el caso de que éste mas cerca de los -360° . Para el caso que ahora nos ocupa se puede decir que el PLL será capaz de llevar a cabo el seguimiento de fase en $-2p \leq q_e \leq 2p$. Y por tanto

$$\bar{U}_d = K_d q_e$$

$$K_d = \frac{U_+ - U_-}{4p}$$

Hasta ahora los resultados obtenidos no arrojan muchas ventajas sobre este tipo de detector respecto de los anteriormente comentados. Para ver el verdadero potencial del PFD se va a suponer que no existe sincronización y que además la frecuencia ω_1 es mucho mayor que ω_2 , de esta manera el número de cambios de estado de la señal de referencia será más elevado que los que sufra la onda del oscilador, el detector estará oscilando por tanto entre los estados 0 y +1, residiendo mayormente en éste último, pero nunca alcanzará el -1. Obviamente sucederá lo contrario si fuese mucho menor.

Se puede, por tanto, concluir diciendo que este tipo de detectores producen su señal, \bar{U}_d , en función del error entre fases cuando existe sincronismo, y en función del error entre frecuencias cuando no. Por tanto un PLL que emplee este tipo de detector conseguirá sincronizarse bajo determinadas condiciones exentas del filtro empleado.

3.1.2 Filtro en bucle

Como ya se vio en la introducción este filtro suele ser de primer o segundo orden, dejando los órdenes superiores para aplicaciones específicas donde sea muy necesario su uso ya que cuanto mayor sea el orden de éste menos estabilidad tendrá el mismo. Por otro lado recordar también que el orden del PLL será uno más que el orden del filtro que se emplee.

Se ha visto en la sección anterior que la señal generada por el detector de fases cuando el sistema se encuentra sincronizado estaba compuesta por un término “dc”, proporcional al error entre fases, y el resto de términos son elementos “ac” de frecuencia $2\omega_1, 4\omega_1, \dots$

Este filtro por tanto será empleado para eliminar estos últimos términos indeseados. A la vista de esto es razonable pensar que será necesario implementar un filtro paso bajo, puesto que son los términos de alta frecuencia los que se quieren eliminar. Lo más normal a la hora de implementar un PLL es emplear un filtro de primer orden de estas características. A continuación se muestran algunos de los más empleados.

- Filtro pasivo retardo-adelanto.

A grandes rasgos se puede decir que todos los filtros empleados en la construcción de un PLL se conforman de una red de adelanto y otra de retraso, éste a diferencia de los siguientes que se verán está constituido por elementos pasivos, de ahí su nombre.

La primera de las redes mencionadas se establece en el numerador (cero) de la función de transferencia y la otra en el denominador (polo).

$$F(s) = \frac{1 + st_2}{1 + s(t_1 + t_2)}$$

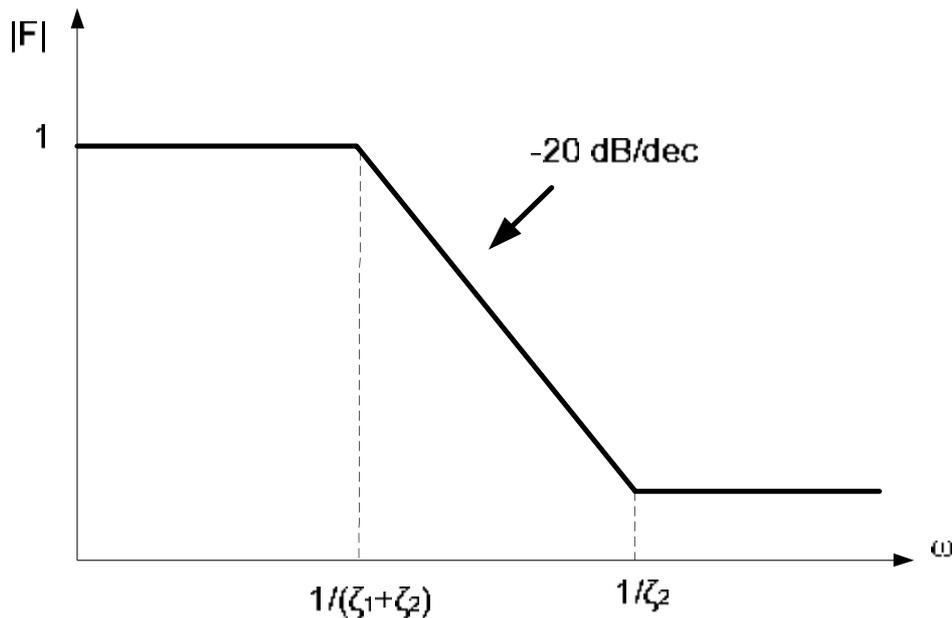


Figura 6. Diagrama Bode del filtro pasivo retardo-adelanto

- Filtro activo retardo-adelanto.

De función de transferencia muy similar a los anteriores, estos a diferencia de aquellos introducen una ganancia K_a la cual puede ser elegida mucho mayor que la unidad.

$$F(s) = k_a \frac{1 + st_2}{1 + st_1}$$

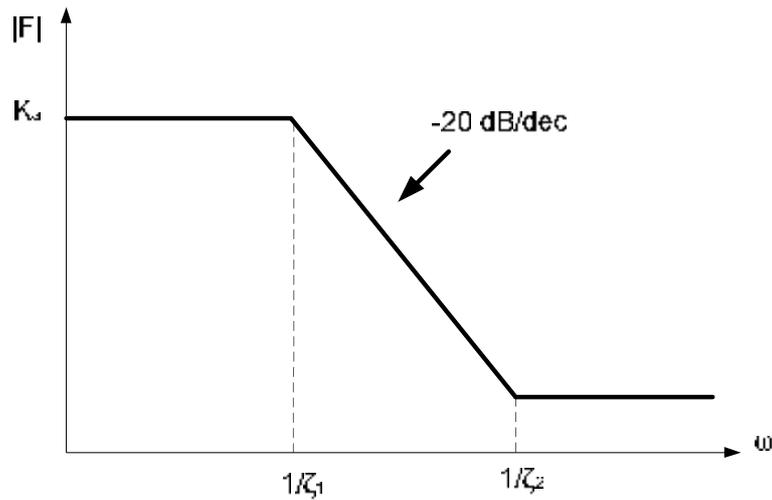


Figura 7. Diagrama Bode del filtro activo retardo-adelanto

- Filtro activo PI.

Este tipo de filtros, presenta un integrador, teniendo así un polo en $s = 0$, lo que hace, que al menos teóricamente su ganancia sea infinita para una frecuencia nula.

$$F(s) = \frac{1 + st_2}{st_1}$$

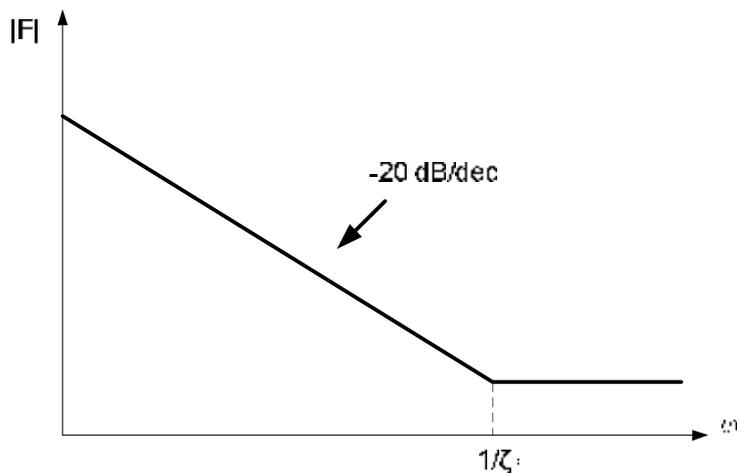


Figura 8. Diagrama Bode del filtro PI

3.1.3 Oscilador

Hay que recordar que existen dos posibilidades para el control de osciladores, en tensión (VCO) y en corriente (CCO), siendo la única diferencia la señal que los controla pues la funcionalidad es la misma en ambos casos. En este proyecto se trabajará con los primeros por ser el empleado para la implementación de nuestro PLL.

En un VCO lo primero que se lleva a cabo es la conversión de la señal de referencia en corriente.

El dispositivo se constituye de una pareja de MOS de canal N y otra de canal P, un par de puertas NOR, conformado un biestable RS y un condensador que conectado de manera adecuada a una pareja de Schmitt triggers irá variando su flujo de potencia y provocando la oscilación de la tensión de salida del dispositivo.

La frecuencia de la onda de salida, ω_2 , es proporcional a la señal generada por el filtro y viene dada por

$$\omega_2 = \omega_o + K_o U_f$$

Donde K_o es la ganancia el oscilador, y cuyas unidades son $\text{rad}\cdot\text{s}^{-1}\cdot\text{V}^{-1}$. ω_o es la frecuencia central del PLL.

Se supondrá que el rango de la señal de control es simétrico respecto de $U_f = 0$. Para un oscilador ideal, por tanto, la frecuencia de salida de éste será nula para $U_f = U_{f\text{min}}$, y $2\cdot\omega_o$ para $U_{f\text{max}}$. Sin embargo en la práctica existen algunas limitaciones, en primer lugar la mayoría de los osciladores son alimentados de manera unipolar, esto hará que U_f deba de estar dentro del rango 0...tensión de alimentación (U_{DD}), operando en su frecuencia central cuando la señal de control adquiere el valor de $U_{DD}/2$.

$$\omega_2 = \omega_o + K_o \left(U_f - \frac{U_{DD}}{2} \right)$$

Por otro lado, la señal de control no adquiere realmente el rango completo 0... U_{DD} , siendo el rango real algo menor. Se debe tener muy en cuenta cual es éste (dentro del mismo el comportamiento es lineal), ya que fuera de él los valores de la frecuencia obtenida pueden ser imprevisibles.

Cuando se lleva a cabo el diseño de un filtro PLL, se determinan dos parámetros fundamentales para el VCO, estos son, la frecuencia ω_o y la ganancia K_o .

Aunque no sea el caso que nos ocupa, decir, que si el PLL es uno de tipo analógico o digital, ambos parámetros son configurados por elementos externos al circuito como por ejemplo resistencias y condensadores.