



la falta. Por otro lado se ve los interruptores BRKpll y BRKred, estos dos son controlados por el mismo switch con lógica contraria, es decir, cuando uno abre el otro cierra y viceversa, actuará sobre él el control de la UPS para variar de un modo a otro de funcionamiento según esté el sistema. En la práctica estos interruptores son denominados como pasivos. A diferencia de un interruptor mecánico, estos son dispositivos electrónicos cuya transición de on a off y viceversa se da de manera casi instantánea incluso en algunas ocasiones este tiempo es nulo. Según valores de SAIs comerciales este tiempo es del orden de los 4ms en UPSs de baja potencia y llega a ser nulo en las de alta. A esto último se debe añadir que los estándares norteamericanos, ANSI/IEEE Std 944-1986, referentes a la aplicación y prueba de UPSs para estaciones generadoras de potencia, exigen un tiempo máximo de conmutación de 4.17ms. Para este tipo de aplicación se emplearán semiconductores de potencia ya sean de bloqueo natural o forzado. En el esquema anteriormente, no parecen dicho tipo de interruptores. Esto es debido a que el software empleado trabaja con los interruptores mecánicos de forma ideal, y por tanto actúan de forma instantánea, siendo válidos de esta forma, para ser empleados como estáticos.

BRK1 es empleado para emular una carga desequilibrada. El interruptor nombrado como General2 tiene como única misión la de levantar una flag de error en el programa de control del PLL.

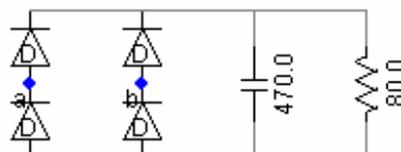
Referente a la carga, decir que en todos los casos de linealidad ésta ha sido dimensionada para que la potencia demandada sea aproximadamente 10kVA. En la Tabla 2 se representan los diferentes casos con las que se ha trabajado

Cargas Lineales					
S(kVA)	P(kW)	Q(kVar)	L(H)	C(μF)	R(Ω)
10	10	-	-	-	16
10	-	10	0.05	-	-
10	2.240	2.240	0.037	-	11.8
10	2.240	2.240	-	270	11.8

**Tabla 1. Cargas Lineales**

Como se puede observar, se han llevado a cabo cuatro pruebas con cargas de tipo lineal. Las simulaciones que se presentan más adelante recogen los datos de cargas tipo R, L, RL y RC con los valores anteriormente mostrados. Si nos fijamos en el reparto de la potencia aparente entre la potencia activa y reactiva, se ve que es equitativo para los dos últimos tipos de cargas.

Por último comentar el tipo de carga no lineal, Figura 35, con la que se ha trabajado, ésta se compone de tres rectificadores monofásicos no controlados alimentando cada uno de ellos a una resistencia.



**Figura 2. Carga no lineal. Rectificador no controlado**

## 7.2 El Inversor

A continuación se estudiará dicha parte del sistema. Para ello se verá el control del mismo y su topología, se va a comenzar por la segunda, ya que ésta es algo más sencilla.

### 7.2.1 Topología

En primer lugar se va a recordar el esquema del inversor y las señales que entran e intervienen en el control del mismo.

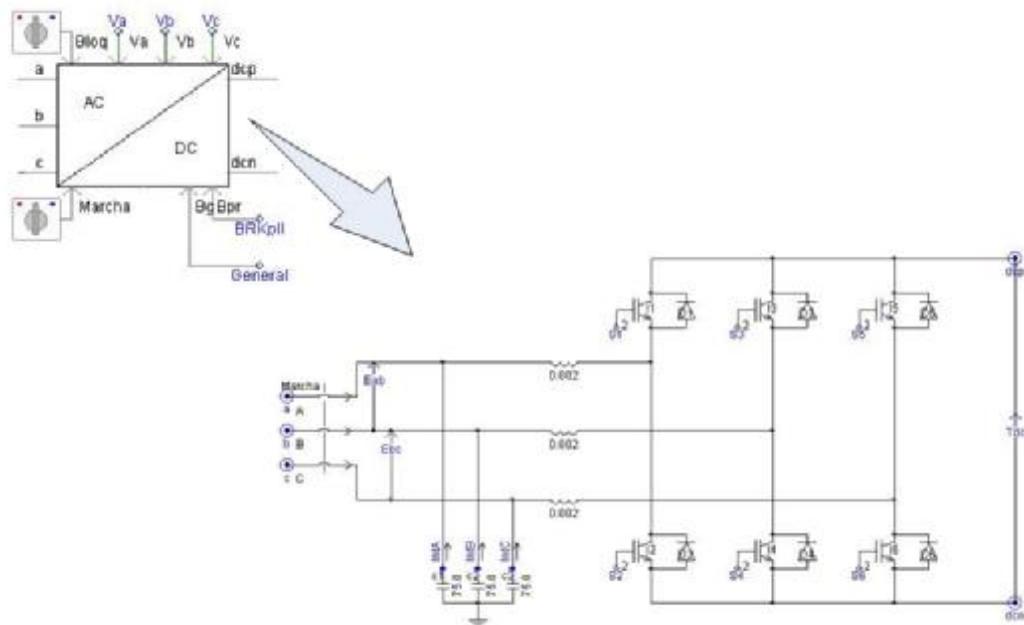


Figura 3. Señales de control del Inversor

Señal	Señales del Inversor Función
Marcha	Precarga del sistema. Actúa dentro del bloque de control del inversor.
Bloq	Precarga del sistema. Actúa dentro del bloque de control del inversor.
$V_i \forall i \in (a, b, c)$	Tensiones de fase medidas de la red. Actúan dentro del bloque PLL.
BRKpll	Señal de selección entre UPS o Red. Actúa dentro del bloque PLL.
General	Desconexión de la red ante fallo. Actúa dentro del bloque PLL.
dcp, dcn	Conexión eléctrica entre el DC-Link y el Inversor.
a, b, c	Conexión eléctrica entre el inversor y la carga.
$E_{ab}, E_{bc}$	Medidas de tensión de línea a la salida del Inversor. Bloque de control
$Int_i \forall i \in (a, b, c)$	Corrientes en los condensadores del filtro de salida. Bloque de control
$S_i \forall i \in [1, 6]$	Señal de disparo de los semiconductores del Inversor.
Tdc	Diferencia de tensión entre dcp y dcn. Bloque de control.

Tabla 2. Señales del Inversor

Por último, antes de pasar al control del inversor, se verá el filtro de salida de éste.

## Filtro de salida

Dicho filtro es esencial a la hora de alimentar de forma limpia y eficaz a la carga. Debido a la posición de ésta inmediatamente después del inversor, la onda de tensión proporcionada por el último debe estar exenta de los armónicos de conmutación, ya que la carga es sensible a éstos pudiendo llegar a ser dañada.

Para evitarlo, se colocará un filtro paso bajo que lleve a cabo tal reducción de armónicos. El filtro que aparece a la salida del inversor es un filtro LC, el cual lleva vinculado un fenómeno de resonancia. La resonancia eléctrica es un fenómeno que se produce en un circuito en el que existen elementos reactivos (bobinas y condensadores) cuando es recorrido por una corriente alterna de una frecuencia tal que hace que la reactancia se anule, en caso de estar ambos en serie o se haga máxima si están en paralelo. Como se ve en la Figura 37, ambos elementos se encuentran en serie, y por tanto su impedancia vendrá dada por

$$Z = jL\omega - j\frac{1}{C\omega} = j\left(L\omega - \frac{1}{C\omega}\right) = jX_s$$

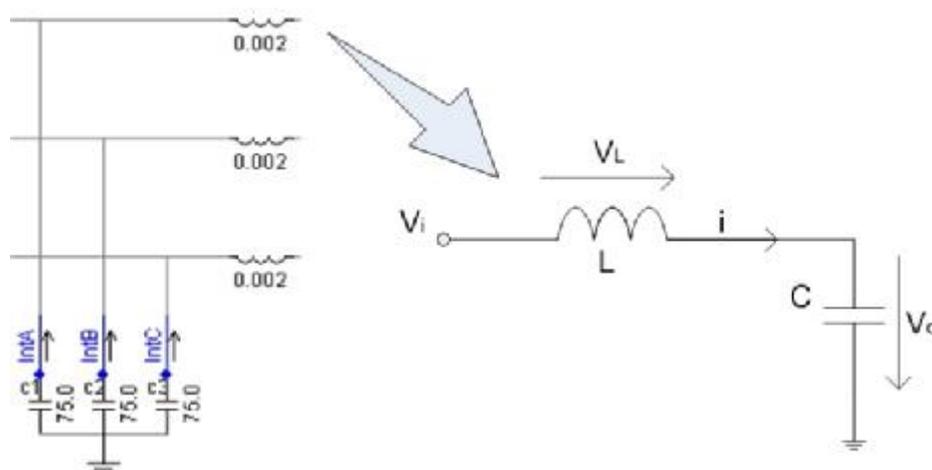
Siendo  $X_s$  la reactancia total del circuito y la cual será nula para un valor determinado de la frecuencia, denominada frecuencia de resonancia,  $\omega_0$

$$L\omega_0 = \frac{1}{\omega_0 C} \Rightarrow \omega_0^2 = \frac{1}{LC} \Rightarrow \omega_0 = \frac{1}{\sqrt{LC}} \text{ y por tanto con } \omega_0 = 2\pi f_0$$

$$f_0 = \frac{1}{2\pi\sqrt{LC}} \text{ en (Hz)}$$

Se debe tener cuidado con esta frecuencia, en la cual parece el pico de resonancia, ya que si alguno de los armónicos más frecuentes de la carga entra dentro de ese rango provocará resonancia. Como se verán en la Figura 38, diagrama de Bode del filtro, este valor de frecuencia la frecuencia se encuentra alrededor de los 2582Hz.

Por tanto, nos encontramos aproximadamente sobre el armónico 50 de la carga, el cual está lo suficientemente alejado del fundamental, 50Hz, como para que pueda llegar a provocar resonancia en ésta última.



**Figura 4. Filtro de Salida del Inversor**

A continuación se presentan las ecuaciones que gobiernan al circuito simplificado con el fin de obtener la función de transferencia con la que se podrá obtener el bode de dicho sistema.

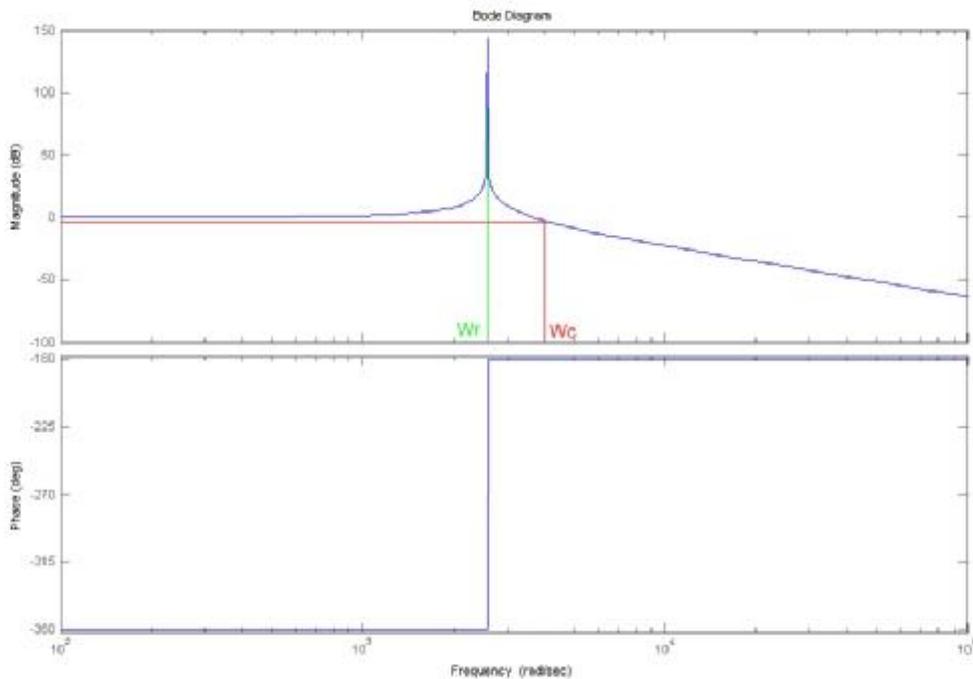
$$V_L = L \frac{di}{dt}$$
$$i = C \frac{dV_o}{dt}$$
$$V_i = V_o + V_L$$

Con estas ecuaciones queda bien definido el comportamiento del filtro, ahora se va a emplear éstas para poder llevar a cabo la construcción de  $H(s)$ , la cual se formará a partir del cociente entre la tensión de salida y la de entrada del filtro

$$H(s) = \frac{v_o}{v_i} = \frac{v_o}{v_o + v_L} = \frac{v_o}{v_o + L \frac{di}{dt}} = \frac{v_o}{v_o + LC \frac{d^2 v_o}{dt^2}} = \frac{V_o(s)}{V_o(s) + LCs^2 V_o(s)}$$

$$H(s) = \frac{1}{1 + LCs^2}$$

A partir de ésta, el diagrama de Bode obtenido queda reflejado en la Figura 38.



**Figura 5. Diagrama Bode de la función de transferencia del filtro de salida. Frecuencia de Corte**

A la vista de los resultados se puede observar que la frecuencia de resonancia es la anteriormente comentada. También se puede observar que la frecuencia de corte se sitúa alrededor de los 4kHz, atenuando por tanto la frecuencia de conmutación que se ubica en los 10kHz.

## 7.2.2 Control de los diferentes elementos del sistema

### 7.2.2.1 Control del Inversor

En este apartado se va a proceder al diseño del controlador para el inversor de la UPS. Como se verá a continuación, este se basa en un doble bucle de control, uno externo de tensión y uno interno de corriente. Debido a las características de nuestro sistema, esto es, trifásico y equilibrado, nos interesa trabajar en coordenadas  $(\alpha, \beta)$  en lugar de hacerlo en las coordenadas naturales  $(a, b, c)$ .

En primer lugar se verán las ecuaciones que definen la dinámica del sistema en ejes estacionarios

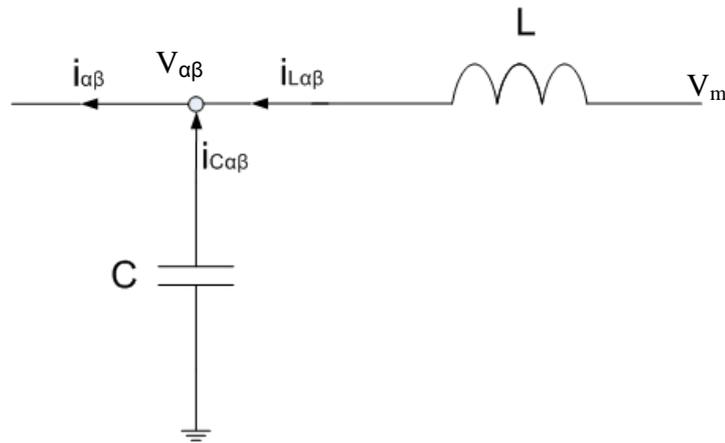


Figura 6. Control del Inversor. Sentido de las Corrientes

$$V_m = L \frac{di_{ab}}{dt} + V_{ab} \quad (1) \Rightarrow \text{Dinámica de la Bobina}$$

$$i_{ab} = i_{cab} + i_{Lab} \quad (2) \Rightarrow \text{Kirchoff en nodo de unión}$$

$$i_{cab} = C \frac{dV_{ab}}{dt} \quad (3) \Rightarrow \text{Dinámica del Condensador}$$

#### Bucle interno de corriente. Control de $i_{c\alpha\beta}$

Introduciendo (2) en (1) se tiene que 
$$V_m = L \frac{di_{cab}}{dt} + L \frac{di_{Lab}}{dt} + V_{ab}$$

Se define nuestro objetivo de control como  $i_{cab} \rightarrow i_{cab}^*$ . Teniendo en cuenta esto se puede a pasar a reescribir la ecuación de de la tensión para modular que quedaría

$$V_m = L \frac{di_{cab}}{dt} + L \frac{di_{Lab}}{dt} + V_{ab} \pm L \frac{di_{cab}^*}{dt} \pm K_{p1} \tilde{i}_{cab} \quad \text{siendo} \quad \tilde{i}_{cab} = i_{cab} - i_{cab}^*$$

A partir de la última definición creada se tiene

$$V_m = L \frac{d\tilde{i}_{cab}}{dt} + K_{p1} \tilde{i}_{cab} + V_{ab} + L \frac{di_{Lab}}{dt} + L \frac{di_{cab}^*}{dt} - K_{p1} \tilde{i}_{cab}$$

Como se quieren que la dinámica del error tienda a cero, se define  $V_m$  como

$$V_m = V_{ab} + L \frac{di_{Lab}}{dt} + L \frac{di_{cab}^*}{dt} - K_{p1} \tilde{i}_{cab}$$

De esta forma, en bucle cerrado nuestro controlador conseguirá que la dinámica del error de la corriente tienda exponencialmente a cero

$$L \frac{d\tilde{i}_{cab}}{dt} + K_{p1} \tilde{i}_{cab} = 0$$

#### - Bucle externo de tensión. Control de $V_{\alpha\beta}$

Nos falta trabajar la última ecuación, la cual nos marca la dinámica de la corriente del condensador

$$i_{cab} = C \frac{dV_{ab}}{dt}$$

Asumiendo que la dinámica del bucle interno, control de corriente, es mayor que la del bucle externo, control en tensión, se puede decir que  $i_{cab} \rightarrow i_{cab}^*$ , y por tanto

$$i_{cab}^* = C \frac{dV_{ab}}{dt}$$

En este caso nuestro objetivo de control viene dado por  $V_{ab} \rightarrow V_{ab}^*$ . Teniendo en cuenta esto se puede a pasar a reescribir la ecuación anterior

$$i_{cab}^* = C \frac{dV_{ab}}{dt} \pm C \frac{dV_{ab}^*}{dt} \pm K_{p2} \tilde{V}_{ab} \quad \text{siendo} \quad \tilde{V}_{ab} = V_{ab} - V_{ab}^*$$

Con esta nueva definición, al igual que nos sucedía con el bucle interno se puede reescribir la ecuación de la dinámica del condensador de la forma

$$i_{cab}^* = C \frac{d\tilde{V}_{ab}}{dt} + K_{p2} \tilde{V}_{ab} + C \frac{dV_{ab}^*}{dt} - K_{p2} \tilde{V}_{ab}$$

De nuevo para forzar a que la dinámica del error de la tensión tienda a cero, se define  $i_{cab}^*$  como

$$i_{cab}^* = C \frac{dV_{ab}^*}{dt} - K_{p2} \tilde{V}_{ab}$$

Por último comentar que el término  $C \frac{dV_{ab}^*}{dt}$  del controlador del bucle externo y los sumandos  $L \frac{di_{Lab}}{dt} + L \frac{di_{cab}^*}{dt}$  del interno, no son posible calcularlos de manera exacta. En primer lugar porque realmente los parámetros L y C no son conocidos con exactitud por motivos de deriva de tiempo, temperatura, humedad... y en segundo lugar porque el cálculo de las derivadas además de no ser sencillo introduce ruido en el valor de esos términos. Por este motivo en ambos casos se lleva a cabo una estimación de éstos empleando para ello un filtro repetitivo.

### 7.2.2.2 Control del PLL

En la Figura 40 se representa un diagrama con los diferentes pasos que sigue básicamente el algoritmo del PLL

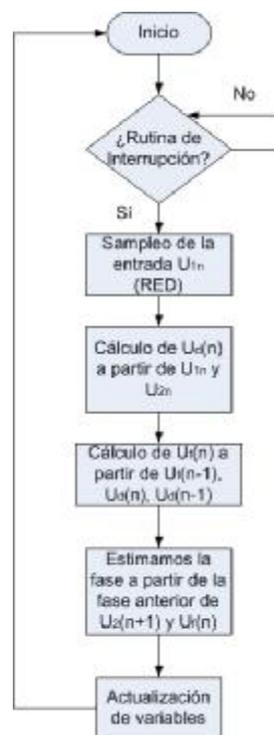
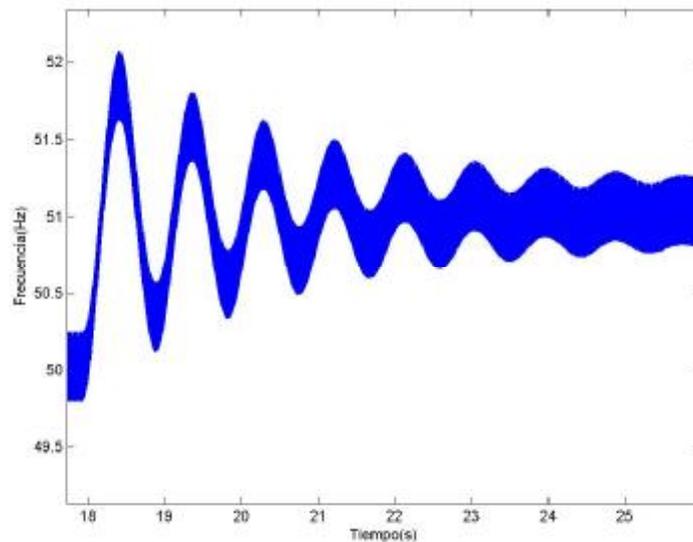


Figura 7. Diagrama de flujo del algoritmo del PLL

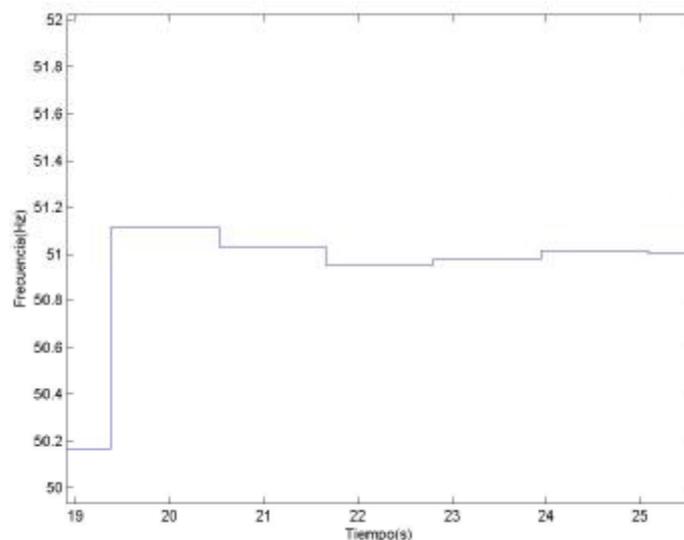
Además de todas las variables que aparecen tanto en el diagrama anterior como en el apartado referente al PLL, existen un número de variables intermedias de las que hasta ahora no se ha hablado. Una de estas variables es la frecuencia de la señal de salida del oscilador, esto es,  $\omega_2$ . No será con ésta si no con su media con la que se trabajará a la hora de generar las señales de salida del PLL, las cuales no son otras que las referencias de tensión que se introducen en el bloque de control. El motivo de trabajar con su media

no es otro que el de que ésta tiende al valor de la referencia más rápido que su valor instantáneo debido a las oscilaciones que presenta la señal de frecuencia generada.

En la Figura 41 y la Figura 42, que se presentan a continuación, se puede ver lo anteriormente comentado. En ellas se puede observar como estando la frecuencia en un valor inicial de aproximadamente 50.15 Hz y sufriendo un escalón de 1Hz, pasando a 51Hz, la frecuencia media alcanza dicho registro con un error mínimo, en mucho menor tiempo que su valor instantáneo.



**Figura 8. Estabilización de la frecuencia del Oscilador tras un escalón en la referencia**



**Figura 9. Estabilización de la frecuencia media del Oscilador tras un escalón en la referencia**

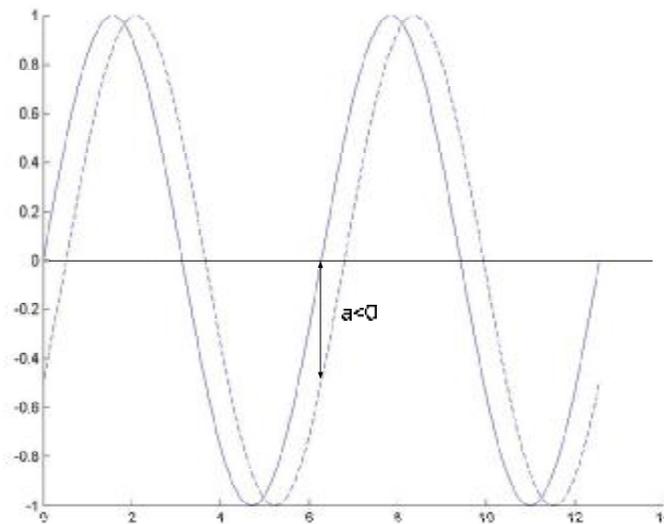
Con el algoritmo básico del PLL que se muestra de manera esquemática en la Figura 40, tan sólo se obtiene una sincronización en frecuencia con la señal de referencia pero no en fase. Por tanto, para que la onda de salida del oscilador se sincronice con la de referencia tanto en frecuencia como en fase, será necesario añadir un control para la fase de tal forma, que la sincronización con la misma sea posible.

Para llevarlo a cabo, se parte de que las señales de salida del PLL, son ondas sinusoidales que se crean recorriendo una tabla en la que se recoge un seno generado a

partir de la toma de doscientos puntos. Ésta será leída a la frecuencia generada por el algoritmo del PLL de la Figura 40.

Supongamos dos ondas sinusoidales cualquiera de la misma frecuencia. Si no se encuentran sincronizadas en fase es porque existe un retraso o adelanto de una de ellas sobre la otra, por lo que para obtener dicho sincronismo se debe adelantar o retrasar una de las dos señales. En nuestro caso, la señal de referencia es la de la red y por tanto ésta no podrá ser modificada, de tal forma, que la onda que se retrase o adelante será la generada por el PLL. En primer lugar se va a estudiar por separado el caso de adelanto y de retraso de nuestra onda sobre la tensión de la red.

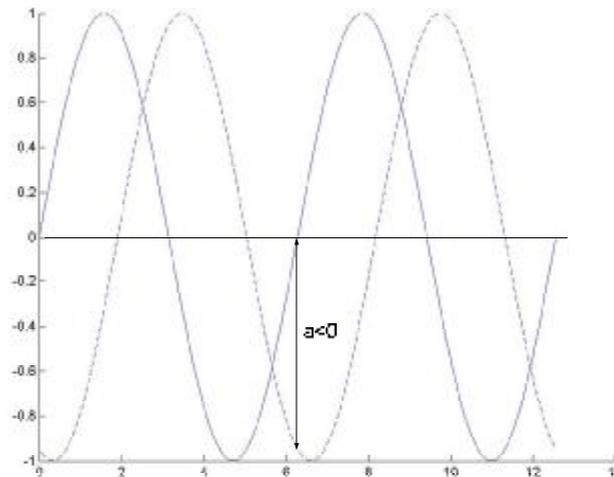
En la Figura 43 se muestra un retardo sobre la señal medida en la red de  $30^\circ$



**Figura 10. Retardo menor de  $\Pi$  rad de la señal generada (rayada) respecto la de la red (continua)**

Donde la onda continua es la de la red y la rayada es la creada por nuestro algoritmo. Se define 'a' como la diferencia entre ambas señales cuando la red tiene su paso por cero positivo. Si nos fijamos en la Figura 43, la sincronización en fase será más rápida si se desplaza la señal de salida del PLL hacia la izquierda que si se hace hacia la derecha, de esta manera se ve que para obtener tal sincronismo se debe adelantar dicha señal.

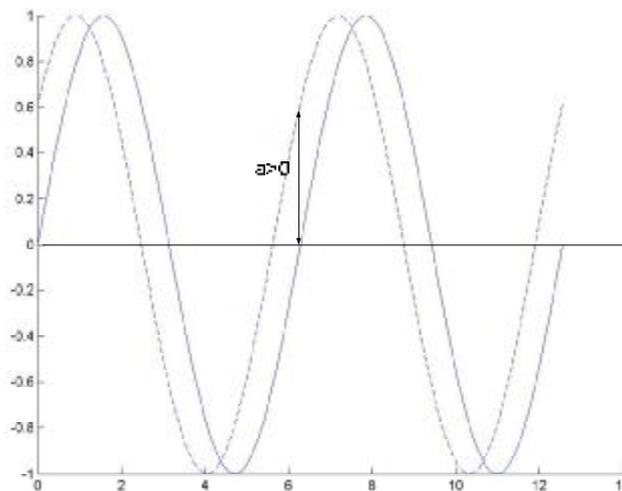
Si el retardo es algo mayor que el anterior pero sin sobrepasar los  $p$  rad.



**Figura 11. Retardo menor de  $\pi$  rad de la señal generada (rayada) respecto la de la red (continua)**

En la Figura 44, se puede ver como de nuevo al ser  $a < 0$ , la sincronización es más rápida si se lleva a cabo un desplazamiento de la onda del PLL hacia la izquierda, adelantándola.

Por último veamos que sucede cuando el desfase es mayor de  $p$  rad.



**Figura 12. Retardo mayor de  $\pi$  rad de la señal generada (rayada) respecto la de la red (continua)**

En la Figura 45, se muestra como para una  $a > 0$ , la sincronización más rápida es obtenida si el desplazamiento de la onda se realiza hacia la derecha, esto es, retrasándola.

A continuación se estudiará lo que sucede para el caso en el que la salida del PLL sea la que se encuentra adelantada. Se representará al igual que en el caso anterior un adelanto menor y mayor de  $p$  rad.

Para el caso de un adelanto menor de  $\pi$  rad

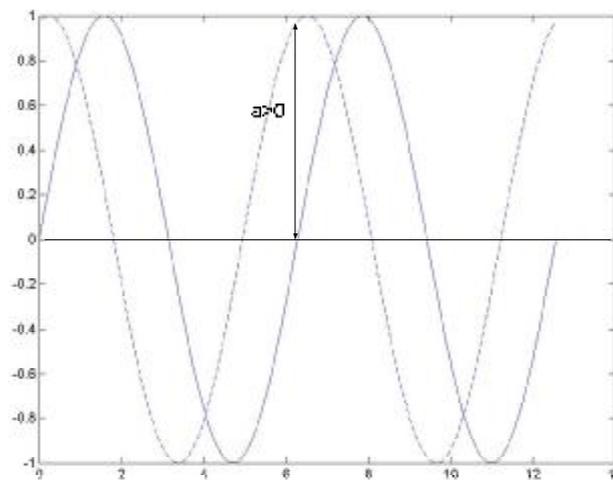


Figura 13. Adelanto menor de  $\pi$  rad de la señal generada (rayada) respecto la de la red (continua)

En la Figura 46, se ve como al ser  $a > 0$ , la sincronización en fase será más rápida, si se provoca un desplazamiento de la señal generada hacia la derecha, adelantándola.

En el caso en el cual el adelanto sea mayor de  $\pi$  rad

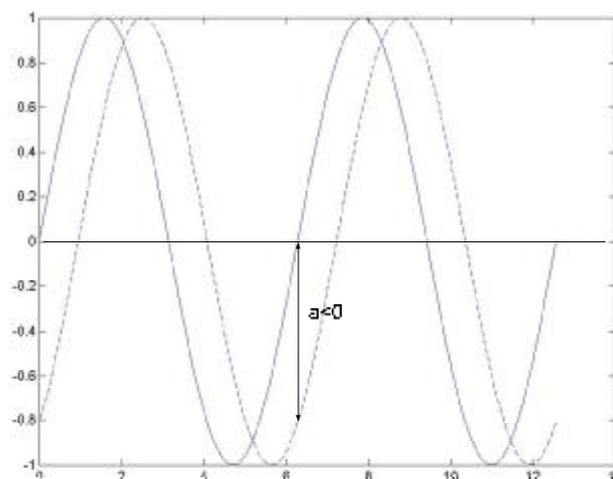


Figura 14. Retardo mayor de  $\pi$  rad de la señal generada (rayada) respecto la de la red (continua)

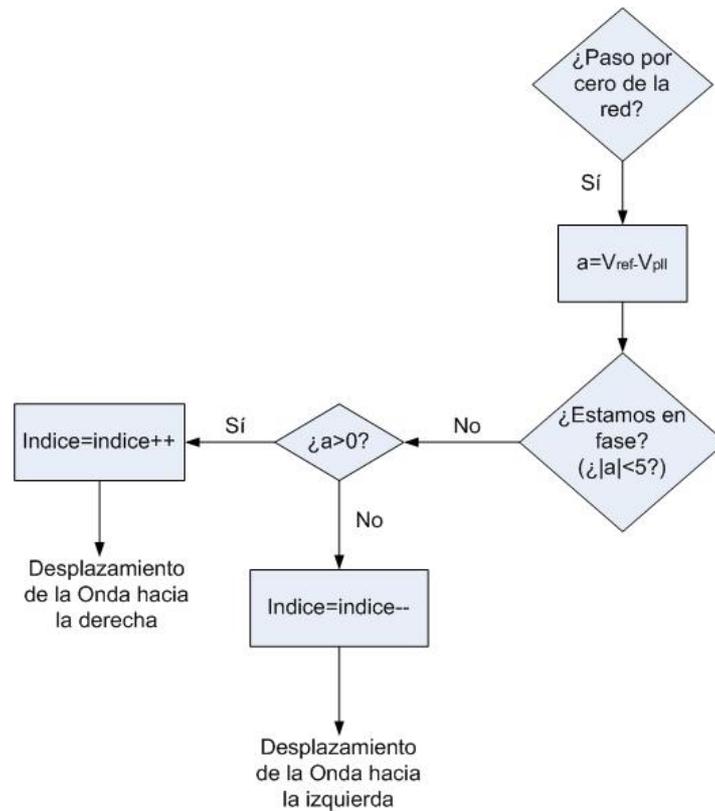
A la vista de la Figura 47, se puede concluir que independientemente de cómo se encuentre la señal generada respecto a la de referencia, si  $a > 0$  se desplazará la onda de salida del PLL hacia la derecha y en cuando sea  $a < 0$  el desplazamiento se hará hacia la izquierda.

Estos desplazamientos se provocan incrementando o decrementando de manera adecuada el índice que recorre la tabla de generación de los senos, es decir, si se quieren que nuestra señal se desplace a la izquierda, adelanto, se recorrerá más lentamente la tabla, es por ello, que cuando se detecte el paso por cero positivo de la tensión de la red y existe desfase entre ambas ondas, se restará una posición al índice que en ese instante este marcando la tabla, de tal forma, que se fuerce el adelantamiento de la onda.

Si por el contrario  $a > 0$ , se incrementará en una posición el índice de tal manera que el correspondiente punto de la tabla no sea leído, y sea el siguiente el que se lea, lo que hará que la señal se desplace hacia la derecha.

Visto como alcanzar la sincronización en fase, lo siguiente es detectar si ambas ondas se encuentran sincronizadas o no, y actuar en consecuencia. En la comparación entre ambas ondas no se puede buscar la identidad entre ellas, ya que dicha identidad no se va a alcanzar, puesto que mientras que una de las dos ondas es creada de manera matemática, la otra es una medida de la red, con las posibles alteraciones y errores en la medida que ello puede conllevar. Por este motivo se define una banda de sincronización. Dicha banda se basa en el valor 'a' definida como  $a = V_{ref} - V_{PLL}$ , cuando la referencia hace su paso positivo por cero. De este modo cuando los valores de 'a' sean menores de 5V nos encontraremos dentro de esta banda de sincronización, y por tanto estarán en sincronía ambas señales. Por otro lado si dicho valor es excedido, se llevará a cabo un desplazamiento de la onda con el fin de retrasarla o adelantarla, según corresponda, hasta que el valor de 'a' se encuentre dentro de la banda de sincronización.

En la Figura 48 se resumen los pasos anteriormente descritos



**Figura 15. Diagrama de flujo para el algoritmo de sincronización en fase**

En la Figura 49, Figura 50, Figura 51 y Figura 52 se presenta el algoritmo al completo del PLL. A continuación se va a presentar las diferentes variables empleadas para llevarlo a cabo así como los diferentes estados entre los que se mueve el algoritmo.

Básicamente el PLL se encontrará sincronizado o no con la red. Sin embargo, mientras que el primero de los estados es único el segundo no lo es, es decir, la no sincronía puede ser debida o bien a que la red está variando su frecuencia dentro de lo que se define más adelante como un rango aceptable, y por tanto sin fallo de la misma o por el contrario la variación de la frecuencia excede dichos límites, en cuyo caso el no

sincronismo con la red es inevitable pues se dejará de seguir a ésta para que sea el PLL el que imponga la frecuencia del sistema. Mientras que en el primero de los casos en los que no existe sincronización ésta se consigue siguiendo la variación marcada por la red, en el segundo, no existirá sincronismo hasta que la normalidad en la red sea reestablecida, fijando del PLL la frecuencia del sistema en 50Hz mientras que dure el fallo.

A la vista de esto se puede definir tres estados de funcionamiento del PLL, el primero de ellos, definido en el programa por el estado 'pf=0', es el que se podría denominar como funcionamiento normal. Éste es el que aparece tanto en el arranque del PLL como cuando la frecuencia de la red se encuentra dentro de un rango aceptable.

Red eléctrica española (REE), define la frecuencia nominal del sistema eléctrico español en 50Hz. Se consideran variaciones normales de ésta a aquellas comprendidas entre 49.85Hz y 50.15Hz, según se establece en el BOE(18/08/98).

Por otro lado según la normativa UNE-EN 50160, para media tensión, en condiciones normales de explotación el valor medio de la frecuencia fundamental medida por periodos de 10s debe situarse en los intervalos siguientes

50 Hz $\pm$ 1%	(de 49.5Hz a 50.5Hz) durante el 99.5% del año
50 Hz+4%/-6%	(de 47Hz a 52Hz) durante el 100% del año

Con esto se considerará que el rango de frecuencia para los que el PLL sigue lo establecido por la red es de 49.5Hz a 50.5Hz. Por debajo y por encima de los valores indicados se considerará que la red se encuentra en fallo y por tanto deberá ser la UPS a través del PLL quien imponga la tendencia de la frecuencia.

En este caso el sistema se encuentra en el estado fallo, denotado por 'fp=1'. Cuando nuestro sistema detecta que la red sale del rango válido, se produce la desconexión entre ambos, aunque no la toma de medidas. Ya que se tendrá que seguir teniendo en cuenta la frecuencia de la red para reestablecer la sincronización cuando el fallo sea despejado.

Si la salida del rango se provoca por exceso de frecuencia, es decir, por ser ésta mayor de 50.5 Hz, será devuelta a los 50Hz disminuyendo, el valor último de frecuencia medido, durante un segundo. Si por el contrario el fallo es por defecto, frecuencia de la red menor de 49.5Hz, se impondrán los 50Hz aumentando el valor del último registro durante un segundo. En este estado trabajaremos con una frecuencia denominada auxiliar,  $\omega_{miaux}$ , distinta la que realmente tiene la red,  $\omega_{mi}$ . Como ya se ha comentado, es necesario realizar continuamente la toma de medidas de ésta última, para así llevar a cabo la sincronización con el sistema cuando éste se recupere. Con esto aparece un nuevo estado, que ha sido denominado estado de "re-sincronización", y es denotado por el valor 'fp=2', para la bandera de estados. Mientras no exista sincronismo entre el PLL y la red, el algoritmo realizará los cálculos correspondientes empleando la frecuencia auxiliar,  $\omega_{miaux}$ , que irá variando lentamente, junto con la fase, hasta llegar a los valores de frecuencia y fase de la onda de tensión. En este instante se considerará que el sincronismo es total, y se pasará de nuevo a trabajar con la frecuencia calculada por el algoritmo básico del PLL,  $\omega_{mi}$ , ésta variará según lo haga la red siempre que no entre en fallo ésta última, hasta entonces el sistema permanece en el estado normal de funcionamiento, 'fp=0'.

Las Figuras 49, 50, 51 y 52 junto con el Anexo A pretenden definir el funcionamiento del algoritmo de generación de las señales de referencia de tensión del bloque de control, señales de salida del PLL.

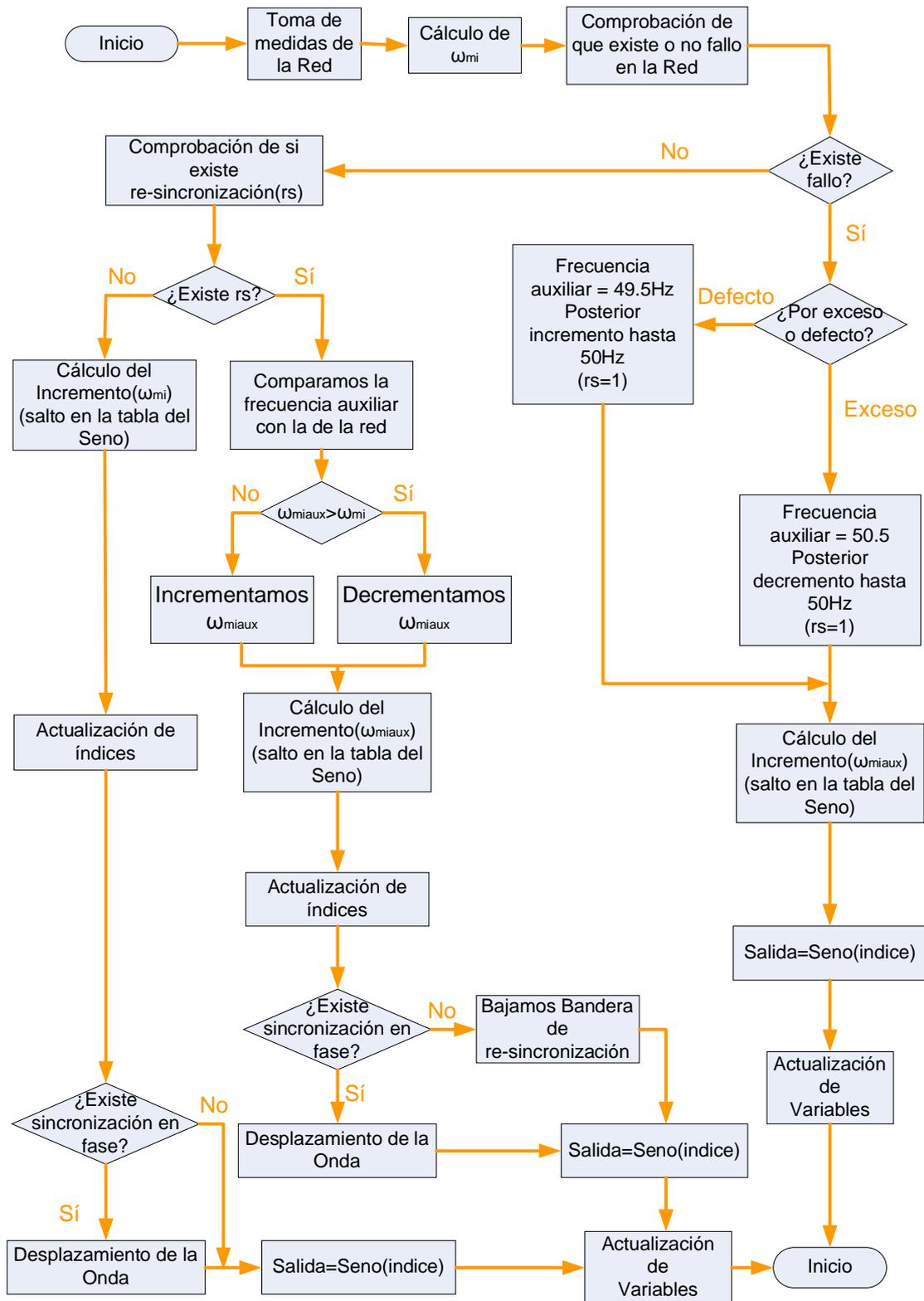


Figura 16. Funcionamiento del SPLL

Una vez visto el funcionamiento global del Software, se van a definir y comentar las diferentes variables que en él intervienen, con el fin de llevar a cabo un estudio más exhaustivo del programa.

Como se comentó anteriormente existen tres estados de funcionamiento, uno normal, un segundo de fallo y el tercero que se ha denominado de “re-sincronización”. Atendiendo a esto, se definen varias banderas (flags), que marcarán en cual de dichos estados se encuentra el algoritmo. Dependiendo de en que estado se encuentre el sistema el algoritmo se desarrollará en base a la frecuencia media,  $\omega_{mi}$ , medida directamente de la red o bien en base a una auxiliar,  $\omega_{miaux}$ . La ‘i’ que aparece en ambas definiciones denota la fase y por lo tanto será ‘a’, ‘b’ o ‘c’.

El motivo de trabajar con la media de las frecuencias no es otro que el que el valor medio alcance antes a la referencia, por le contrario el valor instantáneo al sufrir oscilaciones en torno a esta requiere de más tiempo para posicionarse sobre ese valor. Sólo se trabajará con la frecuencia media,  $\omega_{mi}$ , en el estado normal de operación. Para recorrer la tabla de generación de los senos, se define un índice  $indint_i$  el cual corresponde a la parte entera de  $indicer_i$ , siendo este último el calculado a partir de la frecuencia media auxiliar o no, según corresponda, como se puede ver en el Anexo A.

Como la tabla se conforma de doscientos puntos, es necesario llevar a cabo una saturación de los índices cuando este valor sea sobrepasado.

Decir también, que los tres senos son generados a partir de una única tabla que es recorrida por los tres índices  $indint_i$ , los cuales, difieren entre si la cantidad correspondiente a  $120^\circ$ , de tal forma que las señales generadas conformen un sistema de tensiones trifásico.

En la Tabla 4 se muestran las diferentes flags empleadas y cuales son sus funciones

Flag	Función
$a_i$	(Salida <sub>i</sub> )-(Tensión medida de la red de la fase i)
f	Se pone a uno y así permanecerá una vez calculada por primera vez $\omega_{mi}$
ff	Permanece en 1 mientras que $\omega_{miaux}$ tiende a 50Hz. El resto del tiempo es 0
fp	Indica el estado en el que nos encontramos. 0 $\rightarrow$ normal. 1 $\rightarrow$ fallo. 2 $\rightarrow$ re-sincronización
fi	Distinta de cero cuando la fase está fuera del rango óptimo. 1 $\rightarrow$ Exceso. 2 $\rightarrow$ Defecto
rs	Indica cuando llese va a cabo la re-sincronización, rs=1. Una vez alcanzada,rs=0
rsi	Indica si una fase alcanza la re-sincronización $\rightarrow$ rs=1. Mientras no la alcance, rs=0
bg	Cuando su valor es uno indica que la red ha sido desconectada por fallo en la misma

**Tabla 3. Flags del algoritmo del SPLL**



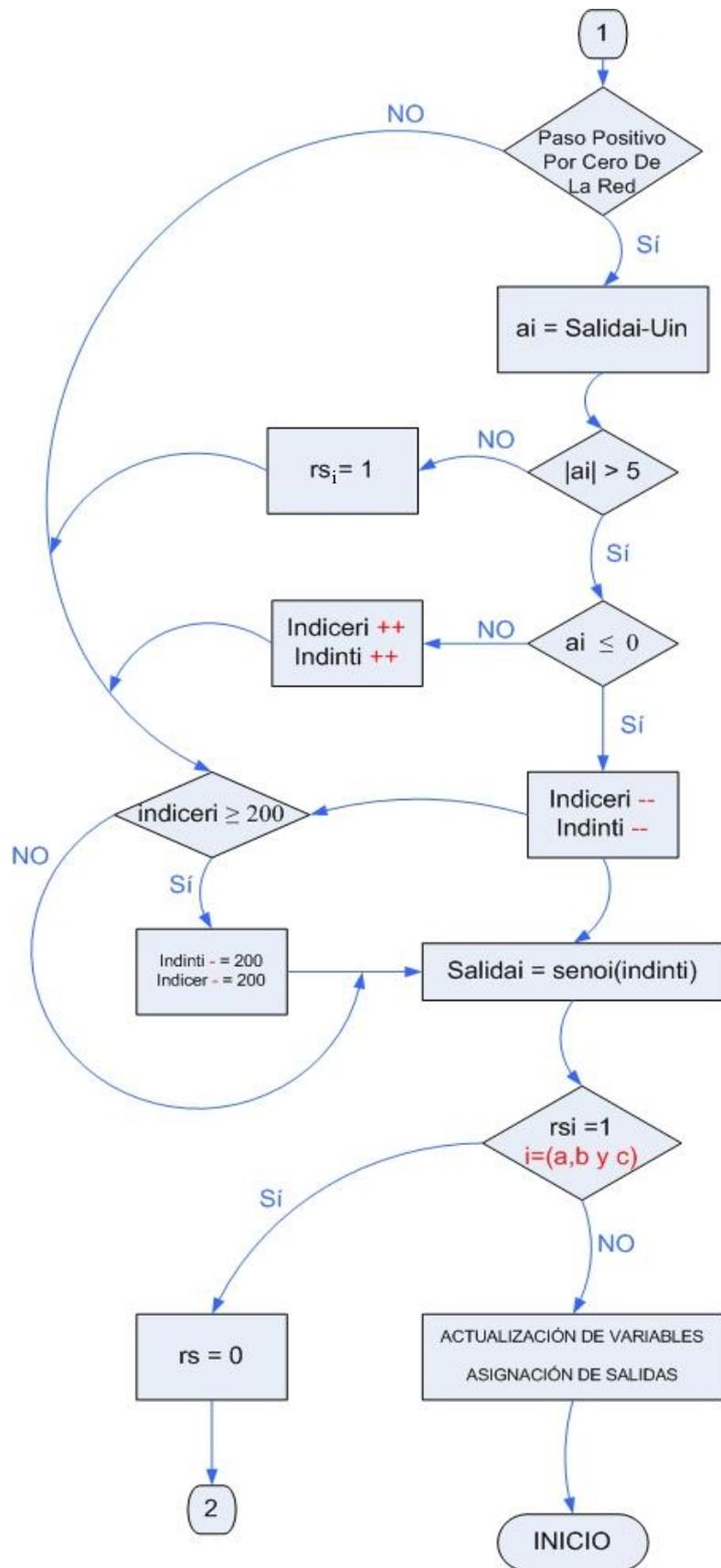


Figura 18. Diagrama de flujo del algoritmo completo del SPLL. Parte II

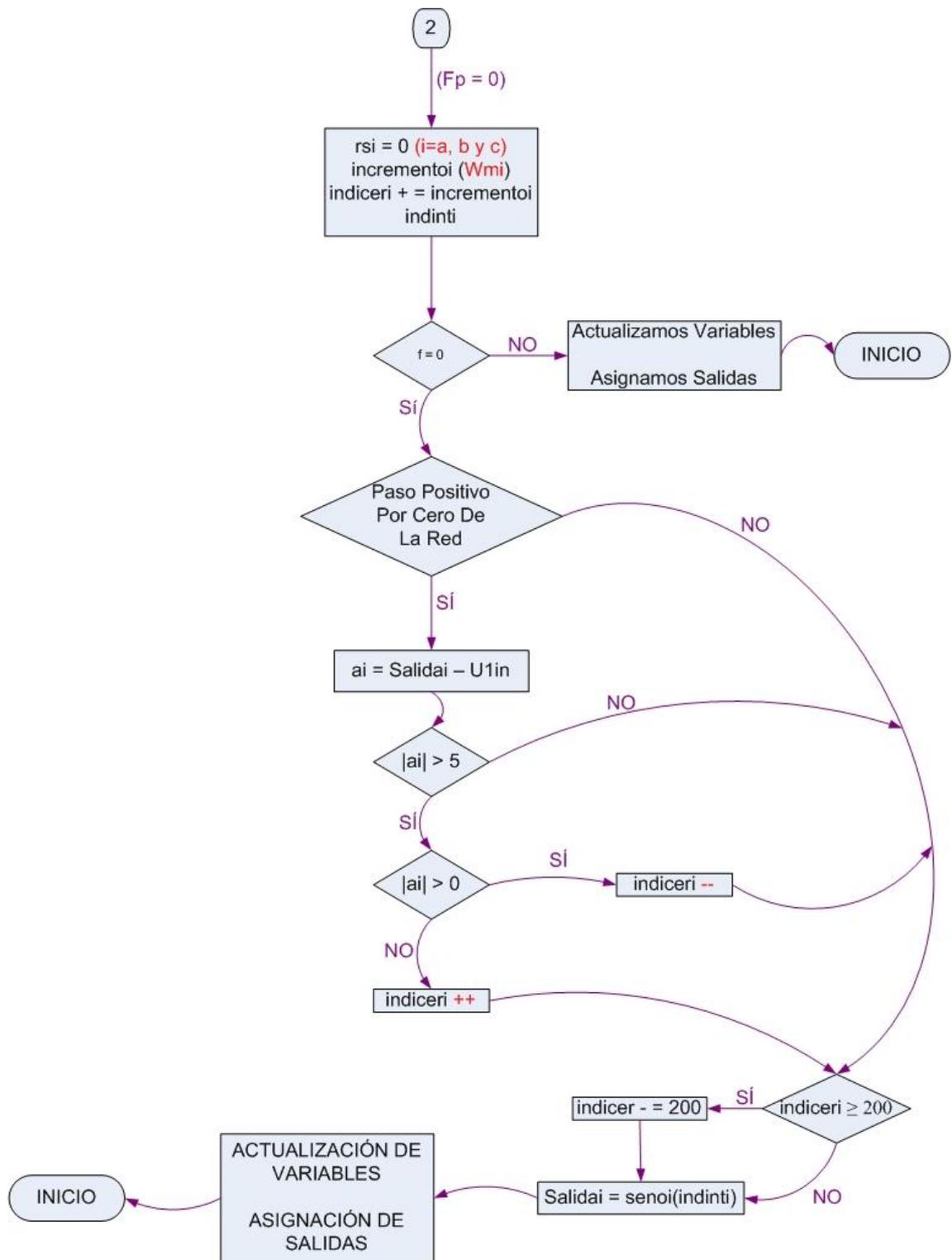


Figura 19. Diagrama de flujo del algoritmo completo del SPLL. Parte III

Para finalizar en la Figura 53 se representa el sistema de control completo

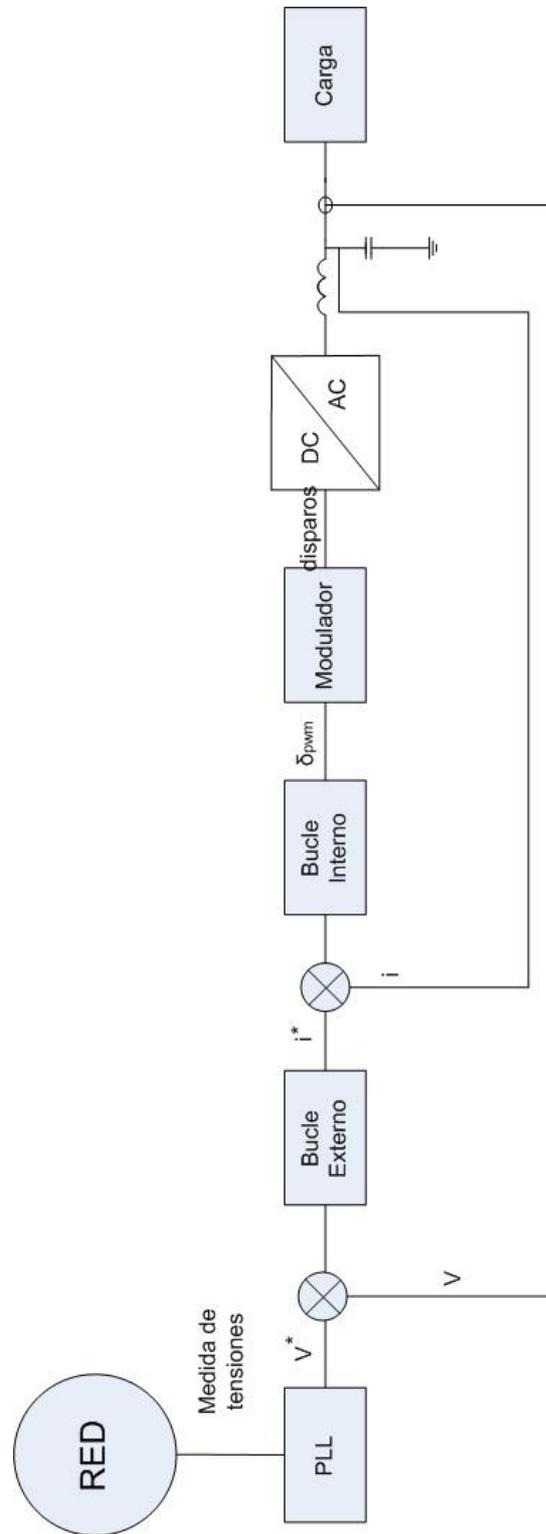


Figura 20. Esquema de control del sistema completo