

8. Resultados de las simulaciones

En este apartado se presentan los resultados obtenidos por las simulaciones llevadas a cabo. Como ya se vio en el apartado de las cargas, las pruebas se han llevado a cabo tanto con cargas lineales como con no lineales. Para las primeras se han simulado cargas tipo R, L, RC y RL. En el segundo caso se han llevado a cabo simulaciones con un rectificador no controlado como carga.

En todos los casos, los resultados buscados han sido los mismos, estudio de las ondas de tensión y corriente en la carga y la comparativa de la primera de ellas con las tensiones de referencia que genera el controlador a partir de las pautas marcadas por el PLL.

8.1 Carga Puramente Resistiva

En este primer apartado se va a realizar simulaciones con cargas puramente resistivas capaces de demandar 10kVA. Para llevar a cabo tal propósito las resistencias empleadas han sido de 16Ω . A continuación se presentan los resultados obtenidos para una frecuencia de 50Hz estando el sistema en régimen permanente con el 100% de la carga introducida. En la Figura 54, se muestra la onda de tensión generada por el bloque de control y la medida a la salida del inversor, a la vista de esto se puede decir que el seguimiento de la señal generada por la referencia es correcto y que aún se podría mejorar algo más variando el proporcional del controlador con el fin de eliminar las oscilaciones que presenta la onda medida en sus valores máximos y mínimos.

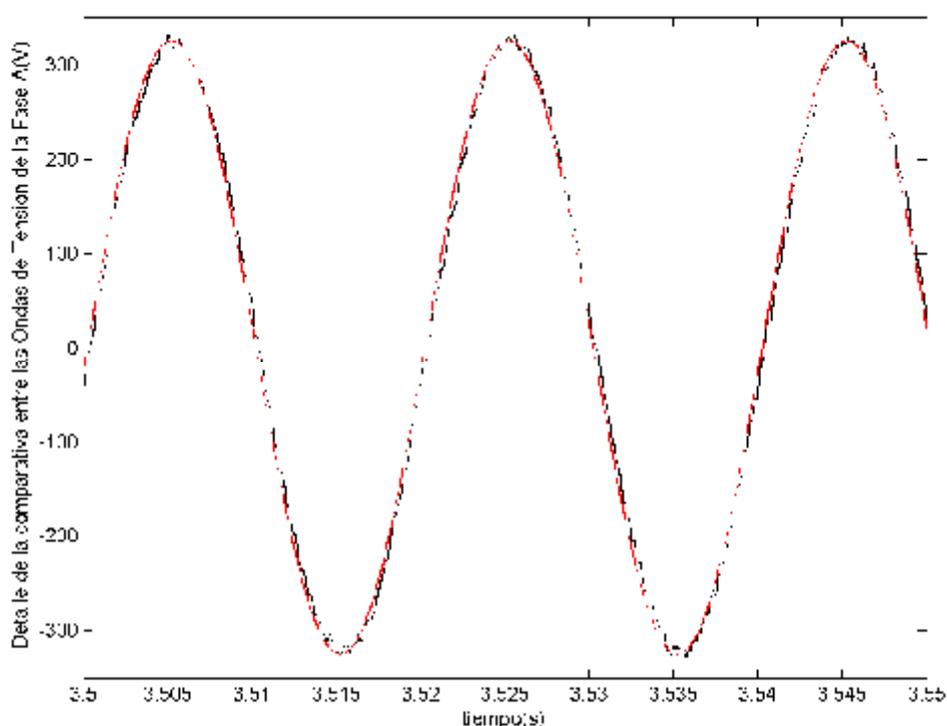


Figura 1. Ondas de tensión para la Fase A. Carga puramente Resistiva

En la Figura 55, se muestran varios ciclos de la corriente medida con el fin de verla en detalle, como se ve en sus valores máximos y mínimos presenta las mismas oscilaciones que la onda de tensión.

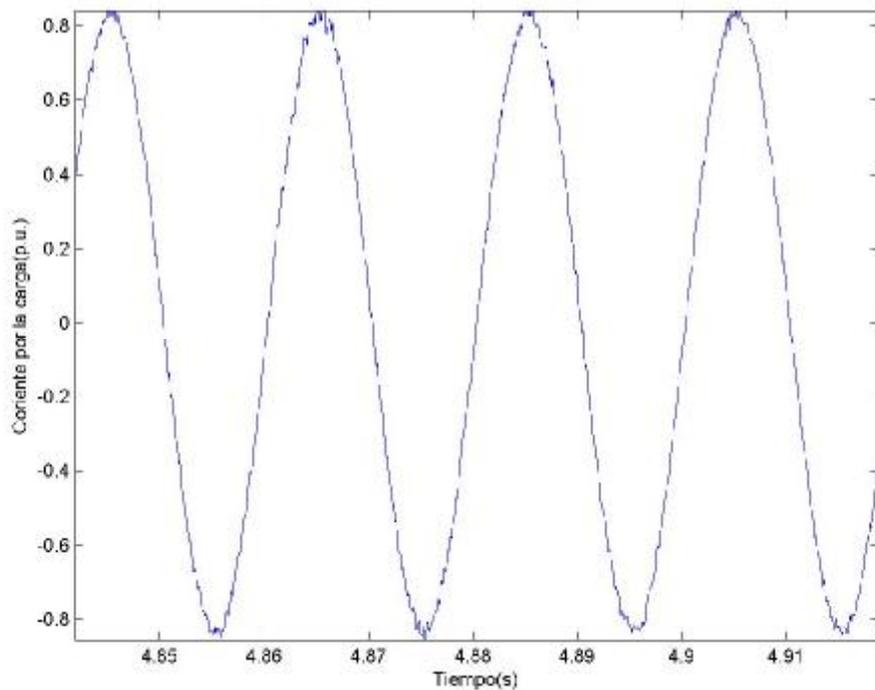


Figura 2. Corriente por la carga. Carga puramente Resistiva de 10kVA. Detalle

En la Figura 56, se muestra el sistema trifásico de tensiones medido a la salida del inversor.

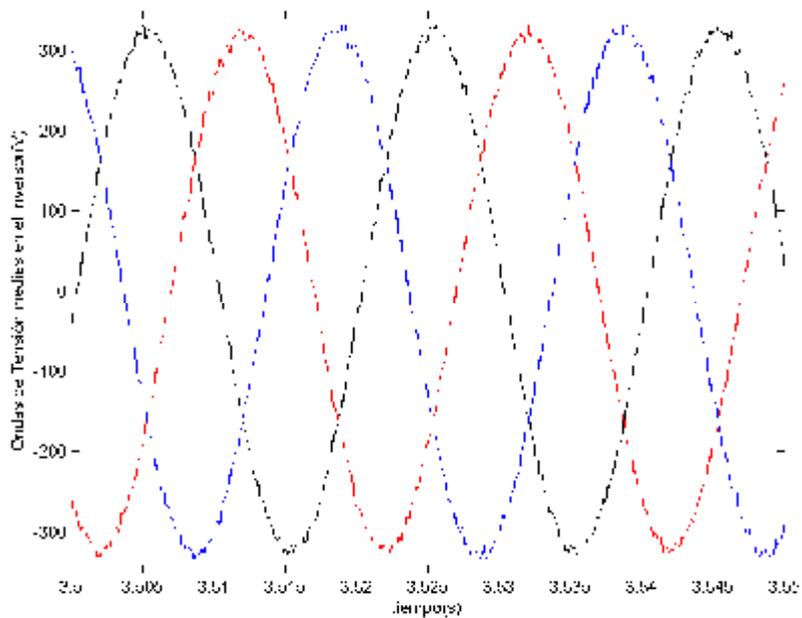


Figura 3. Ondas de tensión medidas a la salida del Inversor

En este primer caso se va a representar también las ondas de tensión generadas por el PLL, Figura 57. Como el resto de las simulaciones están realizadas bajo las mismas condiciones a expensas de la carga, la salida del PLL será la misma, y por tanto será la única vez que se muestre dicha gráfica.

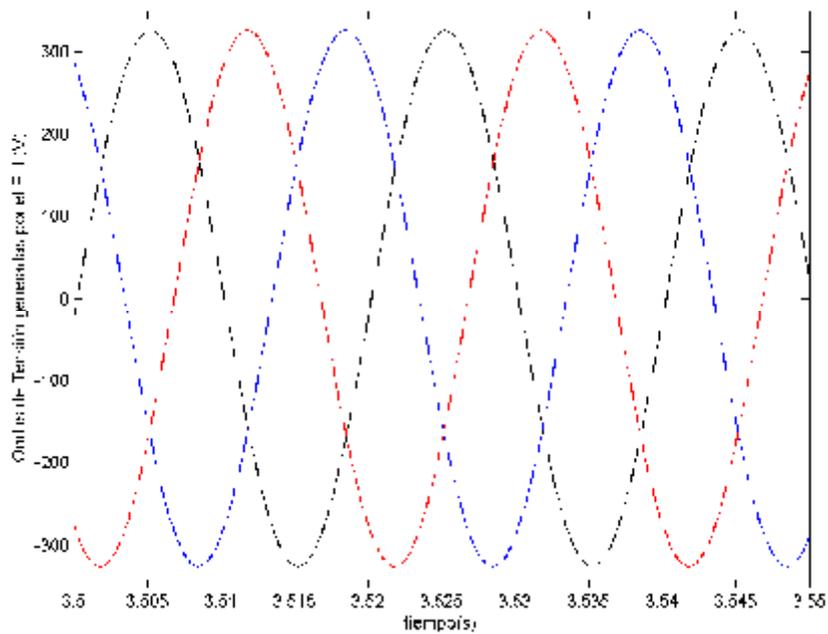


Figura 4. Referencia de señal generada por el PLL

8.2 Carga puramente Inductiva

Como ya se ha comentado las condiciones del ensayo son las mismas para todos los casos, y por tanto, tanto la potencia demandada por la carga como los demás parámetros permanecen constantes. De esta manera la inductancia obtenida para la demanda de 10kVA ha sido de 0.05H. En la Figura 58 y en la Figura 59, se ve se representa la tensión medida para este tipo de carga, en el primero de los casos se ve en detalle varios ciclos de la señal de referencia generada por el bloque de control junto a la tensión real medida y en la Figura 59 se presenta el sistema de tensiones reales al completo.

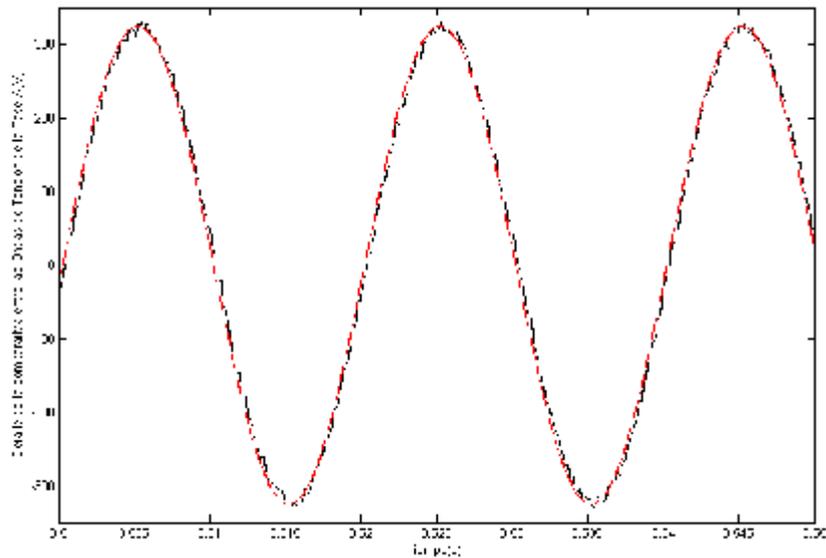


Figura 5. Ondas de tensión para la Fase A. Carga puramente Inductiva

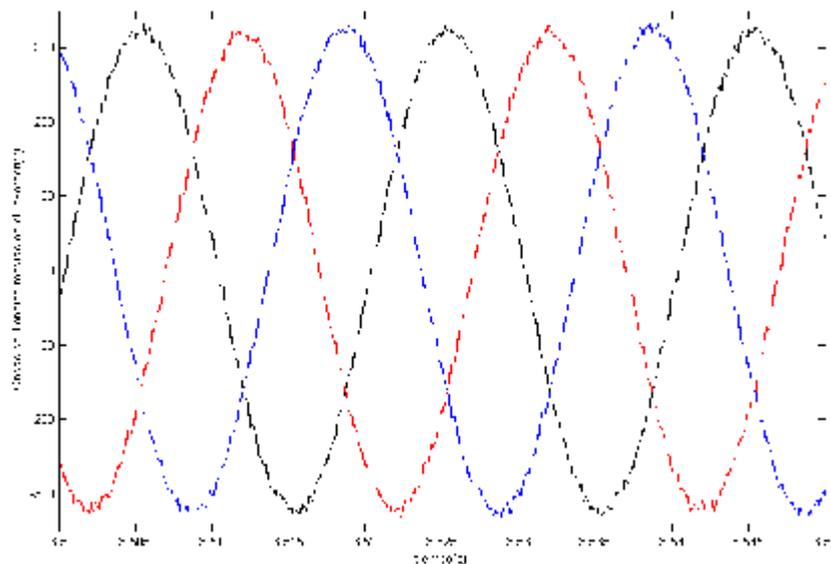


Figura 6. Ondas de tensión medidas a la salida del Inversor

En la Figura 60, se muestran varios ciclos de la corriente medida con el fin de verla en detalle, se puede ver como en este caso al ser la carga puramente inductiva la corriente

no presenta las oscilaciones que aparecían en el caso de la carga puramente resistiva, la corriente es filtrada por la inductancia.

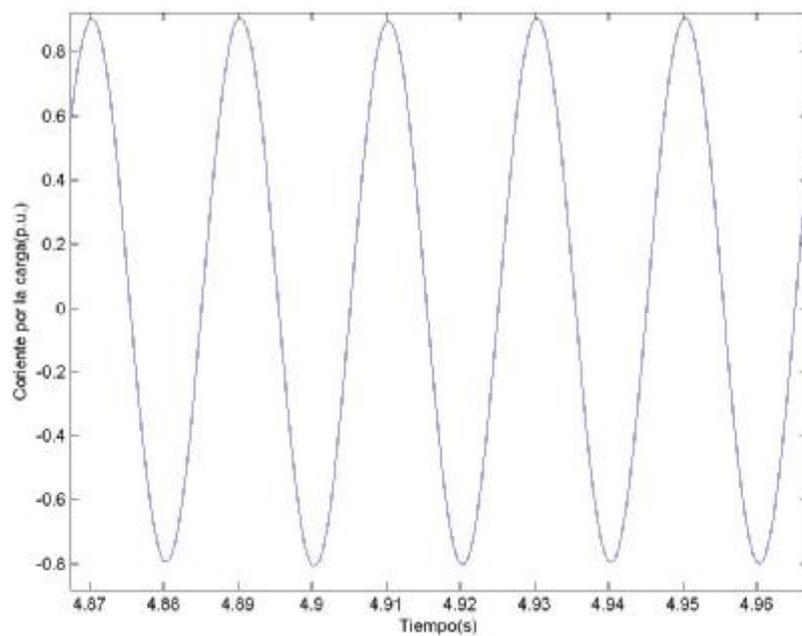


Figura 7. Corriente por la carga. Carga puramente Inductiva de 10kVA. Detalle

8.3 Carga RL

En este caso los 10kVA, han sido repartidos de manera equitativa entre la parte real e imaginaria de la carga. De esta forma se obtiene una resistencia de valor 11.8Ω y una inductancia de $0.037H$. En la Figura 61 y en la Figura 62, está representada la tensión de la carga, en el primero de los casos se ve en detalle varios ciclos de la señal de referencia generada por el bloque de control junto a la tensión real medida y en la Figura 62 se presenta el sistema trifásico de tensiones reales.

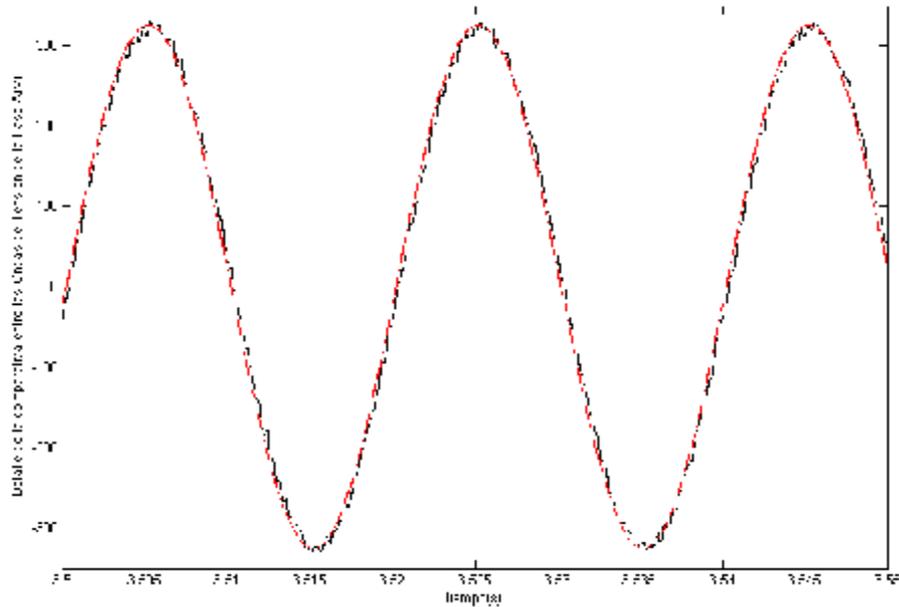


Figura 8. Ondas de tensión para la Fase A. Carga RL

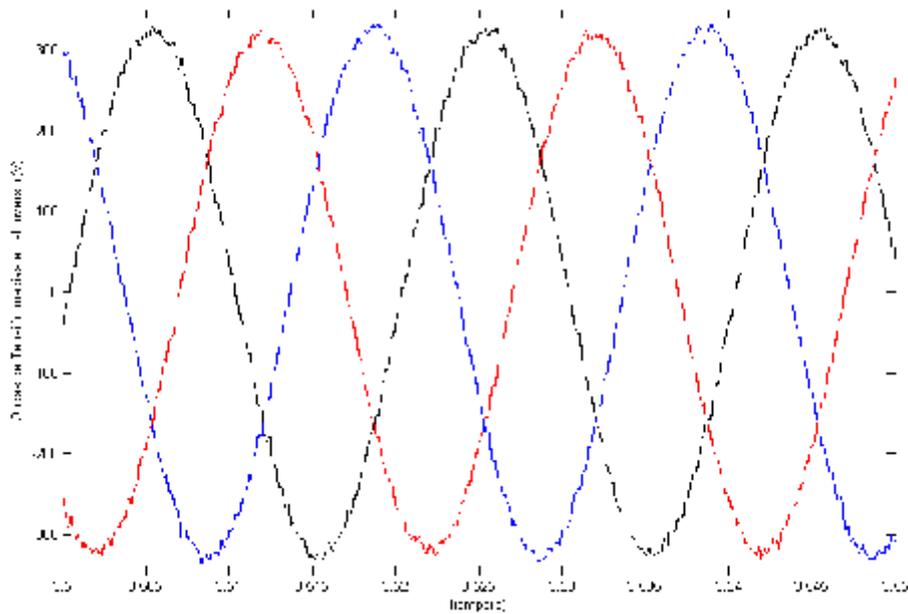


Figura 9. Ondas de tensión medidas a la salida del Inversor

En la Figura 63, se ve en detalle varios ciclos de la corriente demandada por la carga, de nuevo el carácter inductivo de ésta provoca un alisamiento de la señal.

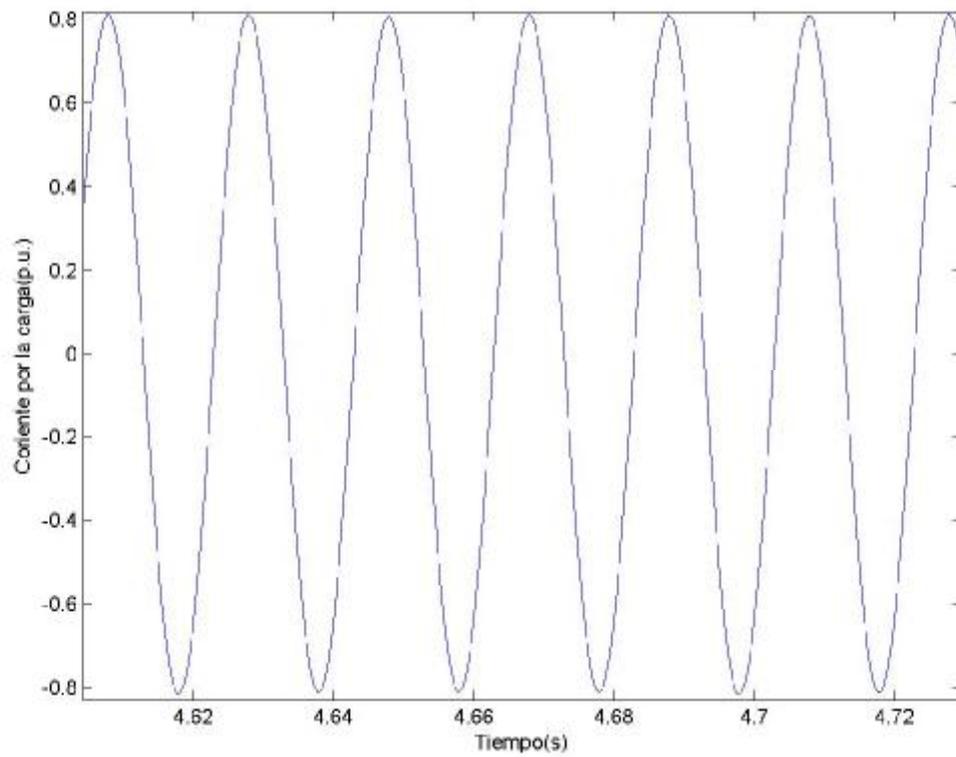


Figura 10. Corriente por la carga. Carga RL de 10kVA. Detalle

8.4 Carga RC

De nuevo los 10kVA, han sido repartidos de manera equitativa entre la parte real e imaginaria de la carga. De esta forma se obtiene una resistencia de valor 11.8Ω y condensador de $270\mu\text{F}$. En la Figura 64 y en la Figura 65, se representa la tensión de la carga tanto la referencia generada por el control como la real media en la carga, en el primero de los casos se ve en detalle varios ciclos de la consigna de tensión junto a la tensión real medida y en la Figura 65 se presenta el sistema trifásico de tensiones reales.

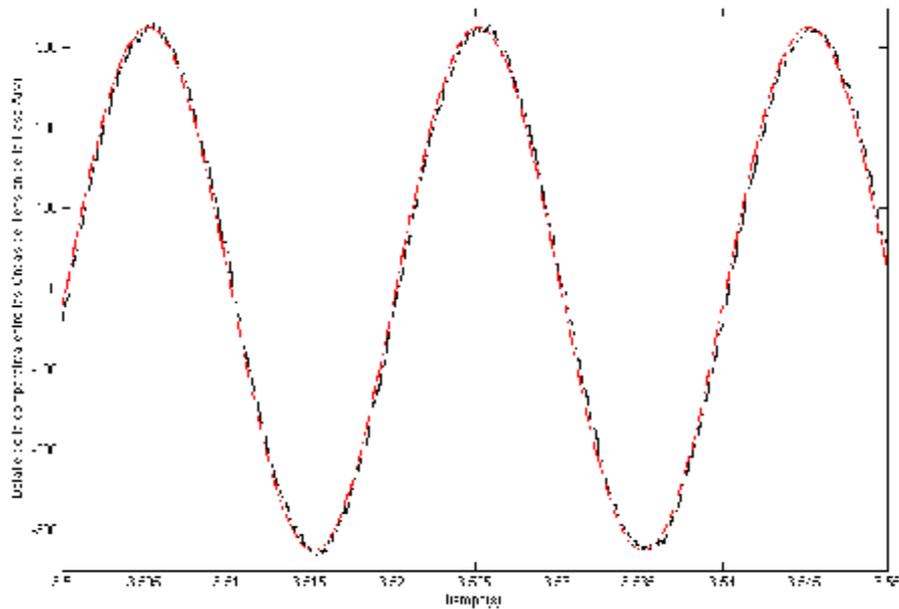


Figura 11. Ondas de tensión para la Fase A. Carga RC

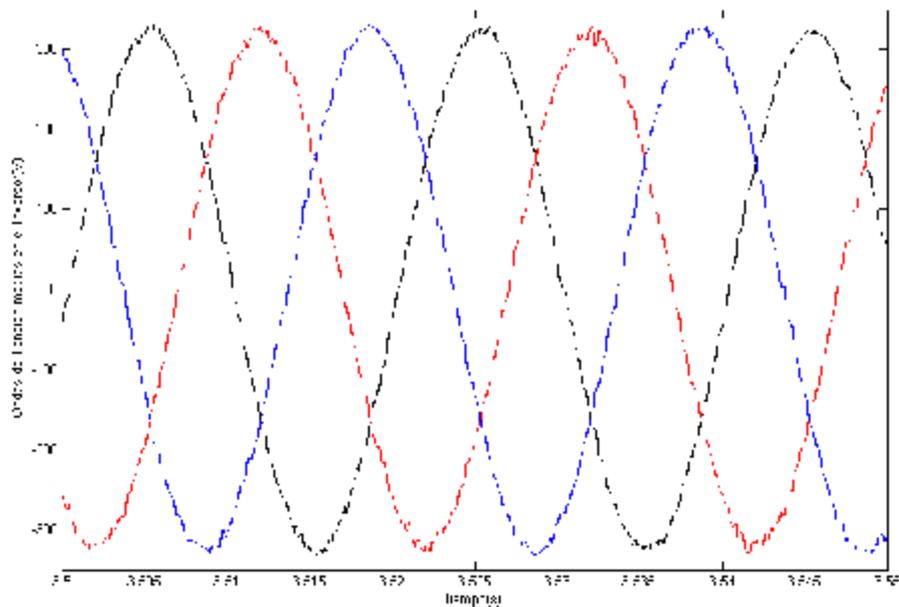


Figura 12. Ondas de tensión medidas a la salida del Inversor

En la Figura 66, se han representado varios ciclos de la onda de corriente demandada por este tipo de carga, se puede observar como de nuevo, al desaparecer el carácter inductivo de la carga, aparecen conmutaciones sobre la señal siendo más acusadas sus valores máximos y mínimos.

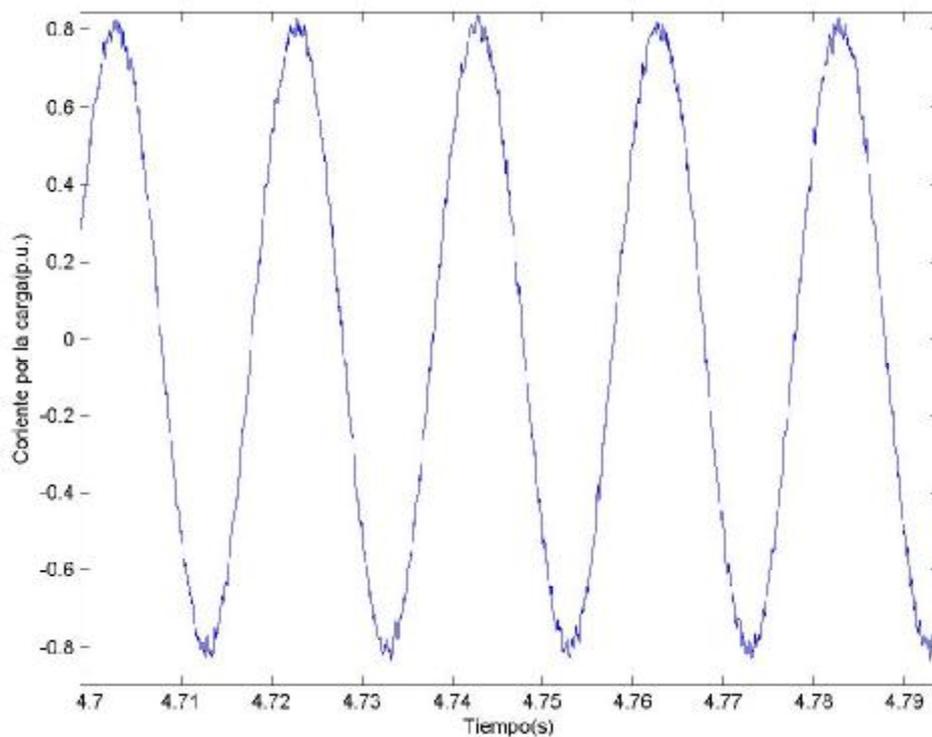


Figura 13. Corriente por la carga. Carga RC de 10kVA. Detalle

8.5 Carga no Lineal

Como ya se ha comentado con anterioridad la carga no lineal empleada ha sido un rectificador monofásico no controlado, por cada rama, demandando una potencia total de 10.5kW. En este caso también se ha estudiado cuanto se desvía la corriente demandada por la carga, de la que demandaría en un sistema ideal. Para ello se han obtenido dichas ondas tanto para nuestro sistema, como para una fuente trifásica de la misma frecuencia y amplitud con las que trabaja éste, 50Hz y 230V_{rms}.

En la Figura 67, se representan de manera conjunta la corriente real medida, frente a la que se mediría si las mismas cargas estuvieran alimentadas por un sistema trifásico ideal.

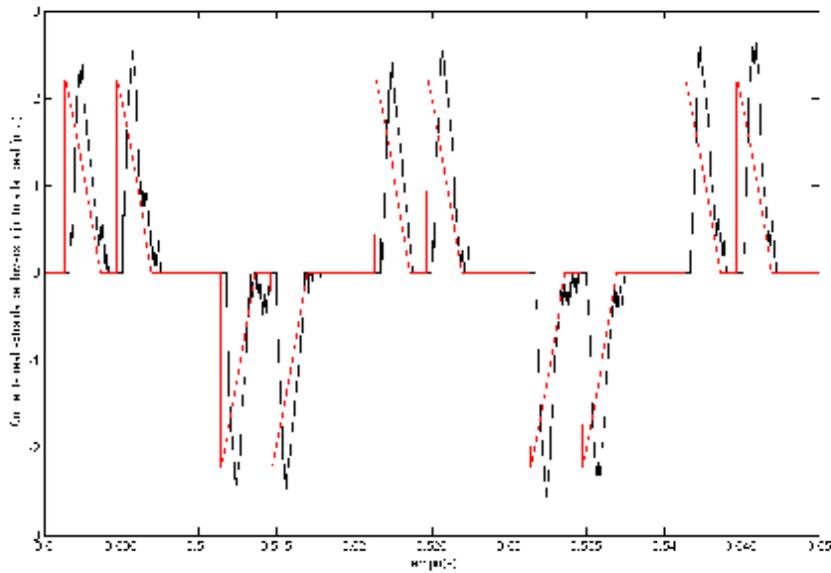


Figura 14. Corriente real del inversor frente a la ideal. Carga no lineal

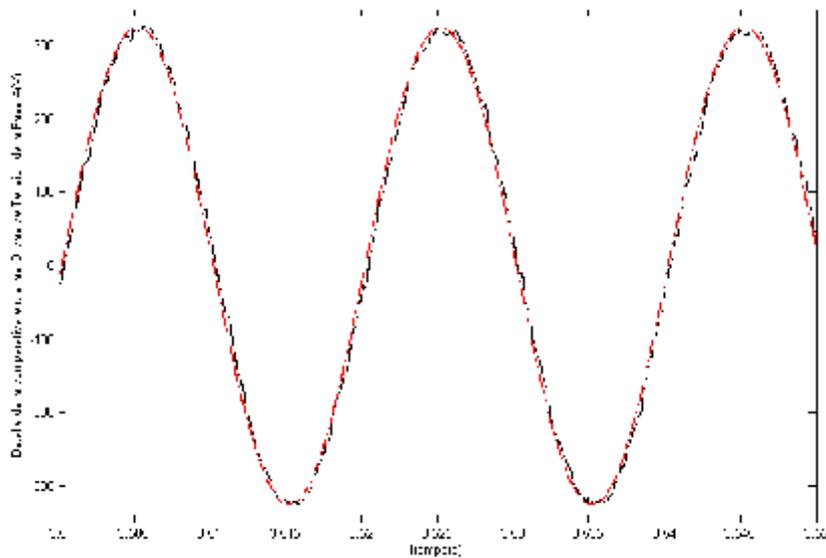


Figura 15. Ondas de tensión para la Fase A. Carga no lineal

En la Figura 68 y la Figura 69, son las tensiones las que son representadas. En la primera de ellas se ve la tensión real de la carga junto a la generada por el bloque de control y en la segunda el sistema trifásico de tensiones reales.

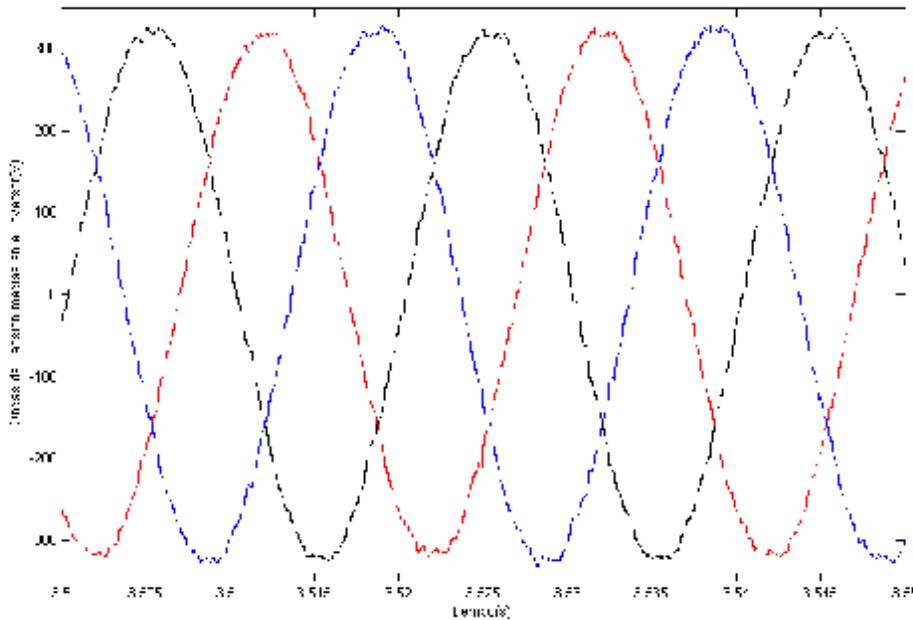


Figura 16. Ondas de tensión medidas a la salida del Inversor

En la Tabla 5, se presentan los ensayos realizados para los distintos tipos de cargas lineales simuladas y se refleja los diferentes THD de las ondas de tensión obtenidas.

Cargas Lineales						
S(kVA)	P(kW)	Q(kVar)	L(H)	C(μF)	R(Ω)	THD _V
10	10	-	-	-	16	0.414
10	-	10	0.05	-	-	0.799
10	2.240	2.240	0.037	-	11.8	0.514
10	2.240	2.240	-	270	11.8	0.456

Tabla 1. Tipos de cargas simuladas. THD_V

Como se ve para todos los casos el THD obtenido está muy por debajo del 3% o el 2% que se puede observar en cualquier catálogo de fuentes de alimentación ininterrumpidas, como puede ser el caso de GBO S.L. o Zigor que fijan su THD en menos del 3% para cargas lineales o el caso de Salicru en cuyo caso indica que dicho valor está por debajo del 2%.

Para el caso en el que la carga sea no lineal se tiene que para un factor de cresta de

$$\text{Factor de Cresta} = \frac{\text{Pico de corriente}}{\text{Corriente RMS}} = \frac{60A}{15.32A} = 3.91\%$$

El THD_V obtenido está en torno al 2%.

8.7 Proceso de Sincronización del PLL

A continuación se presenta una simulación de 16 segundos de duración con la intención de mostrar el comportamiento del PLL ante distintas variaciones en la frecuencia. La carga empleada para la prueba ha sido puramente resistiva de valor 16Ω por cada rama.

Se ha optado por usar la fase A como representativa de lo que sucede en el sistema a lo largo de la simulación. No obstante es necesario recalcar lo de representativa, ya que el comportamiento de cada una de las tres fases es distinto al tener cada una de ellas frecuencias independientes.

El proceso que se ha llevado a cabo ha sido como sigue, inicialmente arrancamos la simulación ubicando la frecuencia de la red en 50Hz, el PLL comienza a calcular el valor medio de la señal de frecuencia que obtiene mediante el algoritmo descrito. No será hasta el segundo 1.57 cuando se haga efectivo el primer cálculo de la frecuencia media. A pesar de que para este instante la fase A generada por el PLL entra en sincronía con la de la red, tanto en fase como prácticamente en frecuencia, no será hasta el segundo 2.64 cuando la fase C, última en sincronizarse, haga lo propio. En la Figura 70 se puede ver como tras diez ciclos de red, el PLL se encuentra sincronizado con la red.

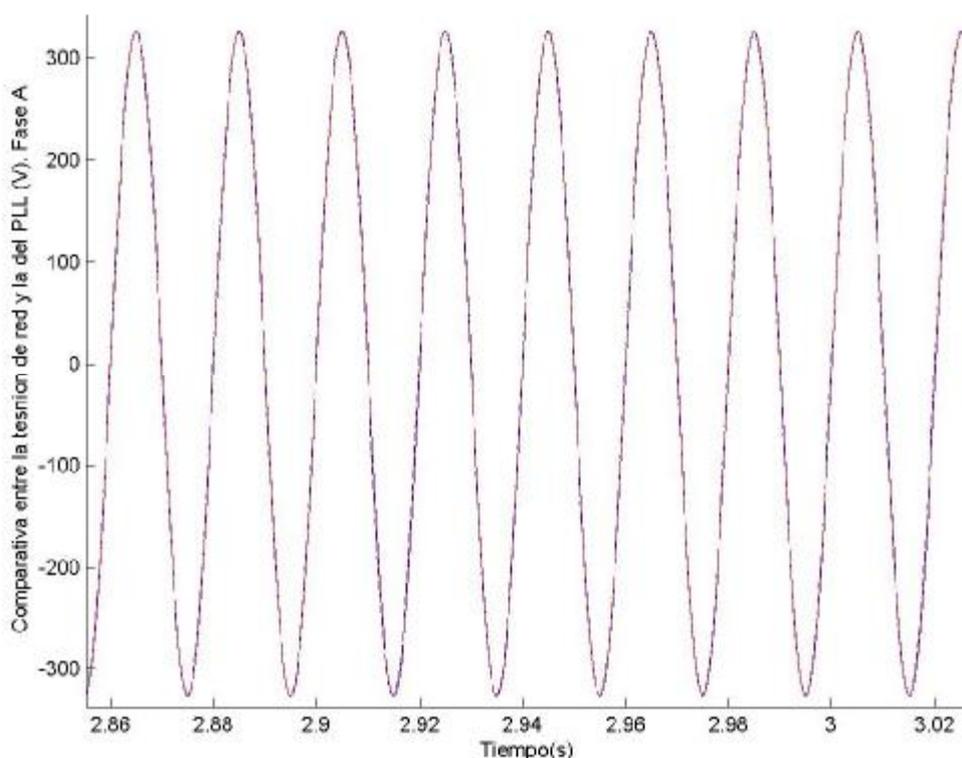


Figura 17. Sincronización de la fase A tras el arranque del sistema

Una vez sincronizadas las tres fases y estando por tanto en régimen normal de funcionamiento, se procede a realizar una variación en la frecuencia de la red, que si bien no está dentro de las fluctuaciones normales de frecuencia. $\pm 0.150\text{Hz}$, si que lo está dentro de un rango normal de funcionamiento. De esta manera se colocará la consigna de frecuencia de la red en 49.6Hz.

Como se verá en la Figura 78, correspondiente a los estados del PLL, aún no se encuentra el algoritmo en modo fallo, por lo que la flag correspondiente permanecerá en

cero, $f_p=0$ y por tanto el PLL irá variando su frecuencia de acuerdo con lo marcado por la red. En la Figura 71 y en la Figura 72 se ve como tras disminuir la frecuencia de la red, el PLL pierde la sincronía con ésta, y como posteriormente termina igualando la frecuencia y la fase de la misma.

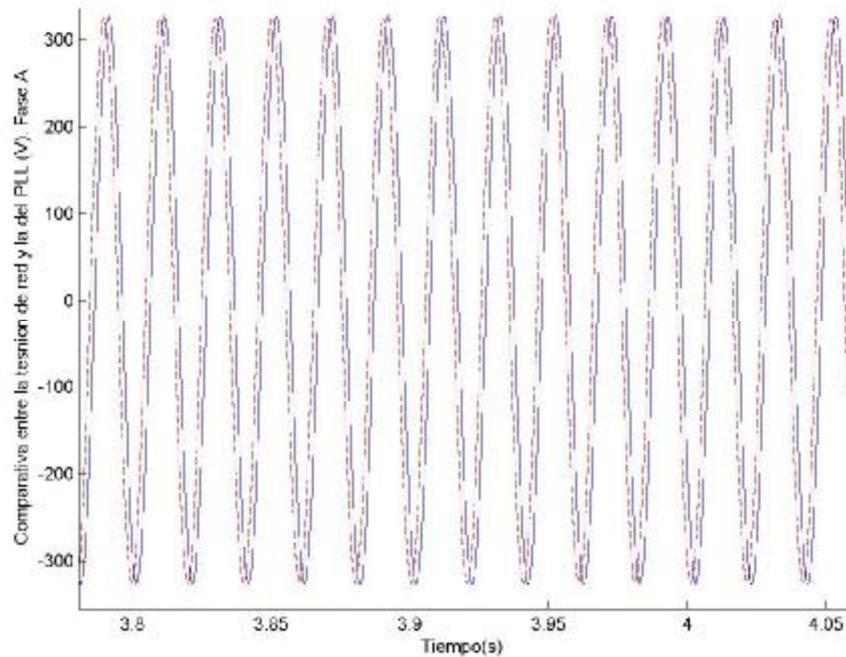


Figura 18. Pérdida de sincronismo con la red tras provocar una variación en la frecuencia de la red

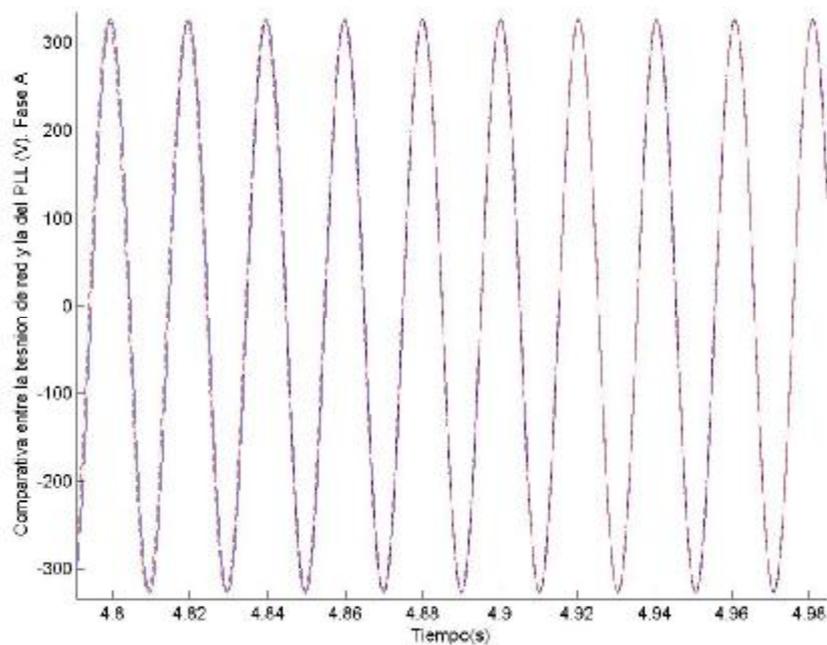


Figura 19. Sincronización con la red tras una variación normal de la frecuencia de la misma

A los 5.29 segundos la frecuencia pasa el umbral del error estableciéndose en 49.2Hz, el algoritmo del PLL detecta el fallo y se procede al desenganche de la red. En la Figura 73 se ve el desacople con la red por estar ésta última en fallo y como la señal generada por el PLL fija los 50Hz en la onda de tensión.

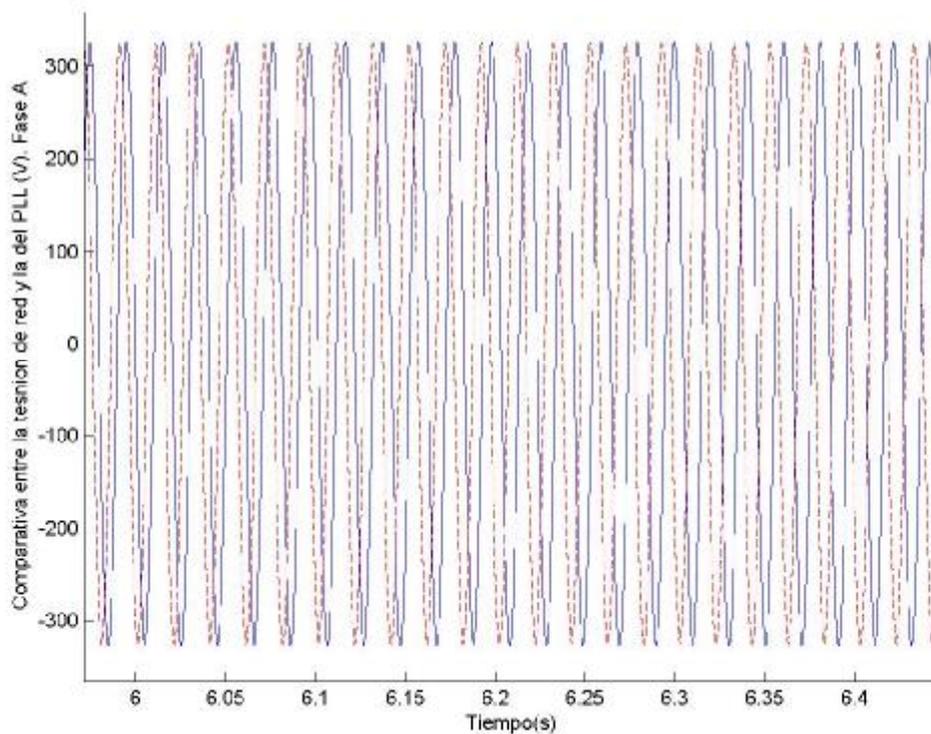


Figura 20. Desenganche de la red por fallo de la misma

Hay que recordar que durante el periodo de fallo, aunque se siga midiendo la red, no será ésta quien imponga la frecuencia, sino que se genera una auxiliar, ω_{miaux} , creada por el DSP de tal forma que quede establecida en 50Hz como se verán posteriormente. El desenganche se produce por tanto cuando la frecuencia medida sea superior a los 50.5Hz o inferior a 49.5Hz, de esta manera el último registro de la frecuencia media calculada por el Software del PLL estará muy próximo a estos valores. Detectado el fallo se procede a trabajar con la ω_{miaux} , la cual se fijará inicialmente en 50.5Hz o en 49.5Hz, según proceda, y se irá disminuyendo o aumentando hasta los 50Hz durante un segundo, el hecho de mover la frecuencia hasta esta dicho valor es para facilitar la sincronización con la red una vez que ésta haya despejado el fallo, estando por tanto el valor de su frecuencia cercano a los 50Hz.

Sobre los 7 segundos de simulación se fija la referencia de frecuencia en un valor dentro del rango de funcionamiento normal, llevándose a cabo de nuevo la sincronización con la red. Figura 74.

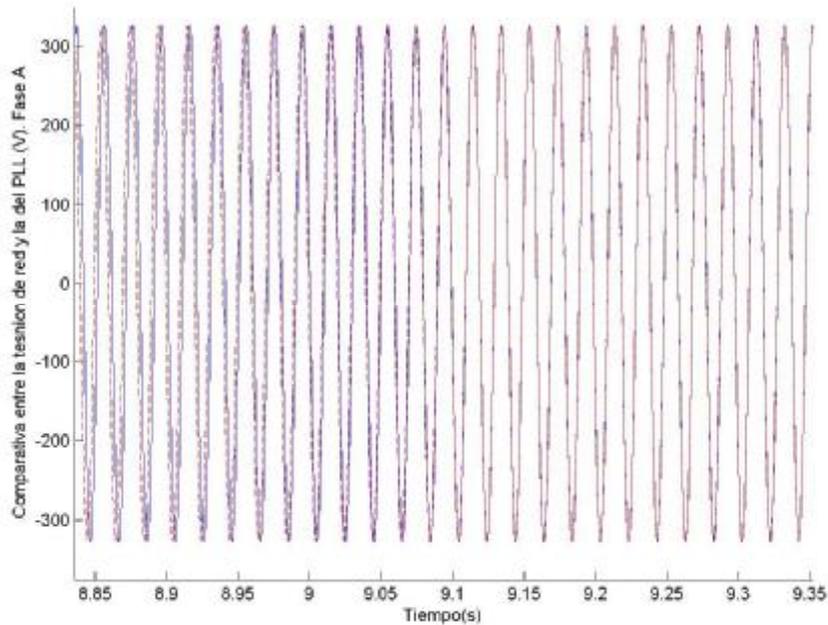


Figura 21. Sincronización con la red tras la recuperación de la misma

Establecido de nuevo el comportamiento normal del sistema, se emula de nuevo un fallo en la red, siendo esta vez provocado por un exceso en la frecuencia de la misma. De esta manera, a los 9.5 segundos se provocará de nuevo el fallo, Figura 75, por exceso de frecuencia llevando ésta hasta los 51.5Hz.

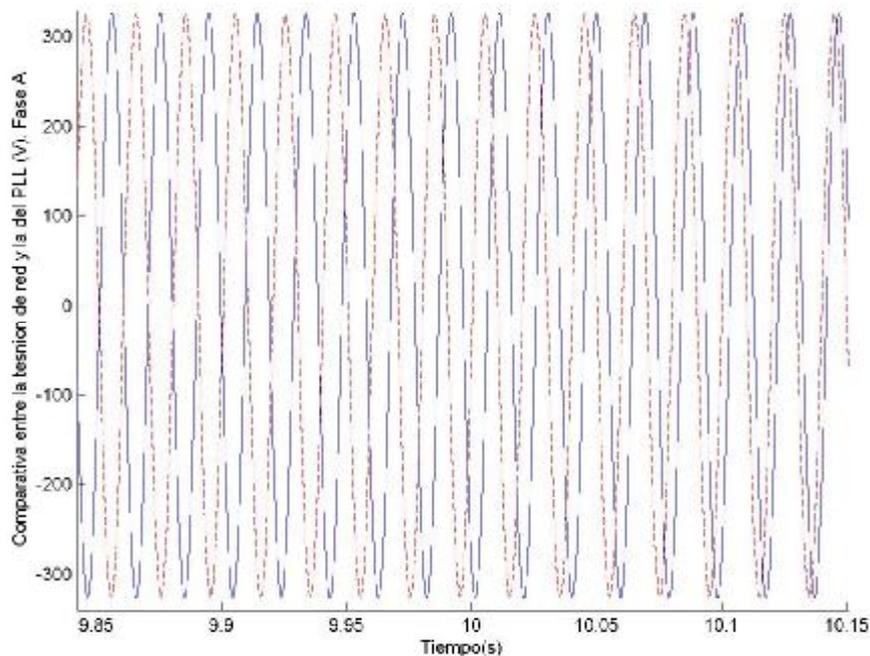


Figura 22. Fallo de la red. Imposición de la frecuencia por el PLL

Detectado el fallo se procederá al desacople con la red y será el PLL a través de la ω_{miaux} , el que fije la frecuencia en 50Hz. A los 10.8 segundos se despeja el fallo en la red, de esta manera la consigan de frecuencia queda fijada en 50.2Hz. En la Figura 76, se presenta la nueva sincronización entre ambos sistemas.

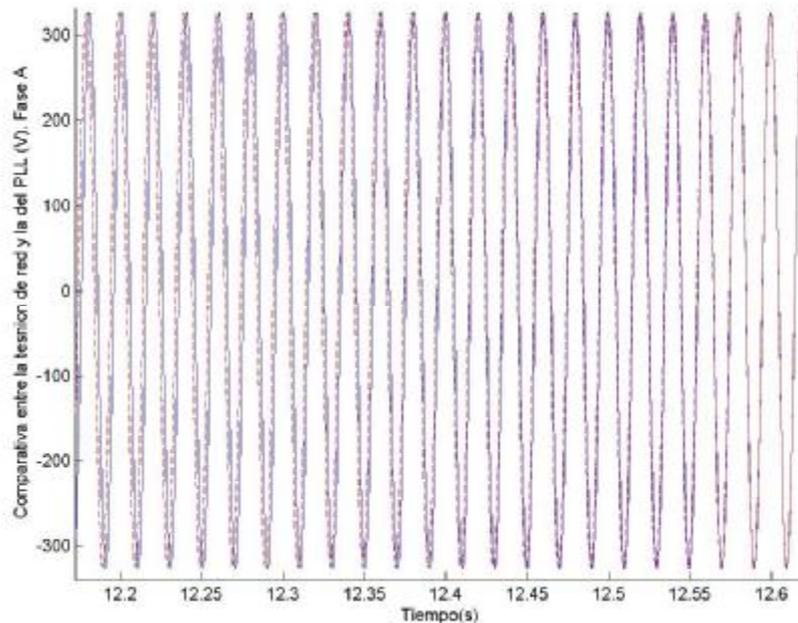


Figura 23. Recuperación de la red y sincronización con la misma

Una vez dentro de valores normales de la frecuencia, la generada por nosotros seguirá las pautas establecidas por la de la red, Figura 77, de esta forma cabe esperar que si esta última baja hasta los 49.85Hz, el valor alcanzado por la creada mediante el algoritmo del PLL sea éste.

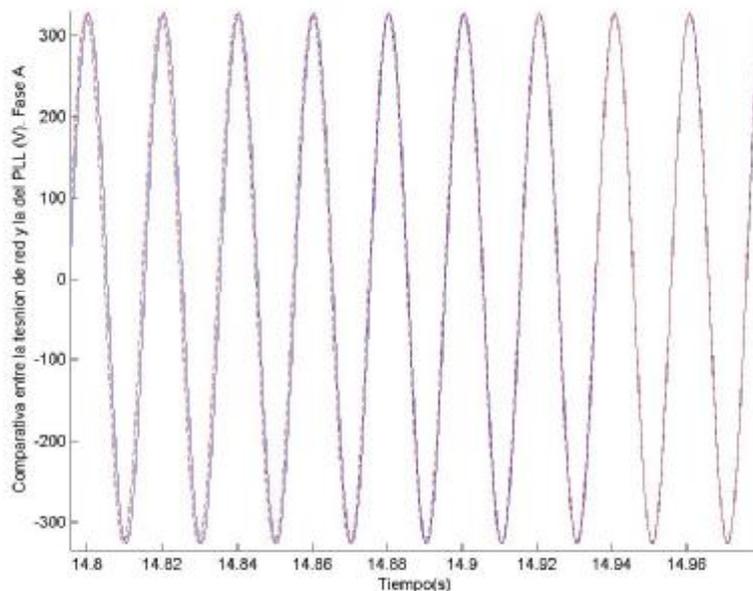


Figura 24. Seguimiento de la frecuencia de la red cuando varía en su rango de valores aceptables

Siguiendo la secuencia de valores de la frecuencia de la red, se ha representado la Figura 78, en ella se pueden ver los valores de la bandera empleada para marcar los

estados por los que va pasando el PLL, 'fp'. Hay que recordar que el valor cero implica funcionamiento normal, el uno fallo y el dos recuperación del sistema.

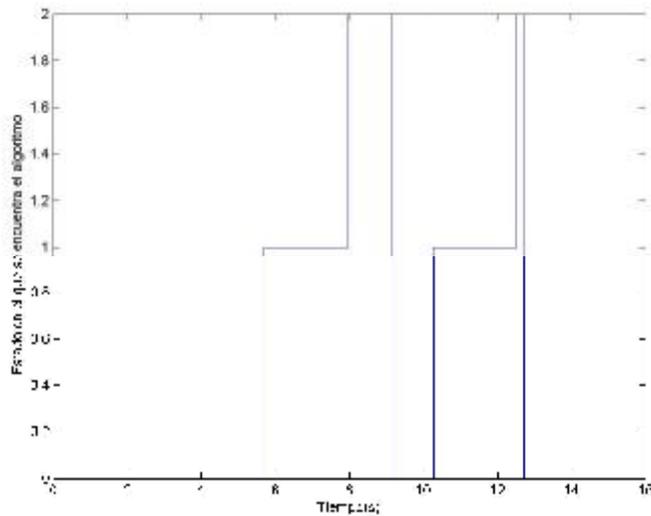


Figura 25. Estados del sistema

A la vista de la Figura 78, y teniendo en cuenta cuando se produjeron los fallos en la red, 5.29s en el primer caso y 9.5s en el segundo, se puede observar que ambos son detectados en un tiempo menor de un segundo aunque en uno de los casos el tiempo empleado para ello sea menor que en el otro, 0.4 segundos para el primero de los fallos y 0.8 en el segundo. Este es debido al cálculo de la frecuencia media, ya que dependiendo de en que instante del cálculo de ésta se efectúe el cambio de la referencia, éste se hará notorio en la siguiente variación de la frecuencia media o no. De igual manera sucede con el tiempo necesario para despejar el fallo. Si bien es verdad que el cambio en la frecuencia generada por el algoritmo básico del PLL es casi instantáneo como se ve en la Figura 79.

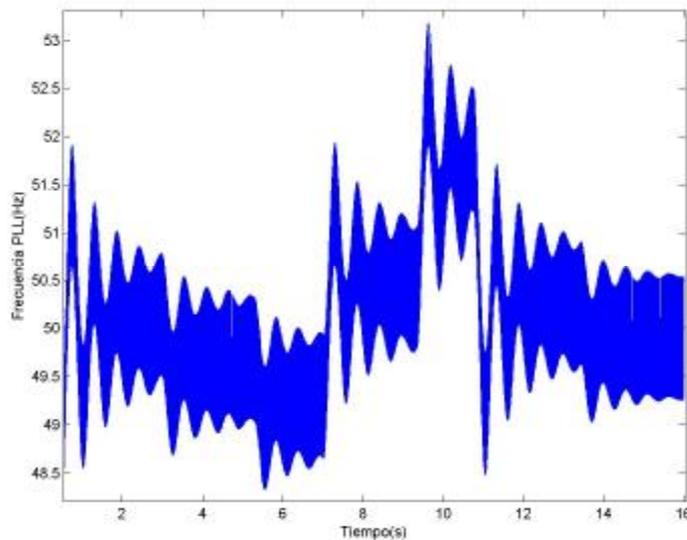


Figura 26. Variación de la frecuencia generada por el PLL

Por último se presenta la evolución de la frecuencia auxiliar, Figura 80 y Figura 81, y de la frecuencia media, Figura 82 y Figura 83, a lo largo de la simulación.

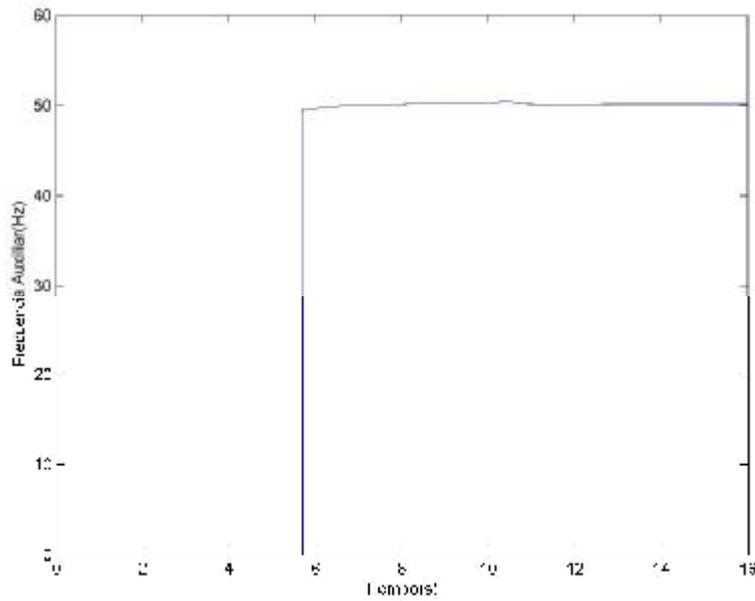


Figura 27. Variación de la frecuencia auxiliar

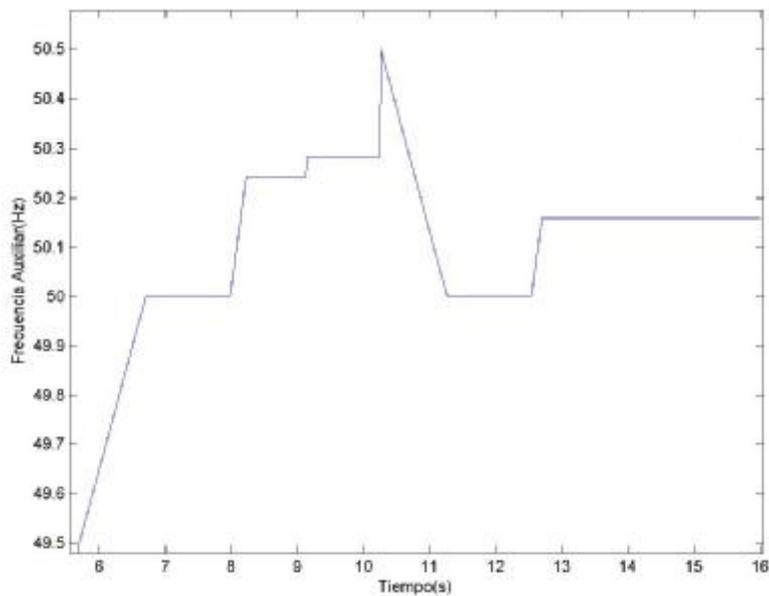


Figura 28. Detalle de la frecuencia auxiliar

Como se ve, el valor de la frecuencia media auxiliar permanece en cero hasta que no se detecta el primer error de la red, éste se produce a los 5.29 segundos y es detectado 0.4 segundos más tarde, en ese instante se deja de trabajar con la frecuencia de la red para hacerlo con la auxiliar la cual crece desde los 49.5Hz hasta los 50Hz, y permanecerá en dicho valor hasta que el fallo sea despejado, tras esto, evolucionará de la misma manera que lo haga la red, sistema recuperado. Se puede observar también que cuando la frecuencia intenta exceder los 50.5Hz, de nuevo se procede a la desconexión e imposición del valor de frecuencia en 50Hz, a través de la frecuencia auxiliar, durante el periodo de recuperación la frecuencia auxiliar evoluciona de misma forma que la calculada del PLL.

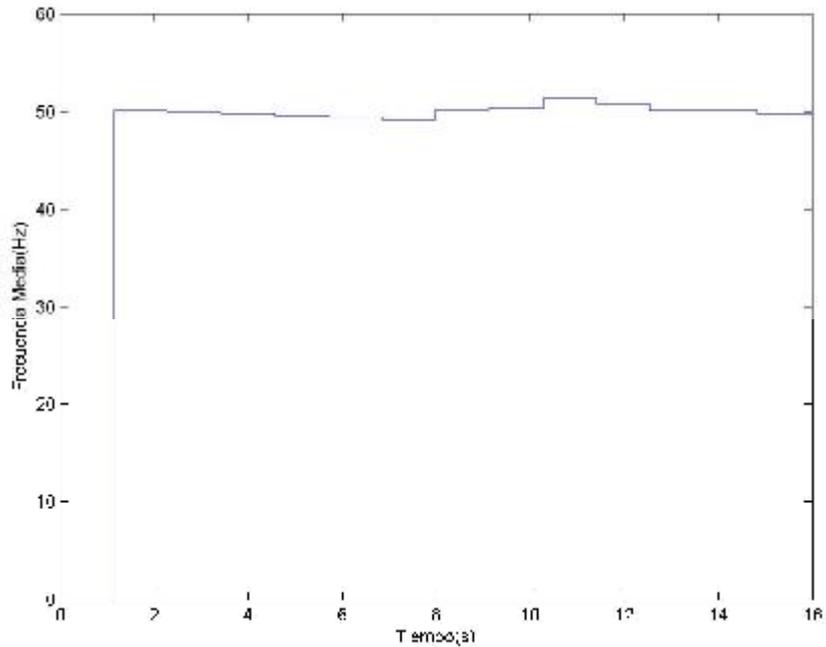


Figura 29. Variación de la frecuencia media

En la Figura 82 se ve la evolución temporal de la frecuencia media calculada por el algoritmo básico del PLL, ésta es nula hasta que se hace efectivo el cálculo del primer valor de la frecuencia media, a los 1.57s. Tras esto irá evolucionando de acuerdo con lo establecido por la red, aunque en periodos de fallo no sea empleada.

En la Figura 83 y la Figura 84, se representan los valores de la frecuencia con más detalle.

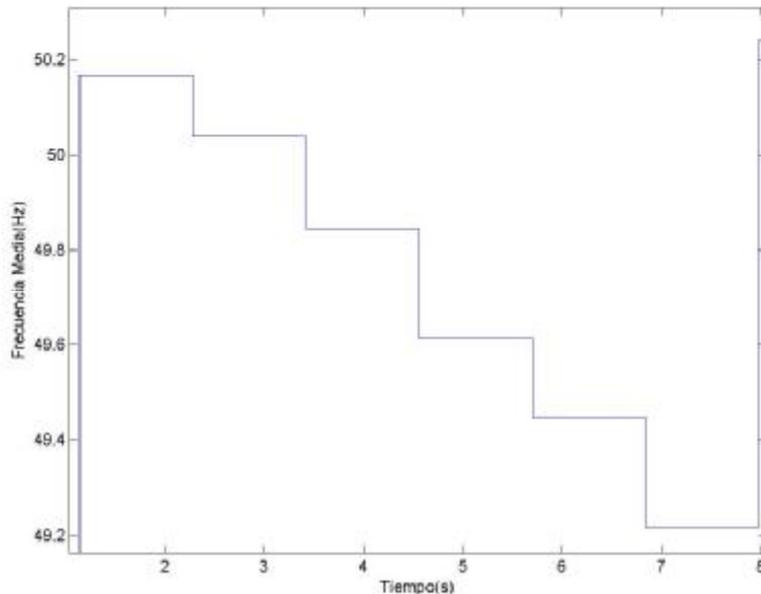


Figura 30. Detalle de la frecuencia media. Primera mitad de la simulación

En la Figura 83, se puede ver como el valor de la frecuencia media es nulo hasta el instante en que es calcula por primera vez su valor, 1.57 segundos, el cual es de 50.17Hz, éste es corregido a 50.2Hz en el siguiente cálculo de la misma. La tendencia de estas variaciones son los 50Hz, los cuales nos son alcanzados al ser de nuevo la

frecuencia de la red disminuida hasta los 49.6Hz y posteriormente a 49.2Hz para provocar el fallo. Finalmente, cercano a los 8 segundos de simulación, se puede ver la recuperación del sistema. En la Figura 84, se puede observar la evolución llevada a cabo por la frecuencia media cuando el fallo se produce por exceso de la frecuencia de la red.

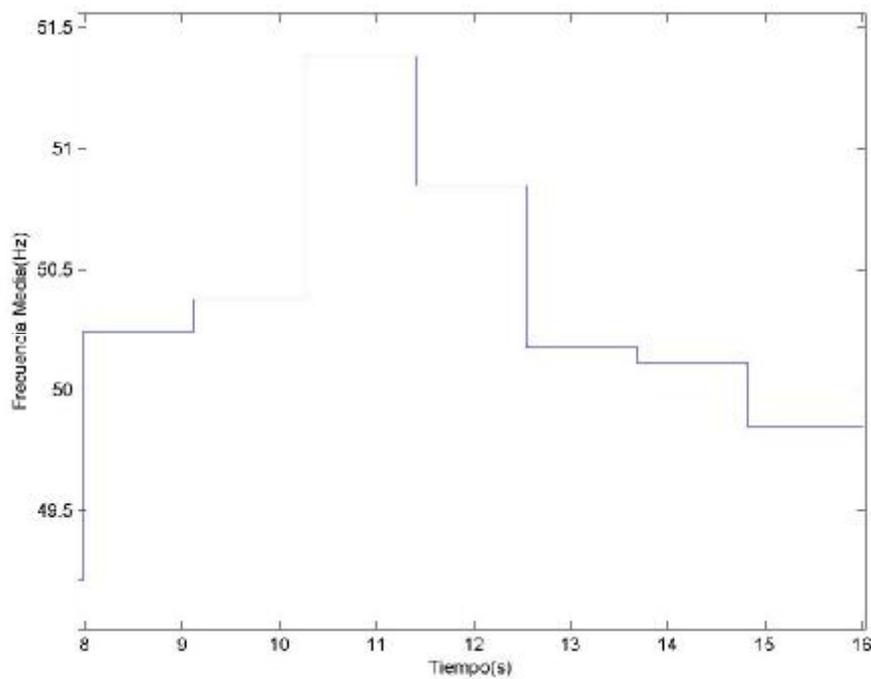


Figura 31. Detalle de la frecuencia media. Segunda mitad de la simulación

En ambas gráficas se puede ver el retraso existente entre el instante en que se produce el error y el momento en que es transmitido a la onda de salida, el motivo de éste no es otro que el cálculo de la frecuencia media.

