

Índice

1.	Introducción a las Fuentes de alimentación ininterrumpidas	6
1.1	Clasificación	6
1.1.1	UPS Estáticos.....	6
1.1.2	UPS Rotatorios.....	16
1.1.3	UPS Híbridos	16
1.2	Comparativa entre la batería electroquímica y el volante de inercia	18
2.	Introducción al Phase-Locked Loop (PLL).....	21
3.	PLLs híbridos: Dispositivos Lineales y Digitales	25
3.1	Estudio de los distintos bloques del PLL	25
3.1.1	Detector de Fases	25
3.1.2	Filtro en bucle	32
3.1.3	Oscilador.....	34
4.	Comportamiento del PLL cuando se encuentra Sincronizado	35
4.1	Transitorios del PLL en estado de sincronismo.....	38
4.1.1	Escalón en la fase de la señal de referencia	39
4.1.2	Escalón en la frecuencia de la señal de referencia	39
4.1.3	Rampa en la frecuencia de la señal de referencia	40
5.	Comportamiento del PLL cuando no se encuentra Sincronizado.....	41
5.1	Modelo matemático para el caso en el que no exista sincronismo	41
6.	PLL Software: SPLL.....	50
6.1	Desarrollo de un SPLL como un LPLL	50
7.	Sistema Eléctrico	55
7.1	Introducción.....	55
7.2	El Inversor	57
7.2.1	Topología.....	57
7.2.2	Control de los diferentes elementos del sistema.....	61
7.2.2.1	Control del Inversor.....	61
7.2.2.2	Control del PLL.....	63
8.	Resultados	76
8.1	Carga Puramente Resistiva.....	76
8.2	Carga puramente Inductiva.....	79
8.3	Carga RL	81
8.4	Carga RC	83
8.5	Carga no Lineal.....	85
8.7	Proceso de Sincronización del PLL	87
9.	Resultados Experimentales	96
10.	Anexo A	105

Índice de Figuras

Figura 1. Elementos que conforman una UPS On-Line	8
Figura 2. UPS On-line de doble conversión a baja frecuencia.....	9
Figura 3. UPS On-line de doble conversión a alta frecuencia	10
Figura 4. Diagrama de bloques de una UPS Off-line	11
Figura 5. Diagrama de bloques de una Line-interactive UPS	13
Figura 6. Circuito equivalente para la frecuencia fundamental de un UPS Line-interactive.....	13
Figura 7. Diagrama de bloques de una UPS serie-paralelo line-interactive	15
Figura 8. Diagrama de bloques una UPS rotatoria	16
Figura 9. Diagrama de bloques de una UPS Híbrida (Estática/Rotatoria).....	17
Figura 10. Corte longitudinal de un volante de inercia de alta-velocidad	19
Figura 11. Volante de inercia KST Rotablock(200kVA a 1500kVA).....	19
Figura 12. Distintos tipos de UPSs industriales	20
Figura 13. UPS junto a su grupo de baterías	20
Figura 14. Diagrama de bloques de un Phase-Locked Loop (PLL)	21
Figura 15. Transitorio de la respuesta de un PLL ante un escalón en la frecuencia de referencia.....	23
Figura 16. Ganancia del detector de fases como función de la amplitud de la señal de referencia.....	26
Figura 17. Ondas de las entradas del detector de fase tipo EXOR.....	28
Figura 18. Ondas de las entradas del detector de fase tipo JK-Flipflop	29
Figura 19. Esquema del PFD.....	30
Figura 20. Diagrama de estados para el PFD.....	30
Figura 21. Diagrama Bode del filtro pasivo retardo-adelanto.....	32
Figura 22. Diagrama Bode del filtro activo retardo-adelanto	33
Figura 23. Diagrama Bode del filtro PI	33
Figura 24. Diagrama de bloques de un PLL	36
Figura 25. Diagrama de Bode de la función de transferencia de la fase $H(\omega)$	37
Figura 26. Diagrama de Bode de la función de transferencia del error $H_e(\omega)$	38
Figura 27. Analogía mecánica para la comprensión del comportamiento del PLL	41
Figura 28. Límites estáticos y dinámicos de estabilidad de un PLL lineal de segundo orden	45
Figura 29. Proceso Lock-in.....	48
Figura 30. Onda del VCO cuando no existe sincronismo.....	48
Figura 31. Rango de valores de la fase que permiten la estabilidad del sistema.....	51
Figura 32. Diagrama de bloques de un SPLL configurado como un LPLL	52
Figura 33. Dibujo de las señales calculadas por el algoritmo del SPLL	52
Figura 34. Esquema eléctrico del sistema simulado. Detalle del Inversor	55
Figura 35. Carga no lineal. Rectificador no controlado.....	56
Figura 36. Señales de control del Inversor.....	57
Figura 37. Filtro de Salida del Inversor	59
Figura 38. Diagrama Bode de la función de transferencia del filtro de salida. Frecuencia de Corte.....	60
Figura 39. Control del Inversor. Sentido de las Corrientes.....	61
Figura 40. Diagrama de flujo del algoritmo del PLL	63



Figura 41. Estabilización de la frecuencia del Oscilador tras un escalón en la referencia	64
Figura 42. Estabilización de la frecuencia media del Oscilador tras un escalón en la referencia.....	64
Figura 43. Retardo menor de π rad de la señal generada (rayada) respecto la de la red (continua)	65
Figura 44. Retardo menor de π rad de la señal generada (rayada) respecto la de la red (continua)	66
Figura 45. Retardo mayor de π rad de la señal generada (rayada) respecto la de la red (continua)	66
Figura 46. Adelanto menor de π rad de la señal generada (rayada) respecto la de la red (continua)	67
Figura 47. Retardo mayor de π rad de la señal generada (rayada) respecto la de la red (continua)	67
Figura 48. Diagrama de flujo para el algoritmo de sincronización en fase	68
Figura 49. Funcionamiento del SPLL.....	70
Figura 50. Diagrama de flujo del algoritmo completo del SPLL. Parte I.....	72
Figura 51. Diagrama de flujo del algoritmo completo del SPLL. Parte II.....	73
Figura 52. Diagrama de flujo del algoritmo completo del SPLL. Parte III	74
Figura 53. Esquema de control del sistema completo	75
Figura 54. Ondas de tensión para la Fase A. Carga puramente Resistiva	76
Figura 55. Corriente por la carga. Carga puramente Resistiva de 10kVA. Detalle	77
Figura 56. Ondas de tensión medidas a la salida del Inversor	78
Figura 57. Referencia de señal generada por el PLL.....	78
Figura 58. Ondas de tensión para la Fase A. Carga puramente Inductiva	79
Figura 59. Ondas de tensión medidas a la salida del Inversor	79
Figura 60. Corriente por la carga. Carga puramente Inductiva de 10kVA. Detalle	80
Figura 61. Ondas de tensión para la Fase A. Carga RL.....	81
Figura 62. Ondas de tensión medidas a la salida del Inversor	81
Figura 63. Corriente por la carga. Carga RL de 10kVA. Detalle.....	82
Figura 64. Ondas de tensión para la Fase A. Carga RC.....	83
Figura 65. Ondas de tensión medidas a la salida del Inversor	83
Figura 66. Corriente por la carga. Carga RC de 10kVA. Detalle.....	84
Figura 67. Corriente real del inversor frente a la ideal. Carga no lineal.....	85
Figura 68. Ondas de tensión para la Fase A. Carga no lineal	85
Figura 69. Ondas de tensión medidas a la salida del Inversor	86
Figura 70. Sincronización de la fase A tras el arranque del sistema	87
Figura 71. Pérdida de sincronismo con la red tras provocar una variación en la frecuencia de la red.....	88
Figura 72. Sincronización con la red tras una variación normal de la frecuencia de la misma.....	88
Figura 73. Desenganche de la red por fallo de la misma.....	89
Figura 74. Sincronización con la red tras la recuperación de la misma.....	90
Figura 75. Fallo de la red. Imposición de la frecuencia por el PLL	90
Figura 76. Recuperación de la red y sincronización con la misma	91
Figura 77. Seguimiento de la frecuencia de la red cuando varía en su rango de valores aceptables	91
Figura 78. Estados del sistema	92

Figura 79. Variación de la frecuencia generada por el PLL	92
Figura 80. Variación de la frecuencia auxiliar	93
Figura 81. Detalle de la frecuencia auxiliar	93
Figura 82. Variación de la frecuencia media	94
Figura 83. Detalle de la frecuencia media. Primera mitad de la simulación.....	94
Figura 84. Detalle de la frecuencia media. Segunda mitad de la simulación.....	95
Figura 85. Sincronización del PLL con la Red	97
Figura 86. Detalle de la sincronización con la Red	97
Figura 87. Sincronización con la señal generada por el generador de ondas para 50.10Hz.....	98
Figura 88. Frecuencia medida por el algoritmo del PLL sobre la onda de 50.10 Hz generada	99
Figura 89. Medida de la señal generada. Capturada por el Osciloscopio para el caso de 50.1Hz.....	99
Figura 90. Sincronización con la señal generada por el generador de ondas para 49.70Hz.....	100
Figura 91. Frecuencia medida por el algoritmo del PLL sobre la onda de 49.70 Hz generada	100
Figura 92. Medida de la señal generada. Capturada por el Osciloscopio para el caso de 49.7Hz.....	101
Figura 93. Desacoplo entre la señal generada por el PLL y la generada por el generador de ondas.....	101
Figura 94. Frecuencia medida por el algoritmo del PLL sobre la onda de 48.70 Hz generada	102
Figura 95. Medida de la señal generada. Capturada por el Osciloscopio para el caso de 48.7Hz.....	102
Figura 96. Sincronización con la señal generada por el generador de ondas para 50.18Hz.....	103
Figura 97. Frecuencia medida por el algoritmo del PLL sobre la onda de 50.18 Hz generada	103
Figura 98. Medida de la señal generada. Capturada por el Osciloscopio para el caso de 50.18Hz.....	104



Índice de Tablas

Tabla 1. Parámetros de diseño de un PLL de segundo orden	46
Tabla 2. Cargas Lineales	56
Tabla 3. Señales del Inversor.....	57
Tabla 4. Flags del algoritmo del SPLL	71
Tabla 5. Tipos de cargas simuladas. THDv	86

	Proyecto Fin de Carrera
	Diseño de un PLL para el inversor de un sistema de alimentación ininterrumpida (SAI)

1. Introducción a las Fuentes de alimentación ininterrumpidas

Las fuentes de alimentación ininterrumpidas, Uninterruptible Power Supply (UPS), proporcionan de manera ininterrumpida una tensión fiable y de alta calidad con la que se alimentan cargas de vital importancia.

Este tipo de fuentes protege a la carga de cortes de fluido eléctrico así como de sobretensiones o bajadas de la misma.

Como se puede ver, este tipo de sistemas son necesarios para determinadas aplicaciones cuyo funcionamiento ininterrumpido es primordial, éste puede ser el caso de equipos médicos, sistemas de almacenamiento de datos, equipos de emergencia...

Una fuente de estas características debe ser capaz de suministrar potencia de manera ininterrumpida con las condiciones necesarias que exija cada aplicación, por ello una UPS ideal debe presentar las siguientes características:

- La salida de tensión debe tener un bajo contenido en armónicos, independientemente de los cambios en la tensión de entrada, y en la carga. Ya sea ésta lineal o no lineal y esté o no balanceada.
- El paso de modo normal, red funcionando correctamente, a modo back-up, modo en el que se extrae la potencia consumida por la carga, del sistema de almacenamiento de energía de la UPS, debe ser instantáneo.
- Si el SAI es alimentado por la Red, la corriente de entrada debe tener un bajo contenido en armónicos, ser sinusoidal, y con factor de potencia cercano a la unidad.
- Alta fiabilidad.
- Bypass con una fuente de alimentación redundante, para el caso en el que existiera un fallo interno.
- Aislamiento eléctrico del sistema de alimentación (típicamente baterías), de la salida y de la entrada.
- Bajo mantenimiento
- Bajo coste, peso y tamaño

1.1 Clasificación

Los sistemas UPS se clasifican en tres grandes grupos: Estáticos, Rotatorios e híbridos de los dos anteriores.

1.1.1 UPS Estáticos

Son el tipo de UPSs más empleadas, debido a la gran adaptación que presentan para trabajar a diferentes potencias, ya sean bajas, caso de ordenadores personales, o elevadas.

Sus principales ventajas son la alta eficiencia, elevada fiabilidad y bajo THD.

En su contra se tiene un rendimiento bajo cuando se alimentan cargas no lineales o no balanceadas y el elevado costo que supone asegurar esa elevada fiabilidad mencionada en las ventajas.



Proyecto Fin de Carrera

Diseño de un PLL para el inversor de un sistema de alimentación ininterrumpida (SAI)

Dentro de este tipo de sistemas existen tres configuraciones posibles, On-Line, Off-Line y Line-Interactive.

- On-Line UPS:

Estos sistemas aparecieron en la década de los 70. Están compuestos de un rectificador/cargador, un sistema de almacenamiento de energía, al que nos referiremos como banco de baterías por ser el más común de éstos, un inversor, y un interruptor estático (Bypass). En la Figura 1 se puede ver un esquema con los constituyentes de éste tipo de UPSs.

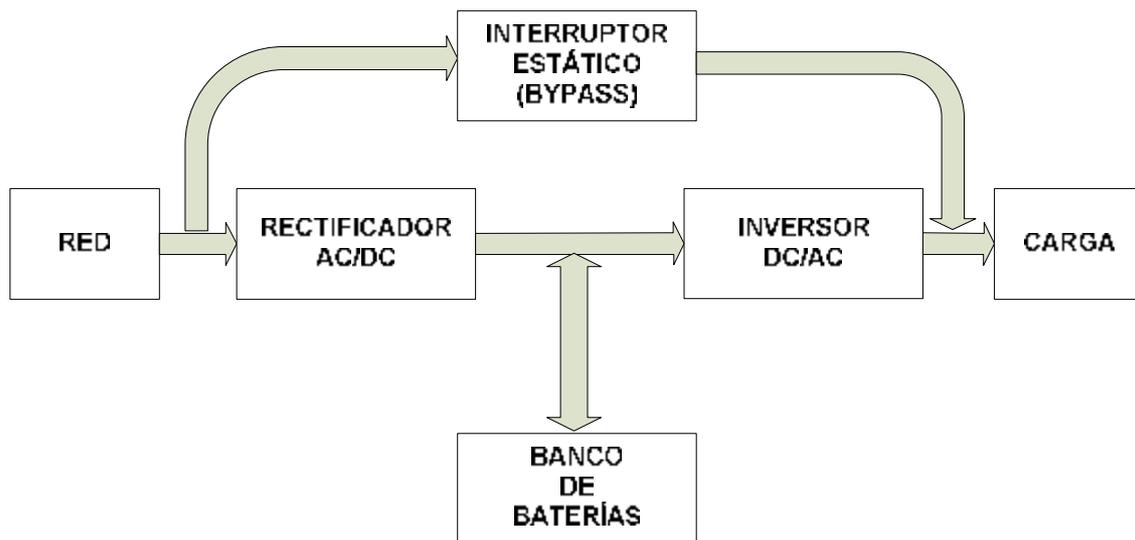


Figura 1. Elementos que conforman una UPS On-Line

El rectificador/cargador suministra potencia de forma continua al Bus de continua. La potencia de éste deber asegurar el suministro del 100% de la requerida por la carga así como la exigida por el banco de baterías.

Las baterías suelen ser de plomo-ácido y se dimensionan para que alimenten la carga durante el periodo back-up, tiempo durante el cual la red no se encuentra disponible. La duración de este periodo depende de la aplicación.

El inversor se dimensiona para aportar a la carga el 100% de la potencia requerida ya sea en el modo normal o en el back-up.

El interruptor permitirá el suministro de potencia a partir de una fuente redundante, en el caso del mal funcionamiento o sobrecarga de la UPS.

Dentro de esta topología existen tres modos distintos de operación: modo normal, el modo de almacenamiento de energía y el modo bypass.

- Modo Normal de Operación

Mientras que la UPS se encuentre en este modo de operación, la potencia suministrada a la carga se hace vía rectificador-inversor, teniendo lugar una doble conversión, AC/DC en primer lugar y DC/AC a continuación.

El primero de los convertidores no sólo suministra potencia a la carga a través del inversor, sino que también cargará las baterías.



- Modo de Almacenamiento de Energía

Cuando la tensión de entrada, AC, está fuera de rango, será el inversor junto a las baterías el que mantenga alimentada de manera continuada la carga. Este modo de funcionamiento debería estar operativo desde el momento en que se produce la salida de rango hasta la vuelta al mismo, cuando esto suceda se debe conectar de nuevo a la línea AC, para ello debe tener la misma fase que ésta. Una vez conseguida la sincronización la UPS vuelve a su estado normal de funcionamiento.

- Modo Bypass

La UPS entrará a funcionar en este modo cuando exista un error interno, como podría ser una sobrecorriente. También es usado para el despeje de faltas.

La principal ventaja de las UPS on-line, es su amplia tolerancia a las variaciones de la tensión de entrada y la precisa regulación de la tensión de salida. Además no existe tiempo de transferencia en la transición de modo normal al modo de almacenamiento de energía.

La principal desventaja son los bajos factores de potencia, altos THD a la entrada y la baja eficiencia. La corriente de entrada se ve distorsionada a causa de la presencia del rectificador, para disminuir dicha distorsión sería necesario el empleo de un compensador del factor de potencia (PFC), lo que aumentaría más los costes de la UPS. Debido a esta bajo factor de potencia en la entrada, este tipo de UPS no puede utilizar de manera eficiente la red y la instalación local.

Por otro lado, la baja eficiencia anteriormente mencionada es intrínseca a esta topología debido a la doble conversión llevada a cabo. Aunque esta doble conversión presente una desventaja, realmente es la topología más usada debido a su rendimiento, acondicionamiento de potencia y protección de la carga. Por estos motivos esta topología es empleada dentro de un rango muy amplio de potencia, esto es desde los pocos kVA hasta varios MVA.

Dentro de la doble conversión existen dos tipologías, en una se emplea un transformador de aislamiento de baja frecuencia y en la otra uno de alta.

A continuación se presenta el primer caso:

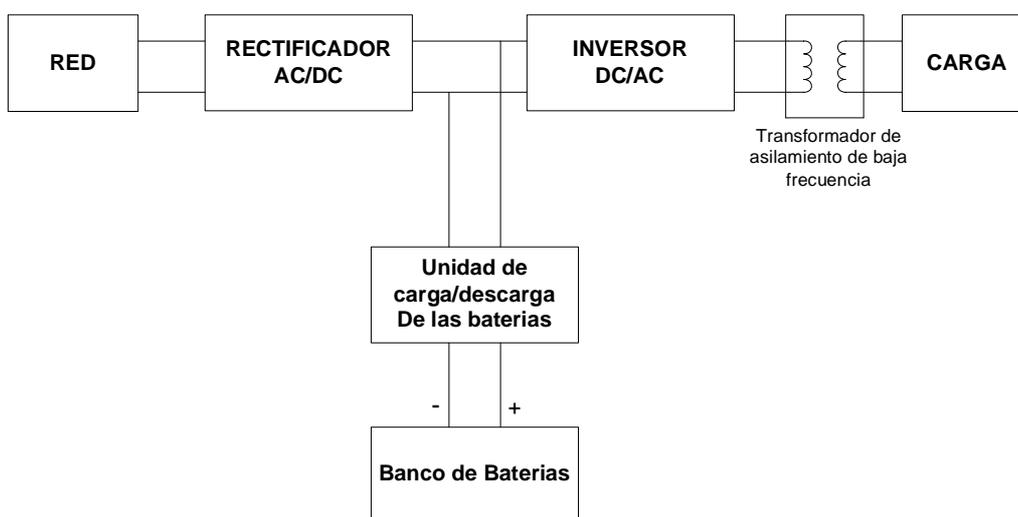


Figura 2. UPS On-line de doble conversión a baja frecuencia

La topología anterior va ligada a un transformador en la salida de gran tamaño. Esta variante de las UPSs son empleada para potencias elevadas, mayores de 20kVA donde las frecuencias de conmutación no exceden los 2kHz. A parte del tamaño del transformador, el inconveniente de esta topología es el ruido acústico producido tanto del transformador como del ventilador del filtro de salida.

Este sistema presenta una respuesta transitoria pobre ante los cambios en la carga y la tensión de entrada.

Si se aumenta la frecuencia de conmutación del inversor, sobre los 20kHz, estos problemas se solucionan, excepto el del tamaño del transformador de aislamiento, ya que este es independiente de la frecuencia de conmutación.

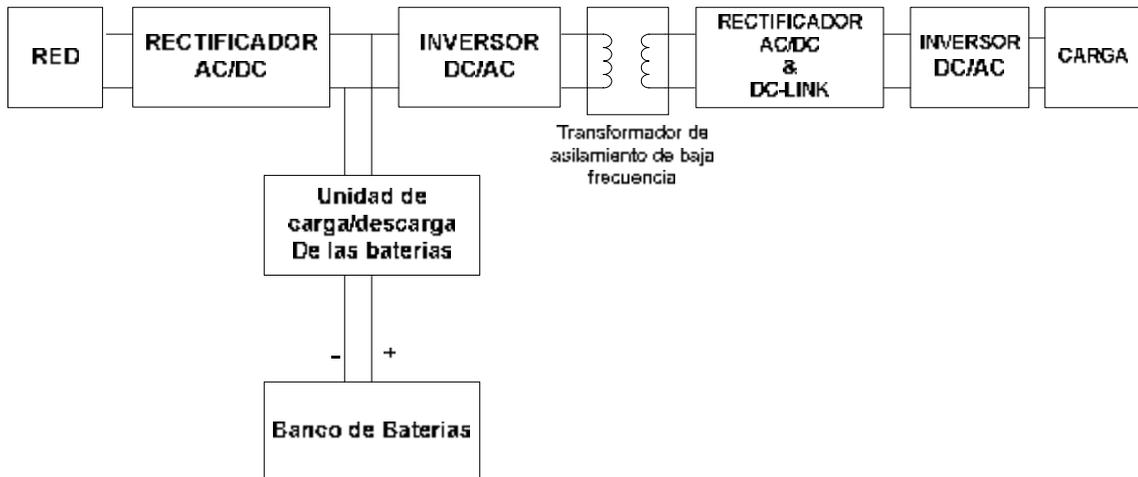


Figura 3. UPS On-line de doble conversión a alta frecuencia

- Off-Line UPS:

Esta configuración es también conocida como standby UPS. En la Figura 4 se muestra un esquema de esta topología.

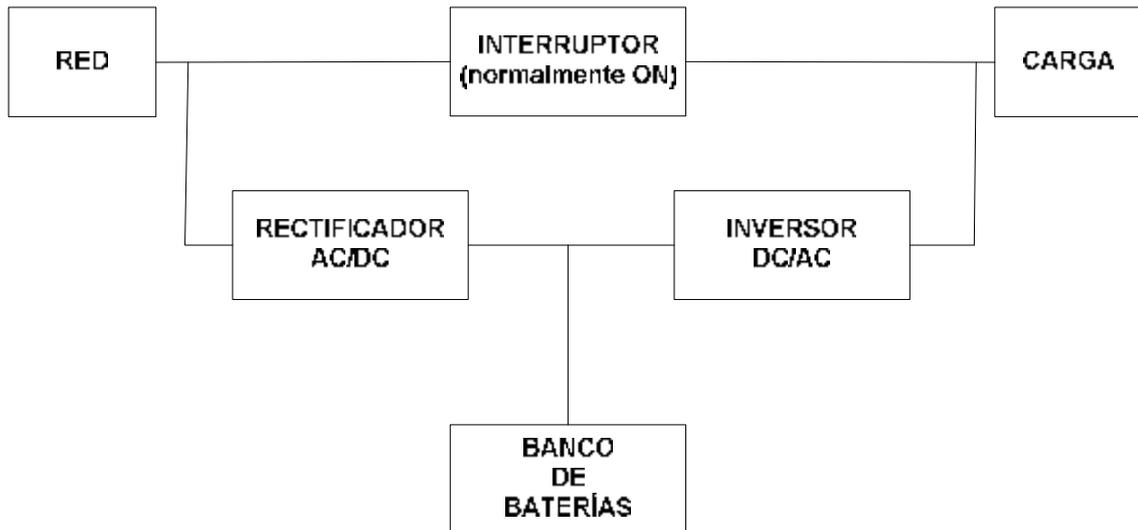


Figura 4. Diagrama de bloques de una UPS Off-line

Como se ve consta de un convertidor AC/DC, un banco de baterías, un inversor DC/AC y un interruptor estático. El interruptor estará cerrado durante el modo de operación normal, la red AC funciona dentro de un rango determinado.

Por ello la carga se alimenta directamente de la misma, sin ningún tipo de conversión. Por otro lado el convertidor AC/DC carga el banco de baterías. En este caso el rectificador es dimensionado para valores mucho menores que en el caso anterior, puesto que ahora a través de él no va pasar la potencia demandada por la carga. Sin embargo el inversor sí que será dimensionado para el 100% de la potencia demandada por la carga.

El convertidor DC/AC, está conectado en paralelo a la carga y en standby mientras que el comportamiento de la Red sea el adecuado, cuando ésta se salga del rango la energía demandada por la carga será suministrada por las baterías a través del inversor, durante el tiempo de back-up establecido o hasta que la Red se estabilice. El tiempo de transferencia está normalmente sobre un cuarto del ciclo de la línea.

En modo normal, es usual emplear el inversor como filtro activo para reducir el contenido de armónicos de la red o para mejorar el factor de potencia de la carga.

Existen dos tipos de funcionamiento posible para esta topología: el modo normal, y el modo de energía almacenada.

- Modo Normal de Operación

En este modo, la energía fluye directamente de la Red a la carga, generalmente se coloca un filtro antes de la carga para mejorar las condiciones de entrada a la misma.

Por otro lado el convertidor AC/DC irá cargando las baterías con el fin de suministrar potencia cuando sea requerida en el modo de energía almacenada.

- Modo de Energía almacenada

	Proyecto Fin de Carrera
	Diseño de un PLL para el inversor de un sistema de alimentación ininterrumpida (SAI)

Cuando la Red sale de rango, se suministra la potencia requerida a la carga mediante las baterías a través del inversor, esto será así o hasta que la red vuelva a valores tolerables o hasta que termine el tiempo de back-up establecido. Como ya se indicó anteriormente al no tener que dimensionar el rectificador para el 100% de la potencia demandada por la carga el coste de esta topología es menor que la de las UPS on-line.

Como ventajas principales de esta topología se encuentran su diseño simple, bajo costo y reducido tamaño.

Por otro lado, la falta de aislamiento entre la carga y la Red puede ser un problema en el caso en que ésta fuese necesaria, la no existencia de regulación para la tensión de salida, los largos tiempos de conmutación y un bajo rendimiento cuando se alimentan cargas no lineales. El uso de un transformador trifásico puede proporcionar el aislamiento eléctrico necesario, éste proporciona una alta fiabilidad a un coste moderado.

- Line-Interactive UPS:

En la Figura 5 se representan los elementos constituyen esta topología de las UPS:

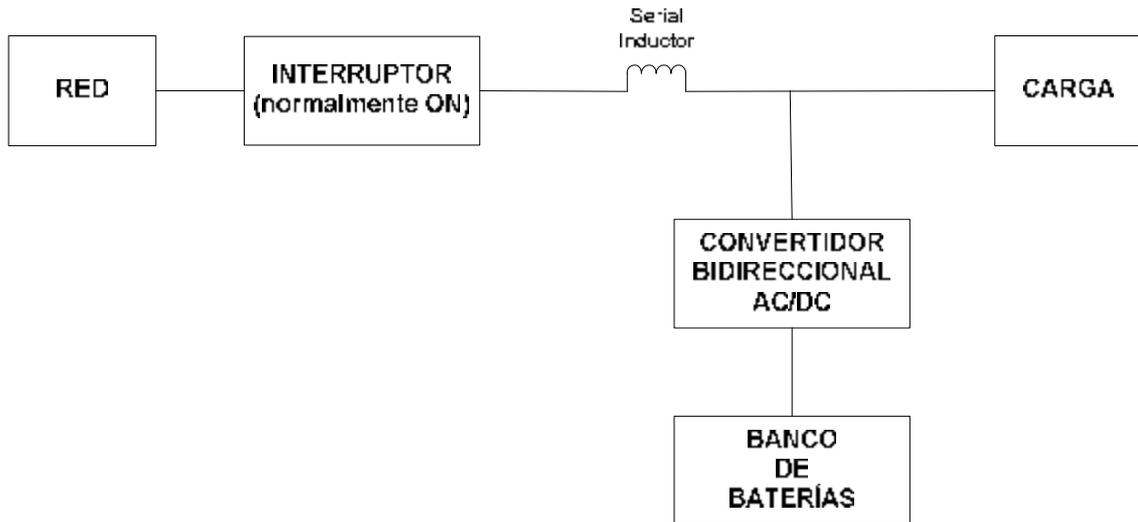


Figura 5. Diagrama de bloques de una Line-interactive UPS

Este tipo de UPS puede funcionar como cualquiera de las dos topologías anteriores. Para el caso de la Off-line UPS la bobina en serie no es requerida. Sin embargo, la mayoría de las line-interactive UPS operan como On-line para así mejorar el factor de potencia de la carga o regular la tensión de entrada de la misma.

Cuando la Red está dentro de unos límites aceptables será ésta la que suministre directamente a la carga. El convertidor se conecta en paralelo con la carga y el cargador de baterías. Éste también puede proporcionar la cantidad de potencia reactiva necesaria para mantener el factor de potencia cercano a uno o para regular la tensión de salida. Estas funciones del inversor son sólo llevadas a cabo en el modo On-line.

Para el ver el funcionamiento del sistema se estudiará el circuito equivalente representado en la Figura 6.

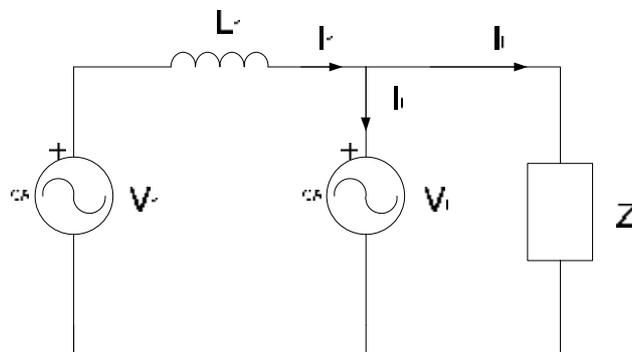


Figura 6. Circuito equivalente para la frecuencia fundamental de un UPS Line-interactive

	Proyecto Fin de Carrera
	Diseño de un PLL para el inversor de un sistema de alimentación ininterrumpida (SAI)

La amplitud de V_i es determinada mediante la de las baterías y el índice de modulación m del convertidor PWM, de esta manera se podrá ajustar independientemente del valor de la tensión de Red.

El desfase entre ambas, δ , es proporcionado por la potencia activa según:

$$P = \frac{(V_i V_1 \sin d)}{j\omega L}$$

Asumiendo que en condiciones normales la caída de tensión en la inductancia es pequeña, nos encontramos con que δ está cercano a los 15° . De esta forma se asegura que el factor de potencia se encuentre cercano a la unidad ya que bajo estas condiciones $\cos\phi = \cos(\delta/2)$.

Si se considera una carga puramente resistiva, el inversor suministrará tan sólo la potencia reactiva necesaria para compensar la reactiva introducida por la inductancia. Si la carga tuviese una parte reactiva, el inversor la compensaría también.

- Modo Normal de Operación

El flujo de potencia circula desde la Red hasta la carga, en este caso, el convertidor juega un papel de cargador de las baterías. Éste además, mediante control PWM, puede proporcionar una tensión de salida estabilizada y sinusoidal o proporcionar el factor de potencia requerido por la carga.

La mayor parte de la corriente absorbida de la red va destinada a la carga, de hecho con esta topología no se inyectan armónicos adicionales a la red, lo que es una ventaja respecto de las otras topologías.

- Modo de Energía Almacenada

En este modo, el convertidor bidireccional trabaja como inversor y alimenta a la carga con la energía extraída de las baterías. La UPS se desconectará de la red para evitar la realimentación del inversor.

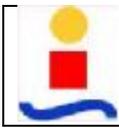
Las principales ventajas de las line-interactive UPS son su simple diseño y sin embargo su alta fiabilidad y bajo coste comparado con las otras topologías.

Poseen una gran capacidad para la supresión de armónicos en las corrientes de entrada. Todo esto provoca que la eficiencia de esta topología sea mucho mayor que la de las anteriormente comentadas.

Su principal desventaja es la falta de un aislamiento entre la Red y la carga, por ello sería conveniente el uso de un transformador, el cual solventaría este problema pero aumentaría el coste, tamaño y peso de la UPS. Debido a que el inversor no está conectado en serie con la carga, la tensión de salida no está bien acondicionada. A parte de todo esto, cabe mencionar que no es posible regular la frecuencia de la tensión de salida cuando se trabaja en el modo normal.

Existe una nueva serie de topologías (series-parallel line-interactive), Figura 7, denominadas delta-conversión UPS, que logran simultáneamente un factor de potencia unidad y una regulación precisa de la tensión de salida.

Ésta consta de dos convertidores bidireccionales, uno en serie y otro en paralelo, conectados a un grupo de baterías común, interruptor estático y un transformador en serie.



El convertidor en serie es dimensionado para un 20% de la potencia de salida de la UPS y se conecta a través de un transformador a la Red. El convertidor en paralelo se dimensiona para un 100% de la potencia de salida. Éste mantendrá la tensión de salida estable mediante un control PWM.

El convertidor dispuesto en serie compensa las diferencias entre la tensión de entrada y de salida, controla el factor de potencia a la entrada y la carga de las baterías. Cuando la Red se encuentra dentro de unos parámetros aceptables, la mayor parte de la potencia absorbida de ésta fluye directamente hacia la carga, siendo tan sólo un 15% lo que se desvía hacia las baterías.

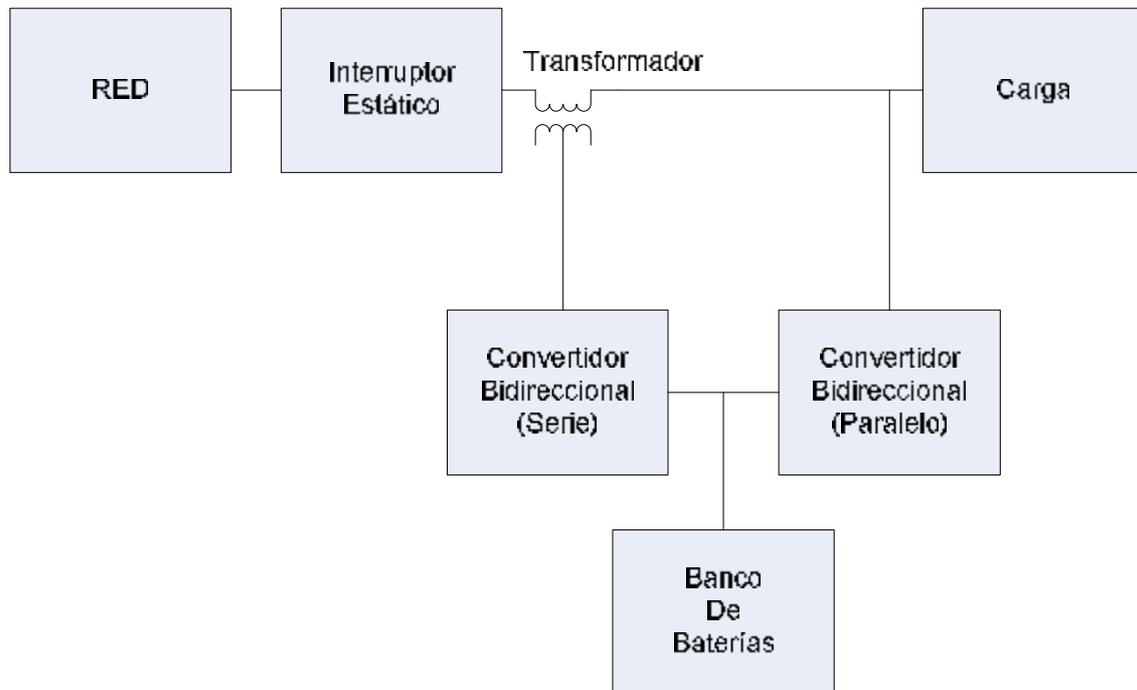


Figura 7. Diagrama de bloques de una UPS serie-paralelo line-interactiva

1.1.2 UPS Rotatorios

Este tipo de UPS constan de un motor AC, una máquina DC, un generador AC y un banco de baterías. Se puede ver su diagrama de bloques en la Figura 8.

Poseen dos modos de operación al igual que las otras, el modo normal y el de energía almacenada. Durante el primero de ellos, la Red suministra energía al motor, el cual mueve la máquina DC que a través del generador AC suministra potencia a la carga. En el modo de energía almacenada son las baterías las que suministran potencia a la máquina DC.

Este tipo de sistemas son más fiables que las UPS estáticas, sin embargo requieren un mayor mantenimiento y poseen un mayor tamaño y peso.

Una de sus mayores ventajas es que en régimen transitorio pueden soportar sobrecargas de entre un 300%-600% de la nominal, siendo de un 150% para las UPS estáticas. El rendimiento de esta nueva topología cuando la carga es no lineal es bueno, debido a la baja impedancia de salida.

A lo anterior se puede añadir un THD menor del 3% en la corriente de entrada, ruidos EMI muy bajos y una eficiencia superior al 85%.

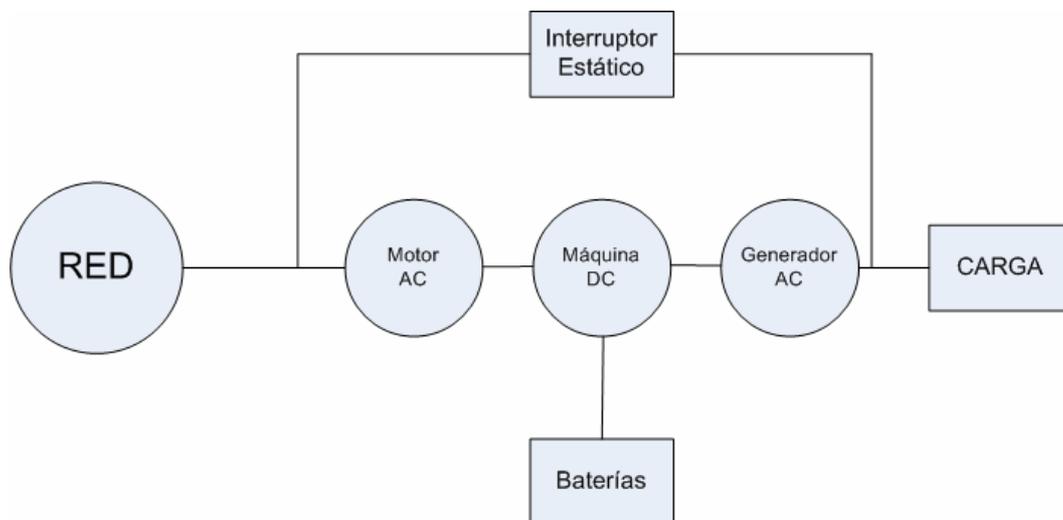


Figura 8. Diagrama de bloques una UPS rotatoria

1.1.3 UPS Híbridos

Estos combinan rasgos de las UPS estáticas y de las rotatorias. Por este motivo nos tienen una baja impedancia de salida, alta fiabilidad, una excelente estabilidad de la frecuencia y bajos costes de mantenimiento.

Constan de un convertidor bidireccional AC/DC, un motor AC, un generador AC, un banco de baterías y un interruptor.

Durante el modo normal, el motor es alimentado desde la Red y mueve al generador, será este último quien suministre finalmente a la carga. El convertidor bidireccional, el cual se comporta como un rectificador, carga las baterías.

Durante el modo de energía almacenada, el inversor suministra potencia al generador desde las baterías a través del motor AC.



Cuando existe un mal funcionamiento interno de la fuente, el interruptor estático se cierra y haciendo que sea la Red la encargada de alimentar directamente a la carga.

Habrá que tener en cuenta la sincronización entre la red y el voltaje de salida de la UPS.

Esta configuración, representada en la Figura 9, tiene la ventaja de que la transferencia desde la Red al inversor tiene lugar bajo condiciones controladas en vez de bajo condiciones de fallo. Otro punto a su favor es que el inversor está siempre funcionando, de esta manera se evitan tiempos de transición para pasar del modo de energía almacenada al de funcionamiento normal.

La principal ventaja de esta UPS, sobre las estáticas, son la baja impedancia de salida, el bajo THD con cargas no lineales, alta fiabilidad y un mejor asilamiento.

Este tipo de fuentes son muy usadas en aplicaciones de muy alta potencia, como es el caso de cientos de kVA.

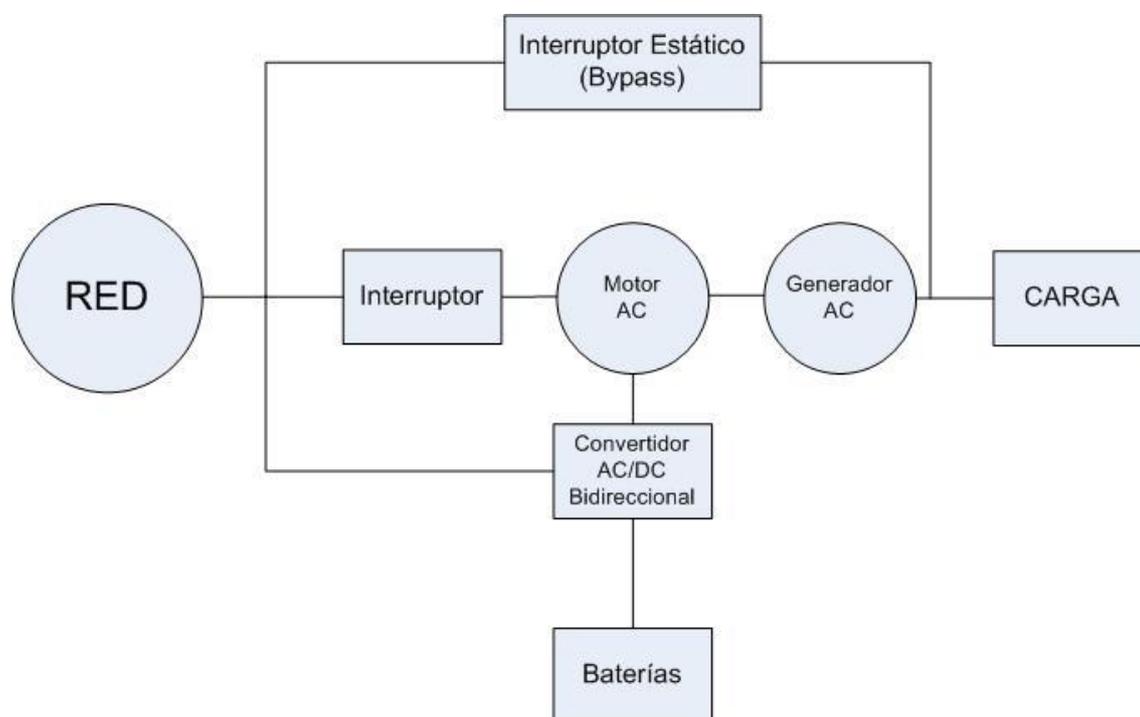


Figura 9. Diagrama de bloques de una UPS Híbrida (Estática/Rotatoria)

	Proyecto Fin de Carrera
	Diseño de un PLL para el inversor de un sistema de alimentación ininterrumpida (SAI)

- Sistemas de almacenamiento de energía

Cuando se habla de sistemas de almacenamiento de energía se piensa en baterías. Así es, en un principio el principal recurso para almacenaje de energía fue la batería electroquímica, siendo la más empleada la batería de ácido-plomo.

Hoy en día se presentan distintas posibilidades para llevar a cabo ésta función. Cuando buscamos elementos capaces de almacenar energía además de lo ya comentado, encontramos súper condensadores, Superconducting magnetic energy storage (SMES) y volantes de inercia.

Hoy en día son estos últimos los que más rápidamente se están desarrollando, compitiendo con las baterías electro-químicas en una gran variedad de aplicaciones, incluyendo calidad en la potencia, sistemas UPS, telecomunicaciones, vehículos terrestres y aviones.

Tradicionalmente los volantes de inercia se usaron solo como dispositivos de alto almacenamiento de energía, los cuales aportaban ésta cuando era necesario durante unos pocos segundos.

Sin embargo, hoy en día, existen volantes en el mercado capaces de proporcionar energía en el rango de kWh.

1.2 Comparativa entre la batería electroquímica y el volante de inercia

Los volantes de inercia son únicos entre los dispositivos de almacenamiento de energía por su capacidad para suministrar potencias muy altas. De hecho, el rango de energía que puede ser extraído de éstos está sólo limitado por el diseño del motor-generador y es muy alta. Esto es bastante diferente para el caso de las baterías, en las cuales su porcentaje de descarga es proporcional a la superficie de los platos y la resistencia interna de la misma. A mayor área mayor grado de descarga e igual sucede cuanto menor sea la resistencia interna. Con el fin de aumentar dicha área, se tienen dos opciones. La primera de ellas es hacer los platos lo más finos posibles y la otra es emplear un mayor número de éstos. El problema principal en el primer caso, es que la vida de la batería es proporcional al espesor de los platos, a menor espesor menor vida. En el segundo caso aunque la superficie aumenta al aumentar el número de platos, la capacidad también lo hace. Por ello, normalmente se suele sobredimensionar la capacidad, lo que implica un elevado costo, peso y volumen de la batería.

Cuando se disminuye la resistencia interna aparecen nuevos problemas. El primero de ellos es que se produce un acortamiento de la vida de la misma y el segundo es que aparecen efectos negativos en el rizado de los voltajes a través de la batería.

A pesar de todo esto, se ha llegado a un punto de equilibrio consiguiendo baterías capaces de suministrar elevadas corrientes durante cortos periodos de tiempo, estos es, entre 10 y 60 minutos. Sin embargo, quedan aún algunos problemas en el campo de alta potencia, estos son, un grado de recarga lento, estrecho margen de temperaturas para operar de forma óptima, no existe un método fiable para controlar el estado de carga y de "salud" y contaminación medio ambiental.

Los volantes de inercia presentan una solución a todos los problemas anteriormente mencionados, éstos poseen una rápida recarga y depende de la temperatura en muy baja medida, además de no emitir sustancias al ambiente. Por último su monitorización es



muy fiable, simplemente sabiendo su velocidad se puede saber la cantidad de energía almacenada.

Sin embargo no se debe pensar en éstos como los sustitutos de las baterías electroquímicas. Más bien, deberían considerarse como una alternativa en aplicaciones donde la vida del dispositivo, volumen, peso, mantenimiento, sensibilidad a la temperatura, ambiente y fiabilidad sean críticas. Algunas de estas aplicaciones pueden ser, generación distribuida, sistemas UPS o la industria aeroespacial.

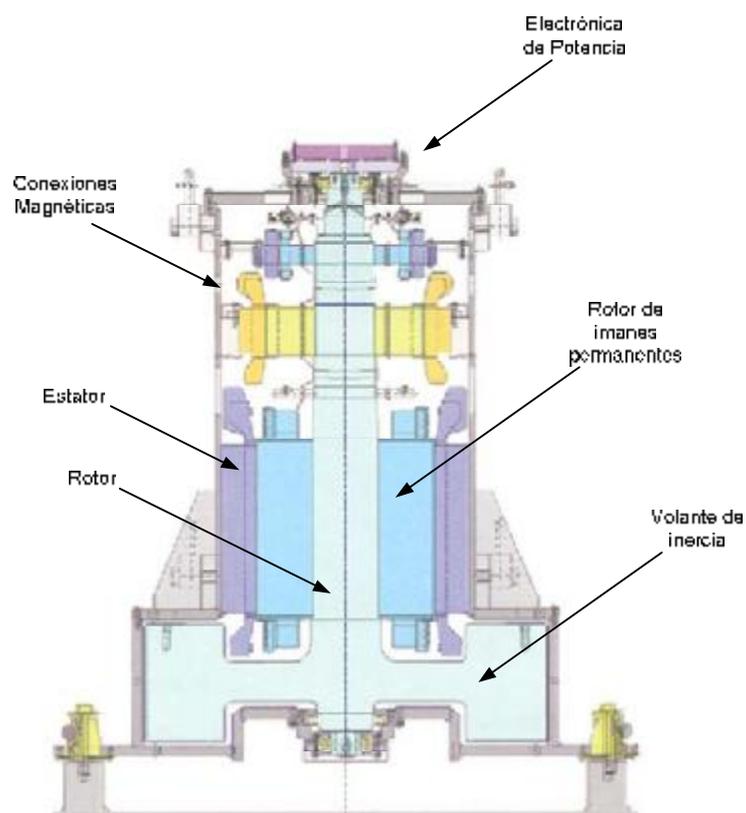


Figura 10. Corte longitudinal de un volante de inercia de alta-velocidad



Figura 11. Volante de inercia KST Rotablock(200kVA a 1500kVA)



Figura 12. Distintos tipos de UPSs industriales



Figura 13. UPS junto a su grupo de baterías



2. Introducción al Phase-Locked Loop (PLL)

El primer Phase-Locked Loop (PLL) fue implementado en 1932 por el ingeniero francés de Bellescize, considerado el padre de la “comunicación coherente”. Inicialmente el PLL surgió como un circuito lineal. Los primeros de éstos se construyeron con elementos discretos, y no estuvieron disponibles como circuitos integrados hasta 1965, los primeros de ellos fueron dispositivos lineales (LPLL). Algunos años más tarde, sobre 1970, aparecen algunos modelos “digitales”, aunque realmente sólo se construía con circuitería lógica el detector de fases, el resto de elementos del filtro seguía conformándose a partir de elementos analógicos. Por este motivo sería lógico considerar estos dispositivos como híbridos (DPLL). Pocos años después aparece el dispositivo digital al completo (ADPLL). De forma análoga a un filtro, el PLL puede ser implementado mediante software (SPLL).

Todos estos tipos de dispositivos presentan comportamiento diferente. En el caso de los dos primeros el comportamiento es similar. El último de ellos presenta como gran ventaja la flexibilidad que brinda un lenguaje de programación, pudiendo programarse como LPLL, DPLL ó ADPLL.

Un PLL es un circuito que provoca que un determinado sistema siga a otro, es decir, es un circuito capaz de sincronizar la señal de salida con una señal de referencia a la entrada, tanto en frecuencia como en fase. Cuando existe dicha sincronización (se dirá que el PLL está “Locked”), el error entre ambas señales es nulo o permanece constante. Si éste aumentase, el control actuaría sobre el oscilador de tal forma que ese error sea reducido. En todo momento el control estará provocando la sintonización en fase (“Locked”) de la señal de salida y la de referencia, es por esto por lo que recibe el nombre de PLL, Phase-Locked Loop.

El PLL consta de tres bloques fundamentales, como se puede ver en la Figura 14:

- Oscilador controlado en Tensión (VCO)
- Detector de Fase (PD)
- Filtro en bucle (LF)

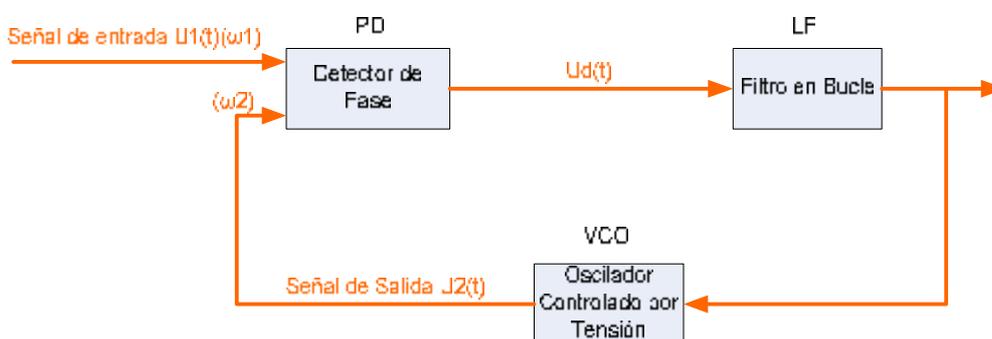


Figura 14. Diagrama de bloques de un Phase-Locked Loop (PLL)

Puede darse el caso en el que entre el Detector de Fase y el Oscilador aparezca un nuevo bloque, el escalador, el cual actuará como un divisor de frecuencias y que se

	Proyecto Fin de Carrera
	Diseño de un PLL para el inversor de un sistema de alimentación ininterrumpida (SAI)

emplea en el caso de usar el PLL como un sintetizador de éstas. En otras ocasiones en lugar del VCO, el oscilador es controlado mediante corriente, CCO. En ambas situaciones la finalidad del PLL es la misma.

A continuación se presentan las señales de interés a la hora de trabajar con el PLL:

- Referencia o entrada $\hat{a} U_1(t)$
- Frecuencia angular de la señal de referencia $\hat{a} \omega_1(t)$
- Señal de salida del oscilador $\hat{a} U_2(t)$
- Frecuencia angular de la señal de salida $\hat{a} \omega_2(t)$
- Señal de salida del detector de fase $\hat{a} U_d(t)$
- Señal de salida del filtro $\hat{a} U_f(t)$
- El error entre la fase de U_1 y de U_2 $\hat{a} q_e$

Veamos muy brevemente la funcionalidad de cada uno de los bloques. En primer lugar se estudiará el Oscilador, éste oscila a una frecuencia ω_2 que es determinada a partir de la señal de salida del filtro $U_f(t)$. Dicha frecuencia angular viene dada por la expresión

$$\omega_2(t) = \omega_0 + K_o U_f(t)$$

Donde ω_0 es la frecuencia angular central del oscilador y K_o la ganancia del mismo, ésta se mide $\text{rad}\cdot\text{s}^{-1}\cdot\text{V}^{-1}$.

El detector de fase se encarga de comparar la fase de la señal de salida con la de la referencia y generar una salida que sea aproximadamente proporcional a ese error:

$$U_d(t) = K_d \cdot q_e$$

Siendo K_d la ganancia del detector la cual viene expresada en $\text{V}\cdot\text{rad}^{-1}$. La señal de salida del detector está compuesta por una componente continua y una alterna superpuesta, ésta última no es deseada, de tal forma que será eliminada a su paso por el filtro, en la mayoría de los casos éste será un filtro de primer orden y por lo general de paso bajo.

Visto de forma genérica el funcionamiento de cada uno de los bloques, es interesante estudiar la interacción entre ellos para llevar a cabo la finalidad del PLL.

Si se asume que la frecuencia de la señal de entrada $U_1(t)$ es igual a la frecuencia central del oscilador ω_0 , el VCO estará operando a su frecuencia central, en este caso el error q_e es cero. Si éste es cero provocará que la señal de salida del detector de fase $U_d(t)$ sea también nula, lo que irremediamente provocará una salida de nuevo nula a la salida del filtro, esto es, $U_f(t)$ igual a cero. Esta es la condición que hace que el VCO esté trabajando a su frecuencia ω_0 .

Si el error entre fases no fuese inicialmente cero, el detector de fases generaría una señal de salida no nula, la cual provocaría una señal a la salida del filtro, la cual también sería distinta de cero. Ésta forzaría al oscilador a variar su frecuencia de trabajo de manera que el error entre fases finalmente desaparezca.



Supongamos que la frecuencia de la señal de entrada varía de manera repentina en el instante t_0 una cantidad $\Delta\omega > 0$. Para ver el comportamiento del sistema ante éste escalón se muestra la Figura 15.

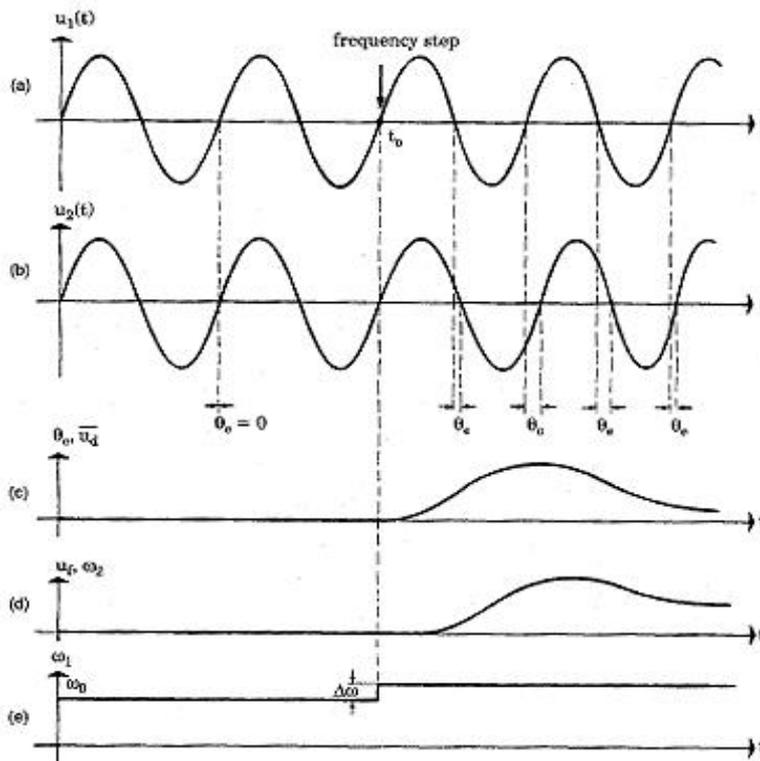


Figura 15. Transitorio de la respuesta de un PLL ante un escalón en la frecuencia de referencia
(a) Señal de Referencia $u_1(t)$. (b) Señal de salida del VCO $u_2(t)$. (c) Error en fase y media de la señal de salida del detector de fase en función del tiempo. (d) Frecuencia angular de la señal de salida del oscilador en función del tiempo. (e) Frecuencia angular de la señal de referencia.

Esto provocará un adelanto de la señal de entrada respecto de la señal de salida del oscilador, lo que se traducirá en un aumento del error de fases. El detector de fases reaccionará produciendo una señal $U_d(t)$, que además incrementará con el tiempo, lo que nos lleva a un aumento de $U_f(t)$, con el correspondiente retraso introducido por el filtro. Todo esto nos lleva a que se produzca un aumento en la frecuencia de funcionamiento del VCO. Al ir aumentando ésta, el error entre fases irá disminuyendo, puesto que la frecuencia del oscilador tenderá a la frecuencia de la señal de entrada. El error final entre fases será cero o quedará fijado en un valor finito, éste depende mucho del tipo de filtro que se emplee en nuestro PLL.

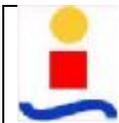
Ahora el VCO está trabajando a una frecuencia mayor que su frecuencia central en una cantidad $\Delta\omega$, lo que provoca que finalmente $U_f(t)$ tienda a $\Delta\omega/K_0$.

Una de las características más destacables del PLL, es su habilidad para suprimir ruido que lleve impuesto la señal de entrada. Si la referencia lleva asociado un determinado ruido, al intentar medir el detector de fases el error en frecuencia entre las dos señales, observará que la señal de referencia al pasar por cero lo hará de manera estocástica adelantándose o retrasándose de manera aleatoria. Esto obviamente provocará que la señal generada por el detector fluctúe en torno a un valor medio. Si la

	Proyecto Fin de Carrera
	Diseño de un PLL para el inversor de un sistema de alimentación ininterrumpida (SAI)

frecuencia de corte del filtro es suficientemente baja, el efecto del ruido a penas será notorio en la señal $U_f(t)$, y el oscilador operará de tal modo que la frecuencia de la señal de salida de éste será igual a la fase media de la señal de entrada. Por último finalizar indicando dos cuestiones de interés a la hora de trabajar con un PLL:

- El PLL está inicialmente “Locked”. ¿Bajo qué condiciones éste permanecerá en dicho estado?
- El PLL inicialmente no está sincronizado. ¿Bajo qué condiciones éste conseguirá sincronizarse?



3. PLLs híbridos: Dispositivos Lineales y Digitales

Como ya se ha comentado en la introducción, la versatilidad del software nos ofrece un amplio campo de implementaciones a la hora de desarrollar un SPLL. Es sabida la existencia de los PLLs lineales, puramente analógicos, de los PLLs digitales, lo cuales realmente están a caballo entre lo puramente analógico y lo puramente digital, y los PLLs completamente digitales, ADPLL. Dependiendo del comportamiento que se quiera obtener, se usarán unos u otros, o en nuestro caso se programará el que mejor se adapte a nuestros objetivos. En esta sección se estudiarán los PLL híbridos ya que por sus características nos va a permitir entender tanto el PLL lineal como el digital.

3.1 Estudio de los distintos bloques del PLL

En este apartado se van a ver las distintas posibilidades que se presentan a la hora de llevar a cabo la realización de cada uno de los bloques del PLL. Como el caso del sintetizador de frecuencias no nos ocupa, se va a obviar el divisor de frecuencia.

3.1.1 Detector de Fases

Un detector de fases es un circuito capaz de generar una señal de salida proporcional a la diferencia de fases entre sus dos señales de entrada, $U_1(t)$ y $U_2(t)$. Existen numerosos circuitos que son capaces de realizar esta operación, aquí se verán algunos de ellos como, circuito multiplicador, empleado únicamente en PLLs analógicos. En el terreno digital encontramos detectores como EXOR gate, JK-flipflop y el phase-frequency detector (PFD).

- Circuito Multiplicador.

Como se ha comentado, esta opción es sólo empleada en los PLLs lineales, en éstos la entrada es una señal analógica, la cual en la mayor parte de las ocasiones es de la forma

$$U_1(t) = U_{10} \sin(\omega_1 t + q_1)$$

Donde U_{10} es la amplitud de la onda, ω_1 es la frecuencia, en radianes, y q_1 la fase. De forma usual la segunda onda de entrada suele ser una señal cuadrada, ésta vendrá dada por una ecuación de la forma

$$U_2 = U_{20} \text{rect}(\omega_2 t + q_2)$$

Siendo U_{20} la amplitud de la onda, ω_2 la frecuencia, en radianes, y q_2 la fase.

Presentadas las dos ondas con las que se va a trabajar, veamos como obtiene el multiplicador su señal de salida. Para ello, éste realiza la multiplicación de las dos ondas

$$U_d(t) = U_1(t) \cdot U_2(t)$$

Para que sea más sencilla esta operación se va a emplear el desarrollo de Fourier de una onda cuadrada

$$U_2(t) = U_{20} \left[\frac{4}{p} \cos(w_2 t + q_2) + \frac{4}{3p} \cos(3w_2 t + q_2) \dots \right]$$

Donde el primero de los sumandos corresponde a la componente fundamental y el resto de los elementos son armónicos impares. Con esto se obtiene

$$U_d(t) = U_1(t) \cdot U_2(t) = U_{10} U_{20} \sin(w_1 t + q_1) \left[\frac{4}{p} \cos(w_2 t + q_2) + \frac{4}{3p} \cos(3w_2 t + q_2) \dots \right]$$

Cuando el PLL está sincronizado, ambas frecuencias son idénticas y mediante relaciones trigonométricas se llega a

$$U_d(t) = U_{10} U_{20} \left(\frac{2}{p} \sin q_e \dots \right)$$

Donde q_e es el error entre fases, y siendo el término de la serie representado el único de interés, puesto que los demás, al ser de alta frecuencia, serán eliminados por el filtro del PLL. Por tanto si se define K_d , ganancia del multiplicador, como $K_d = \frac{2U_{10}U_{20}}{p}$, se tiene entonces

$$U_d(t) \approx K_d \cdot \sin(q_e)$$

Cuando el error entre fases es pequeño, la función seno puede ser reemplazada por su argumento y esto nos lleva a

$$U_d(t) \approx K_d \cdot q_e$$

Ecuación que representa la linealidad del detector de fases. La dimensión de K_d es $\text{rad} \cdot \text{V}^{-1}$. Como se ve, ésta es proporcional a las amplitudes de las dos entradas. Por lo general U_{20} es constante por lo que K_d es una función lineal de U_{10} , como se puede ver en la Figura 16.

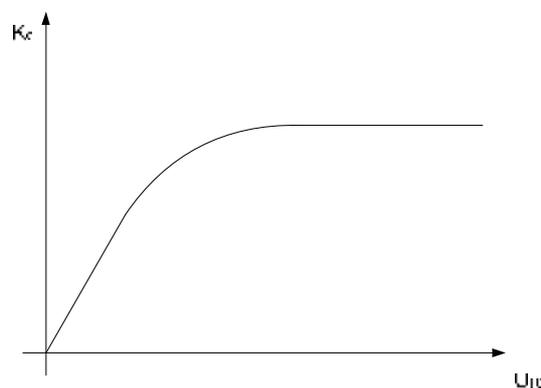


Figura 16. Ganancia del detector de fases como función de la amplitud de la señal de referencia



Para finalizar con la discusión del multiplicador de fases se va a estudiar como se comporta el PLL cuando no está sincronizado. En este caso las frecuencias de las dos señales de entrada del multiplicador son diferentes. La señal de salida de éste vendrá dada por

$$U_d(t) = K_d(t) \sin(w_1(t) - w_2(t) + q_1 - q_2) + \text{armónicos de alta frecuencia}$$

El sumando correspondiente a los armónicos de alta frecuencia se puede obviar puesto que será eliminado por el filtro, sin embargo en esta ocasión se tiene un término “ac” cuya frecuencia viene dada por $\omega_1 - \omega_2$. Que esta señal sea alterna no nos debe hacer pensar que en media sea cero, ya que esto implicaría que la señal producida en el filtro sería nula y por tanto el oscilador estaría continuamente operando en su frecuencia central ω_0 . Como ya se vio la señal anteriormente comentada no es simétrica, y su semiciclo positivo y negativo poseen distinta duración. Esto provocará que la señal no tenga una media nula y por tanto la salida del filtro sea también distinta de cero, la cual actuando sobre el oscilador consigue que la frecuencia de oscilación del mismo tienda a la de la señal de entrada, siendo la diferencia entre ambas menor que un valor límite denominado “pull-in range”, $\Delta\omega_p$. No obstante, se verá que el proceso de “pull-in” es bastante lento, para solventar esto, será necesario buscar otro tipo de detector de fases, como puede ser el detector de fase y frecuencia, el cual no sólo es sensible a la frecuencia sino también a la fase en el caso de no estar sincronizado el PLL.

A continuación se presentan otras variantes para emplearlas como detector de fases.

- **Detector de fases EXOR.**

La forma de llevar a cabo la detección de fase es similar a la empleada por la opción estudiada anteriormente. La señal en los DPLLs son siempre señales binarias, por ejemplo, ondas cuadradas. Para el estudio que se va a llevar a cabo se supondrá que las dos señales de entradas del detector son simétricas. Como se ve en la Figura 17.

Supongamos que ambas se encuentran desfasadas 90° , en este caso la señal U_d será una onda cuadrada del doble de frecuencia que las dos anteriores, obviamente cuando las dos señales coincidan en su valor superior o inferior la señal de salida será nula, y será distinta de cero cuando las dos señales no coincidan, como se ha dicho que el

desfase entre ambas de $\frac{p}{2}$ radianes, la frecuencia de la onda generada será dos veces la de la onda de entrada, por otro lado esta señal será simétrica y por consiguiente su media será nula, es por este motivo que se considera que este desfase es el que provoca un error nulo.

Si el retraso entre la señal del oscilador y la de referencia fuese mayor de 90° , se considera que el error de fases es positivo. En este caso la duración del nivel alto de la onda es mayor que la del nivel bajo, y por tanto la media de la señal será distinta de cero. Viendo la gráfica es fácilmente apreciable que el mayor valor de la media de U_d se alcanzará cuando el error sea de 90° y el menor cuando éste sea de -90° .

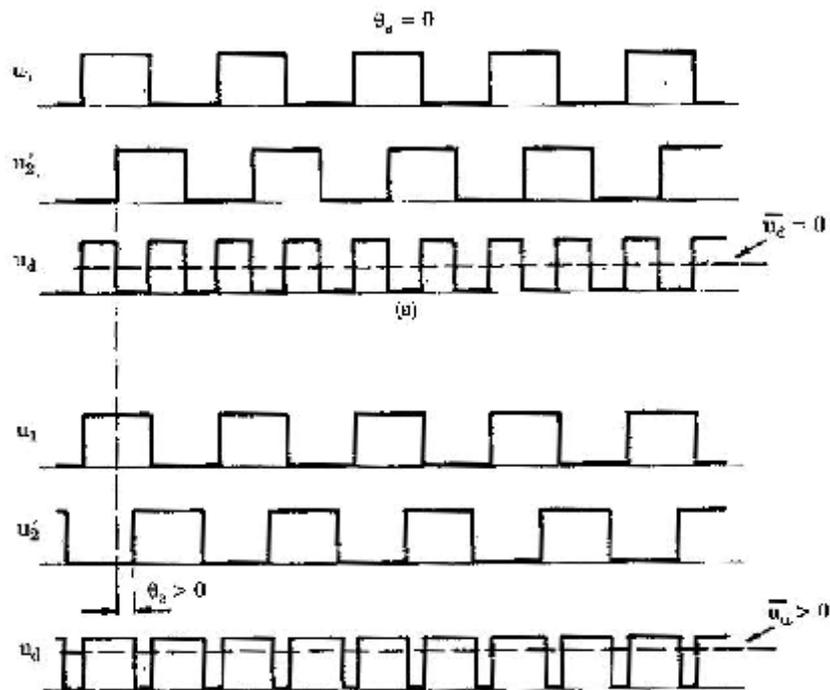


Figura 17. Ondas de las entradas del detector de fase tipo EXOR
(a) Error de fase nulo. (b) Error de fase positivo

Con esto se puede concluir que $-\frac{p}{2} \leq q_e \leq \frac{p}{2}$, valores entre los que el detector podrá mantener el seguimiento de la fase, y que

$$\bar{U}_d = K_d q_e$$

En este caso la ganancia K_d es constante, y viene dada por la siguiente ecuación

$$K_d = \frac{U_+ - U_-}{p}$$

Siendo las dos tensiones que aparecen en el numerador las de alimentación del EXOR.

Si las señales de alimentación del detector de fases fueran asimétricas, la señal generada por éste estaría recortada en un valor indeterminado. Esto reduce las prestaciones del PLL.

Por último se estudiará qué sucede cuando el PLL no está sincronizado, en este caso la frecuencia de ambas señales será diferente, y de nuevo la onda de salida del detector estará conformada por un término “ac” cuya frecuencia fundamental será la diferencia de frecuencias y una serie de armónicos de alta frecuencia que serán eliminados en el filtro. Al igual que en el caso anterior el proceso de “Pull-in” es demasiado lento.

- JK-flipflop.

Este tipo de biestables JK difieren de los convencionales en que son disparados por flanco. Cuando exista dicho flanco, si la entrada J, señal de referencia por ejemplo, está



en su valor alto, la salida del biestable, U_d , será alta. Si por el contrario es la entrada K, onda proveniente del oscilador, es la de valor alto la onda generada por el detector será baja. Figura 18.

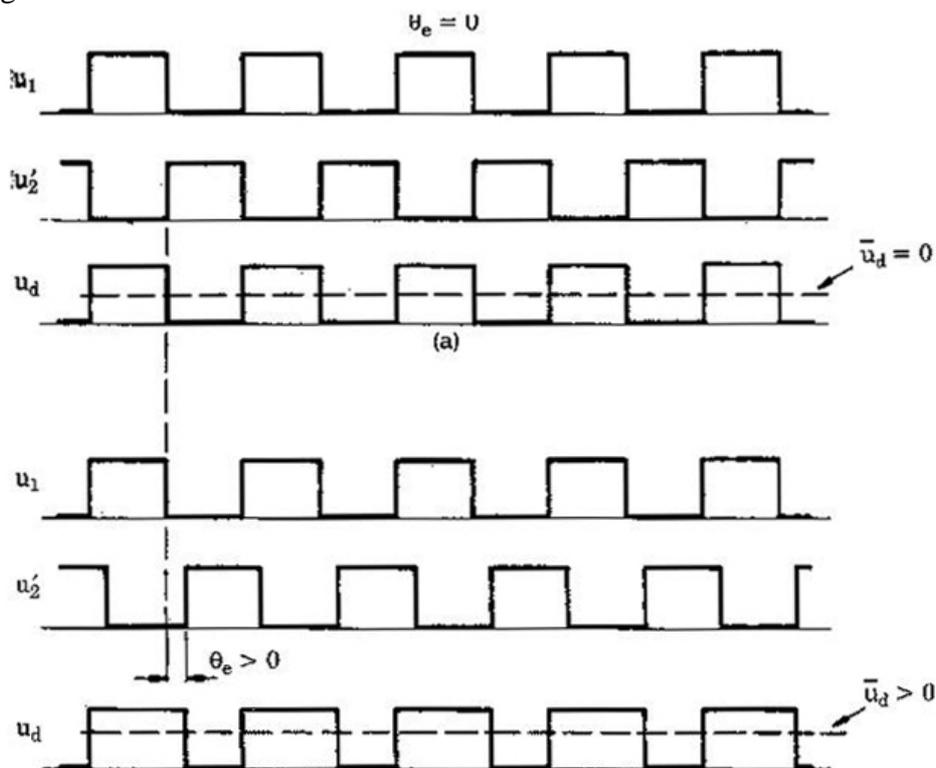


Figura 18. Ondas de las entradas del detector de fase tipo JK-Flipflop
(a) Error de fase nulo. (b) Error de fase positivo

De nuevo, si se piensa en esta señal de salida, se verá que el error de fases será nulo, cuando las ondas de entradas se encuentren en contrafase, ya que de esta manera la señal de salida será simétrica y por tanto nula en media. Todo el estudio llevado a cabo para el caso anterior es factible hacerlo para éste, de tal manera que se llegará a las mismas conclusiones exceptuando que ahora $-p \leq q_e \leq p$. Y por tanto

$$\bar{U}_d = K_d q_e$$
$$K_d = \frac{U_+ - U_-}{2p}$$

- Detector fase-frecuencia (PFD).

Como su nombre indica la señal emitida por éste no sólo depende de la diferencia de fase sino también de la diferencia de frecuencia cuando el PLL no está sincronizado. A la vista de la Figura 19, éste se construye a partir de dos biestables tipo D, los cuales estarán en su nivel alto o bajo dependiendo de cómo se encuentren la señales de entrada. Aunque con dos biestables se tendrían teóricamente cuatro estados disponibles sólo tres de ellos son útiles, inutilizando el caso en el que ambos flipflops se encuentren a nivel alto.

Los valores de la señal de salida vendrían dados por

$$\begin{aligned} \text{DN} = 1, \text{UP} = 0 &\Rightarrow U_d = -1 \\ \text{DN} = 0, \text{UP} = 0 &\Rightarrow U_d = 0 \\ \text{DN} = 0, \text{UP} = 1 &\Rightarrow U_d = 1 \end{aligned}$$

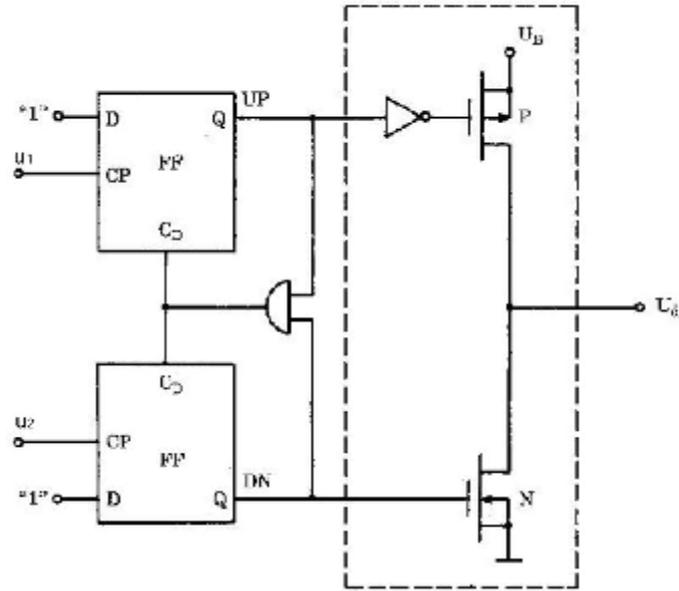


Figura 19. Esquema del PFD

El estado del detector de fases viene dado por el paso de nivel bajo a nivel alto de sus señales de entrada. Como se ve en la Figura 20 el cambio de la señal de referencia fuerza al PFD a pasar a su siguiente estado, a no ser que éste se encuentre en el estado +1. Por otro lado si es la señal del oscilador la que sufre un cambio en su nivel pasando del inferior al superior, el detector irá hacia su estado anterior a no ser que éste se encuentre en el estado -1.

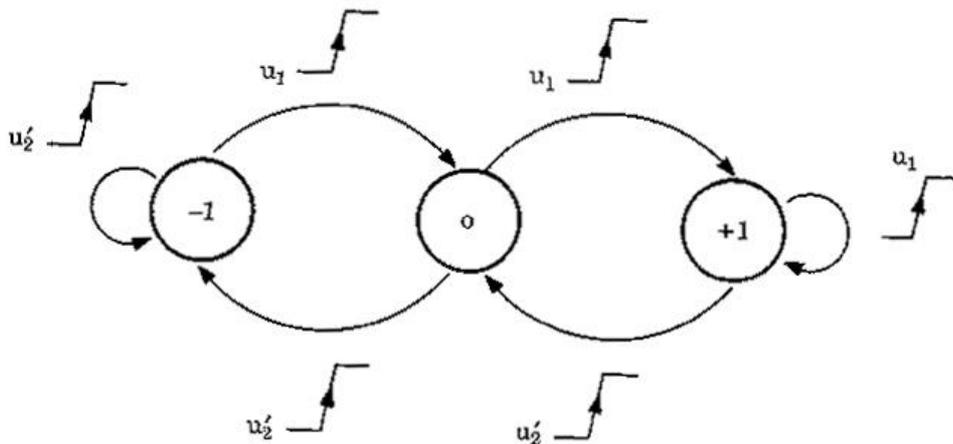


Figura 20. Diagrama de estados para el PFD



Cuando el PFD, se encuentra en su estado +1, la señal de salida del mismo deber ser positiva, de igual manera cuando se encuentre en el estado -1, será negativa y nula cuando esté en el estado cero. Se consigue uno de los tres estados incorporando un estado de alta impedancia a nuestro circuito digital.

Si no existe desfase entre ambas señales, el error de fases será nulo. Suponiendo que en el instante inicial el estado del detector es el cero, como el paso del nivel bajo al alto en ambas ondas sucede al mismo tiempo, sus efectos se restaran permaneciendo en el estado inicial para siempre.

Para el caso en el que U_1 se adelante, $q_e > 0$, el PFD oscilará entre los estados cero y +1, de igual forma si se retrasase la oscilación sería entre los estados cero y -1. Se puede intuir fácilmente que U_d será mayor con error de fase positivo y cuanto más cerca de los 360° se encuentre el desfase, y será menor en el caso de que éste mas cerca de los -360° . Para el caso que ahora nos ocupa se puede decir que el PLL será capaz de llevar a cabo el seguimiento de fase en $-2p \leq q_e \leq 2p$. Y por tanto

$$\bar{U}_d = K_d q_e$$
$$K_d = \frac{U_+ - U_-}{4p}$$

Hasta ahora los resultados obtenidos no arrojan muchas ventajas sobre este tipo de detector respecto de los anteriormente comentados. Para ver el verdadero potencial del PFD se va a suponer que no existe sincronización y que además la frecuencia ω_1 es mucho mayor que ω_2 , de esta manera el número de cambios de estado de la señal de referencia será más elevado que los que sufra la onda del oscilador, el detector estará oscilando por tanto entre los estados 0 y +1, residiendo mayormente en éste último, pero nunca alcanzará el -1. Obviamente sucederá lo contrario si fuese mucho menor.

Se puede, por tanto, concluir diciendo que este tipo de detectores producen su señal, \bar{U}_d , en función del error entre fases cuando existe sincronismo, y en función del error entre frecuencias cuando no. Por tanto un PLL que emplee este tipo de detector conseguirá sincronizarse bajo determinadas condiciones exentas del filtro empleado.

3.1.2 Filtro en bucle

Como ya se vio en la introducción este filtro suele ser de primer o segundo orden, dejando los órdenes superiores para aplicaciones específicas donde sea muy necesario su uso ya que cuanto mayor sea el orden de éste menos estabilidad tendrá el mismo. Por otro lado recordar también que el orden del PLL será uno más que el orden del filtro que se emplee.

Se ha visto en la sección anterior que la señal generada por el detector de fases cuando el sistema se encuentra sincronizado estaba compuesta por un término “dc”, proporcional al error entre fases, y el resto de términos son elementos “ac” de frecuencia $2\omega_1, 4\omega_1, \dots$

Este filtro por tanto será empleado para eliminar estos últimos términos indeseados. A la vista de esto es razonable pensar que será necesario implementar un filtro paso bajo, puesto que son los términos de alta frecuencia los que se quieren eliminar. Lo más normal a la hora de implementar un PLL es emplear un filtro de primer orden de estas características. A continuación se muestran algunos de los más empleados.

- Filtro pasivo retardo-adelanto.

A grandes rasgos se puede decir que todos los filtros empleados en la construcción de un PLL se conforman de una red de adelanto y otra de retraso, éste a diferencia de los siguientes que se verán está constituido por elementos pasivos, de ahí su nombre.

La primera de las redes mencionadas se establece en el numerador (cero) de la función de transferencia y la otra en el denominador (polo).

$$F(s) = \frac{1 + st_2}{1 + s(t_1 + t_2)}$$

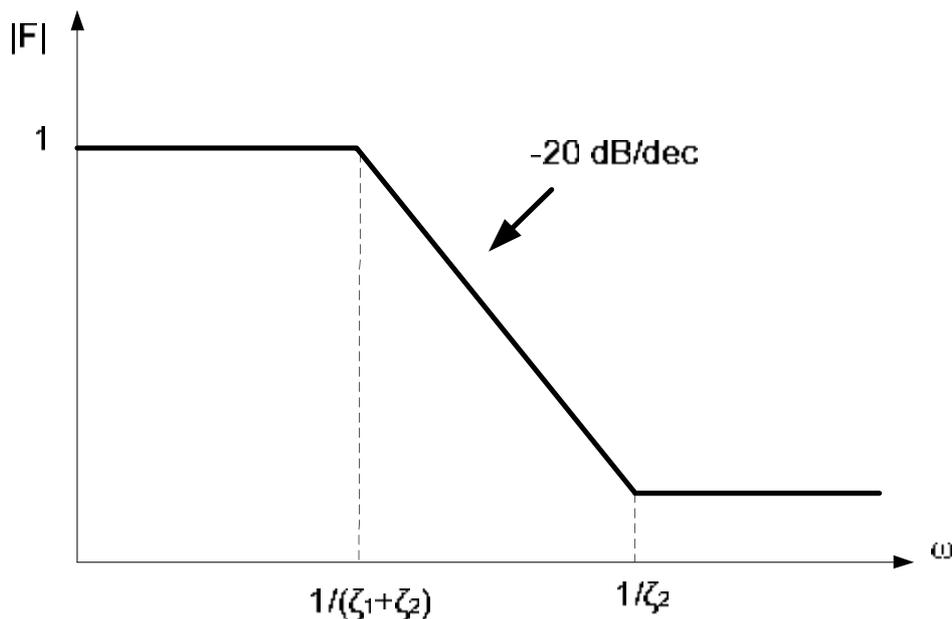


Figura 21. Diagrama Bode del filtro pasivo retardo-adelanto



- Filtro activo retardo-adelanto.

De función de transferencia muy similar a los anteriores, estos a diferencia de aquellos introducen una ganancia K_a la cual puede ser elegida mucho mayor que la unidad.

$$F(s) = k_a \frac{1 + st_2}{1 + st_1}$$

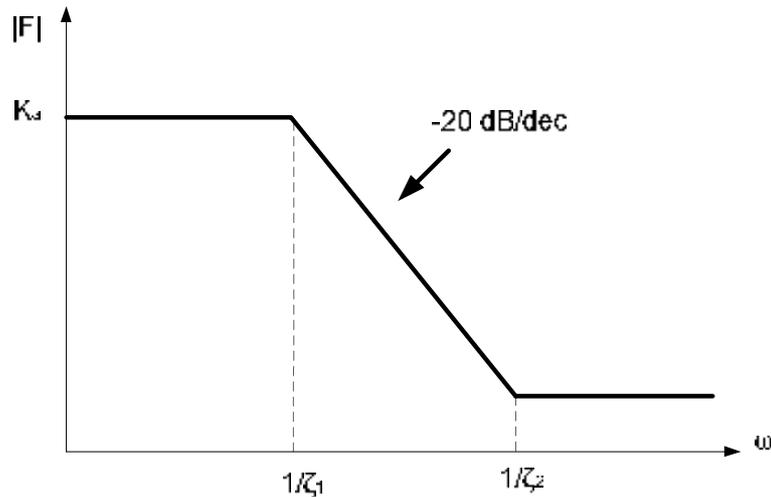


Figura 22. Diagrama Bode del filtro activo retardo-adelanto

- Filtro activo PI.

Este tipo de filtros, presenta un integrador, teniendo así un polo en $s = 0$, lo que hace, que al menos teóricamente su ganancia sea infinita para una frecuencia nula.

$$F(s) = \frac{1 + st_2}{st_1}$$

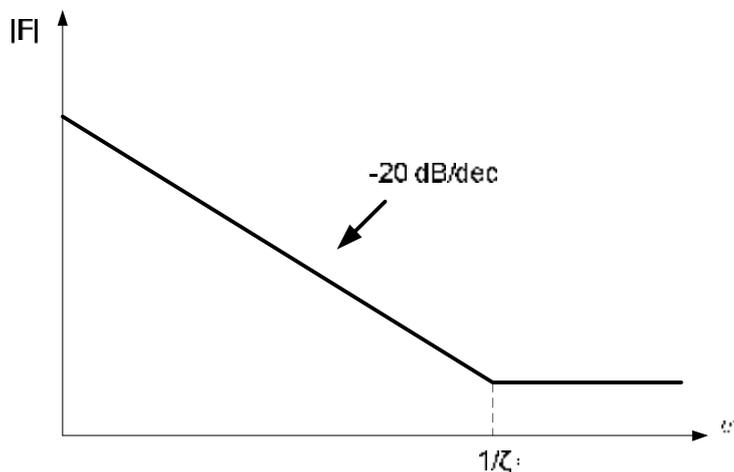


Figura 23. Diagrama Bode del filtro PI

	Proyecto Fin de Carrera
	Diseño de un PLL para el inversor de un sistema de alimentación ininterrumpida (SAI)

3.1.3 Oscilador

Hay que recordar que existen dos posibilidades para el control de osciladores, en tensión (VCO) y en corriente (CCO), siendo la única diferencia la señal que los controla pues la funcionalidad es la misma en ambos casos. En este proyecto se trabajará con los primeros por ser el empleado para la implementación de nuestro PLL.

En un VCO lo primero que se lleva a cabo es la conversión de la señal de referencia en corriente.

El dispositivo se constituye de una pareja de MOS de canal N y otra de canal P, un par de puertas NOR, conformado un biestable RS y un condensador que conectado de manera adecuada a una pareja de Schmitt triggers irá variando su flujo de potencia y provocando la oscilación de la tensión de salida del dispositivo.

La frecuencia de la onda de salida, ω_2 , es proporcional a la señal generada por el filtro y viene dada por

$$\omega_2 = \omega_o + K_o U_f$$

Donde K_o es la ganancia el oscilador, y cuyas unidades son $\text{rad}\cdot\text{s}^{-1}\cdot\text{V}^{-1}$. ω_o es la frecuencia central del PLL.

Se supondrá que el rango de la señal de control es simétrico respecto de $U_f = 0$. Para un oscilador ideal, por tanto, la frecuencia de salida de éste será nula para $U_f = U_{\text{fmin}}$, y $2\cdot\omega_o$ para U_{fmax} . Sin embargo en la práctica existen algunas limitaciones, en primer lugar la mayoría de los osciladores son alimentados de manera unipolar, esto hará que U_f deba de estar dentro del rango $0\dots$ tensión de alimentación (U_{DD}), operando en su frecuencia central cuando la señal de control adquiere el valor de $U_{\text{DD}}/2$.

$$\omega_2 = \omega_o + K_o \left(U_f - \frac{U_{\text{DD}}}{2} \right)$$

Por otro lado, la señal de control no adquiere realmente el rango completo $0\dots U_{\text{DD}}$, siendo el rango real algo menor. Se debe tener muy en cuenta cual es éste (dentro del mismo el comportamiento es lineal), ya que fuera de él los valores de la frecuencia obtenida pueden ser imprevisibles.

Cuando se lleva a cabo el diseño de un filtro PLL, se determinan dos parámetros fundamentales para el VCO, estos son, la frecuencia ω_o y la ganancia K_o .

Aunque no sea el caso que nos ocupa, decir, que si el PLL es uno de tipo analógico o digital, ambos parámetros son configurados por elementos externos al circuito como por ejemplo resistencias y condensadores.



4. Comportamiento del PLL cuando se encuentra Sincronizado

Si suponemos que el PLL se encuentra en sincronía con el sistema al que sigue, y que permanece así durante algún tiempo, se podrá llevar a cabo el desarrollo de un modelo matemático lineal para determinar el comportamiento del sistema. Debido a la funcionalidad de nuestro sistema es lógico pensar en la siguiente función de transferencia

$$H(s) = \frac{\Theta_2(s)}{\Theta_1(s)}$$

Siendo $\Theta_2(s)$ y $\Theta_1(s)$ las correspondientes transformadas de Laplace de las fases de las señales de salida y entrada respectivamente.

Para poder asignar una expresión a esta función, denominada Función de Transferencia de Fase, se va a ir estudiando de nuevo cada uno de los bloques que conforman el PLL.

En primer lugar y como ya se ha visto, cuando existe sincronismo, la señal de salida del detector de fases viene dada por

$$U_d \approx K_d q_e$$

Así el modelo matemático del detector de fases es un bloque de orden cero cuya ganancia nos proporciona la función de transferencia de fase de éste

$$K_d = \frac{U_d(s)}{\Theta_e(s)}$$

Para el caso del filtro su función de transferencia es conocida, y será diferente para cada uno de los tres casos comentados en el apartado anterior, para trabajar de manera genérica se denota como $F(s)$.

A continuación se analiza que sucede con el Oscilador, como ya sabemos, la frecuencia de la señal de salida generada por éste viene dada por

$$w_2(t) = w_o + \Delta w_2(t) = w_o + K_o U_f(t)$$

Si se supone que nuestra señal de entrada inicialmente posee una frecuencia ω_o , y que para un instante determinado t , está varía bruscamente

$$U_1(t) = U \sin(w_o t + \Delta w \cdot t) = U \sin(w_o t + q_1) \quad \text{siendo } q_1(t) = \Delta w \cdot t$$

Extrapolando esta definición de fase para la señal de salida se tendrá entonces que

$$q_2(t) = \int \Delta w_2(t) dt = K_o \int U_f(t) dt$$

Pasando esto al dominio de Laplace se obtiene la función de transferencia del oscilador

$$\frac{\Theta_2(s)}{U_f(s)} = \frac{K_o}{s}$$

Como se ve el oscilador representa a un integrador.

Una vez vista la función de transferencia de cada uno de los bloques que conforman el PLL, se está en disposición de obtener la función del mismo. Se recuerda que no se está teniendo en cuenta el bloque correspondiente al divisor de frecuencias. De esta manera el diagrama de bloques del sistema tratado queda como se ve en la Figura 24.

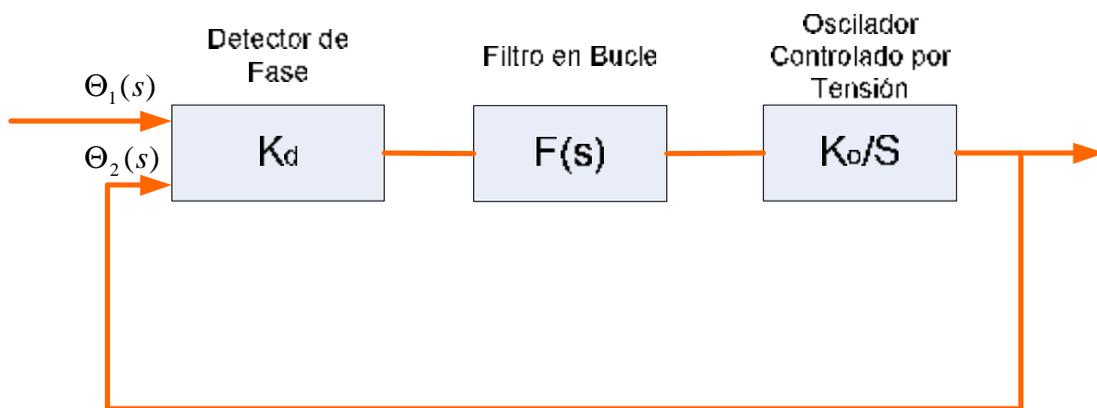


Figura 24. Diagrama de bloques de un PLL

A la vista del esquema anterior se puede deducir que

$$H(s) = \frac{\Theta_2(s)}{\Theta_1(s)} = \frac{K_o K_d F(s)}{s + K_o K_d F(s)}$$

En ocasiones es útil definir la función de transferencia del error la cual viene dada por $H_e(s) = 1 - H(s)$, Figura 26. Como ya se ha dicho, $F(s)$ dependerá del filtro escogido.

Una vez introducida dicha función en la expresión de $H(s)$, ésta última aparecerá como una función de segundo orden, en la cual asemejando su denominador al de la estándar nos permitirá obtener valores característicos del sistema como ω_n , frecuencia natural y ζ , factor de amortiguamiento, en función de la ganancia de cada bloque y del polo y el cero del filtro.

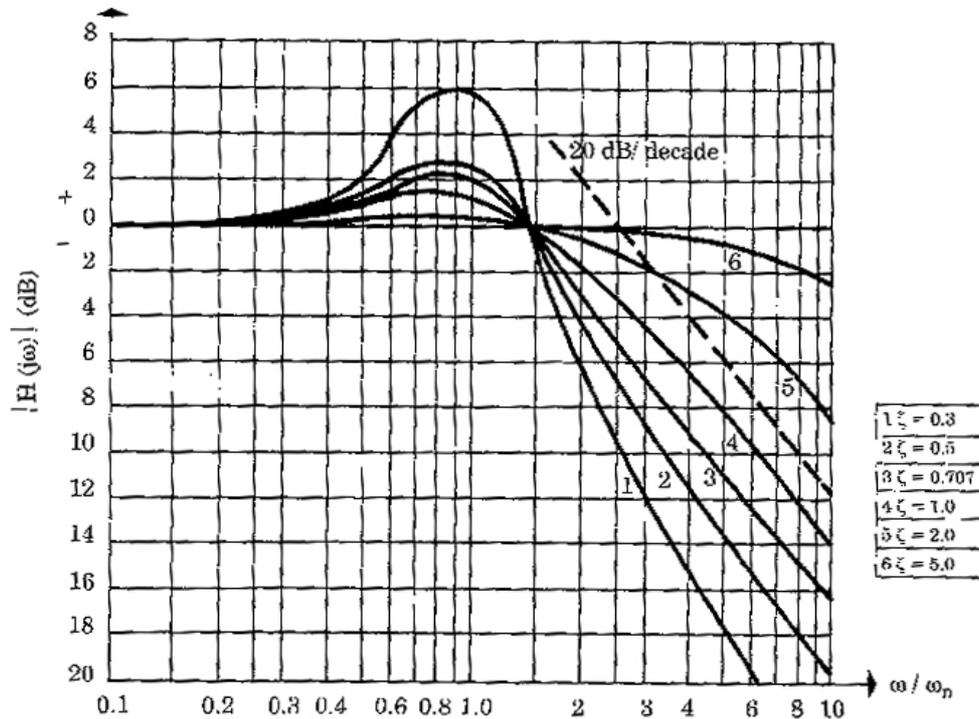


Figura 25. Diagrama de Bode de la función de transferencia de la fase $H(\omega)$

Viendo el diagrama de Bode de $H(s)$, respecto de la frecuencia de la señal de entrada normalizada respecto de la natural, para distintos valores de factor de amortiguamiento, Figura 25, se observa que efectivamente existe un comportamiento de filtro de segundo orden para la fase de la señal de entrada $q_1(t)$, cuyo espectro de frecuencia es plano desde cero hasta aproximadamente la frecuencia natural ω_n . Lo que implica que un PLL de segundo orden es capaz de seguir en fase y frecuencia variaciones en la señal de entrada, más o menos desde cero hasta la frecuencia natural.

Por otro lado el factor de amortiguamiento nos marcará el comportamiento dinámico del PLL. Se puede observar que la función es lo más plana posible cuando $\zeta = \frac{1}{\sqrt{2}}$ que corresponde a un filtro paso-bajo de segundo orden de Butterworth.

Si se representa $H_c(s)$ para un factor de amortiguamiento aproximadamente igual a 0.707, se ve que para frecuencias menores que la natural el error en fase es relativamente pequeño, mientras que para grandes frecuencias el error entre fases llega a ser tan grande como q_1 , y por tanto incapaz de llevar acabo el seguimiento en fase.

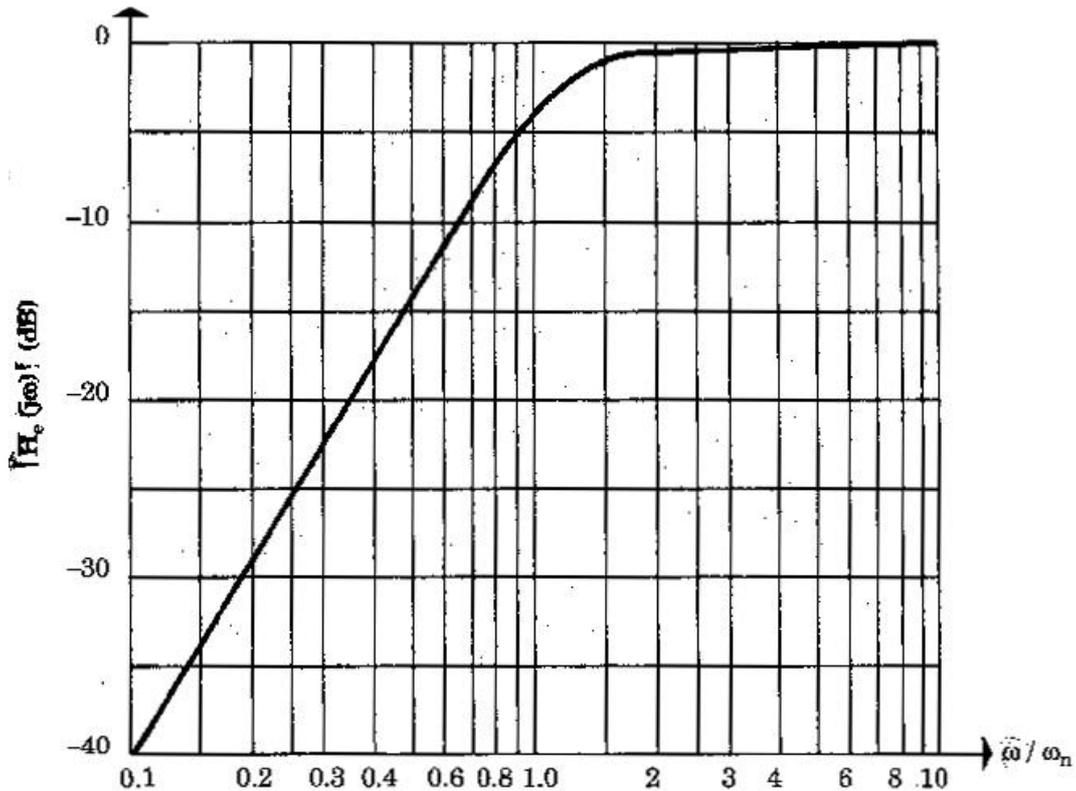


Figura 26. Diagrama de Bode de la función de transferencia del error $H_e(\omega)$

Se define el ancho de banda del PLL como aquella frecuencia para la que existe una atenuación de 3dB, lo que para el factor de amortiguamiento anteriormente comentado, el valor aproximado de ésta es dos veces la frecuencia natural.

Por último recordar, que todo este análisis ha sido llevado a cabo a partir de la suposición de que el PLL se encontraba “locked” y por tanto empleando un modelo lineal. Sin embargo si se parte de un estado de no sincronismo el error entre fases puede ser muy elevado invalidando el modelo anterior, pues entonces el detector de fases no tendrá una función lineal.

4.1 Transitorios del PLL en estado de sincronismo

Las excitaciones más comunes, a la hora de estudiar la respuesta transitoria del PLL pueden ser:

- Un escalón en la fase
- Un escalón en la frecuencia
- Una rampa en la frecuencia

aplicadas en la señal de referencia.



4.1.1 Escalón en la fase de la señal de referencia

Supongamos que para un determinado instante t , la fase de la señal de referencia sufre un escalón, en este caso ésta vendrá dada por

$$q_1(t) = U(t)\Delta\Phi$$

Donde $U(t)$ es el escalón unidad e $\Delta\Phi$ es el tamaño del mismo. Si se realiza la transformada de Laplace de la expresión anterior

$$\Theta_1(s) = \frac{\Delta\Phi}{s}$$

Y puesto que el error entre fases en el dominio de la frecuencia se puede obtenerlo del producto entre $H_e(s)$ y $\Theta_1(s)$, se tendrá entonces que

$$\Theta_e(s) = H_e(s)\Theta_1(s) = H_e(s) \frac{\Delta\Phi}{s} = \frac{\Delta\Phi}{s} \frac{s^2}{s^2 + 2sZW_n + W_n^2}$$

Aplicando el teorema del valor final se ve que el error tiende a cero

$$\Theta_e(\infty) = \lim_{s \rightarrow 0} s\Theta_e(s) = 0$$

4.1.2 Escalón en la frecuencia de la señal de referencia

Si se produce un escalón en la frecuencia de la señal de referencia, la frecuencia angular de dicha señal quedará como

$$w_1(t) = w_o + \Delta w \cdot U(t)$$

Como $q_1(t)$ es la integral de la variación de frecuencia, se tiene que

$$q_1(t) = \Delta w \cdot t$$

Es decir la fase varía ahora como una rampa, lo que según su transformada de Laplace, en el dominio de la frecuencia se tiene

$$\Theta_1(s) = \frac{\Delta w}{s^2}$$

Con lo que de nuevo se puede definir el valor del error en función de s

$$\Theta_e(s) = \frac{\Delta w}{s^2} \frac{s^2}{s^2 + 2sZW_n + W_n^2}$$

Si ahora se aplica el teorema del valor final se ve que el error tiende a cero.

4.1.3 Rampa en la frecuencia de la señal de referencia

Siguiendo el mismo procedimiento que en los dos apartados anteriores, se llega a una expresión para el error cuando aplicamos el teorema del valor final tal que

$$q_e(\infty) = \lim_{s \rightarrow 0} s H_e(s) \Theta_1(s) = \frac{\Delta \omega}{\omega_n^2}$$

Hay que recordar que el modelo lineal no es válido para grandes errores en fase, sin embargo la señal del detector de fases es siempre proporcional al seno del error, de esta manera

$$\sin q_e(\infty) = \frac{\Delta \omega}{\omega_n^2}$$

Como el seno no excede el valor unidad, se tiene que

$$\Delta \omega_{\max} = \omega_n^2$$

Lo cual nos lleva a:

- Si la frecuencia de referencia sufre rápidamente una variación mayor que ω_n^2 el sistema perderá la sincronización.
- Si el PLL está inicialmente fuera de sincronía, éste no será capaz de sincronizarse si la frecuencia de referencia sufre rápidamente una variación mayor que ω_n^2 el sistema perderá la sincronización.

En la práctica, el valor límite mencionado para $\Delta \omega_{\max}$ no llega a alcanzarse por lo general. Por ejemplo, si la frecuencia de referencia es barrida en presencia de ruido, el valor que inicialmente provoca una pérdida de sincronismo del PLL es mucho menor que ω_n^2 . En la mayoría de los casos $\Delta \omega_{\max} = \frac{\omega_n^2}{2}$.



5. Comportamiento del PLL cuando no se encuentra Sincronizado

Ya ha sido tratado el tema del modelo matemático lineal cuando el PLL se encuentra sincronizado. Cuando no se encuentra en dicho estado, el modelo es más complejo y pierde dicha linealidad. Desarrollemos por tanto un nuevo modelo matemático que sea funcional en este caso. Para llevarlo a cabo y para una mejor comprensión de lo que sucede en el sistema se va a realizar una analogía mecánica, la cual, deberá ayudarnos a contestar las siguientes cuestiones:

- ¿Bajo qué condiciones el PLL será capaz de alcanzar el sincronismo?
- ¿Cuánto tiempo necesita para llevar a cabo tal proceso?
- ¿Bajo qué condiciones el PLL deja de estar sincronizado?

5.1 Modelo matemático para el caso en el que no exista sincronismo

El modelo matemático del PLL, depende mucho del tipo de filtro y del detector de fases que se empleó. Para llevar a cabo a la analogía anteriormente citada, nos conviene tomar un multiplicador de fases como detector de la misma y un filtro pasivo retardo-adelanto como Loop Filter. Configurando ambos bloques de esa manera, la ecuación no lineal que se obtiene es análoga a la del siguiente sistema mecánico

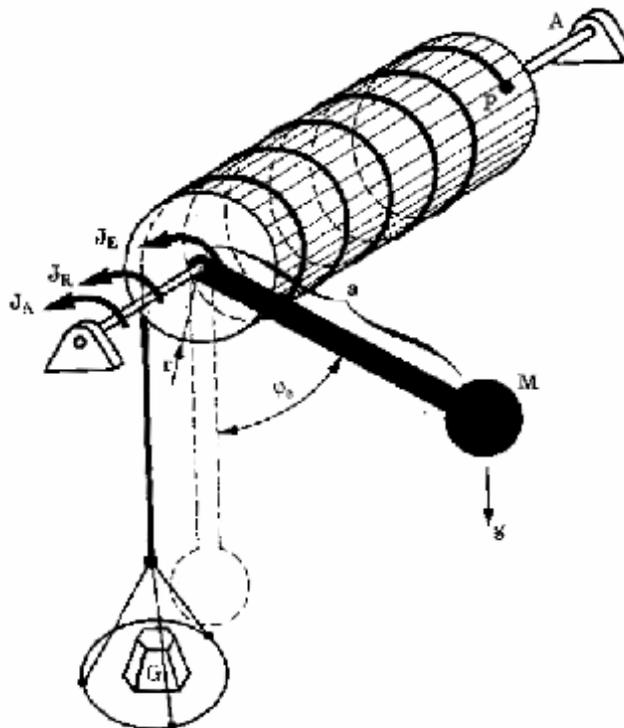


Figura 27. Analogía mecánica para la comprensión del comportamiento del PLL



Como se puede ver en la Figura 27, una barra de masa M está rígidamente unida al eje de un cilindro que puede rotar libremente alrededor de éste. En el sistema posee una cuerda atada a un determinado punto P de la superficie del cilindro y que se enrolla varias veces sobre el mismo. Al final de ésta, la cual cae libremente, se encuentra una plataforma donde se puede colocar peso. Si sobre ella no se coloca ninguna masa se asume que la barra está en posición vertical siendo $j_e = 0$. Al colocar cierto peso G sobre la plataforma, el péndulo comenzará a girar y se irá hacia una nueva posición dada por el ángulo j_e .

La respuesta dinámica del sistema anteriormente definido puede ser obtenida mediante la tercera ley de Newton:

$$Tj_e'' = \sum_i J_i$$

Siendo T el momento de inercia de la barra y el cilindro, j_e el ángulo de giro del péndulo y J_i el conjunto de pares que actúan sobre el sistema, estos serán, el generado por la gravedad tanto en sobre la barra como sobre el peso G colocado en la plataforma y el de fricción.

Trabajando sobre ambos sistemas, el eléctrico y el mecánico se llega a dos ecuaciones que normalizadas para un sistema de segundo orden quedan de la forma

$$q_e'' + 2z\omega_n q_e' \cos q_e + \omega_n^2 \sin q_e = q_1'' + q_1' \frac{\omega_n^2}{K_o K_d} \Rightarrow \text{Para el PLL}$$

$$j_e'' + 2z\omega_n j_e' + \omega_n^2 \sin j_e \approx G(t) \Rightarrow \text{Para el Péndulo}$$

A la vista de esto, se puede decir que entre ambas ecuaciones existe una sutil diferencia que no es otra que el segundo término de ambas expresiones. Mientras que para el Péndulo el coeficiente de este término es constante en el PLL varía con el $\cos q_e$. Para llevar a cabo la analogía, este segundo sumando, debería comportarse de igual manera en ambos casos, es decir, el factor de amortiguamiento, ζ , en la segunda ecuación debería de variar con el $\cos j_e$.

Esto realmente es difícil de asumir, ya que si se piensa en la expresión dada para el péndulo, el segundo término representa la fricción del sistema, y admitir un comportamiento parecido al del $\cos j_e$ implicaría tolerar la existencia de fricciones negativas.

Se supondrá que sobre la plataforma se coloca un peso G lo suficientemente grande como para que en el caso en el que la cuerda fuese infinita el péndulo girase para siempre alrededor de su eje. Además, el par ejercido por la barra sobre el péndulo no es constante. Cuando la barra recorre la mitad inferior de su circunferencia $\left(\frac{-p}{2} \leq j_e \leq \frac{p}{2}\right)$, su velocidad angular media es mayor que cuando recorre su mitad superior, $\left(\frac{p}{2} \leq j_e \leq \frac{3p}{2}\right)$. El par de fricción medio sobre la semicircunferencia inferior, positivo, es mayor, en magnitud, que el par de fricción “negativo” sobre la superior. De



este modo se tiene que el par en un ciclo completo es positivo y por tanto se puede asumir la variación de ζ como el $\cos j_e$.

Por tanto se puede establecer la analogía:

- El error de fases q_e del PLL se corresponde con el ángulo de desviación del péndulo.
- La frecuencia natural w_n del PLL se corresponde la frecuencia natural del péndulo.
- El factor de amortiguamiento del PLL se corresponde con el proveniente del término de la viscosidad en el sistema mecánico.
- El peso G que se coloca sobre la plataforma se corresponde a una perturbación sobre la fase en la señal de referencia. De acuerdo con la relación

$$\frac{\ddot{q}}{K_o} + \frac{\dot{q}}{K_d} + \frac{q}{K_o} \frac{w_n^2}{K_d} \approx G(t)$$

De la definición de fase se tiene que $q = \Delta w \cdot t$ por tanto

$$\Delta \ddot{w} + \Delta w \frac{w_n^2}{K_o K_d} \approx G(t)$$

Es decir, el peso ubicado sobre la plataforma es equivalente a la suma del offset de frecuencia y a su variación.

A continuación se verá como evoluciona el sistema para distintos pesos G, es decir, para distintas perturbaciones en la frecuencia.

El caso trivial sería la no existencia de peso. En esta situación, el péndulo permanece en posición vertical, $j_e = 0$. Esto corresponde al PLL funcionando en su frecuencia central ω_o

offset de frecuencia y con un error de fase nulo.

¿Qué sucede si a la señal de referencia le cambia lentamente su frecuencia?, si esto es así entonces $\Delta \ddot{w}$ es despreciable. En nuestro sistema mecánico esto equivale a ir incorporando peso a la plataforma de manera muy lenta

$$G(t) \approx \frac{w_n^2}{K_o K_d} \Delta w$$

El péndulo comenzará a moverse, dejando la posición vertical inicial siendo por tanto $j_e \neq 0$, lo que implica que para el PLL aparecerá un error finito entre fases.

Para pequeñas variaciones en la frecuencia de referencia el error entre fases será proporcional a $\Delta \omega$. Cuando el desplazamiento de la frecuencia alcanza cierto valor denominado “rango de agarre” (Hold Range), la desviación del péndulo es de $\frac{P}{2}$. Esta

posición es el límite de estabilidad estática. Con la más mínima perturbación el péndulo volcaría y suponiendo que fuese posible giraría para siempre alrededor de su eje,

incrementando en $2p$ el valor de j_e en cada vuelta, tendiendo por tanto el error entre fases a infinito. Este caso sería aquel en el que el PLL no es capaz de llevar a cabo el seguimiento de fase y se perdería la sincronización

Se estudia ahora el caso en el que se produce un escalón en la frecuencia de la señal de referencia. Si un escalón de tamaño $\Delta\omega$ se efectuara en un instante $t = 0$, se tendría entonces que

$$w_1(t) = w_o + \Delta\omega \cdot u(t)$$

La derivada primera de el incremento de frecuencia viene dada por $\Delta\omega(t) = \Delta\omega \cdot d(t)$.

A la vista de esto, el peso $G(t)$ a colocar en la plataforma debe simular un escalón y un impulso. Para llevar esto a cabo se deja caer cierta masa desde una distancia determinada, si el choque entre ésta y la plataforma se realiza de manera elástica, el péndulo mostrará una respuesta transitoria principalmente en forma de oscilación amortiguada. Si el peso lanzado es relativamente pequeño, la desviación final del péndulo será la misma que si la deposición se hubiera llevado a cabo de manera paulatina. A pesar de que el péndulo no sufra una fuerte sobreamortiguación, la variación máxima del ángulo j_e es mucho mayor que el valor final del mismo. Cuando la masa lanzada es lo suficientemente grande como para que la desviación máxima exceda los 90° pero no los 180° , la posición final del péndulo estará por debajo de $\frac{p}{2}$.

Esto no lleva a la conclusión de que un PLL lineal, hay que recordar que se está empleando como detector de fases el multiplicador, puede funcionar correctamente cuando de forma eventual el error de fases excede los 90° .

Si por el contrario el pico de desviación excede los 180° el péndulo volcará y realizará un número de vueltas alrededor de su eje, tras éstas, es posible que permanezca inmóvil.

Si este análisis se hubiera llevado a cabo de manera cuantitativa se observaría que el peso que representa el límite del rango de agarre es mucho mayor que el que produce la pérdida de la sincronización. A la vista de esto se va a definir un nuevo valor límite para la variación de frecuencia, pull-out range. Aquel desvío de la frecuencia que produce la pérdida de sincronismo, cuando es aplicado como escalón recibe el nombre de pull-out range. Éste último es mucho menor que el hold range y puede ser considerado como un límite de estabilidad dinámica permaneciendo el PLL sincronizado siempre y cuando éste último no sea excedido.

Existe una última causa por la cual se puede perder la sincronización con nuestro sistema. Si la frecuencia de la señal de referencia incrementa de forma lineal con el tiempo,

$$\Delta\omega(t) = \Delta\omega \cdot t$$

Siendo $\Delta\omega$ el grado de variación de la frecuencia. Si se piensa en la analogía mecánica realizada esto último equivaldría a que el peso $G(t)$ fuese aumentando de forma lineal con el tiempo. Este caso ya había sido visto en secciones anteriores y se sabe que $\Delta\omega < w_n^2$.

Con estos tres ejemplos se puede sacar conclusiones sobre que condiciones son necesarias para que el PLL mantenga el seguimiento de fase



- La frecuencia de la señal de referencia debe permanecer dentro del hold range.
- El máximo valor del escalón de frecuencia tolerado es menor que pull-out range.
- El grado de variación de la frecuencia debe ser menor que el cuadrado de la ω_n .

Ahora cabe preguntarnos, una vez perdido el sincronismo, si reestablecen los valores dentro de los rangos adecuados ¿se conseguirá obtener un buen funcionamiento del PLL?. La respuesta es No. Si la frecuencia excede el hold range, de nada servirá eliminar peso de la plataforma para reubicar la frecuencia dentro de un rango aceptable, pues la energía cinética del péndulo será tan elevada que no tendrá efecto dicha disminución. Incluso, en ausencia de fricción, si se eliminara todo el peso de la barra, ésta seguiría girando indefinidamente.

Pero la fricción existe, y esto se traduce a que en el PLL el error de fase crecerá más lentamente si se lleva la frecuencia de referencia hacia otro valor crítico, frecuencia pull-in. Si la pendiente de la media del error de fase disminuye, la frecuencia del oscilador ω_2 estará cada vez más cercana a la de referencia, produciéndose finalmente la sincronización.

De nuevo la frecuencia de pull-in, es mucho menor que el hold range. El proceso de pull-in es excesivamente lento.

Se puede demostrar que el péndulo puede ser dejado inmóvil en una vuelta si el peso es críticamente reducido hasta un determinado valor. Esto implica que el PLL puede recuperar su sincronismo de una manera mucho más rápida que la aportada por el pull-in. Para ello solo se tiene que reducir la frecuencia hasta un valor crítico denominado lock range. Este último proceso aunque es mucho más rápido es mucho más limitado, siendo más amplio el rango de recuperación del pull-in.

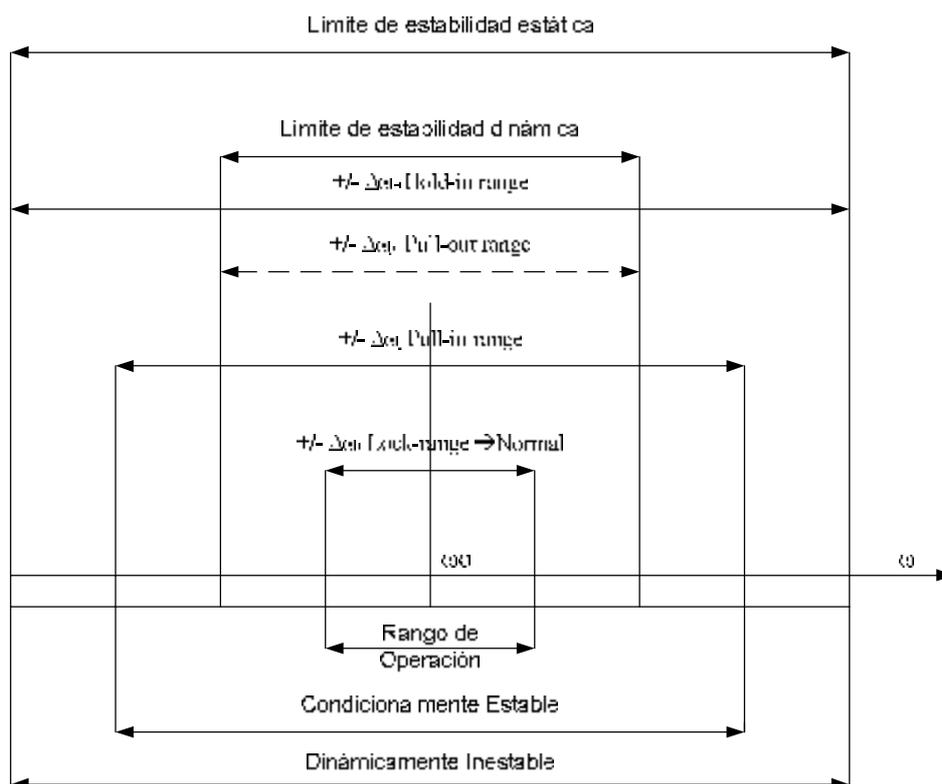


Figura 28. Límites estáticos y dinámicos de estabilidad de un PLL lineal de segundo orden

- Por tanto para trabajar con un PLL se deben tener en cuenta cuatro parámetros clave,
- Hold range $\Delta\omega_H$. Rango de frecuencias en el que el PLL puede mantener estáticamente el seguimiento de la fase. Se puede considerar que el PLL es solidamente estable sólo dentro de este rango.
 - Pull-out range $\Delta\omega_{po}$. Es el límite dinámico de estabilidad del PLL. Si el seguimiento se pierde dentro de este rango, el PLL podrá recuperar el sincronismo de nuevo, proceso que puede ser lento si se lleva a cabo mediante un proceso de pull-in.
 - Lock range $\Delta\omega_L$. Rango de frecuencia para el que el bloqueo del PLL se realiza de una sola vez.
 - $\Delta\omega_L < \Delta\omega_{po} < \Delta\omega_p < \Delta\omega_H$
 - Se deben añadir dos nuevos elementos que derivan de los anteriores, estos son T_L y T_p . Tiempo que tarda el PLL en recuperar el sincronismo en el caso de un proceso Lock-in o un proceso pull-in, respectivamente.

El propósito del PLL que aquí se presenta no es otro que el de conseguir la sincronización con la red. Como al menos una de las entradas al detector de fases va a ser la medida de tensión de la red, y aunque ésta sea posteriormente muestreada, en principio es una señal analógica. Es por ello que se haya optado por la implementación de un LPLL sobre el SPLL. Hay que recordar de la sección en la que se vieron los diferentes tipos de detectores de fases, que el Multiplicador de fases, es tan sólo empleado por el LPLL a causa de que la señal de referencia del mismo es una onda sinusoidal, es por ello que se haya optado por la programación de este tipo de detector en el software del SPLL.

En este caso sólo nos queda una opción para el detector de fases, la cual no es otra que el empleo de un multiplicador de fases para la constitución de dicho bloque.

Con esta elección los valores de los parámetros anteriormente estudiados, en función de la ganancia de los distintos bloques y del polo y cero del filtro, vienen dados por

Parámetro	Loop Filter		
	Pasivo	Activo	PI
Frecuencia Natural ω_n	$\sqrt{\frac{K_o K_d}{t_1 + t_2}}$	$\sqrt{\frac{K_o K_d K_a}{t_1}}$	$\sqrt{\frac{K_o K_d}{t_1}}$
Factor de amortiguación ζ	$\frac{w_n}{2} \left(t_2 + \frac{1}{K_o K_d} \right)$	$\frac{w_n}{2} \left(t_2 + \frac{1}{K_o K_d K_a} \right)$	$\frac{w_n t_2}{2}$
Hold Range $\Delta\omega_H$	$K_o K_n$	$K_o K_n K_a$	∞
Lock Range $\Delta\omega_L$	-	$\approx 2z w_n$	-
Lock Time T_L	-	$\approx \frac{2p}{w_n}$	-
Pull-in Range $\Delta\omega_p$	$\frac{4\sqrt{2}}{p} \sqrt{z w_n K_o K_d}$	$\frac{4\sqrt{2}}{p} \sqrt{z w_n K_o K_d}$	-
Pull-in Time T_p	$\approx \frac{p^2 \Delta w_o^2}{16 z w_n^3}$	$\approx \frac{p^2 \Delta w_o^2 K_a}{16 z w_n^3}$	$\approx \frac{p^2 \Delta w_o^2}{16 z w_n^3}$
Pull-out Range $\Delta\omega_{po}$	-	$\approx 1.8 w_n (z + 1)$	-

Tabla 1. Parámetros de diseño de un PLL de segundo orden



La magnitud **hold range** $D\omega_H$, se obtiene calculando aquella frecuencia que hace que el error en frecuencia sea máximo. Para el caso que nos preocupa, esto es, multiplicador como detector de fases, se tendrá que ver para que valor de la frecuencia de la señal de entrada el error de fases es de $\frac{P}{2}$. El máximo valor que puede tomar ω_1 viene dado por

$$\omega_1 = \omega_o + \Delta\omega_H$$

Y por tanto la fase de la onda será $q_1(t) = \Delta\omega_H \cdot t$, siendo su transformada de Laplace $\Theta_1(s) = \frac{\Delta\omega_H}{s^2}$. Con esta última expresión y la función de transferencia del error se puede determinar a que tiende el error y ver para qué valor de la frecuencia se hace máximo.

A continuación se determinará el valor del **lock range** $D\omega_L$ y su tiempo de bloqueo T_L . Para determinar el primero de ellos se asume que el sistema no está sincronizado, suponiendo la misma forma de onda que se supuso al comienzo de capítulo para las señales de entrada al multiplicador, esto es

$$U_1(t) = U_{10} \sin(\omega_o + \Delta\omega \cdot t)$$

$$U_2(t) = U_{20} \text{rect}(\omega_o t)$$

Al llevar a cabo el producto de las dos señales y su paso por el filtro nos encontramos con que

$$U_f(t) = K_d |F(\Delta\omega)| \sin(\Delta\omega \cdot t)$$

Señal ac que provoca la modulación de frecuencia del VCO. Siendo $F(\Delta\omega)$ la función de transferencia del filtro. El pico de la desviación de ésta será $K_o K_d |F(\Delta\omega)|$. Como se ve en la Figura 29, cuando $\Delta\omega$ sea $\Delta\omega_L$ se produce el bloqueo instantáneo.

$$\text{Por otro lado } T_L = \frac{2P}{\omega_n}$$

Se va a estimar a continuación el valor del **pull-in range** $D\omega_p$ y del **pull-in time** T_p .

Supongamos que el PLL inicialmente no se encuentra sincronizado y que el VCO está operando a la frecuencia central ω_o . La señal media de salida del detector de fases será un seno de frecuencia $\Delta\omega$. Se asume también que ésta última es lo suficientemente grande como para que no pueda producirse un proceso de Lock-in. En el filtro la señal media de salida del detector de fases será atenuada. Sí $u_f(t)$, emitida por el éste último, fuese un seno perfecto su media sería cero y por tanto el VCO permanecería indefinidamente trabajando en su frecuencia media ω_o , con lo que nunca se daría el pull-in.

Afortunadamente, se ha pasado por alto el hecho de que la diferencia entre la frecuencia de la señal de salida del oscilador y la de referencia no es constante. Si ω_2 es modulada en sentido positivo (pendiente positiva), la diferencia de frecuencias entre las dos ondas alcanza un valor mínimo $\Delta\omega_{\min}$ y viceversa, al hacerse en sentido negativo se llega a $\Delta\omega_{\max}$, siendo esta última mayor que la primera. $\Delta\omega(t)$ no es constante, siendo el semiciclo positivo de mayor duración que el negativo, como se observa en la Figura 30, esto hace que en media la frecuencia de salida tienda a la de la onda referente. La

asimetría de ω_2 depende en gran medida del valor del desplazamiento de la frecuencia, $\Delta\omega$. La asimetría será mayor cuanto menor sea el valor del offset.

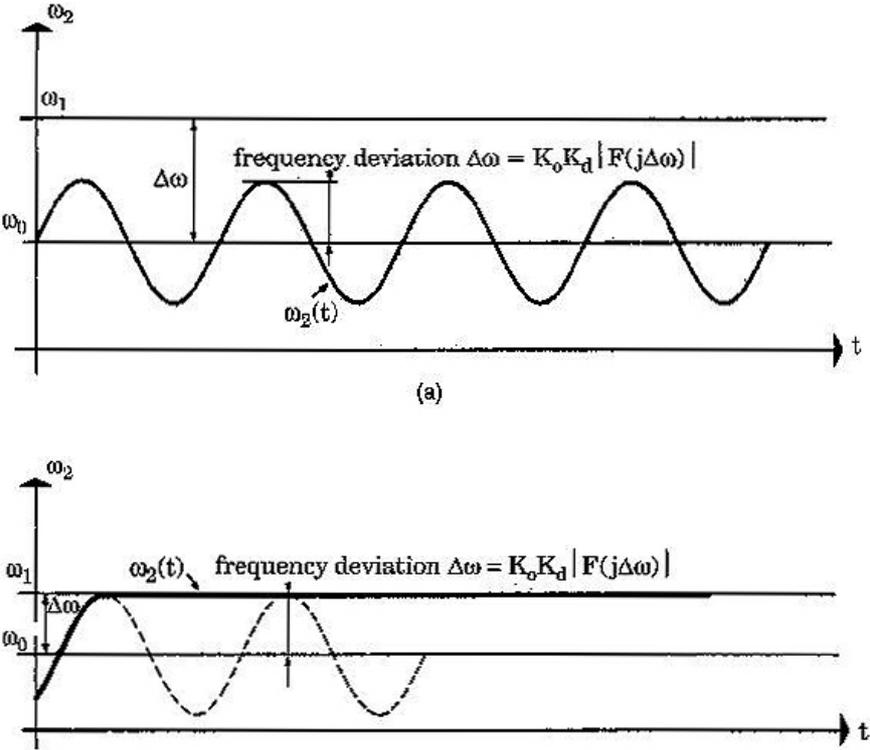


Figura 29. Proceso Lock-in

(a) El pico de la desviación de frecuencia es menor que el Offset $\Delta\omega$, por ello no se puede alcanzar un bloque rápido. (b) El pico de frecuencia es del tamaño del Offset por lo que se alcanza el bloque de manera rápida.

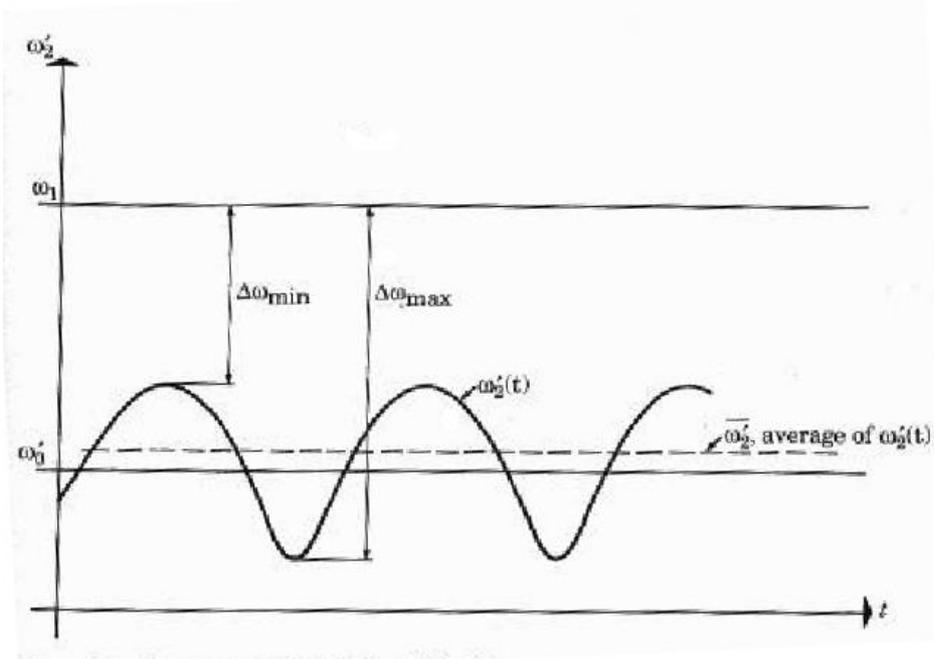


Figura 30. Onda del VCO cuando no existe sincronismo

En el estado de no sincronismo la frecuencia modulada por el VCO es una señal no armónica. Esto provoca que le valor medio de la frecuencia del VCO se dirija hacia la referencia.



Como se ve este proceso es regenerativo, cuanto más se acerque la señal a la de referencia, menor será $\Delta\omega$ y por tanto más asimétrica será la onda, tendiendo durante más tiempo al valor $\Delta\omega_{\min}$ y por tanto acercándose más al valor ω_1 lo que hace que de nuevo $\Delta\omega$ disminuya...de esta manera se observa que la frecuencia de la señal de salida del VCO tiende a la de entrada. El tiempo T_p depende del filtro escogido.

Antes de finalizar este capítulo se estudiará el último de los parámetros vistos, **pull-out range**, $D\omega_{po}$. Éste es por definición el valor del escalón de frecuencia que provoca la pérdida de sincronización con el sistema en el caso de ser aplicado a la señal de referencia. Para el caso del LPLL, no es posible calcular un valor exacto para este parámetro pero se puede obtener una aproximación de las simulaciones, esto es, $\Delta w_{po} \approx 1.8w_n(z+1)$. En la mayoría de los casos prácticos se tiene que $\Delta w_L < \Delta w_{po} < \Delta w_p$.

	Proyecto Fin de Carrera
	Diseño de un PLL para el inversor de un sistema de alimentación ininterrumpida (SAI)

6. PLL Software: SPLL

Una de las principales ventajas que ofrece el diseño de PLLs mediante la vía software, es la flexibilidad y versatilidad de la que va acompañado un medio no físico, es decir, un programa se puede moldearlo como un LPLL, un DPLL o incluso añadirle funciones a estos últimos que sus versiones físicas no contienen. Por otro lado es necesario comentar que hoy en día los PLL hardware, presentan un amplio y barato abanico de posibilidades, por lo que entre otras cosas debe estar económicamente justificado el uso de un SPLL. Con el fin de llevar a cabo esta justificación, es recomendable llevar a cabo los siguientes pasos.

Paso 1.- Definición del algoritmo. Se lleva a cabo una presentación o bosquejo del algoritmo a implementar, con el fin de aclarar y ordenar ideas.

Paso 2.- Definición del lenguaje. Definido el algoritmo, se elije un lenguaje de programación con el fin de llevar a cabo la codificación de nuestro algoritmo. Si el programa se va a ejecutar en un microcontrolador, el lenguaje debe ser tal que exista un compilador disponible, en nuestro caso el lenguaje de programación empleado ha sido el C. Una vez compilado, se debe estimar el tiempo de ejecución. No todo compilador es capaz de generar el código ensamblado en un tiempo eficiente, este es uno de los puntos más importantes en el caso de emplear un DSP. Estos últimos, emplean técnicas pipeline, esto implica ejecutar diferentes instrucciones en una sola instrucción. En el caso de que el compilador no sea eficiente, la escritura del código debería llevarse a cabo en ensamblador, lo cual no es nada fácil.

Paso 3.- Estimación del tiempo real. Una vez estimado el tiempo de ejecución del programa, se debe calcular el tiempo real que va tardar el microcontrolador en llevar a cabo todas las instrucciones requeridas en el algoritmo.

Paso 4.- Testeo del tiempo real.

6.1 Desarrollo de un SPLL como un LPLL

A la hora de implementar un PLL, mediante vía software, lo primero que se tiene que tener en cuenta es que todas aquellas funciones que el hardware lleva a cabo de manera continua en el tiempo aquí han de ser discretizadas.

Como ya se comentó, de acuerdo con la finalidad que tiene el PLL que se ha desarrollado en este proyecto, se ha empleado como detector de fases un multiplicador de señales. La elección de éste no era otra que la naturaleza analógica de la señal de referencia, tensión de la red. Por este motivo es necesario incorporar a los bloques anteriormente comentados un convertidor analógico digital, de tal forma que la medida de la red sea digitalizada a una frecuencia de muestreo $f_s = \frac{1}{T_s}$, siendo T_s el intervalo de muestreo.

Tomando las muestras para $t = 0, T_s, 2T_s, \dots, nT_s$. Se empleará $u_1(n)$ para referirnos a la señal de referencia muestreada en el instante $t=n$. Todos los bloques de nuestro sistema deben trabajar de forma síncrona con el reloj del ADC, para así tener las señales de cada uno de ellos en el mismo instante de muestreo.



En la Figura 32, se ve las entradas y salidas de cada bloque. Comentar que la señal de salida del DCO, no es $u_2(t)$ directamente. Ésta se tendrá que obtener a partir de $j_2(t)$. Si se emplea un VCO en lugar de un oscilador controlado digitalmente, (Digital Controlled Oscillator)(DCO), su frecuencia angular instantánea sería

$$w_2(t) = w_o + K_o u_f(t)$$

A partir de esto y con la definición de fase, se puede sacar de manera continua la fase de la onda de salida del oscilador

$$j_2(t) = \int w_2(t)dt = w_o t + K_o \int u_f(t)dt$$

A diferencia de otras veces, en este caso se ha trabajado con la fase total y no con el incremento de la misma, el cual se correspondería con el segundo sumando de la última igualdad. Si se asignan los valores +1 y -1 a la onda cuadrada de salida del oscilador, se tendrá que para el primero de los valores j_2 debe pertenecer al intervalo $(0, p)$ o $(2p, 3p)$..., Figura 31, y para el resto de los casos tomará el valor -1.

A continuación se llevará a cabo una discretización de lo anteriormente comentado.

Si se lleva a cabo un muestreo de la señal de salida del filtro $u_f(t)$, en el instante $t=nT_s$ y se asume que ésta permanece constante en el intervalo de tiempo $nT_s < t < (n+1)T_s$, la fase total del oscilador de salida variará en ese intervalo

$$\Delta j_2 = [w_o + K_o u_f(n)]T_s$$

Conocida la fase en el instante n, se podrá determinar la fase en el n+1, de la forma

$$j_2(n+1) = j_2(n) + [w_o + K_o u_f(n)]T_s$$

Así que a partir de la inicialización de la fase para el instante $n=0$, se podrá conocer el valor de la frecuencia en el instante siguiente. Esto es muy importante puesto que conocida la fase para $t=(n+1)T$, es posible obtener el valor la señal en ese instante,

$$u_2(n+1) = 1 \quad \text{si} \quad 2kp \leq j_2(n+1) \leq (2k+1)p$$

$$\text{ó}$$

$$u_2(n+1) = -1 \quad \text{si} \quad (2k-1)p \leq j_2(n+1) \leq 2kp$$

Siendo k entero.

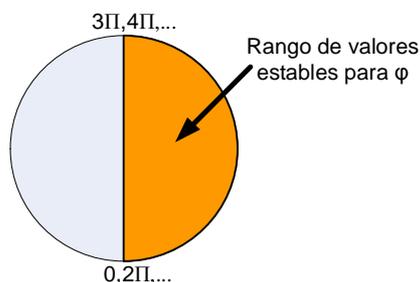


Figura 31. Rango de valores de la fase que permiten la estabilidad del sistema

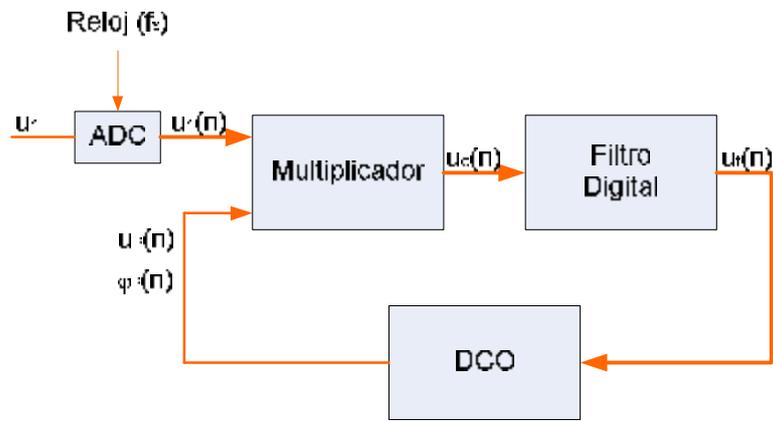


Figura 32. Diagrama de bloques de un SPLL configurado como un LPLL

En la Figura 33 se ve como evolucionan las distintas señales que intervienen en el PLL. En línea discontinua se presenta la evolución continua de las mismas mientras que los puntos representan el valor de éstas para los diferentes instantes de muestreo. Se debe indicar que tan sólo la señal $u_1(t)$ es realmente continua en el tiempo.

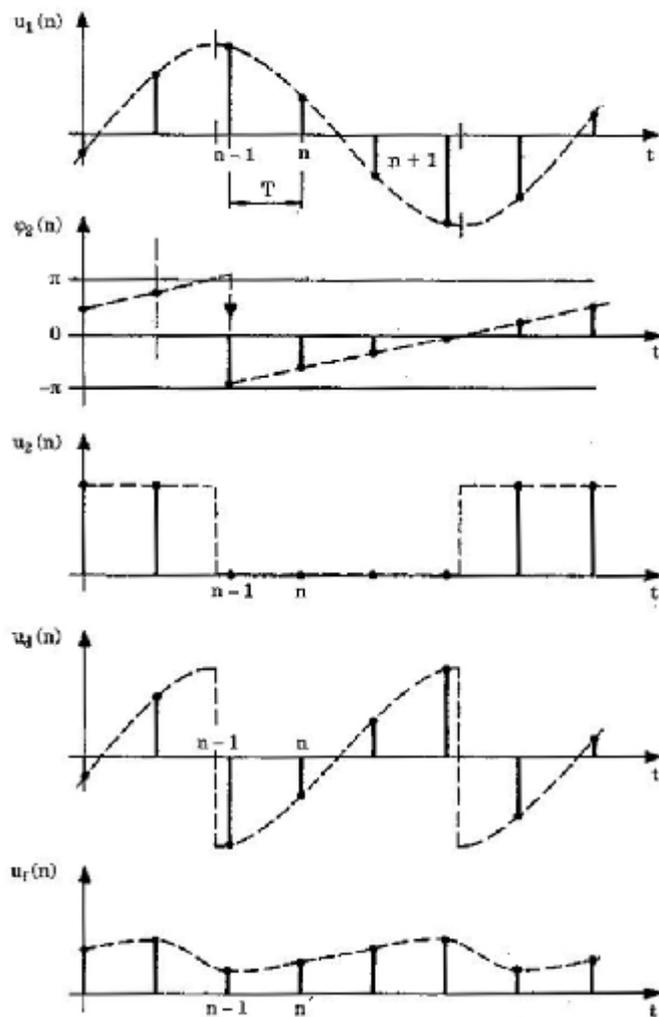


Figura 33. Dibujo de las señales calculadas por el algoritmo del SPLL



Para un instante $t = nT$, la salida del multiplicador $u_d(n)$ vendrá dada por

$$u_d(n) = K_d u_1(n) u_2(n)$$

Donde K_d es la ganancia del detector de fases. Conocida $u_d(n)$, en el instante $T=n$, un nuevo valor de la señal del filtro podrá ser evaluado en ese instante, $u_f(n)$. Conocido éste, se determinará $j_2(n+1)$, valor que se empleará para obtener el de $u_2(n+1)$ el cual es necesario para poder determinar $u_d(n+1)$...

Visto todo esto, se va a pasar a enumerar los diferentes pasos de los que va a consistir el algoritmo del SPLL:

Paso 0.- Se lleva a cabo una inicialización de las variables del algoritmo, esto es

$$\begin{aligned} u_2(n) &= 0 \\ j_2(n) &= 0 \\ u_d(n-1) &= 0 \\ u_f(n-1) &= 0 \end{aligned}$$

Cada vez que se produzca la rutina de interrupción:

Paso 1.- Realizar el muestreo de $u_1(n)$ a través del ADC

Paso 2.- Operación llevada a cabo por el detector de fases: $u_d(n) = K_d u_1(n) u_2(n)$

Paso 3.- Cálculo de la señal del filtro. Un filtro analógico se caracteriza por la siguiente función de transferencia

$$F(s) = \frac{U_f(s)}{U_d(s)}$$

Siendo el numerador y el denominador las transformadas de Laplace de las señales $u_f(t)$ y $u_d(t)$. Pasemos ahora del dominio de la frecuencia al del tiempo, discretizado. Para ello se lleva a cabo la transformación de $F(s)$ en $F(z)$, empleando la transformación bilineal. Empleando un filtro del tipo PI, la transformación anteriormente comentada queda como

$$F(z) = \frac{b_o + b_1 z^{-1}}{1 + a_1 z^{-1}}$$

Siendo los coeficientes del filtro

$$\begin{aligned} a_1 &= -1 \\ b_o &= \frac{T}{2t_1} \left[1 + \frac{1}{\tan(T/2t_2)} \right] \\ b_1 &= \frac{T}{2t_1} \left[1 - \frac{1}{\tan(T/2t_2)} \right] \end{aligned}$$

	Proyecto Fin de Carrera
	Diseño de un PLL para el inversor de un sistema de alimentación ininterrumpida (SAI)

Donde T es el intervalo de muestreo. Con todo esto, la ecuación del filtro en el discretizada viene dada por

$$u_f(n) = -a_1 u_f(n-1) + b_o u_d(n) + b_1 u_d(n-1)$$

Paso 4.- Cálculo de la fase total del oscilador para el siguiente instante de muestreo.

$$j_2(n+1) = j_2(n) + [w_o + K_o u_f(n)]T$$

A la vista de esta ecuación se puede observar que si el algoritmo se ejecuta durante un periodo de tiempo prolongado, la fase terminará por salirse del rango permitido por los registros del DSP. Para evitar dicho overflow, se limitará j_2 en el intervalo $-p < j_2 < p$.

Paso 5.- Saturación de la fase j_2 . Si cuando se muestrea dicha señal, el valor de esta excede de p , se asegura su permanencia en el rango anteriormente comentado si se resta a ésta $2p$.

Paso 6.- Obtención de $u_2(n+1)$. Dicho valor se calcula a partir de la frecuencia completa de la señal de salida del oscilador

$$\begin{aligned} j_2(n+1) \geq 0 &\Rightarrow u_2(n+1) = 1 \\ j_2(n+1) < 0 &\Rightarrow u_2(n+1) = -1 \end{aligned}$$

Paso 7.- Se lleva a cabo una actualización de las variables empleadas. **Paso 1.**

Es importante comentar, que para evitar el fenómeno de la aliasing al implementar el filtro PLL en el PC, se debe escoger una frecuencia de muestreo al menos 4 veces mayor que la frecuencia de la señal de referencia.



7. Sistema Eléctrico

7.1 Introducción

A continuación se va a presentar el sistema eléctrico empleado para llevar cabo las simulaciones realizadas. Éstas se han realizado con el software PSCAD 4.1, la duración de las diferentes pruebas efectuadas no ha sido superior a los 12 segundos, empleando para ellas una frecuencia de muestreo de $10\mu s$.

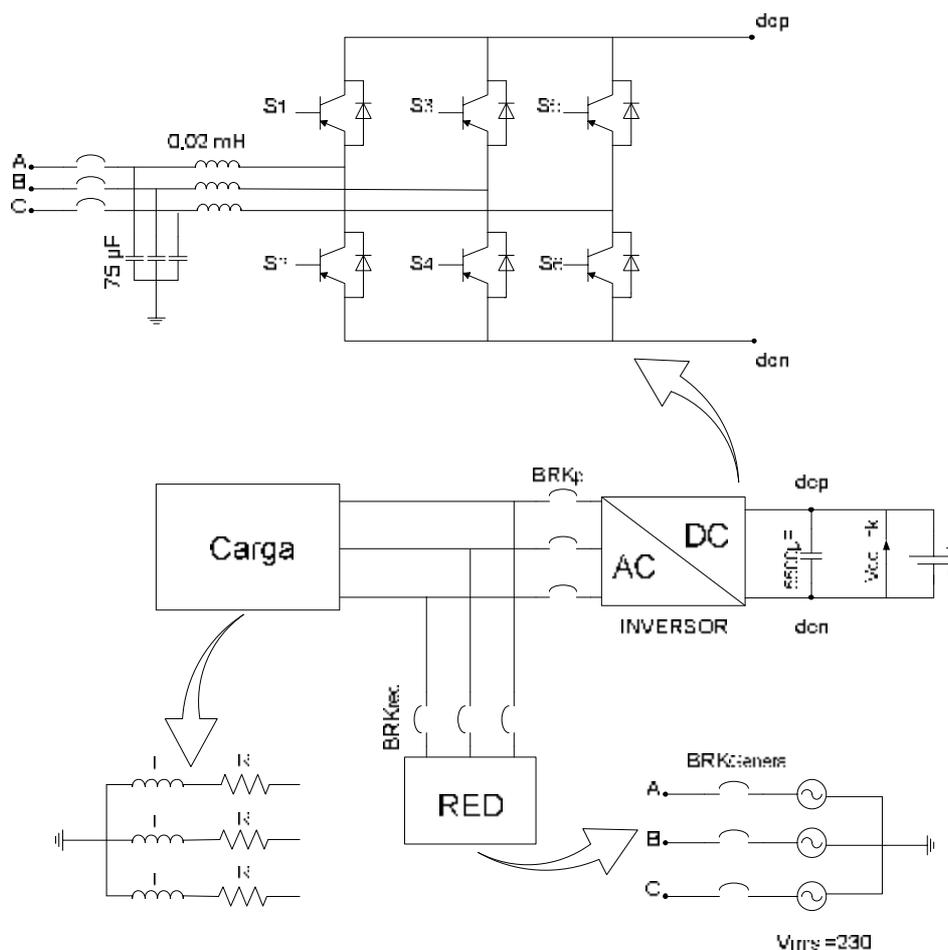


Figura 34. Esquema eléctrico del sistema simulado. Detalle del Inversor

Como se ve en la Figura 34, el circuito a grandes rasgos está constituido por un sistema de continua que proporcionaría alimentación de la UPS en el caso que la potencia demandada por la carga no fuese extraída de la red, como ya se vió al comienzo del documento esto se puede llevar acabo de múltiples formas, como el proyecto no se basa en este elemento de la UPS, se considerará que la potencia que se puede extraer es infinita. Para ello se ha empleado una fuente de tensión continua unida al inversor mediante un condensador en paralelo de $5500\mu F$. El inversor, otra de las partes del sistema, se muestra en detalle en la Figura 36. Y por último, la carga y la red. Como se puede ver, aparecen un conjunto de interruptores. El denominado General,

como su nombre indica, es el de corte general de la UPS a la red, es decir ante un fallo en esta última, el operario de la red eléctrica abrirá dicho interruptor para poder despejar la falta. Por otro lado se ve los interruptores BRKpll y BRKred, estos dos son controlados por el mismo switch con lógica contraria, es decir, cuando uno abre el otro cierra y viceversa, actuará sobre él el control de la UPS para variar de un modo a otro de funcionamiento según esté el sistema. En la práctica estos interruptores son denominados como pasivos. A diferencia de un interruptor mecánico, estos son dispositivos electrónicos cuya transición de on a off y viceversa se da de manera casi instantánea incluso en algunas ocasiones este tiempo es nulo. Según valores de SAIs comerciales este tiempo es del orden de los 4ms en UPSs de baja potencia y llega a ser nulo en las de alta. A esto último se debe añadir que los estándares norteamericanos, ANSI/IEEE Std 944-1986, referentes a la aplicación y prueba de UPSs para estaciones generadoras de potencia, exigen un tiempo máximo de conmutación de 4.17ms. Para este tipo de aplicación se emplearán semiconductores de potencia ya sean de bloqueo natural o forzado. En el esquema anteriormente, no parecen dicho tipo de interruptores. Esto es debido a que el software empleado trabaja con los interruptores mecánicos de forma ideal, y por tanto actúan de forma instantánea, siendo válidos de esta forma, para ser empleados como estáticos.

BRK1 es empleado para emular una carga desequilibrada. El interruptor nombrado como General2 tiene como única misión la de levantar una flag de error en el programa de control del PLL.

Referente a la carga, decir que en todos los casos de linealidad ésta ha sido dimensionada para que la potencia demandada sea aproximadamente 10kVA. En la Tabla 2 se representan los diferentes casos con las que se ha trabajado

Cargas Lineales					
S(kVA)	P(kW)	Q(kVar)	L(H)	C(μF)	R(Ω)
10	10	-	-	-	16
10	-	10	0.05	-	-
10	2.240	2.240	0.037	-	11.8
10	2.240	2.240	-	270	11.8

Tabla 2. Cargas Lineales

Como se puede observar, se han llevado a cabo cuatro pruebas con cargas de tipo lineal. Las simulaciones que se presentan más adelante recogen los datos de cargas tipo R, L, RL y RC con los valores anteriormente mostrados. Si nos fijamos en el reparto de la potencia aparente entre la potencia activa y reactiva, se ve que es equitativo para los dos últimos tipos de cargas.

Por último comentar el tipo de carga no lineal, Figura 35, con la que se ha trabajado, ésta se compone de tres rectificadores monofásicos no controlados alimentando cada uno de ellos a una resistencia.

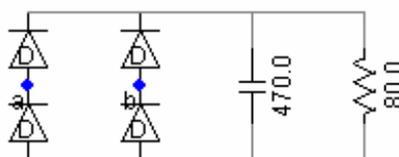


Figura 35. Carga no lineal. Rectificador no controlado



7.2 El Inversor

A continuación se estudiará dicha parte del sistema. Para ello se verá el control del mismo y su topología, se va a comenzar por la segunda, ya que ésta es algo más sencilla.

7.2.1 Topología

En primer lugar se va a recordar el esquema del inversor y las señales que entran e intervienen en el control del mismo.

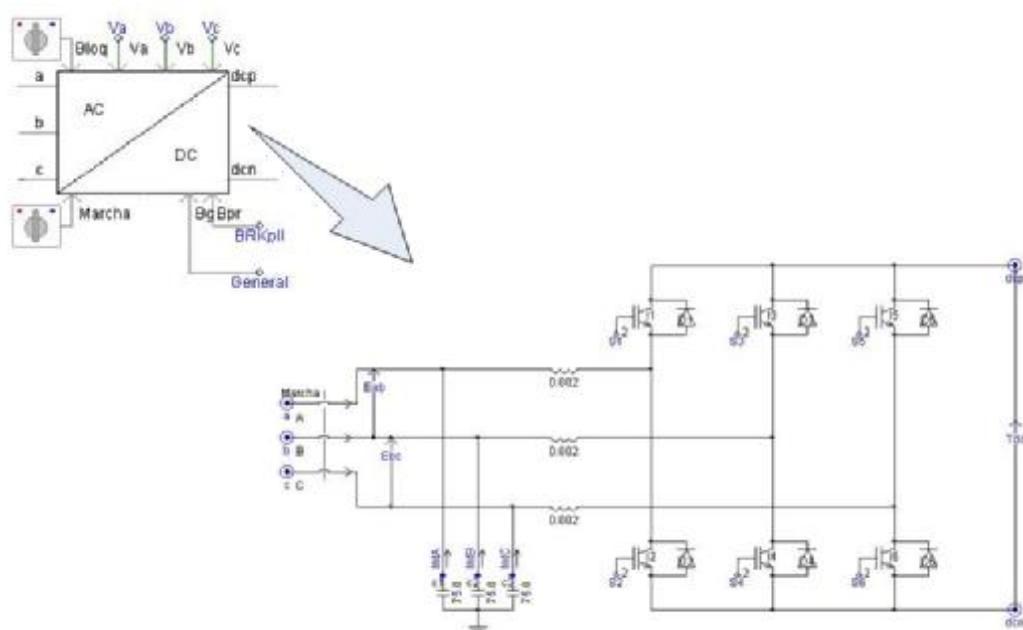


Figura 36. Señales de control del Inversor

Señales del Inversor	
Señal	Función
Marcha	Precarga del sistema. Actúa dentro del bloque de control del inversor.
Bloq	Precarga del sistema. Actúa dentro del bloque de control del inversor.
$V_i \forall i \in (a,b,c)$	Tensiones de fase medidas de la red. Actúan dentro del bloque PLL.
BRKpll	Señal de selección entre UPS o Red. Actúa dentro del bloque PLL.
General	Desconexión de la red ante fallo. Actúa dentro del bloque PLL.
dcp, dcn	Conexión eléctrica entre el DC-Link y el Inversor.
a, b, c	Conexión eléctrica entre el inversor y la carga.
E_{ab}, E_{bc}	Medidas de tensión de línea a la salida del Inversor. Bloque de control
$Int_i \forall i \in (a,b,c)$	Corrientes en los condensadores del filtro de salida. Bloque de control
$S_i \forall i \in [1,6]$	Señal de disparo de los semiconductores del Inversor.
Tdc	Diferencia de tensión entre dcp y dcn. Bloque de control.

Tabla 3. Señales del Inversor



Por último, antes de pasar al control del inversor, se verá el filtro de salida de éste.

Filtro de salida

Dicho filtro es esencial a la hora de alimentar de forma limpia y eficaz a la carga. Debido a la posición de ésta inmediatamente después del inversor, la onda de tensión proporcionada por el último debe estar exenta de los armónicos de conmutación, ya que la carga es sensible a éstos pudiendo llegar a ser dañada.

Para evitarlo, se colocará un filtro paso bajo que lleve a cabo tal reducción de armónicos. El filtro que aparece a la salida del inversor es un filtro LC, el cual lleva vinculado un fenómeno de resonancia. La resonancia eléctrica es un fenómeno que se produce en un circuito en el que existen elementos reactivos (bobinas y condensadores) cuando es recorrido por una corriente alterna de una frecuencia tal que hace que la reactancia se anule, en caso de estar ambos en serie o se haga máxima si están en paralelo. Como se ve en la Figura 37, ambos elementos se encuentran en serie, y por tanto su impedancia vendrá dada por

$$Z = jL\omega - j\frac{1}{C\omega} = j\left(L\omega - \frac{1}{C\omega}\right) = jX_s$$

Siendo X_s la reactancia total del circuito y la cual será nula para un valor determinado de la frecuencia, denominada frecuencia de resonancia, ω_o

$$L\omega_o = \frac{1}{\omega_o C} \Rightarrow \omega_o^2 = \frac{1}{LC} \Rightarrow \omega_o = \frac{1}{\sqrt{LC}} \text{ y por tanto con } \omega_o = 2\pi f_o$$
$$f_o = \frac{1}{2\pi\sqrt{LC}} \text{ en (Hz)}$$

Se debe tener cuidado con esta frecuencia, en la cual parece el pico de resonancia, ya que si alguno de los armónicos más frecuentes de la carga entra dentro de ese rango provocará resonancia. Como se verán en la Figura 38, diagrama de Bode del filtro, este valor de frecuencia la frecuencia se encuentra alrededor de los 2582Hz.

Por tanto, nos encontramos aproximadamente sobre el armónico 50 de la carga, el cual está lo suficientemente alejado del fundamental, 50Hz, como para que pueda llegar a provocar resonancia en ésta última.

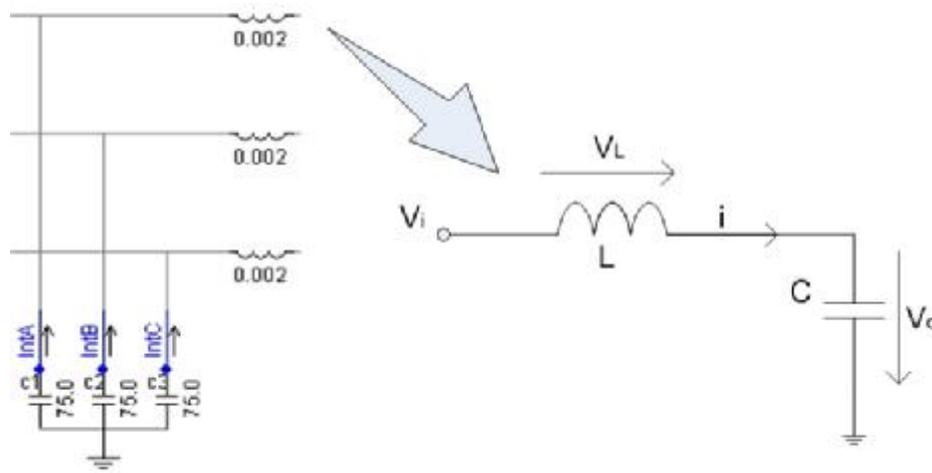


Figura 37. Filtro de Salida del Inversor

A continuación se presentan las ecuaciones que gobiernan al circuito simplificado con el fin de obtener la función de transferencia con la que se podrá obtener el bode de dicho sistema.

$$V_L = L \frac{di}{dt}$$
$$i = C \frac{dV_o}{dt}$$
$$V_i = V_o + V_L$$

Con estas ecuaciones queda bien definido el comportamiento del filtro, ahora se va a emplear éstas para poder llevar a cabo la construcción de $H(s)$, la cual se formará a partir del cociente entre la tensión de salida y la de entrada del filtro

$$H(s) = \frac{v_o}{v_i} = \frac{v_o}{v_o + v_L} = \frac{v_o}{v_o + L \frac{di}{dt}} = \frac{v_o}{v_o + LC \frac{d^2 v_o}{dt^2}} = \frac{V_o(s)}{V_o(s) + LCs^2 V_o(s)}$$

$$H(s) = \frac{1}{1 + LCs^2}$$

A partir de ésta, el diagrama de Bode obtenido queda reflejado en la Figura 38.

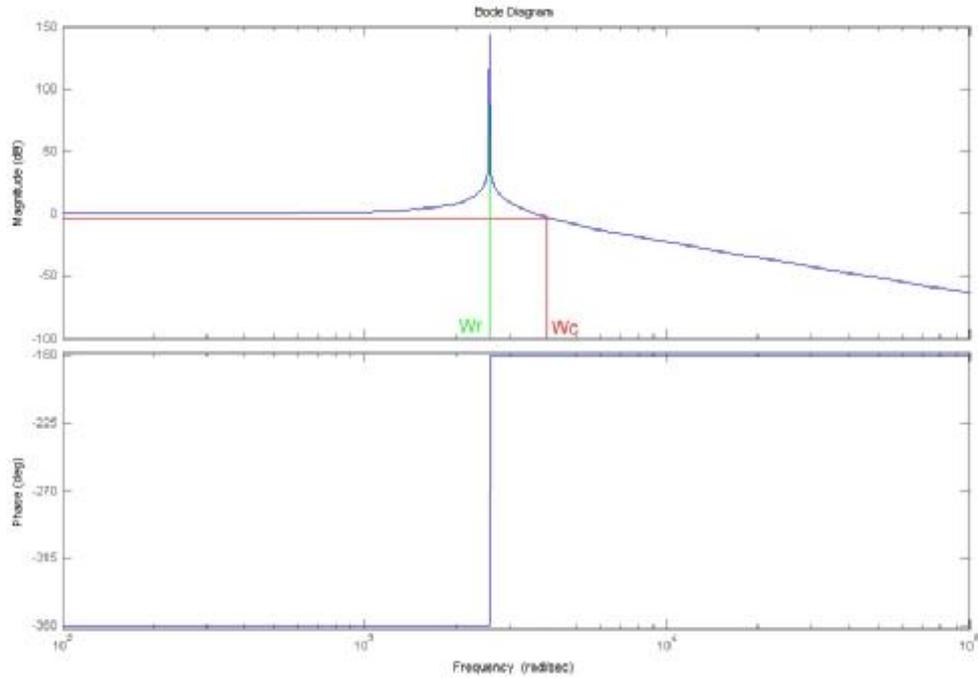


Figura 38. Diagrama Bode de la función de transferencia del filtro de salida. Frecuencia de Corte

A la vista de los resultados se puede observa que la frecuencia de resonancia es la anteriormente comentada. También se puede observar que la frecuencia de corte se sitúa alrededor de los 4kHz, atenuando por tanto la frecuencia de conmutación que se ubica en los 10kHz.



7.2.2 Control de los diferentes elementos del sistema

7.2.2.1 Control del Inversor

En este apartado se va a proceder al diseño del controlador para el inversor de la UPS. Como se verá a continuación, este se basa en un doble bucle de control, uno externo de tensión y uno interno de corriente. Debido a las características de nuestro sistema, esto es, trifásico y equilibrado, nos interesa trabajar en coordenadas (α, β) en lugar de hacerlo en las coordenadas naturales (a, b, c) .

En primer lugar se verán las ecuaciones que definen la dinámica del sistema en ejes estacionarios

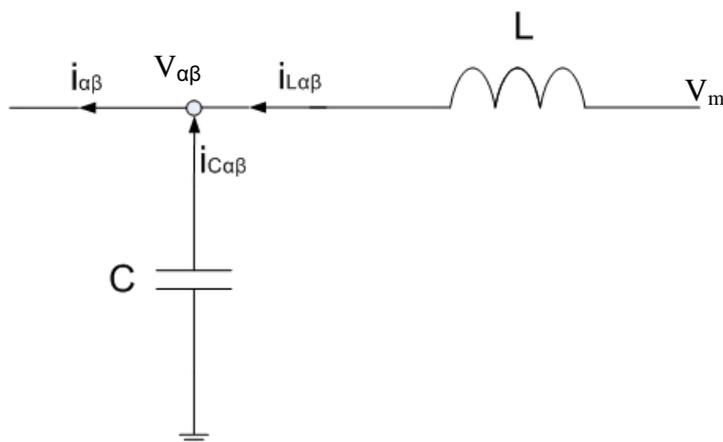


Figura 39. Control del Inversor. Sentido de las Corrientes

$$V_m = L \frac{di_{ab}}{dt} + V_{ab} \quad (1) \Rightarrow \text{Dinámica de la Bobina}$$

$$i_{ab} = i_{cab} + i_{Lab} \quad (2) \Rightarrow \text{Kirchoff en nodo de unión}$$

$$i_{cab} = C \frac{dV_{ab}}{dt} \quad (3) \Rightarrow \text{Dinámica del Condensador}$$

. Bucle interno de corriente. Control de $i_{c\alpha\beta}$

Introduciendo (2) en (1) se tiene que
$$V_m = L \frac{di_{cab}}{dt} + L \frac{di_{Lab}}{dt} + V_{ab}$$

Se define nuestro objetivo de control como $i_{cab} \rightarrow i_{cab}^*$. Teniendo en cuenta esto se puede a pasar a reescribir la ecuación de de la tensión para modular que quedaría

$$V_m = L \frac{di_{cab}}{dt} + L \frac{di_{Lab}}{dt} + V_{ab} \pm L \frac{di_{cab}^*}{dt} \pm K_{p1} \tilde{i}_{cab} \quad \text{siendo} \quad \tilde{i}_{cab} = i_{cab} - i_{cab}^*$$



A partir de la última definición creada se tiene

$$V_m = L \frac{d\tilde{i}_{cab}}{dt} + K_{p1} \tilde{i}_{cab} + V_{ab} + L \frac{di_{Lab}}{dt} + L \frac{di_{cab}^*}{dt} - K_{p1} \tilde{i}_{cab}$$

Como se quieren que la dinámica del error tienda a cero, se define V_m como

$$V_m = V_{ab} + L \frac{di_{Lab}}{dt} + L \frac{di_{cab}^*}{dt} - K_{p1} \tilde{i}_{cab}$$

De esta forma, en bucle cerrado nuestro controlador conseguirá que la dinámica del error de la corriente tienda exponencialmente a cero

$$L \frac{d\tilde{i}_{cab}}{dt} + K_{p1} \tilde{i}_{cab} = 0$$

- Bucle externo de tensión. Control de $V_{\alpha\beta}$

Nos falta trabajar la última ecuación, la cual nos marca la dinámica de la corriente del condensador

$$i_{cab} = C \frac{dV_{ab}}{dt}$$

Asumiendo que la dinámica del bucle interno, control de corriente, es mayor que la del bucle externo, control en tensión, se puede decir que $i_{cab} \rightarrow i_{cab}^*$, y por tanto

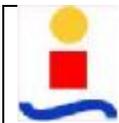
$$i_{cab}^* = C \frac{dV_{ab}}{dt}$$

En este caso nuestro objetivo de control viene dado por $V_{ab} \rightarrow V_{ab}^*$. Teniendo en cuenta esto se puede a pasar a reescribir la ecuación anterior

$$i_{cab}^* = C \frac{dV_{ab}}{dt} \pm C \frac{dV_{ab}^*}{dt} \pm K_{p2} \tilde{V}_{ab} \quad \text{siendo} \quad \tilde{V}_{ab} = V_{ab} - V_{ab}^*$$

Con esta nueva definición, al igual que nos sucedía con el bucle interno se puede reescribir la ecuación de la dinámica del condensador de la forma

$$i_{cab}^* = C \frac{d\tilde{V}_{ab}}{dt} + K_{p2} \tilde{V}_{ab} + C \frac{dV_{ab}^*}{dt} - K_{p2} \tilde{V}_{ab}$$



De nuevo para forzar a que la dinámica del error de la tensión tienda a cero, se define i_{cab}^* como

$$i_{cab}^* = C \frac{dV_{ab}^*}{dt} - K_{p2} \tilde{V}_{ab}$$

Por último comentar que el término $C \frac{dV_{ab}^*}{dt}$ del controlador del bucle externo y los sumandos $L \frac{di_{Lab}}{dt} + L \frac{di_{cab}^*}{dt}$ del interno, no son posible calcularlos de manera exacta. En primer lugar porque realmente los parámetros L y C no son conocidos con exactitud por motivos de deriva de tiempo, temperatura, humedad... y en segundo lugar porque el cálculo de las derivadas además de no ser sencillo introduce ruido en el valor de esos términos. Por este motivo en ambos casos se lleva a cabo una estimación de éstos empleando para ello un filtro repetitivo.

7.2.2.2 Control del PLL

En la Figura 40 se representa un diagrama con los diferentes pasos que sigue básicamente el algoritmo del PLL

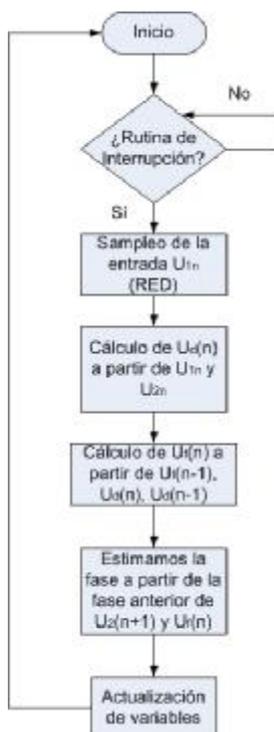


Figura 40. Diagrama de flujo del algoritmo del PLL

Además de todas las variables que aparecen tanto en el diagrama anterior como en el apartado referente al PLL, existen un número de variables intermedias de las que hasta ahora no se ha hablado. Una de estas variables es la frecuencia de la señal de salida del oscilador, esto es, ω_2 . No será con ésta si no con su media con la que se trabajará a la hora de generar las señales de salida del PLL, las cuales no son otras que las referencias de tensión que se introducen en el bloque de control. El motivo de trabajar con su media no es otro que el de que ésta tiende al valor de la referencia más rápido que su valor instantáneo debido a las oscilaciones que presenta la señal de frecuencia generada.

En la Figura 41 y la Figura 42, que se presentan a continuación, se puede ver lo anteriormente comentado. En ellas se puede observar como estando la frecuencia en un valor inicial de aproximadamente 50.15 Hz y sufriendo un escalón de 1Hz, pasando a 51Hz, la frecuencia media alcanza dicho registro con un error mínimo, en mucho menor tiempo que su valor instantáneo.

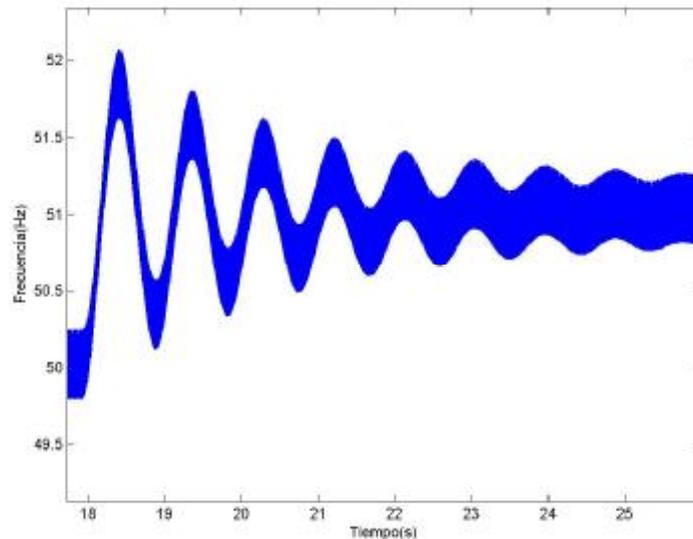


Figura 41. Estabilización de la frecuencia del Oscilador tras un escalón en la referencia

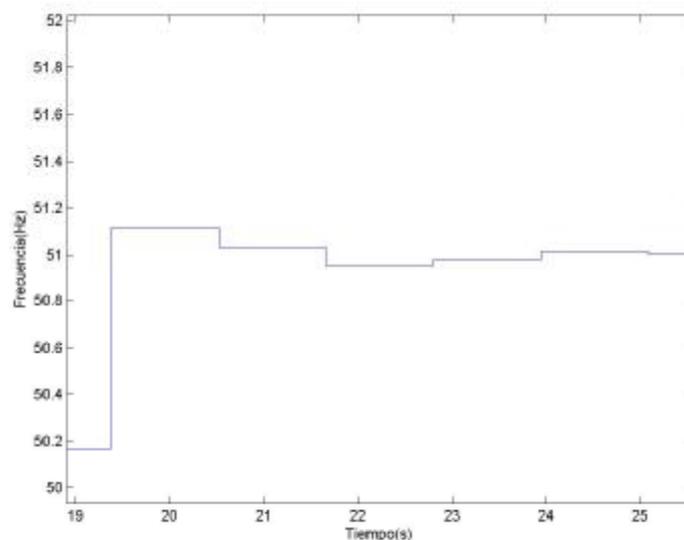


Figura 42. Estabilización de la frecuencia media del Oscilador tras un escalón en la referencia



Con el algoritmo básico del PLL que se muestra de manera esquemática en la Figura 40, tan sólo se obtiene una sincronización en frecuencia con la señal de referencia pero no en fase. Por tanto, para que la onda de salida del oscilador se sincronice con la de referencia tanto en frecuencia como en fase, será necesario añadir un control para la fase de tal forma, que la sincronización con la misma sea posible.

Para llevarlo a cabo, se parte de que las señales de salida del PLL, son ondas sinusoidales que se crean recorriendo una tabla en la que se recoge un seno generado a partir de la toma de doscientos puntos. Ésta será leída a la frecuencia generada por el algoritmo del PLL de la Figura 40.

Supongamos dos ondas sinusoidales cualquiera de la misma frecuencia. Si no se encuentran sincronizadas en fase es porque existe un retraso o adelanto de una de ellas sobre la otra, por lo que para obtener dicho sincronismo se debe adelantar o retrasar una de las dos señales. En nuestro caso, la señal de referencia es la de la red y por tanto ésta no podrá ser modificada, de tal forma, que la onda que se retrase o adelante será la generada por el PLL. En primer lugar se va a estudiar por separado el caso de adelanto y de retraso de nuestra onda sobre la tensión de la red.

En la Figura 43 se muestra un retardo sobre la señal medida en la red de 30°

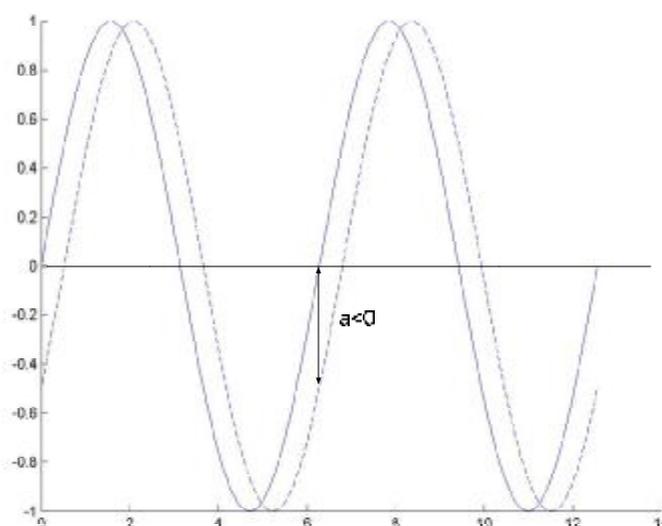


Figura 43. Retardo menor de π rad de la señal generada (rayada) respecto la de la red (continua)

Donde la onda continua es la de la red y la rayada es la creada por nuestro algoritmo. Se define 'a' como la diferencia entre ambas señales cuando la red tiene su paso por cero positivo. Si nos fijamos en la Figura 43, la sincronización en fase será más rápida si se desplaza la señal de salida del PLL hacia la izquierda que si se hace hacia la derecha, de esta manera se ve que para obtener tal sincronismo se debe adelantar dicha señal.

Si el retardo es algo mayor que el anterior pero sin sobrepasar los $p \text{ rad}$.

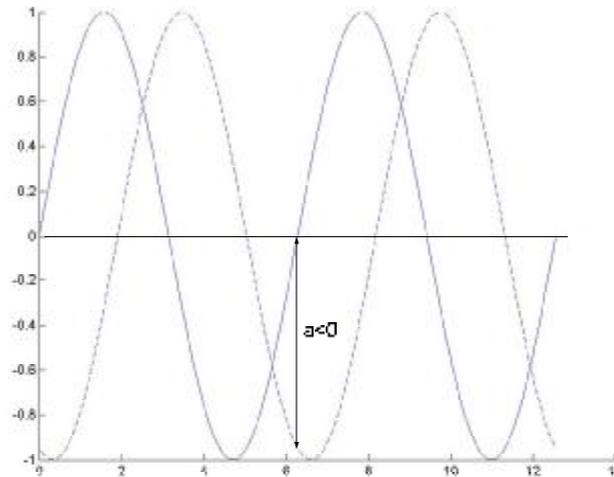


Figura 44. Retardo menor de π rad de la señal generada (rayada) respecto la de la red (continua)

En la Figura 44, se puede ver como de nuevo al ser $a < 0$, la sincronización es más rápida si se lleva a cabo un desplazamiento de la onda del PLL hacia la izquierda, adelantándola.

Por último veamos que sucede cuando el desfase es mayor de $p \text{ rad}$.

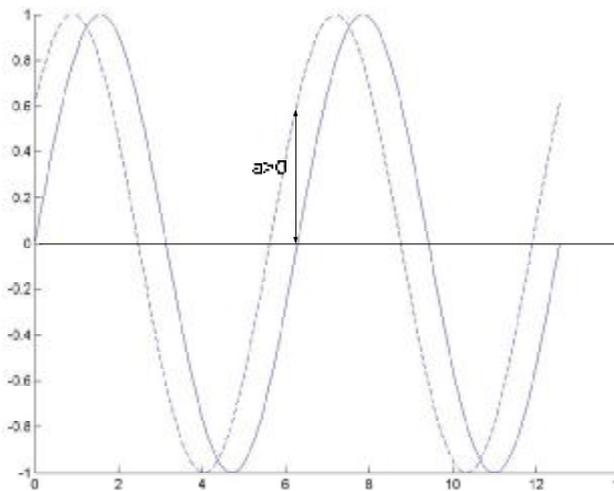


Figura 45. Retardo mayor de π rad de la señal generada (rayada) respecto la de la red (continua)

En la Figura 45, se muestra como para una $a > 0$, la sincronización más rápida es obtenida si el desplazamiento de la onda se realiza hacia la derecha, esto es, retrasándola.

A continuación se estudiará lo que sucede para el caso en el que la salida del PLL sea la que se encuentra adelantada. Se representará al igual que en el caso anterior un adelanto menor y mayor de $p \text{ rad}$.



Para el caso de un adelantamiento menor de π rad

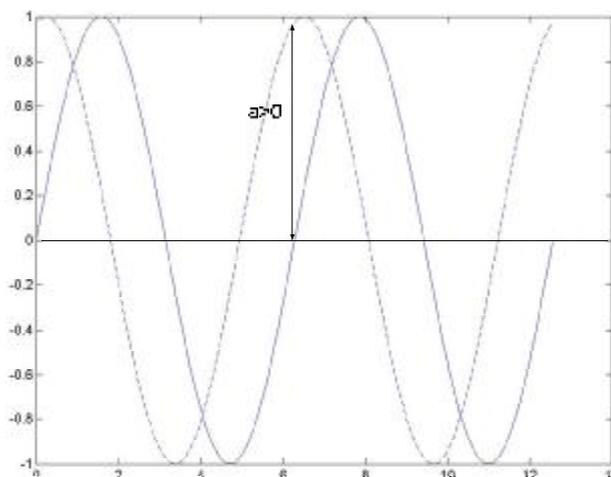


Figura 46. Adelanto menor de π rad de la señal generada (rayada) respecto la de la red (continua)

En la Figura 46, se ve como al ser $a > 0$, la sincronización en fase será más rápida, si se provoca un desplazamiento de la señal generada hacia la derecha, adelantándola.

En el caso en el cual el adelanto sea mayor de π rad

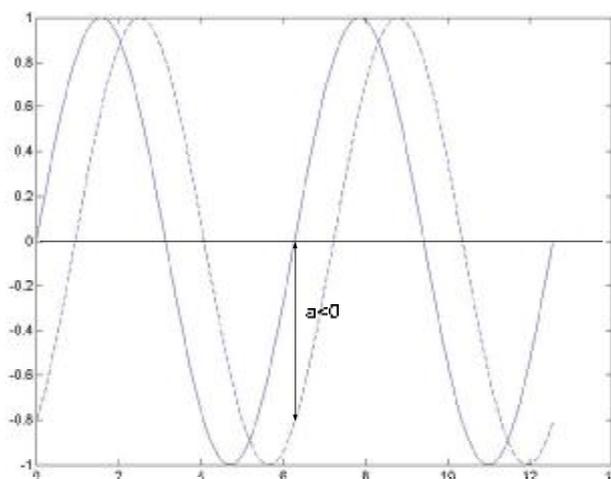


Figura 47. Retardo mayor de π rad de la señal generada (rayada) respecto la de la red (continua)

A la vista de la Figura 47, se puede concluir que independientemente de cómo se encuentre la señal generada respecto a la de referencia, si $a > 0$ se desplazará la onda de salida del PLL hacia la derecha y en cuando sea $a < 0$ el desplazamiento se hará hacia la izquierda.

Estos desplazamientos se provocan incrementando o decrementando de manera adecuada el índice que recorre la tabla de generación de los senos, es decir, si se quieren que nuestra señal se desplace a la izquierda, adelanto, se recorrerá más lentamente la tabla, es por ello, que cuando se detecte el paso por cero positivo de la tensión de la red y existe desfase entre ambas ondas, se restará una posición al índice que en ese instante este marcando la tabla, de tal forma, que se fuerce el adelantamiento de la onda.

Si por el contrario $a > 0$, se incrementará en una posición el índice de tal manera que el correspondiente punto de la tabla no sea leído, y sea el siguiente el que se lea, lo que hará que la señal se desplace hacia la derecha.

Visto como alcanzar la sincronización en fase, lo siguiente es detectar si ambas ondas se encuentran sincronizadas o no, y actuar en consecuencia. En la comparación entre ambas ondas no se puede buscar la identidad entre ellas, ya que dicha identidad no se va a alcanzar, puesto que mientras que una de las dos ondas es creada de manera matemática, la otra es una medida de la red, con las posibles alteraciones y errores en la medida que ello puede conllevar. Por este motivo se define una banda de sincronización. Dicha banda se basa en el valor 'a' definida como $a = V_{ref} - V_{PLL}$, cuando la referencia hace su paso positivo por cero. De este modo cuando los valores de 'a' sean menores de 5V nos encontraremos dentro de esta banda de sincronización, y por tanto estarán en sincronía ambas señales. Por otro lado si dicho valor es excedido, se llevará a cabo un desplazamiento de la onda con el fin de retrasarla o adelantarla, según corresponda, hasta que el valor de 'a' se encuentre dentro de la banda de sincronización.

En la Figura 48 se resumen los pasos anteriormente descritos

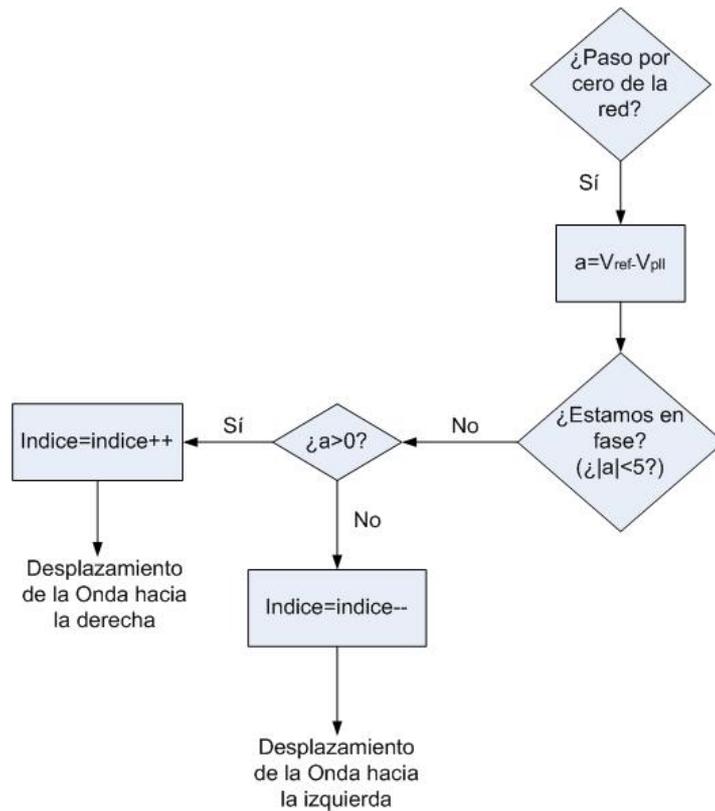


Figura 48. Diagrama de flujo para el algoritmo de sincronización en fase

En la Figura 49, Figura 50, Figura 51 y Figura 52 se presenta el algoritmo al completo del PLL. A continuación se va a presentar las diferentes variables empleadas para llevarlo a cabo así como los diferentes estados entre los que se mueve el algoritmo.

Básicamente el PLL se encontrará sincronizado o no con la red. Sin embargo, mientras que el primero de los estados es único el segundo no lo es, es decir, la no sincronía puede ser debida o bien a que la red está variando su frecuencia dentro de lo



que se define más adelante como un rango aceptable, y por tanto sin fallo de la misma o por el contrario la variación de la frecuencia excede dichos límites, en cuyo caso el no sincronismo con la red es inevitable pues se dejará de seguir a ésta para que sea el PLL el que imponga la frecuencia del sistema. Mientras que en el primero de los casos en los que no existe sincronización ésta se consigue siguiendo la variación marcada por la red, en el segundo, no existirá sincronismo hasta que la normalidad en la red sea reestablecida, fijando del PLL la frecuencia del sistema en 50Hz mientras que dure el fallo.

A la vista de esto se puede definir tres estados de funcionamiento del PLL, el primero de ellos, definido en el programa por el estado 'pf=0', es el que se podría denominar como funcionamiento normal. Éste es el que aparece tanto en el arranque del PLL como cuando la frecuencia de la red se encuentra dentro de un rango aceptable.

Red eléctrica española (REE), define la frecuencia nominal del sistema eléctrico español en 50Hz. Se consideran variaciones normales de ésta a aquellas comprendidas entre 49.85Hz y 50.15Hz, según se establece en el BOE(18/08/98).

Por otro lado según la normativa UNE-EN 50160, para media tensión, en condiciones normales de explotación el valor medio de la frecuencia fundamental medida por periodos de 10s debe situarse en los intervalos siguientes

50 Hz \pm 1%	(de 49.5Hz a 50.5Hz) durante el 99.5% del año
50 Hz +4%/-6%	(de 47Hz a 52Hz) durante el 100% del año

Con esto se considerará que el rango de frecuencia para los que el PLL sigue lo establecido por la red es de 49.5Hz a 50.5Hz. Por debajo y por encima de los valores indicados se considerará que la red se encuentra en fallo y por tanto deberá ser la UPS a través del PLL quien imponga la tendencia de la frecuencia.

En este caso el sistema se encuentra en el estado fallo, denotado por 'fp=1'. Cuando nuestro sistema detecta que la red sale del rango válido, se produce la desconexión entre ambos, aunque no la toma de medidas. Ya que se tendrá que seguir teniendo en cuenta la frecuencia de la red para reestablecer la sincronización cuando el fallo sea despejado.

Si la salida del rango se provoca por exceso de frecuencia, es decir, por ser ésta mayor de 50.5 Hz, será devuelta a los 50Hz disminuyendo, el valor último de frecuencia medido, durante un segundo. Si por el contrario el fallo es por defecto, frecuencia de la red menor de 49.5Hz, se impondrán los 50Hz aumentando el valor del último registro durante un segundo. En este estado trabajaremos con una frecuencia denominada auxiliar, ω_{miaux} , distinta la que realmente tiene la red, ω_{mi} . Como ya se ha comentado, es necesario realizar continuamente la toma de medidas de ésta última, para así llevar a cabo la sincronización con el sistema cuando éste se recupere. Con esto aparece un nuevo estado, que ha sido denominado estado de "re-sincronización", y es denotado por el valor 'fp=2', para la bandera de estados. Mientras no exista sincronismo entre el PLL y la red, el algoritmo realizará los cálculos correspondientes empleando la frecuencia auxiliar, ω_{miaux} , que irá variando lentamente, junto con la fase, hasta llegar a los valores de frecuencia y fase de la onda de tensión. En este instante se considerará que el sincronismo es total, y se pasará de nuevo a trabajar con la frecuencia calculada por el algoritmo básico del PLL, ω_{mi} , ésta variará según lo haga la red siempre que no entre en fallo ésta última, hasta entonces el sistema permanece en el estado normal de funcionamiento, 'fp=0'.

Las Figuras 49, 50, 51 y 52 junto con el Anexo A pretenden definir el funcionamiento del algoritmo de generación de las señales de referencia de tensión del bloque de control, señales de salida del PLL.

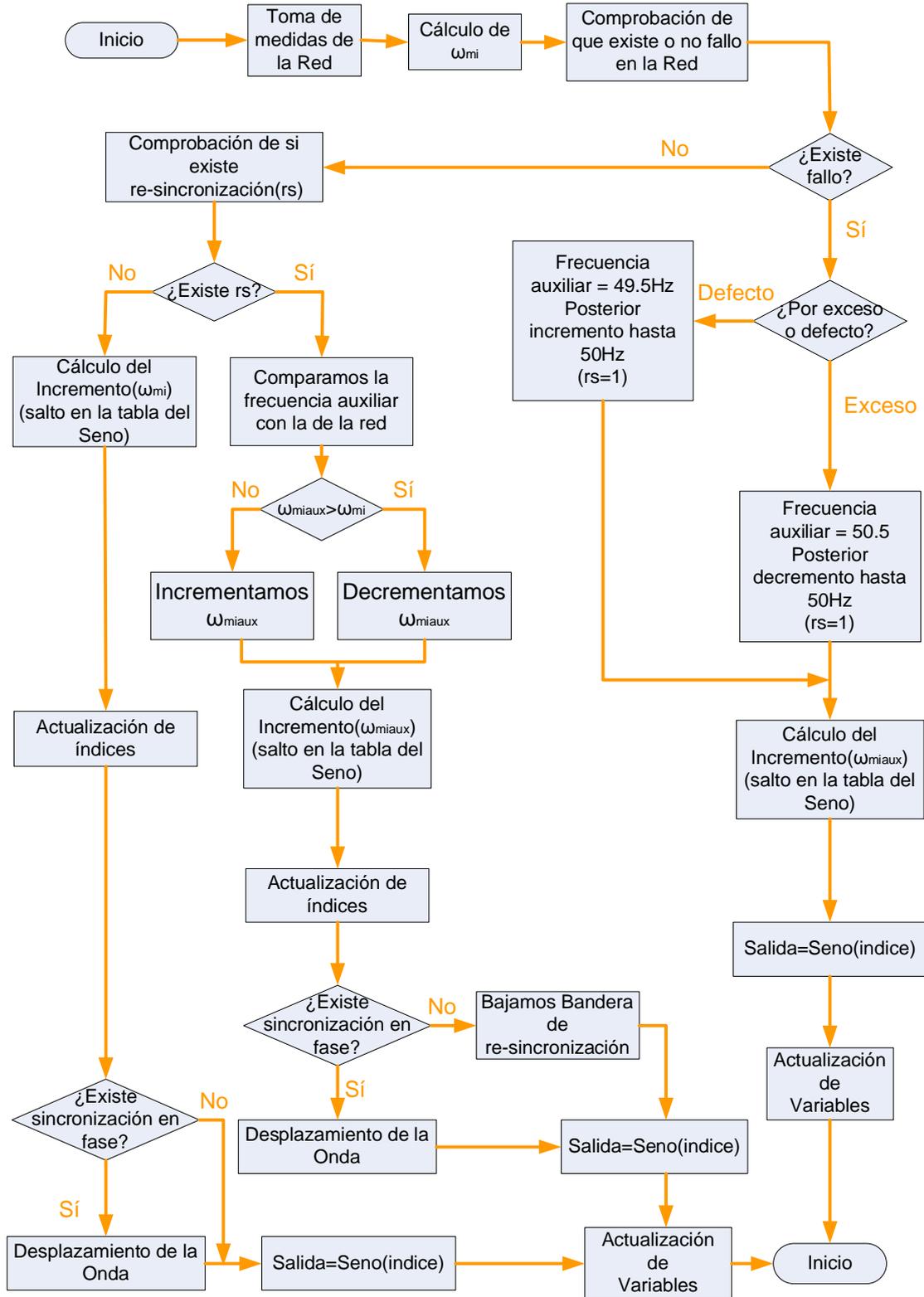


Figura 49. Funcionamiento del SPLL



Una vez visto el funcionamiento global del Software, se van a definir y comentar las diferentes variables que en él intervienen, con el fin de llevar a cabo un estudio más exhaustivo del programa.

Como se comentó anteriormente existen tres estados de funcionamiento, uno normal, un segundo de fallo y el tercero que se ha denominado de “re-sincronización”. Atendiendo a esto, se definen varias banderas (flags), que marcarán en cual de dichos estados se encuentra el algoritmo. Dependiendo de en que estado se encuentre el sistema el algoritmo se desarrollará en base a la frecuencia media, ω_{mi} , medida directamente de la red o bien en base a una auxiliar, ω_{miaux} . La ‘i’ que aparece en ambas definiciones denota la fase y por lo tanto será ‘a’, ‘b’ o ‘c’.

El motivo de trabajar con la media de las frecuencias no es otro que el que el valor medio alcance antes a la referencia, por le contrario el valor instantáneo al sufrir oscilaciones en torno a esta requiere de más tiempo para posicionarse sobre ese valor. Sólo se trabajará con la frecuencia media, ω_{mi} , en el estado normal de operación. Para recorrer la tabla de generación de los senos, se define un índice $indint_i$ el cual corresponde a la parte entera de $indicer_i$, siendo este último el calculado a partir de la frecuencia media auxiliar o no, según corresponda, como se puede ver en el Anexo A.

Como la tabla se conforma de doscientos puntos, es necesario llevar a cabo una saturación de los índices cuando este valor sea sobrepasado.

Decir también, que los tres senos son generados a partir de una única tabla que es recorrida por los tres índices $indint_i$, los cuales, difieren entre si la cantidad correspondiente a 120° , de tal forma que las señales generadas conformen un sistema de tensiones trifásico.

En la Tabla 4 se muestran las diferentes flags empleadas y cuales son sus funciones

Flag	Función
a_i	(Salida _i)-(Tensión medida de la red de la fase i)
f	Se pone a uno y así permanecerá una vez calculada por primera vez ω_{mi}
ff	Permanece en 1 mientras que ω_{miaux} tiende a 50Hz. El resto del tiempo es 0
fp	Indica el estado en el que nos encontramos. 0 → normal. 1 → fallo. 2 → re-sincronización
fi	Distinta de cero cuando la fase está fuera del rango óptimo. 1 → Exceso. 2 → Defecto
rs	Indica cuando llese va a cabo la re-sincronización, $rs=1$. Una vez alcanzada, $rs=0$
rsi	Indica si una fase alcanza la re-sincronización → $rs=1$. Mientras no la alcance, $rs=0$
bg	Cuando su valor es uno indica que la red ha sido desconectada por fallo en la misma

Tabla 4. Flags del algoritmo del SPLL

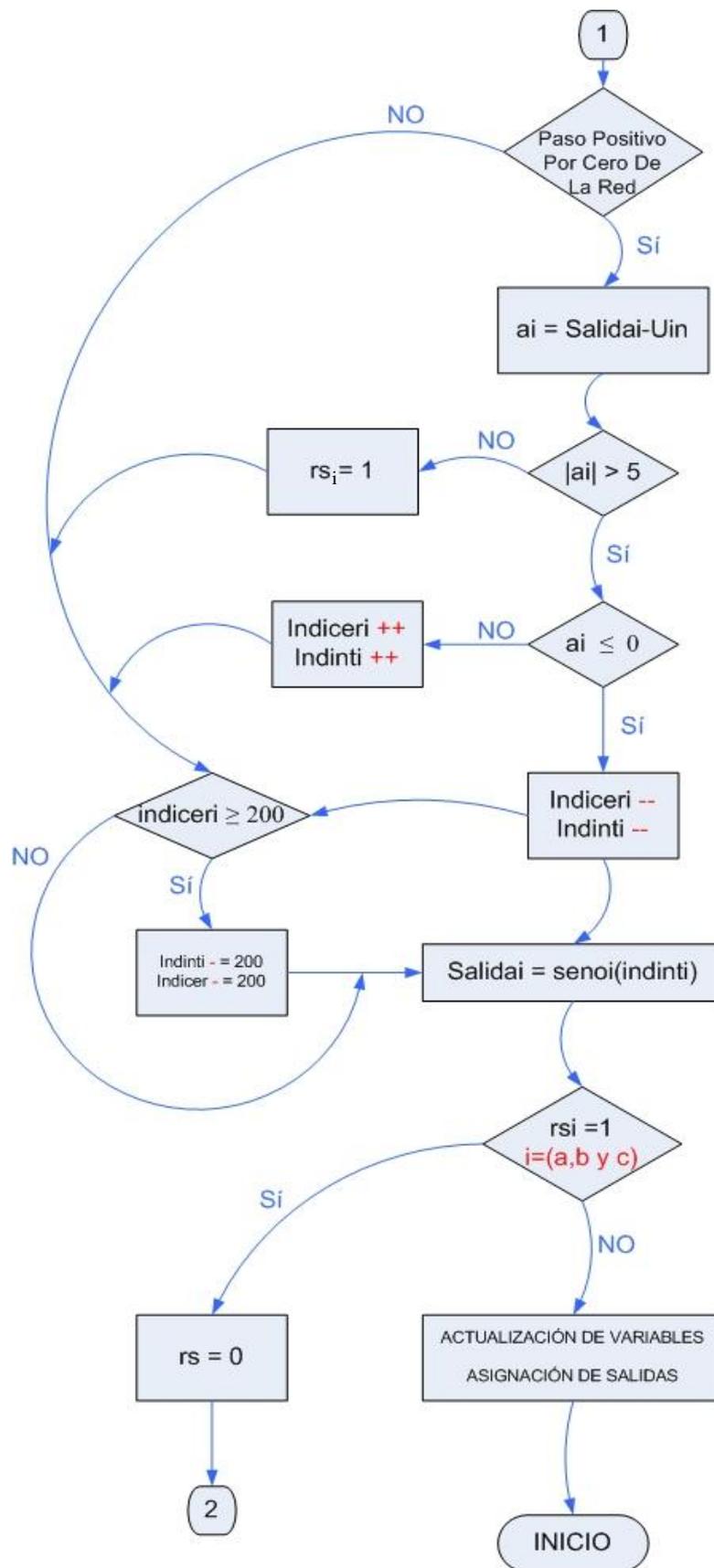
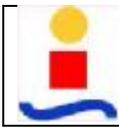


Figura 51. Diagrama de flujo del algoritmo completo del SPLL. Parte II

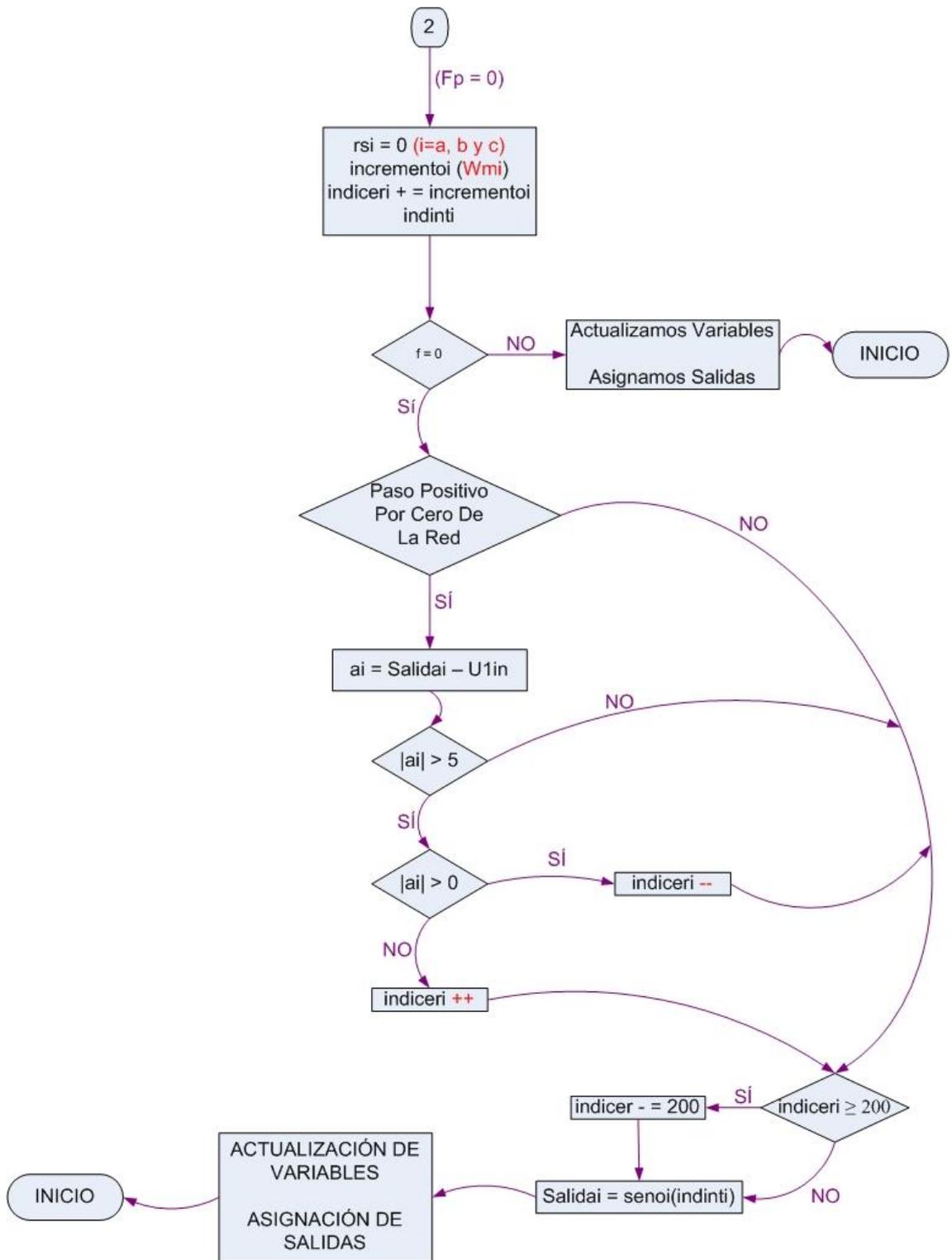
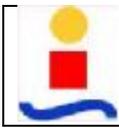


Figura 52. Diagrama de flujo del algoritmo completo del SPLL. Parte III



Para finalizar en la Figura 53 se representa el sistema de control completo

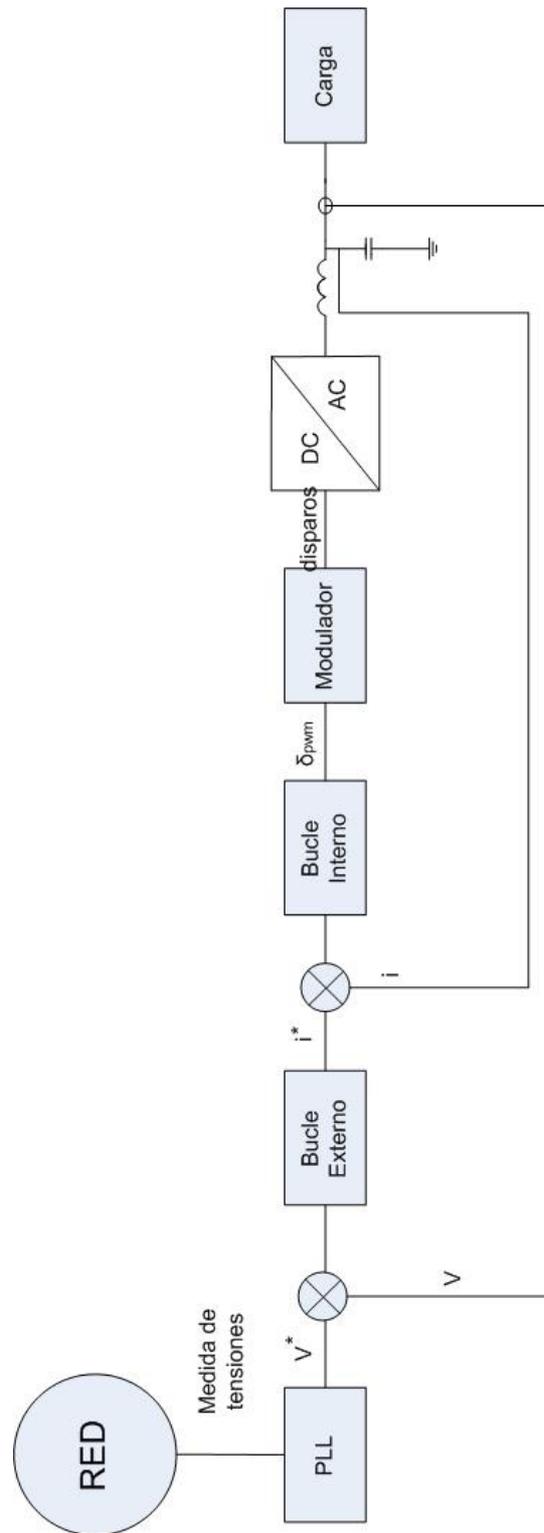


Figura 53. Esquema de control del sistema completo



8. Resultados de las simulaciones

En este apartado se presentan los resultados obtenidos por las simulaciones llevadas a cabo. Como ya se vio en el apartado de las cargas, las pruebas se han llevado a cabo tanto con cargas lineales como con no lineales. Para las primeras se han simulado cargas tipo R, L, RC y RL. En el segundo caso se han llevado a cabo simulaciones con un rectificador no controlado como carga.

En todos los casos, los resultados buscados han sido los mismos, estudio de las ondas de tensión y corriente en la carga y la comparativa de la primera de ellas con las tensiones de referencia que genera el controlador a partir de las pautas marcadas por el PLL.

8.1 Carga Puramente Resistiva

En este primer apartado se va a realizar simulaciones con cargas puramente resistivas capaces de demandar 10kVA. Para llevar a cabo tal propósito las resistencias empleadas han sido de 16Ω . A continuación se presentan los resultados obtenidos para una frecuencia de 50Hz estando el sistema en régimen permanente con el 100% de la carga introducida. En la Figura 54, se muestra la onda de tensión generada por el bloque de control y la medida a la salida del inversor, a la vista de esto se puede decir que el seguimiento de la señal generada por la referencia es correcto y que aún se podría mejorar algo más variando el proporcional del controlador con el fin de eliminar las oscilaciones que presenta la onda medida en sus valores máximos y mínimos.

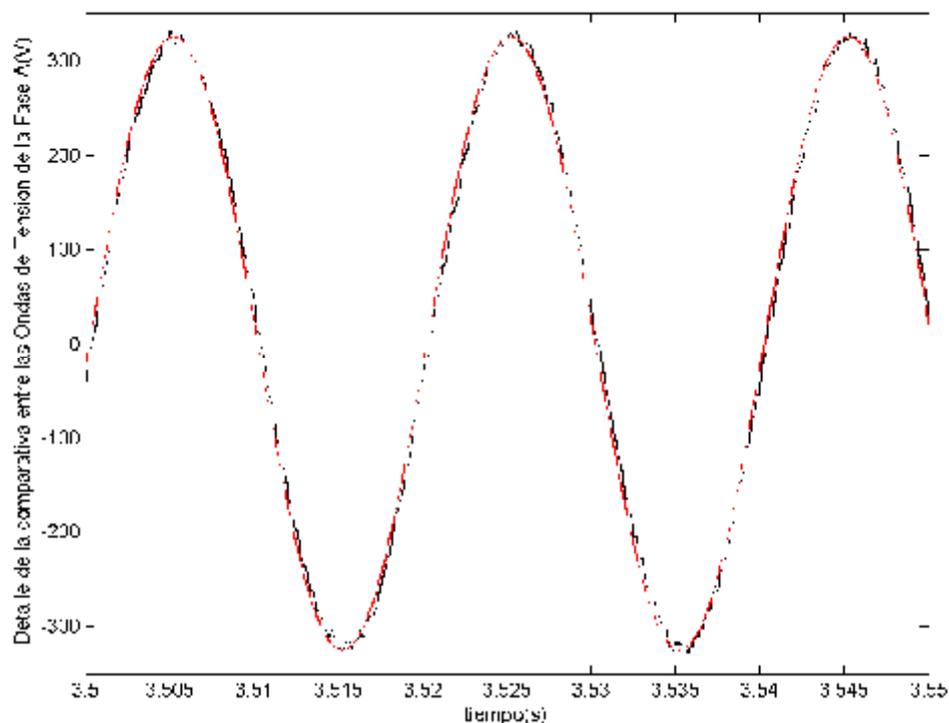


Figura 54. Ondas de tensión para la Fase A. Carga puramente Resistiva



En la Figura 55, se muestran varios ciclos de la corriente medida con el fin de verla en detalle, como se ve en sus valores máximos y mínimos presenta las mismas oscilaciones que la onda de tensión.

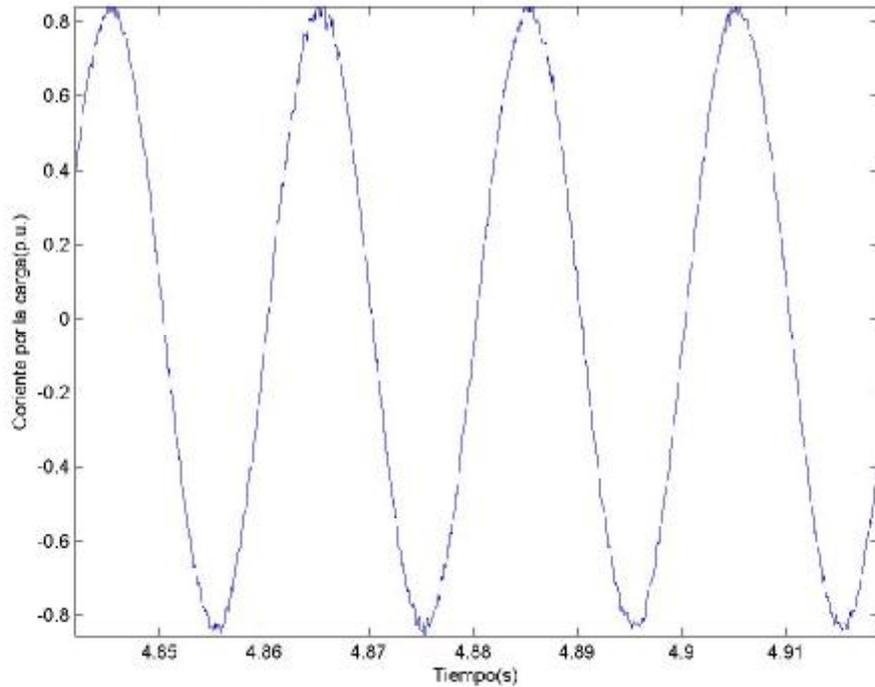


Figura 55. Corriente por la carga. Carga puramente Resistiva de 10kVA. Detalle



En la Figura 56, se muestra el sistema trifásico de tensiones medido a la salida del inversor.

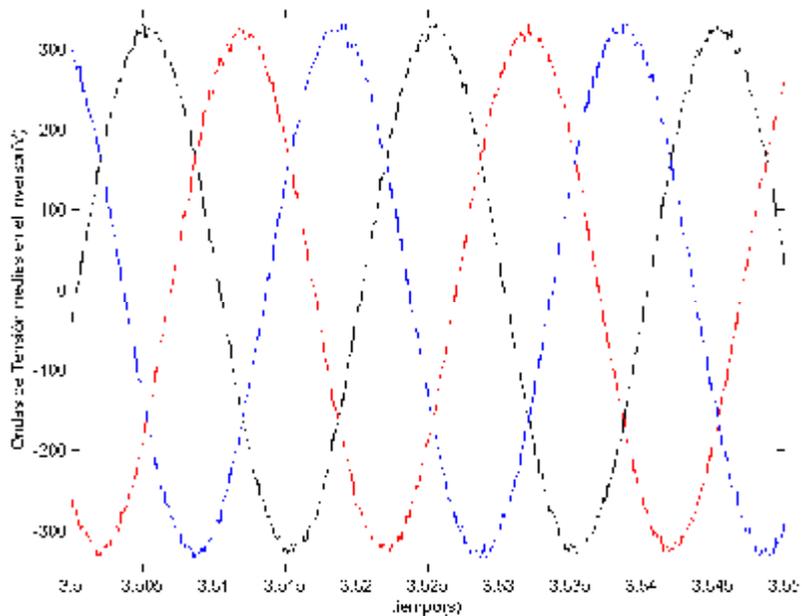


Figura 56. Ondas de tensión medidas a la salida del Inversor

En este primer caso se va a representar también las ondas de tensión generadas por el PLL, Figura 57. Como el resto de las simulaciones están realizadas bajo las mismas condiciones a expensas de la carga, la salida del PLL será la misma, y por tanto será la única vez que se muestre dicha gráfica.

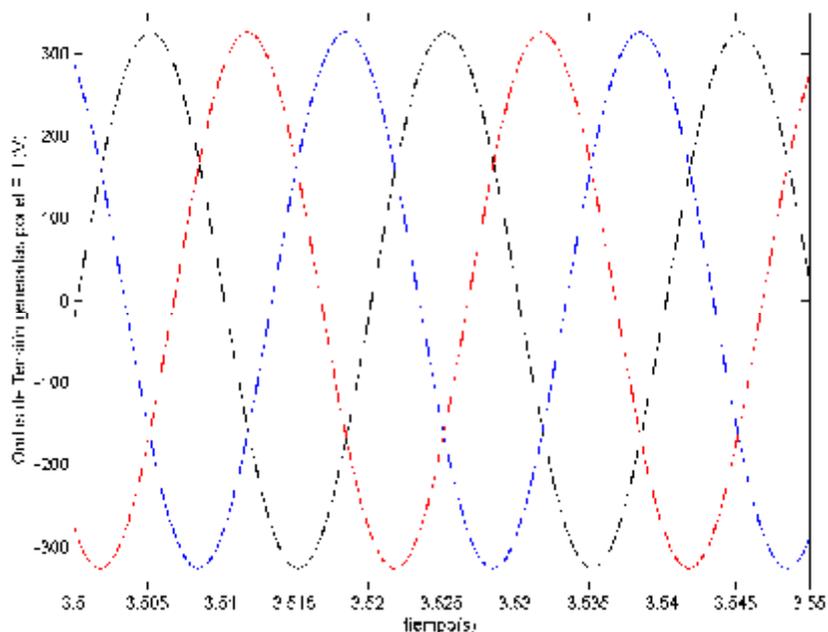


Figura 57. Referencia de señal generada por el PLL



8.2 Carga puramente Inductiva

Como ya se ha comentado las condiciones del ensayo son las mismas para todos los casos, y por tanto, tanto la potencia demandada por la carga como los demás parámetros permanecen constantes. De esta manera la inductancia obtenida para la demanda de 10kVA ha sido de 0.05H. En la Figura 58 y en la Figura 59, se ve se representa la tensión medida para este tipo de carga, en el primero de los casos se ve en detalle varios ciclos de la señal de referencia generada por el bloque de control junto a la tensión real medida y en la Figura 59 se presenta el sistema de tensiones reales al completo.

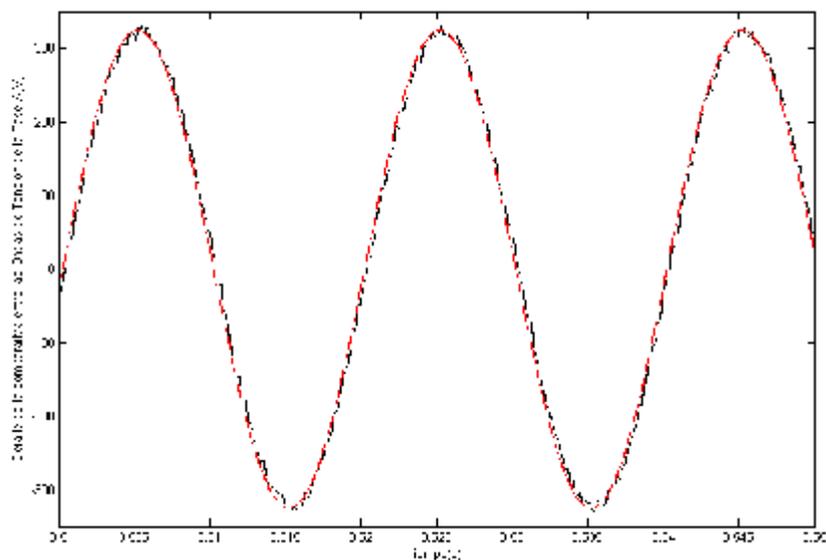


Figura 58. Ondas de tensión para la Fase A. Carga puramente Inductiva

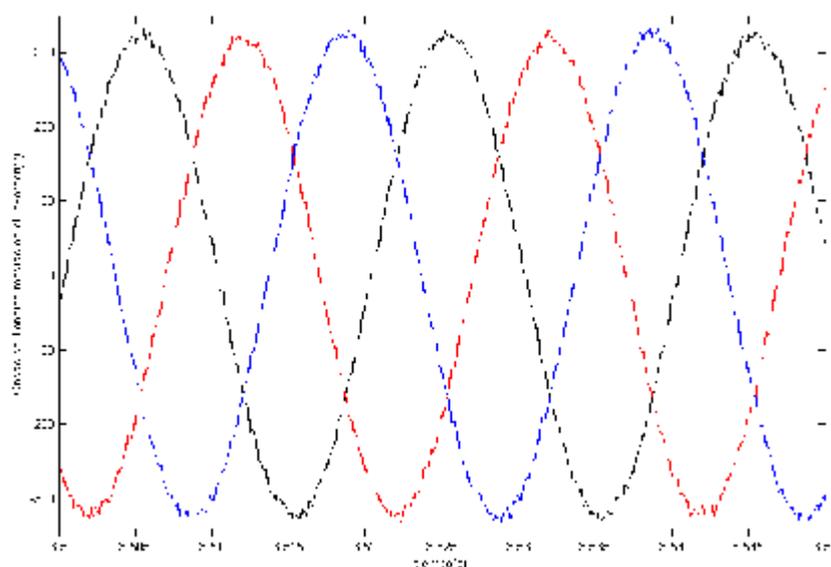


Figura 59. Ondas de tensión medidas a la salida del Inversor



En la Figura 60, se muestran varios ciclos de la corriente medida con el fin de verla en detalle, se puede ver como en este caso al ser la carga puramente inductiva la corriente no presenta las oscilaciones que aparecían en el caso de la carga puramente resistiva, la corriente es filtrada por la inductancia.

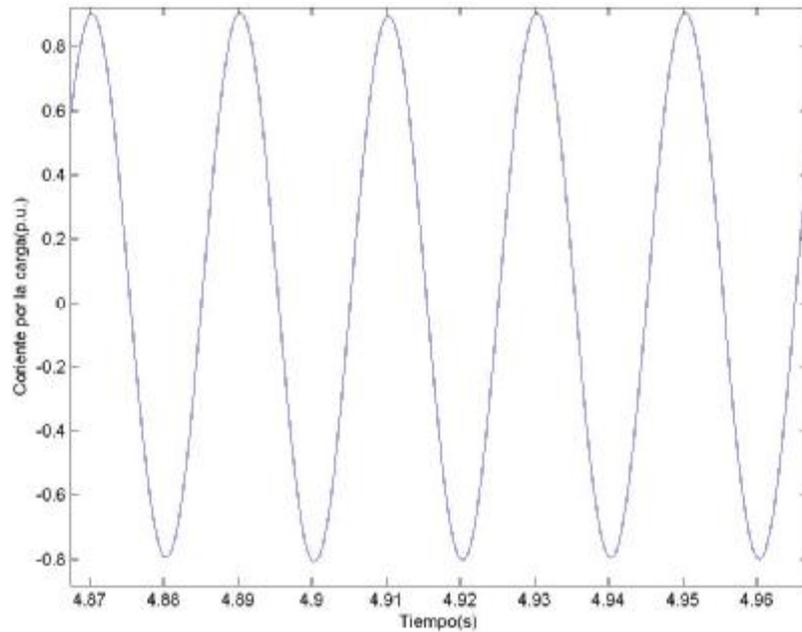


Figura 60. Corriente por la carga. Carga puramente Inductiva de 10kVA. Detalle



8.3 Carga RL

En este caso los 10kVA, han sido repartidos de manera equitativa entre la parte real e imaginaria de la carga. De esta forma se obtiene una resistencia de valor 11.8Ω y una inductancia de $0.037H$. En la Figura 61 y en la Figura 62, está representada la tensión de la carga, en el primero de los casos se ve en detalle varios ciclos de la señal de referencia generada por el bloque de control junto a la tensión real medida y en la Figura 62 se presenta el sistema trifásico de tensiones reales.

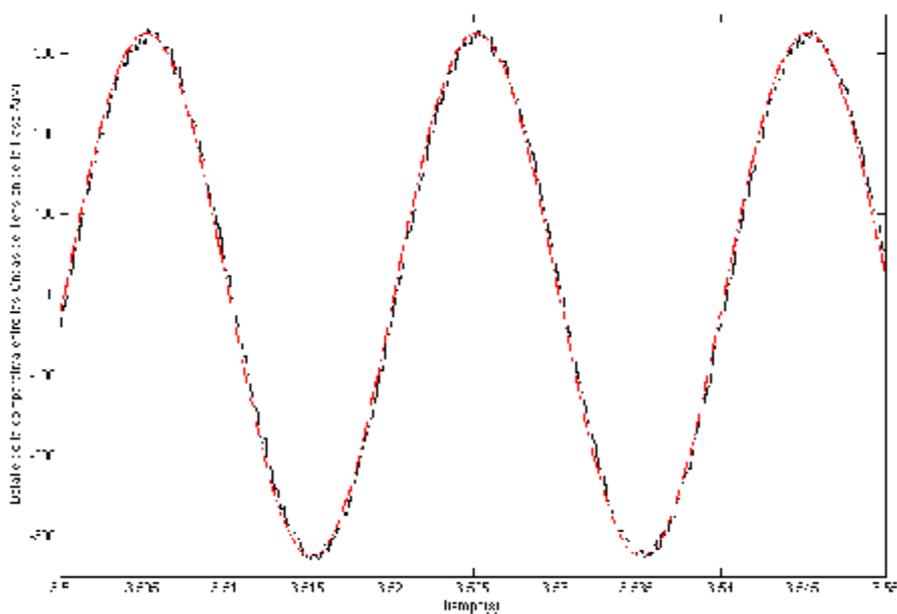


Figura 61. Ondas de tensión para la Fase A. Carga RL

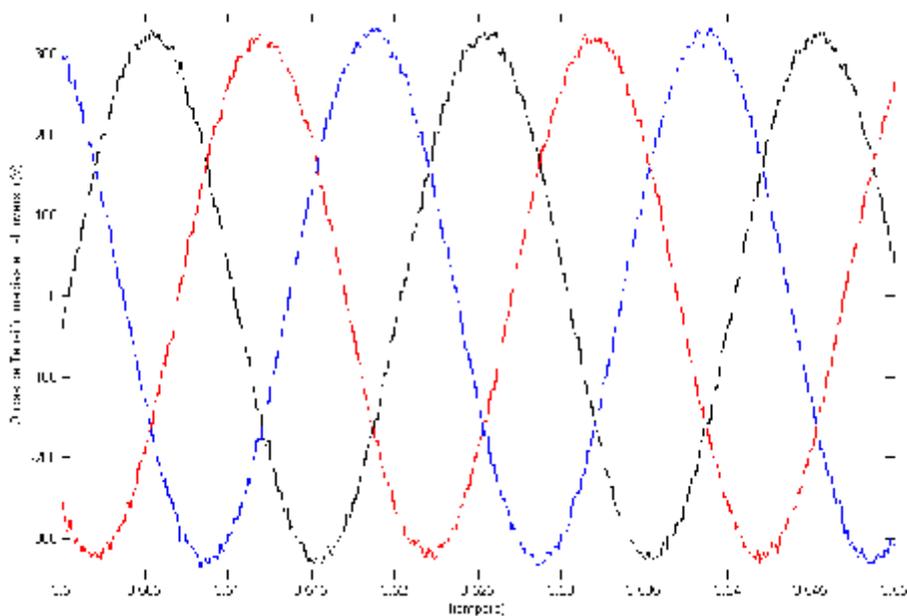


Figura 62. Ondas de tensión medidas a la salida del Inversor

En la Figura 63, se ve en detalle varios ciclos de la corriente demandada por la carga, de nuevo el carácter inductivo de ésta provoca un alisamiento de la señal.

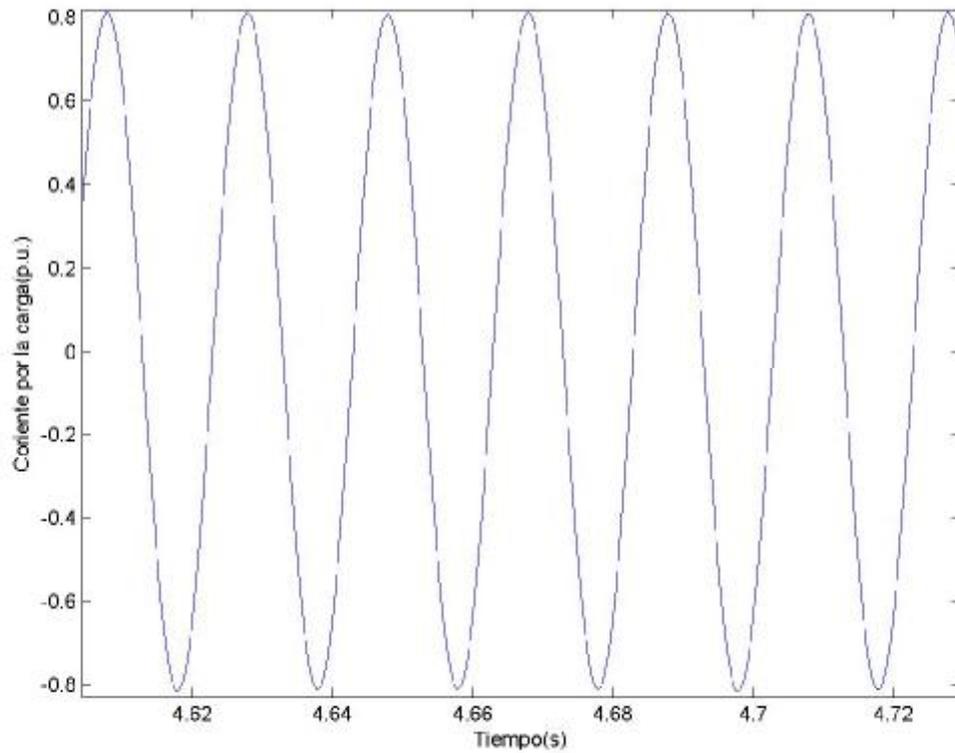


Figura 63. Corriente por la carga. Carga RL de 10kVA. Detalle



8.4 Carga RC

De nuevo los 10kVA, han sido repartidos de manera equitativa entre la parte real e imaginaria de la carga. De esta forma se obtiene una resistencia de valor 11.8Ω y condensador de $270\mu\text{F}$. En la Figura 64 y en la Figura 65, se representa la tensión de la carga tanto la referencia generada por el control como la real medida en la carga, en el primero de los casos se ve en detalle varios ciclos de la consigna de tensión junto a la tensión real medida y en la Figura 65 se presenta el sistema trifásico de tensiones reales.

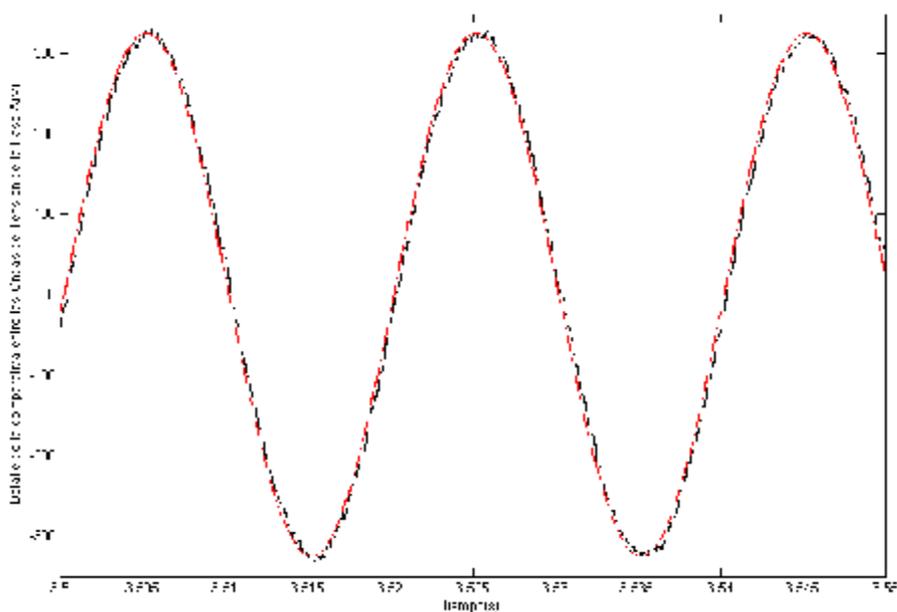


Figura 64. Ondas de tensión para la Fase A. Carga RC

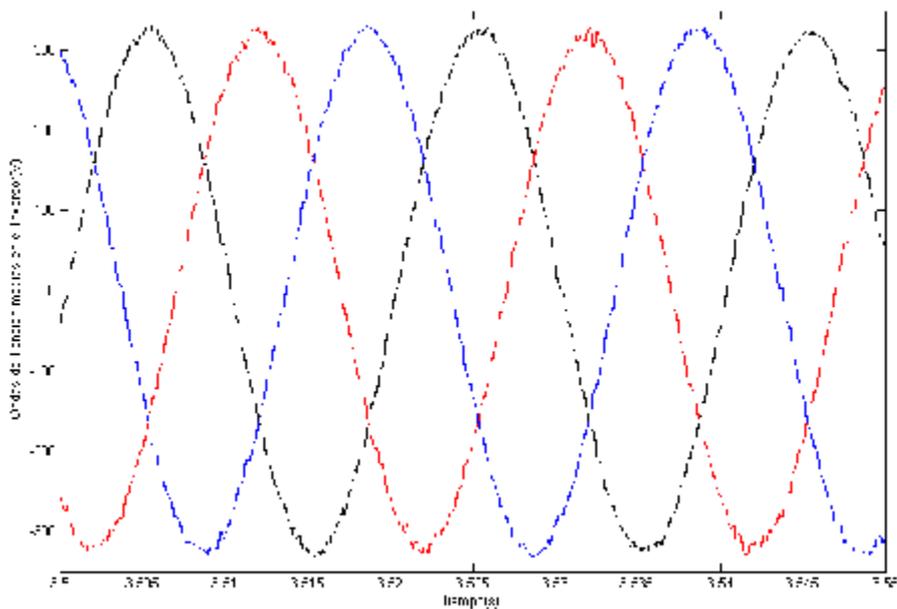


Figura 65. Ondas de tensión medidas a la salida del Inversor

En la Figura 66, se han representado varios ciclos de la onda de corriente demandada por este tipo de carga, se puede observar como de nuevo, al desaparecer el carácter inductivo de la carga, aparecen conmutaciones sobre la señal siendo más acusadas sus valores máximos y mínimos.

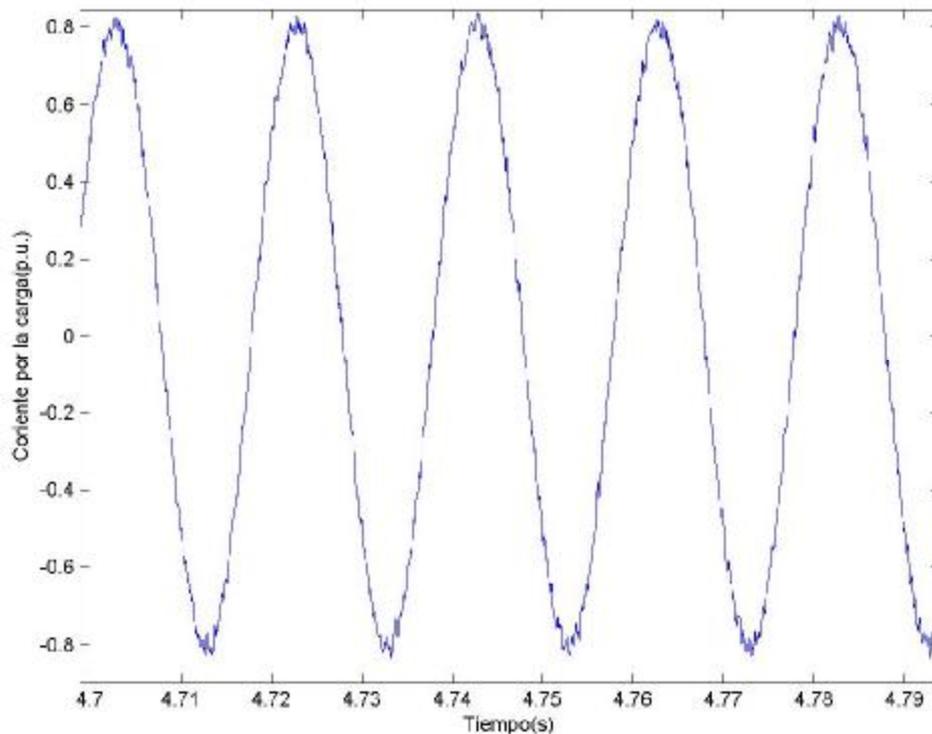


Figura 66. Corriente por la carga. Carga RC de 10kVA. Detalle



8.5 Carga no Lineal

Como ya se ha comentado con anterioridad la carga no lineal empleada ha sido un rectificador monofásico no controlado, por cada rama, demandando una potencia total de 10.5kW. En este caso también se ha estudiado cuanto se desvía la corriente demandada por la carga, de la que demandaría en un sistema ideal. Para ello se han obtenido dichas ondas tanto para nuestro sistema, como para una fuente trifásica de la misma frecuencia y amplitud con las que trabaja éste, 50Hz y 230V_{rms}.

En la Figura 67, se representan de manera conjunta la corriente real medida, frente a la que se mediría si las mismas cargas estuvieran alimentadas por un sistema trifásico ideal.

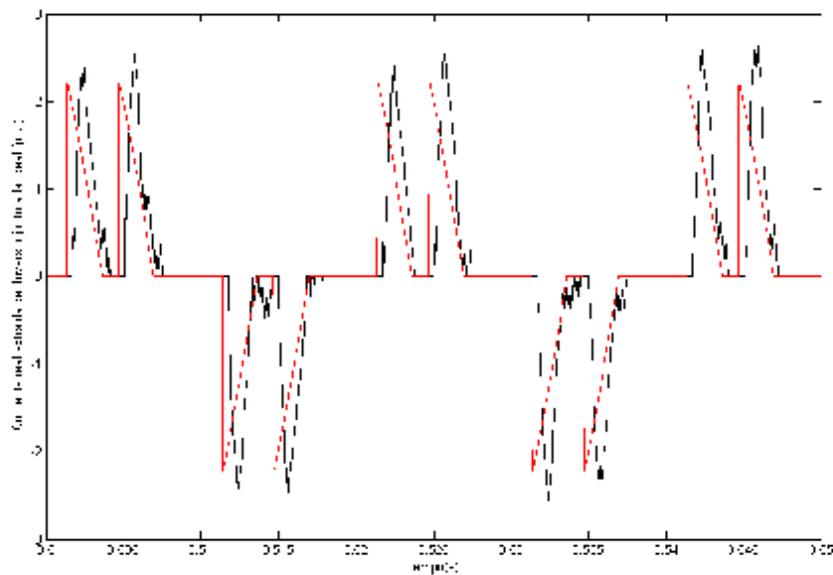


Figura 67. Corriente real del inversor frente a la ideal. Carga no lineal

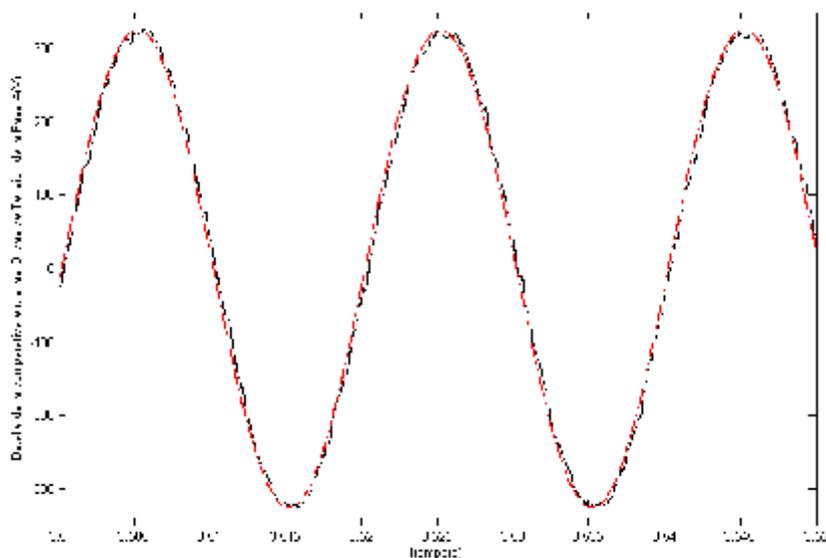


Figura 68. Ondas de tensión para la Fase A. Carga no lineal



En la Figura 68 y la Figura 69, son las tensiones las que son representadas. En la primera de ellas se ve la tensión real de la carga junto a la generada por el bloque de control y en la segunda el sistema trifásico de tensiones reales.

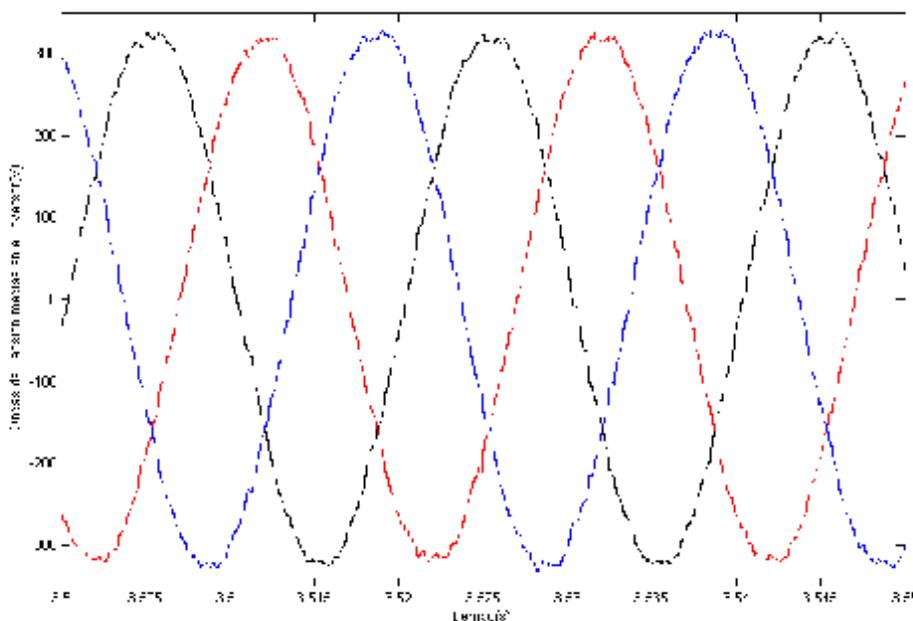


Figura 69. Ondas de tensión medidas a la salida del Inversor

En la Tabla 5, se presentan los ensayos realizados para los distintos tipos de cargas lineales simuladas y se refleja los diferentes THD de las ondas de tensión obtenidas.

Cargas Lineales						
S(kVA)	P(kW)	Q(kVar)	L(H)	C(μF)	R(Ω)	THD _V
10	10	-	-	-	16	0.414
10	-	10	0.05	-	-	0.799
10	2.240	2.240	0.037	-	11.8	0.514
10	2.240	2.240	-	270	11.8	0.456

Tabla 5. Tipos de cargas simuladas. THD_v

Como se ve para todos los casos el THD obtenido está muy por debajo del 3% o el 2% que se puede observar en cualquier catálogo de fuentes de alimentación ininterrumpidas, como puede ser el caso de GBO S.L. o Zigor que fijan su THD en menos del 3% para cargas lineales o el caso de Salicru en cuyo caso indica que dicho valor está por debajo del 2%.

Para el caso en el que la carga sea no lineal se tiene que para un factor de cresta de

$$\text{Factor de Cresta} = \frac{\text{Pico de corriente}}{\text{Corriente RMS}} = \frac{60A}{15.32A} = 3.91\%$$

El THD_v obtenido está en torno al 2%.



8.7 Proceso de Sincronización del PLL

A continuación se presenta una simulación de 16 segundos de duración con la intención de mostrar el comportamiento del PLL ante distintas variaciones en la frecuencia. La carga empleada para la prueba ha sido puramente resistiva de valor 16Ω por cada rama.

Se ha optado por usar la fase A como representativa de lo que sucede en el sistema a lo largo de la simulación. No obstante es necesario recalcar lo de representativa, ya que el comportamiento de cada una de las tres fases es distinto al tener cada una de ellas frecuencias independientes.

El proceso que se ha llevado a cabo ha sido como sigue, inicialmente arrancamos la simulación ubicando la frecuencia de la red en 50Hz, el PLL comienza a calcular el valor medio de la señal de frecuencia que obtiene mediante el algoritmo descrito. No será hasta el segundo 1.57 cuando se haga efectivo el primer cálculo de la frecuencia media. A pesar de que para este instante la fase A generada por el PLL entra en sincronía con la de la red, tanto en fase como prácticamente en frecuencia, no será hasta el segundo 2.64 cuando la fase C, última en sincronizarse, haga lo propio. En la Figura 70 se puede ver como tras diez ciclos de red, el PLL se encuentra sincronizado con la red.

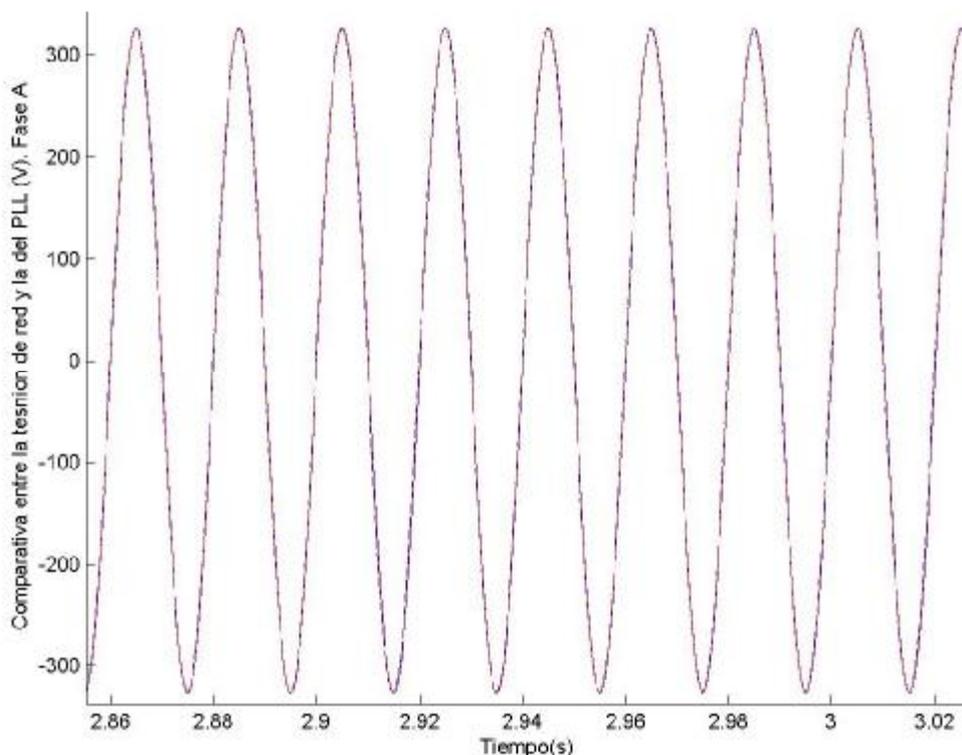


Figura 70. Sincronización de la fase A tras el arranque del sistema

Una vez sincronizadas las tres fases y estando por tanto en régimen normal de funcionamiento, se procede a realizar una variación en la frecuencia de la red, que si bien no está dentro de las fluctuaciones normales de frecuencia. $\pm 0.150Hz$, si que lo está dentro de un rango normal de funcionamiento. De esta manera se colocará la consigna de frecuencia de la red en 49.6Hz.

Como se verá en la Figura 78, correspondiente a los estados del PLL, aún no se encuentra el algoritmo en modo fallo, por lo que la flag correspondiente permanecerá en cero, 'fp=0' y por tanto el PLL irá variando su frecuencia de acuerdo con lo marcado por la red. En la Figura 71 y en la Figura 72 se ve como tras disminuir la frecuencia de la red, el PLL pierde la sincronía con ésta, y como posteriormente termina igualando la frecuencia y la fase de la misma.

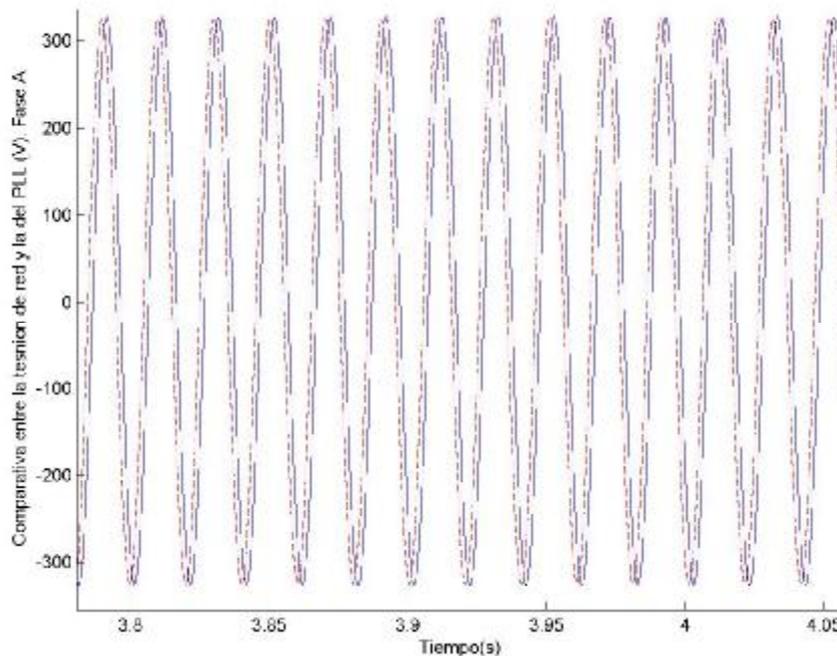


Figura 71. Pérdida de sincronismo con la red tras provocar una variación en la frecuencia de la red

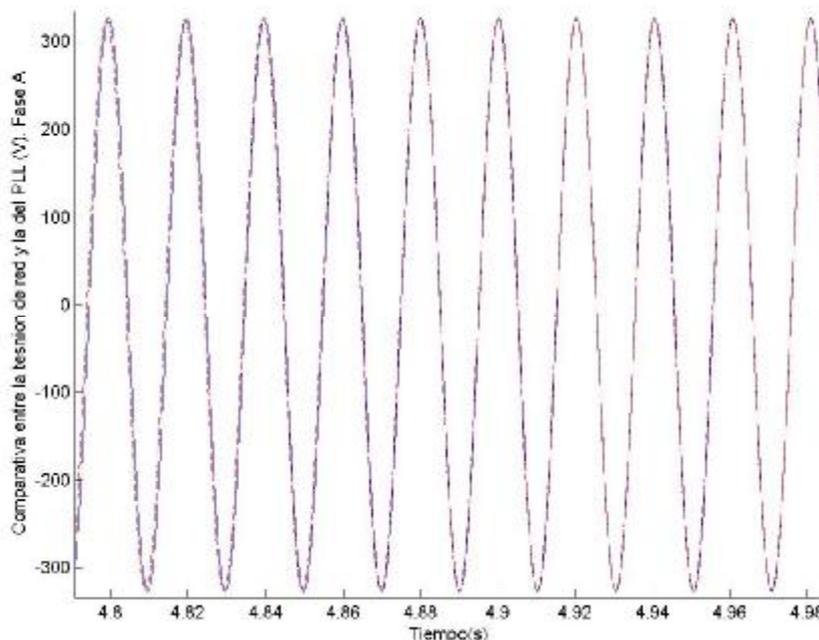
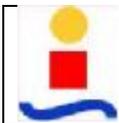


Figura 72. Sincronización con la red tras una variación normal de la frecuencia de la misma



A los 5.29 segundos la frecuencia pasa el umbral del error estableciéndose en 49.2Hz, el algoritmo del PLL detecta el fallo y se procede al desenganche de la red. En la Figura 73 se ve el desacople con la red por estar ésta última en fallo y como la señal generada por el PLL fija los 50Hz en la onda de tensión.

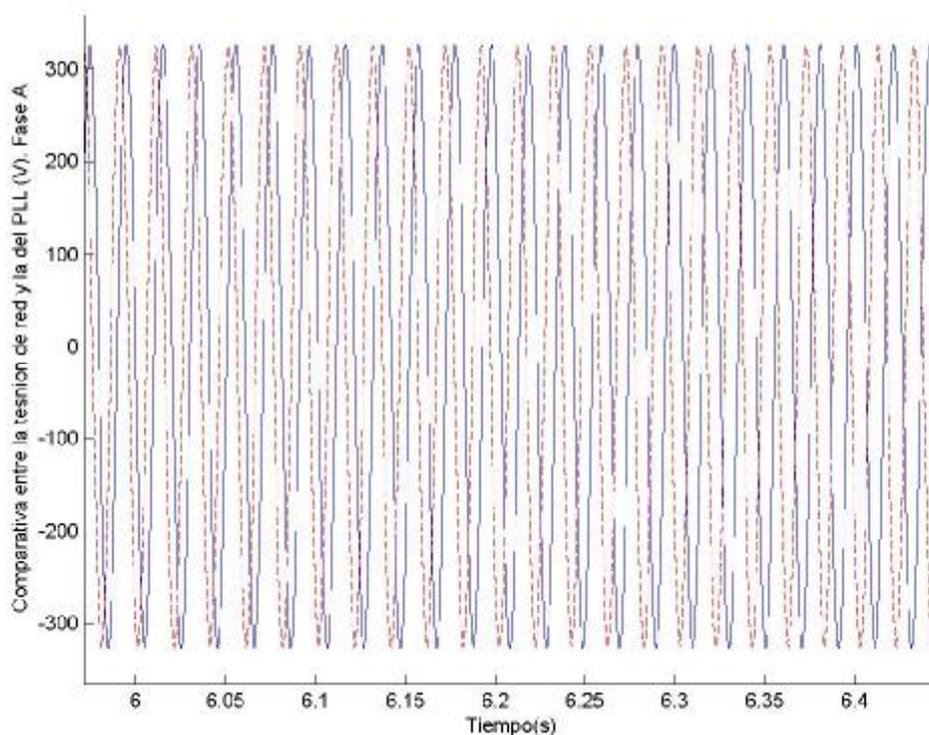


Figura 73. Desenganche de la red por fallo de la misma

Hay que recordar que durante el periodo de fallo, aunque se siga midiendo la red, no será ésta quien imponga la frecuencia, sino que se genera una auxiliar, ω_{miaux} , creada por el DSP de tal forma que quede establecida en 50Hz como se verán posteriormente. El desenganche se produce por tanto cuando la frecuencia medida sea superior a los 50.5Hz o inferior a 49.5Hz, de esta manera el último registro de la frecuencia media calculada por el Software del PLL estará muy próximo a estos valores. Detectado el fallo se procede a trabajar con la ω_{miaux} , la cual se fijará inicialmente en 50.5Hz o en 49.5Hz, según proceda, y se irá disminuyendo o aumentando hasta los 50Hz durante un segundo, el hecho de mover la frecuencia hasta esta dicho valor es para facilitar la sincronización con la red una vez que ésta haya despejado el fallo, estando por tanto el valor de su frecuencia cercano a los 50Hz.



Sobre los 7 segundos de simulación se fija la referencia de frecuencia en un valor dentro del rango de funcionamiento normal, llevándose a cabo de nuevo la sincronización con la red. Figura 74.

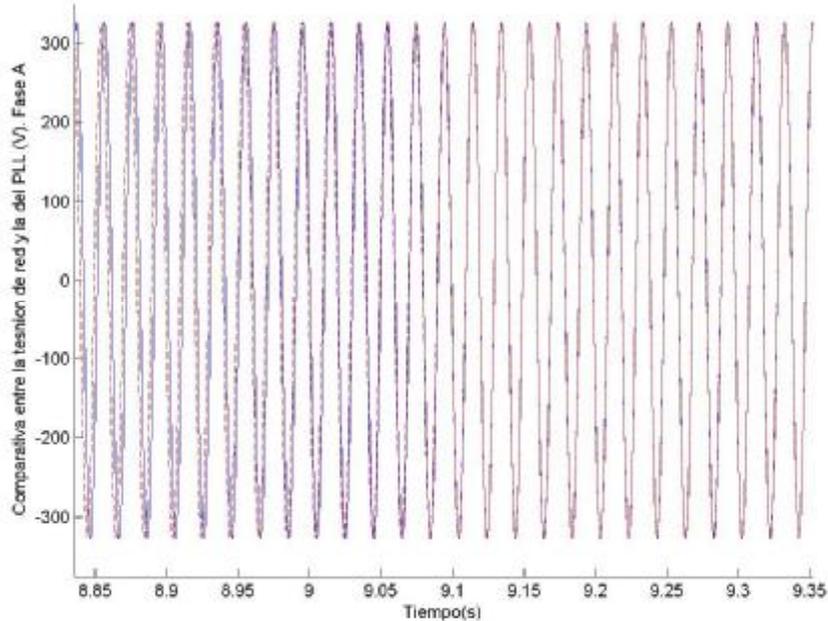


Figura 74. Sincronización con la red tras la recuperación de la misma

Establecido de nuevo el comportamiento normal del sistema, se emula de nuevo un fallo en la red, siendo esta vez provocado por un exceso en la frecuencia de la misma. De esta manera, a los 9.5 segundos se provocará de nuevo el fallo, Figura 75, por exceso de frecuencia llevando ésta hasta los 51.5Hz.

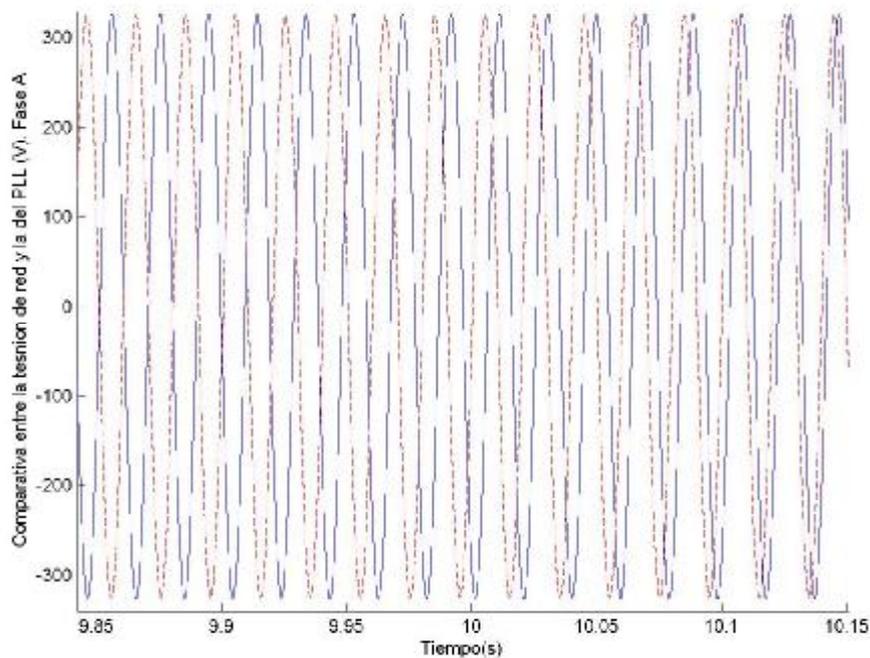


Figura 75. Fallo de la red. Imposición de la frecuencia por el PLL



Detectado el fallo se procederá al desacople con la red y será el PLL a través de la ω_{miaux} , el que fije la frecuencia en 50Hz. A los 10.8 segundos se despeja el fallo en la red, de esta manera la consigan de frecuencia queda fijada en 50.2Hz. En la Figura 76, se presenta la nueva sincronización entre ambos sistemas.

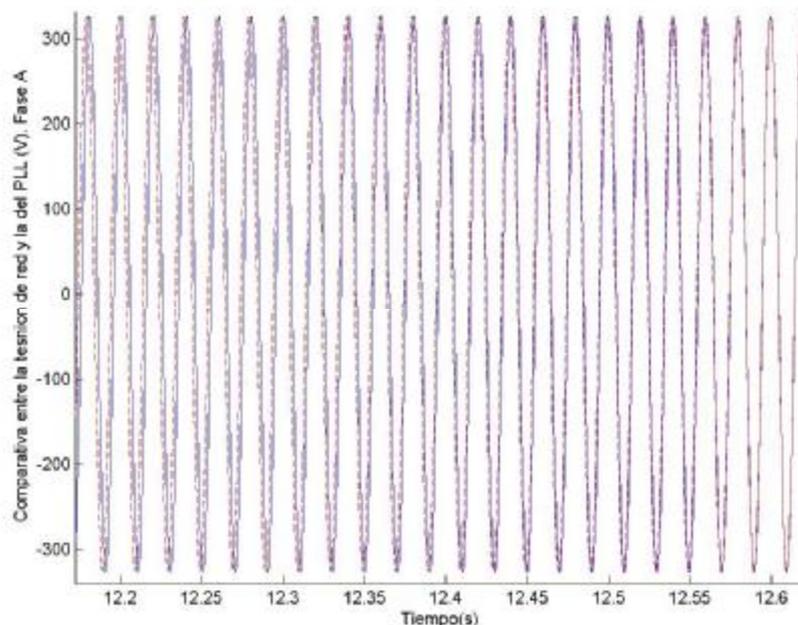


Figura 76. Recuperación de la red y sincronización con la misma

Una vez dentro de valores normales de la frecuencia, la generada por nosotros seguirá las pautas establecidas por la de la red, Figura 77, de esta forma cabe esperar que si esta última baja hasta los 49.85Hz, el valor alcanzado por la creada mediante el algoritmo del PLL sea éste.

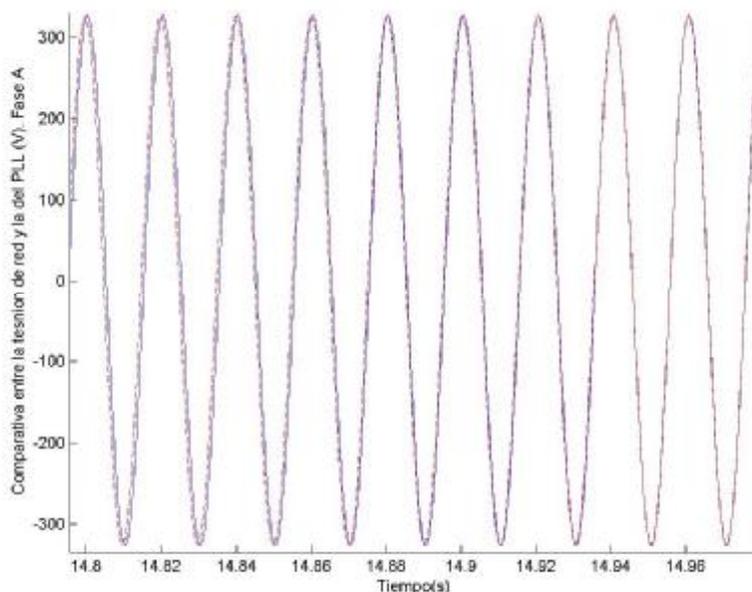


Figura 77. Seguimiento de la frecuencia de la red cuando varía en su rango de valores aceptables

Siguiendo la secuencia de valores de la frecuencia de la red, se ha representado la Figura 78, en ella se pueden ver los valores de la bandera empleada para marcar los estados por los que va pasando el PLL, 'fp'. Hay que recordar que el valor cero implica funcionamiento normal, el uno fallo y el dos recuperación del sistema.

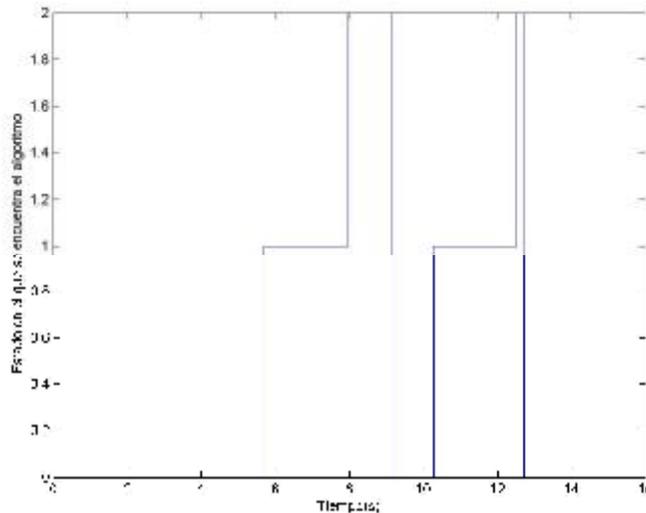


Figura 78. Estados del sistema

A la vista de la Figura 78, y teniendo en cuenta cuando se produjeron los fallos en la red, 5.29s en el primer caso y 9.5s en el segundo, se puede observar que ambos son detectados en un tiempo menor de un segundo aunque en uno de los casos el tiempo empleado para ello sea menor que en el otro, 0.4 segundos para el primero de los fallos y 0.8 en el segundo. Este es debido al cálculo de la frecuencia media, ya que dependiendo de en que instante del cálculo de ésta se efectúe el cambio de la referencia, éste se hará notorio en la siguiente variación de la frecuencia media o no. De igual manera sucede con el tiempo necesario para despejar el fallo. Si bien es verdad que el cambio en la frecuencia generada por el algoritmo básico del PLL es casi instantáneo como se ve en la Figura 79.

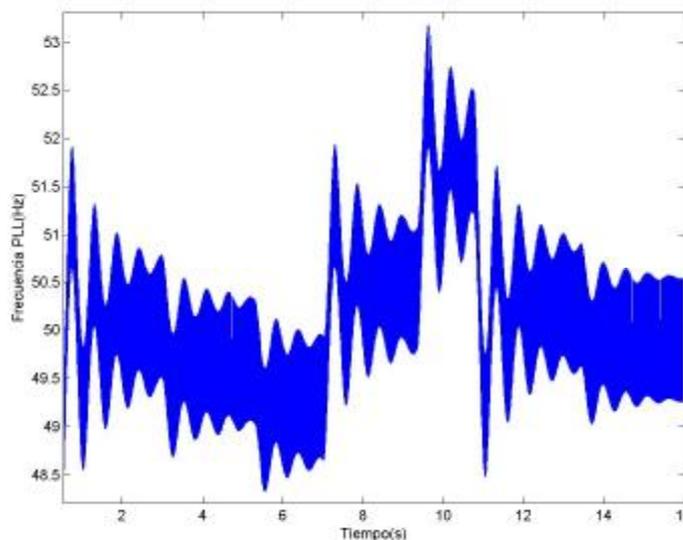


Figura 79. Variación de la frecuencia generada por el PLL



Por último se presenta la evolución de la frecuencia auxiliar, Figura 80 y Figura 81, y de la frecuencia media, Figura 82 y Figura 83, a lo largo de la simulación.

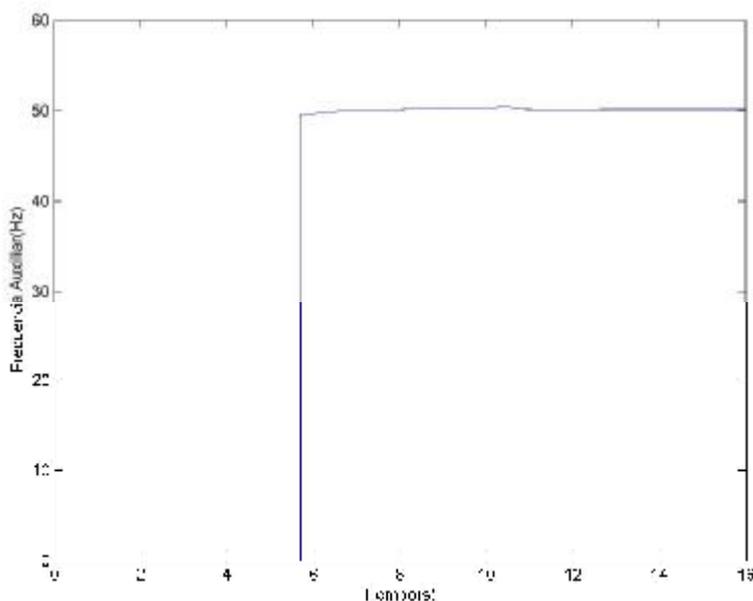


Figura 80. Variación de la frecuencia auxiliar

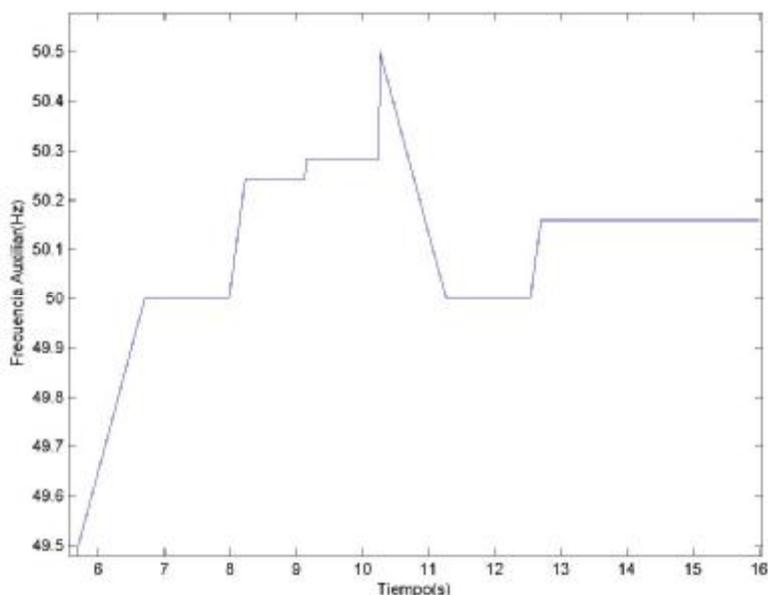


Figura 81. Detalle de la frecuencia auxiliar

Como se ve, el valor de la frecuencia media auxiliar permanece en cero hasta que no se detecta el primer error de la red, éste se produce a los 5.29 segundos y es detectado 0.4 segundos más tarde, en ese instante se deja de trabajar con la frecuencia de la red para hacerlo con la auxiliar la cual crece desde los 49.5Hz hasta los 50Hz, y permanecerá en dicho valor hasta que el fallo sea despejado, tras esto, evolucionará de la misma manera que lo haga la red, sistema recuperado. Se puede observar también que cuando la frecuencia intenta exceder los 50.5Hz, de nuevo se procede a la desconexión e imposición del valor de frecuencia en 50Hz, a través de la frecuencia auxiliar, durante el

periodo de recuperación la frecuencia auxiliar evoluciona de misma forma que la calculada del PLL.

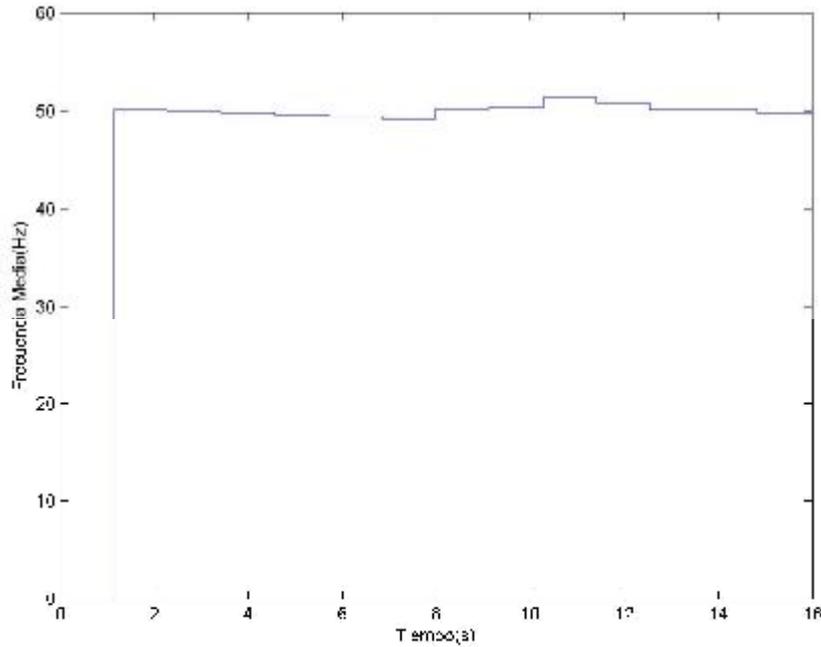


Figura 82. Variación de la frecuencia media

En la Figura 82 se ve la evolución temporal de la frecuencia media calculada por el algoritmo básico del PLL, ésta es nula hasta que se hace efectivo el cálculo del primer valor de la frecuencia media, a los 1.57s. Tras esto irá evolucionando de acuerdo con lo establecido por la red, aunque en periodos de fallo no sea empleada.

En la Figura 83 y la Figura 84, se representan los valores de la frecuencia con más detalle.

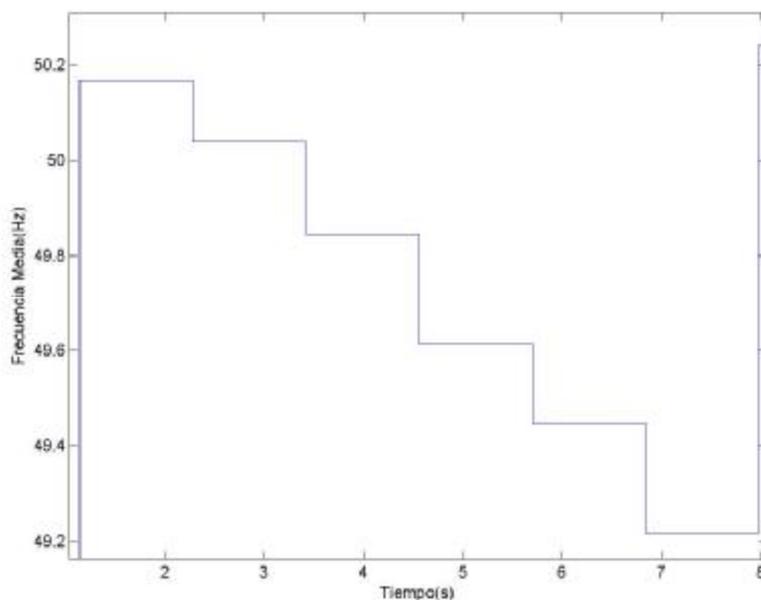


Figura 83. Detalle de la frecuencia media. Primera mitad de la simulación



En la Figura 83, se puede ver como el valor de la frecuencia media es nulo hasta el instante en que es calcula por primera vez su valor, 1.57 segundos, el cual es de 50.17Hz, éste es corregido a 50.2Hz en el siguiente cálculo de la misma. La tendencia de estas variaciones son los 50Hz, los cuales nos son alcanzados al ser de nuevo la frecuencia de la red disminuida hasta los 49.6Hz y posteriormente a 49.2Hz para provocar el fallo. Finalmente, cercano a los 8 segundos de simulación, se puede ver la recuperación del sistema. En la Figura 84, se puede observar la evolución llevada a cabo por la frecuencia media cuando el fallo se produce por exceso de la frecuencia de la red.

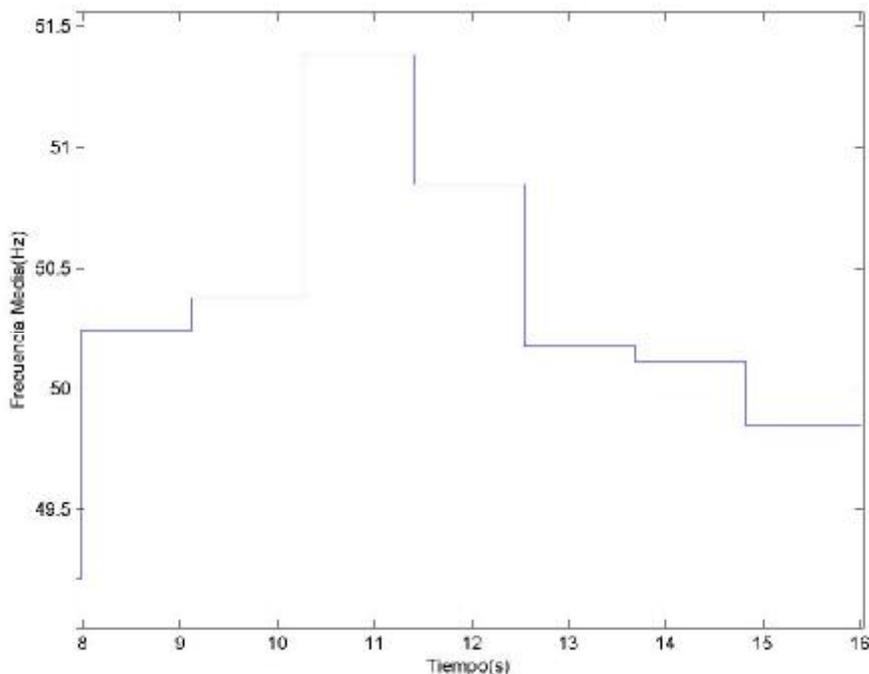


Figura 84. Detalle de la frecuencia media. Segunda mitad de la simulación

En ambas gráficas se puede ver el retraso existente entre el instante en que se produce el error y el momento en que es transmitido a la onda de salida, el motivo de éste no es otro que el cálculo de la frecuencia media.

	Proyecto Fin de Carrera
	Diseño de un PLL para el inversor de un sistema de alimentación ininterrumpida (SAI)

9. Resultados Experimentales

Para la toma de resultados experimentales se tuvieron que realizar dos tipos de pruebas diferentes. En primer lugar, se comprobó la capacidad de sincronismo del SPLL con la señal medida en la Red Eléctrica, para ello se llevó a cabo la lectura de la Fase A de la misma y se observó si la onda generada por el PLL estaba en sincronía con ésta. Debido al buen funcionamiento de la Red, con esta prueba solamente se puede verificar el denominado modo normal del SPLL, puesto que la variación de frecuencia de la misma es del orden de las centésimas de Hz y siempre en torno a la frecuencia nominal de 50Hz.

Para poder estudiar el comportamiento del PLL durante un “fallo” en la red y la posterior “re-sincronización” con la misma se procedió de la siguiente manera. En primer lugar se generó una señal de similares características a la percibida por el sensor de tensión cuando éste se conecta a la Red a través del transformador de medida. En este caso el interruptor de habilitación de la Red se encuentra abierto y lo que se hace con la señal generada es emular el comportamiento de la misma. Para llevar a cabo esta prueba se emuló tan sólo la Fase A, de tal forma que la lectura de las otras dos fases provocaría error pues al no ser generadas su frecuencia sería cero. Para evitar el continuo estado de error, se modificó el Software deshabilitando las señales de error de las dos fases anteriores. Para generar la señal se empleó el generador de ondas GF-230 de PROMAX, mediante el cual y para no sobrecargar al sensor de tensión, se generó una onda sinusoidal de $10V_{pp}$ y cuya frecuencia se iría variando con el fin de comprobar el comportamiento del PLL antes variaciones algo más severas en la frecuencia de la señal con la que se sincroniza. Para la monitorización de esta onda se ha empleado el osciloscopio TDS 2012 de TEKTRONIK. Finalmente comentar que la implementación real del SPLL se ha llevado a cabo sobre el DSP TMS320VC33 de Texas Instruments, el software empleado para la monitorización de los resultados y la toma de medidas ha sido desarrollado por el Grupo de Tecnología Electrónica.

A continuación se presentan los resultados obtenidos para el caso en el que la señal medida es la correspondiente a la Fase A de la Red Eléctrica. Veamos como se alcanza la sincronización con la misma y por tanto la verificación del correcto funcionamiento del modo normal del SPLL.



En la Figura 85 se representan 10 ciclos de red en los que se puede apreciar la sincronización con la ésta, para ver dicho sincronismo con mayor claridad se representa un solo ciclo en la Figura 86.

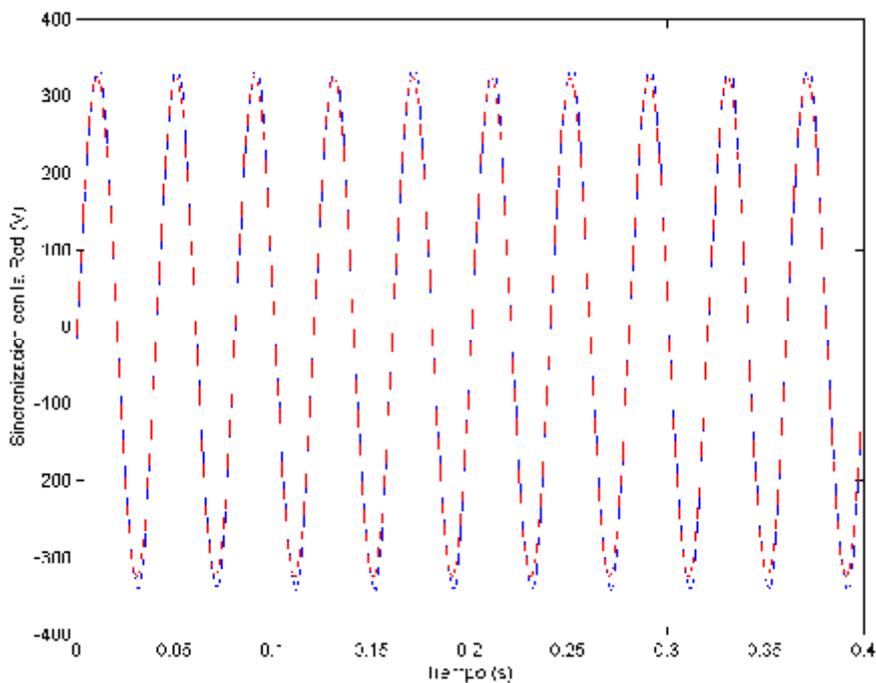


Figura 85. Sincronización del PLL con la Red

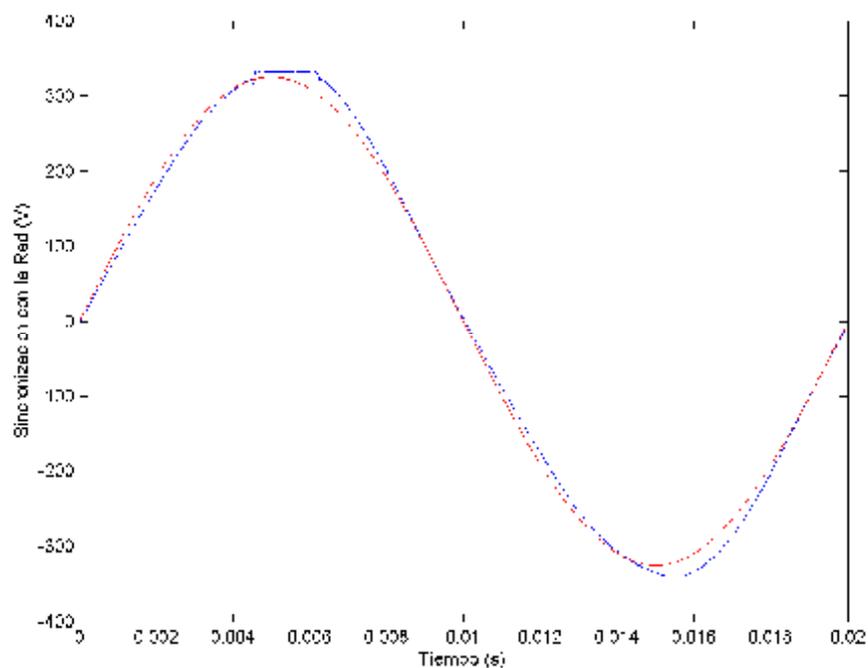


Figura 86. Detalle de la sincronización con la Red



A la vista de la Figura 86, cabe destacar dos cosas, la primera de ellas es la saturación existente en la medida de la red en su semiciclo positivo. En segundo lugar se debe comentar que para adaptar la señal de salida del PLL con la medida por el sensor se tuvo que bajar el valor rms de la primera, de los $230V_{rms}$ iniciales a $50V_{rms}$ aproximadamente, por este motivo hubiese sido más adecuado variar también la banda de sincronismo y bajar su valor, de esta forma la sincronización se hará de forma más precisa. En este caso, dicho cambio no se llevo a cabo apareciendo, como se puede ver en la Figura 86, una pequeña diferencia entre las dos ondas. Como se verá en los resultados presentados a continuación, para el generador de ondas, la sincronización se hará de manera más precisa con tan sólo bajar el valor de la banda de sincronización de 5V a 1V.

A continuación se presentan los resultados obtenido para el caso en el que emulamos la Red con ayuda del generador de ondas. El proceso llevado a cabo es el siguiente, inicialmente se sincroniza el PLL con la señal de referencia para una frecuencia aproximada a la nominal de la red, esto es 50.10Hz, Figura 87, 88 y 89. Tras esto se variará levemente la misma para observar el comportamiento del PLL en modo normal y ver como se lleva a cabo el seguimiento de la frecuencia de la señal de referencia, de esta manera posicionamos la consigna de la frecuencia en 49.70Hz, Figuras 90, 91, y 92. Una vez alcanzado dicho valor se variará la frecuencia hasta un valor fuera del rango de fluctuaciones permitidas por la normativa provocando el “fallo en la Red”, para ello la frecuencia adquiere un valor de 48.7Hz, Figuras 93, 94 y 95. Se recuerda que en este caso, el Software marcará la existencia de fallo obviando el valor de la frecuencia medida e imponiendo un valor de 50Hz para la frecuencia de la onda de salida del PLL. Finalmente se llevará a acabo una recuperación de la frecuencia llevando a ésta a un valor cercano al nominal, en este caso 50.18Hz, con esta última prueba se estudia el comportamiento en modo recuperación, Figuras 96, 97 y 98.

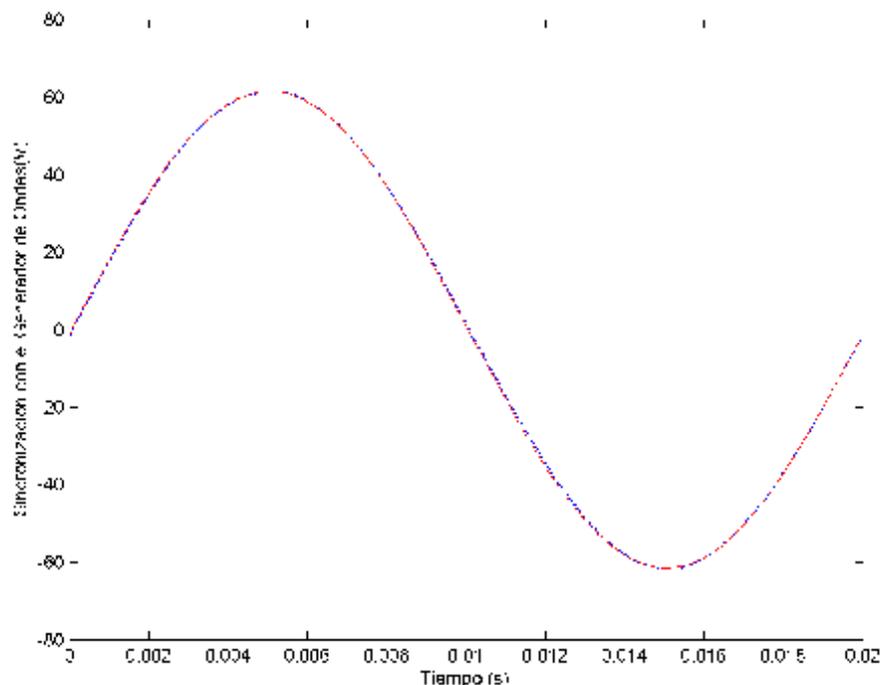


Figura 87. Sincronización con la señal generada por el generador de ondas para 50.10Hz

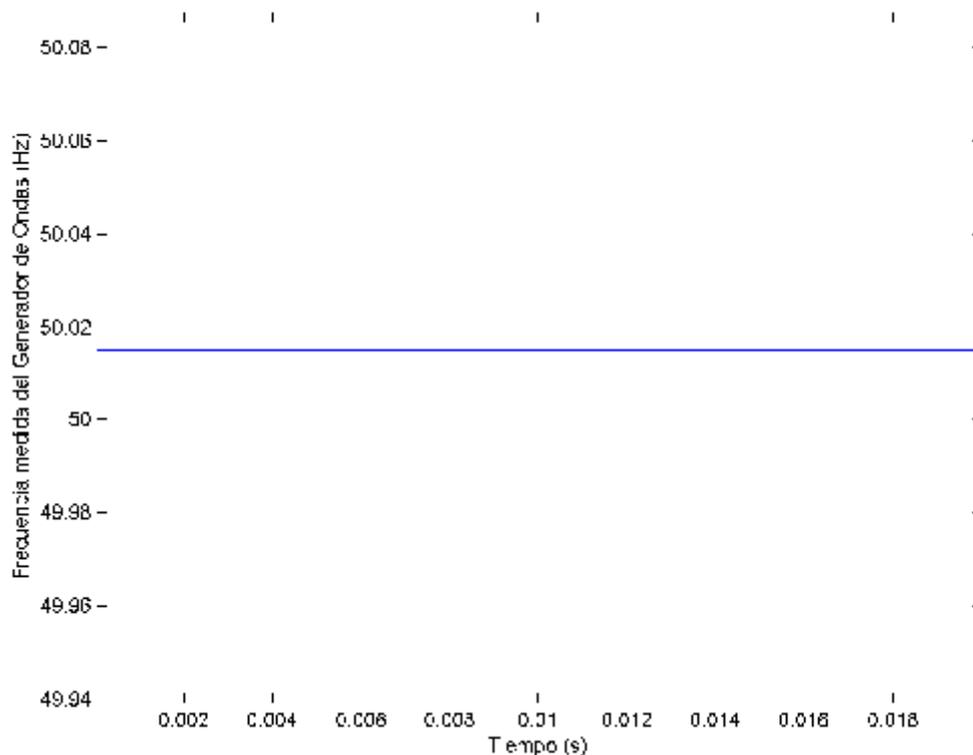


Figura 88. Frecuencia medida por el algoritmo del PLL sobre la onda de 50.10 Hz generada

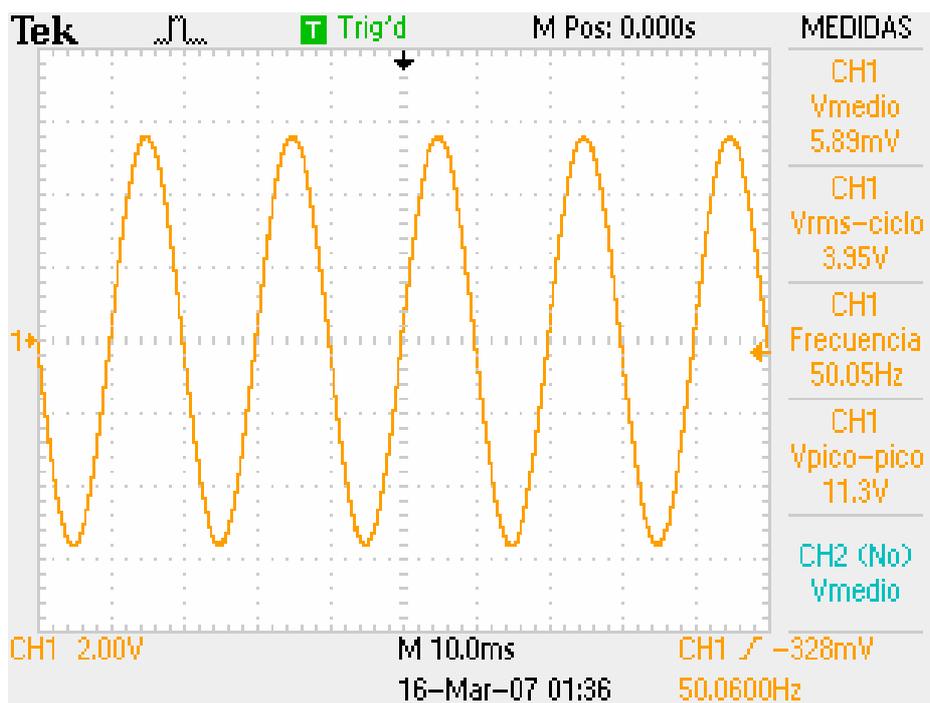


Figura 89. Medida de la señal generada. Capturada por el Osciloscopio para el caso de 50.1Hz

Si la frecuencia de referencia sufre una fluctuación dentro del rango de funcionamiento normal de la red, el PLL debe generar una nueva señal de salida de acuerdo con esta nueva frecuencia, de tal manera que se mantenga el sincronismo con la señal de referencia, cuya frecuencia en este caso se ha posicionado en 49.70Hz.

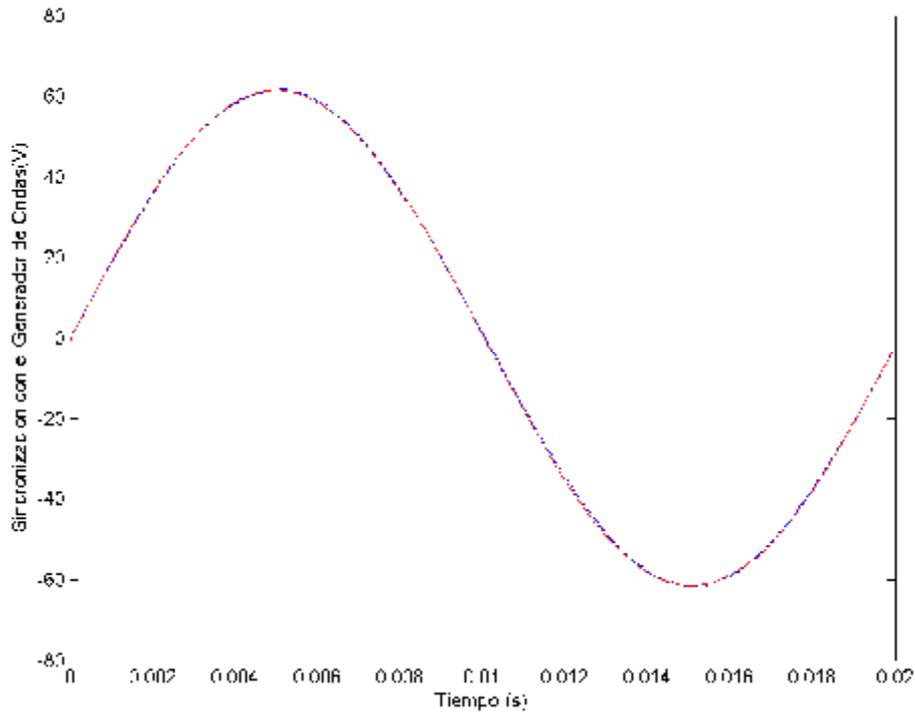


Figura 90. Sincronización con la señal generada por el generador de ondas para 49.70Hz

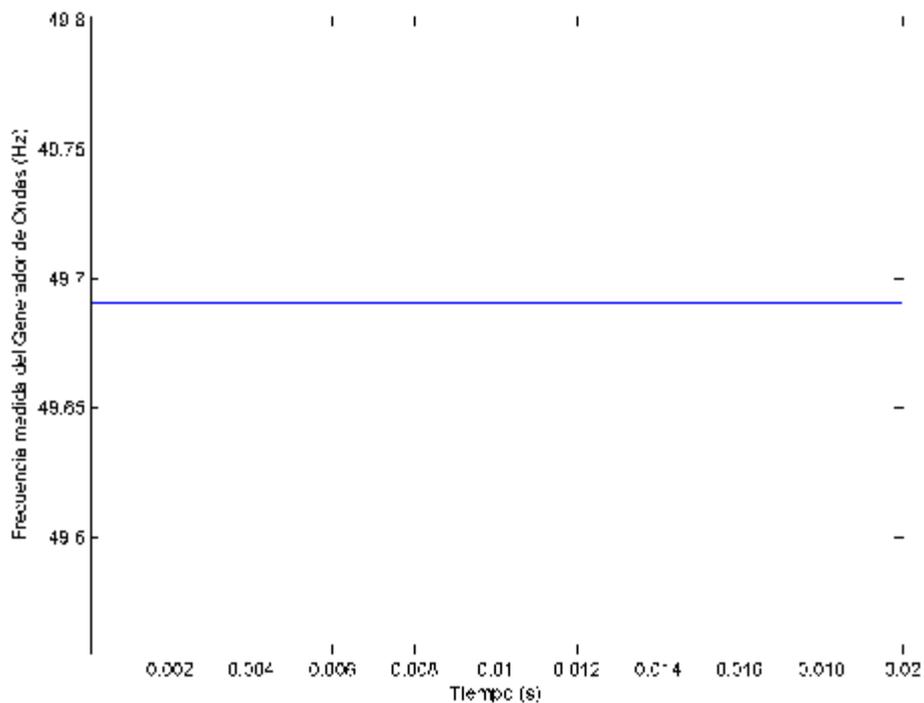


Figura 91. Frecuencia medida por el algoritmo del PLL sobre la onda de 49.70 Hz generada

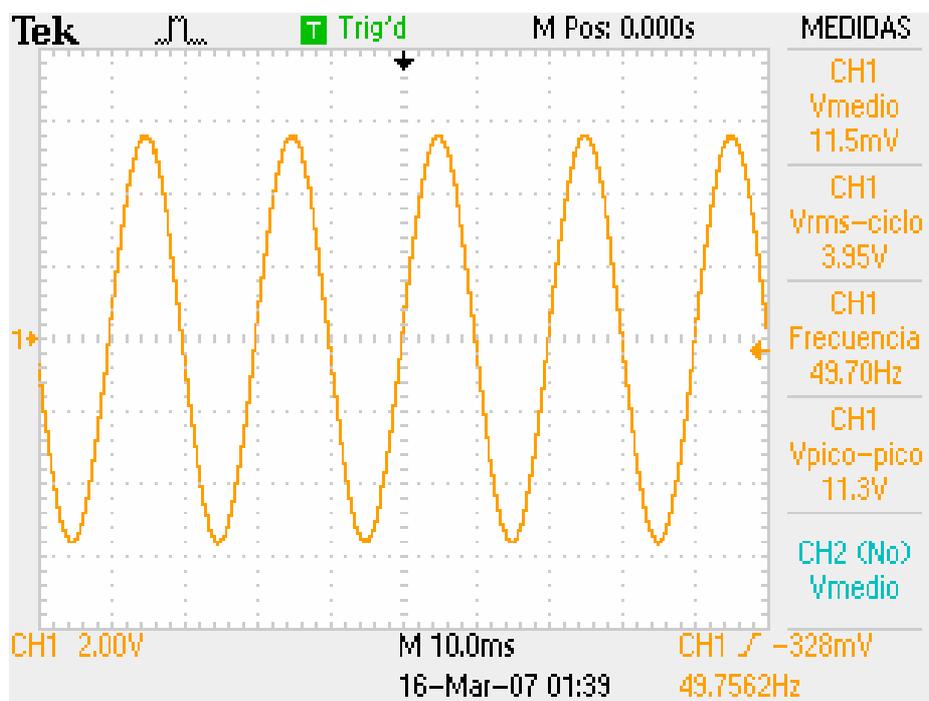


Figura 92. Medida de la señal generada. Capturada por el Osciloscopio para el caso de 49.7Hz

A continuación se presentan los resultados obtenidos para el caso de existencia de error, en este caso la frecuencia de referencia cae hasta los 48.7Hz.

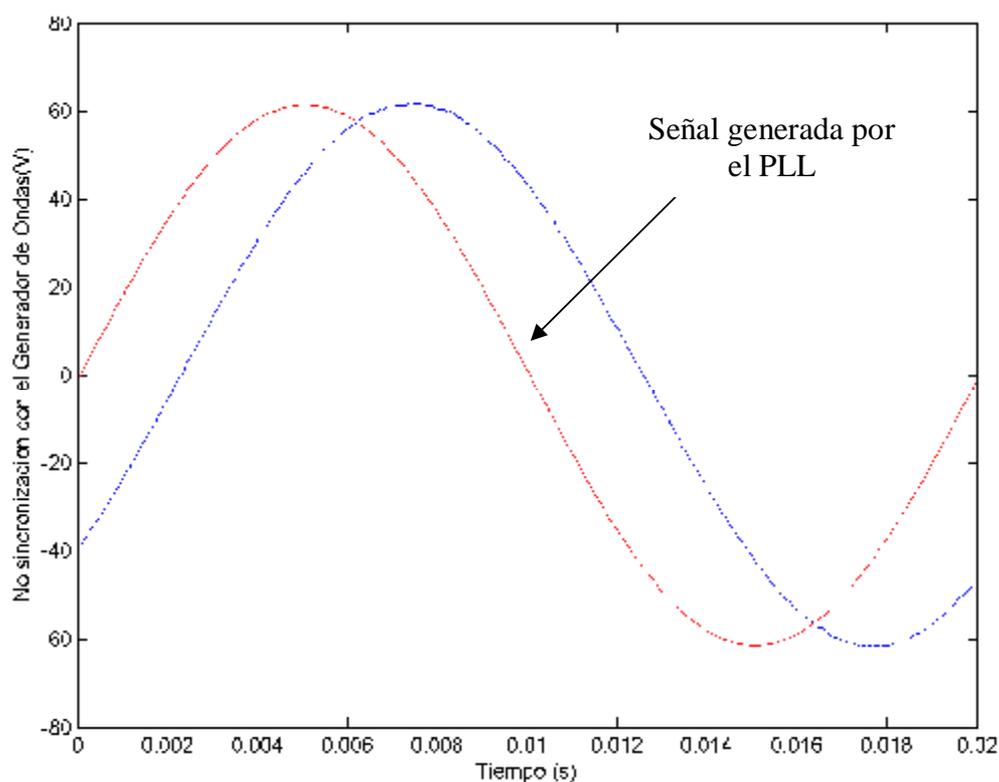


Figura 93. Desacople entre la señal generada por el PLL y la generada por el generador de ondas

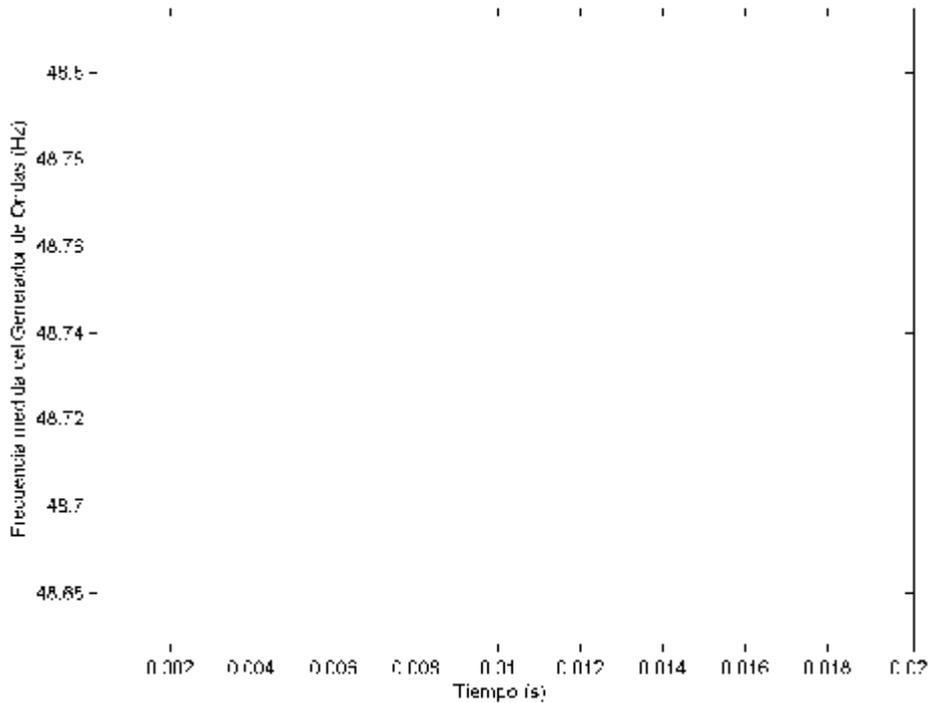


Figura 94. Frecuencia medida por el algoritmo del PLL sobre la onda de 48.70 Hz generada

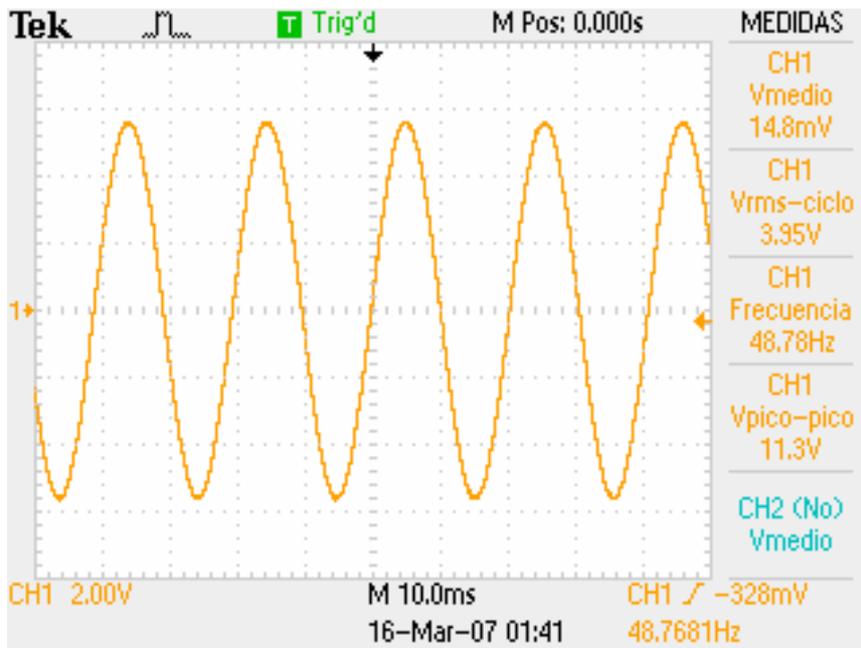


Figura 95. Medida de la señal generada. Capturada por el Osciloscopio para el caso de 48.7Hz

A la vista de las Figuras 93, 94 y 95, vemos como en la primera de ellas la frecuencia de la señal de salida del PLL tiene una frecuencia de 50Hz, mientras que la frecuencia real medida tanto por el osciloscopio como por el algoritmo del PLL está en torno a los 48.7Hz.



Finalmente se representan los resultados obtenidos para el caso en el que se la frecuencia de la red vuelve a estar dentro del $\pm 1\%$ de la frecuencia nominal, 50Hz. Para este caso el valor fijado en la frecuencia ha sido de 50.18Hz.

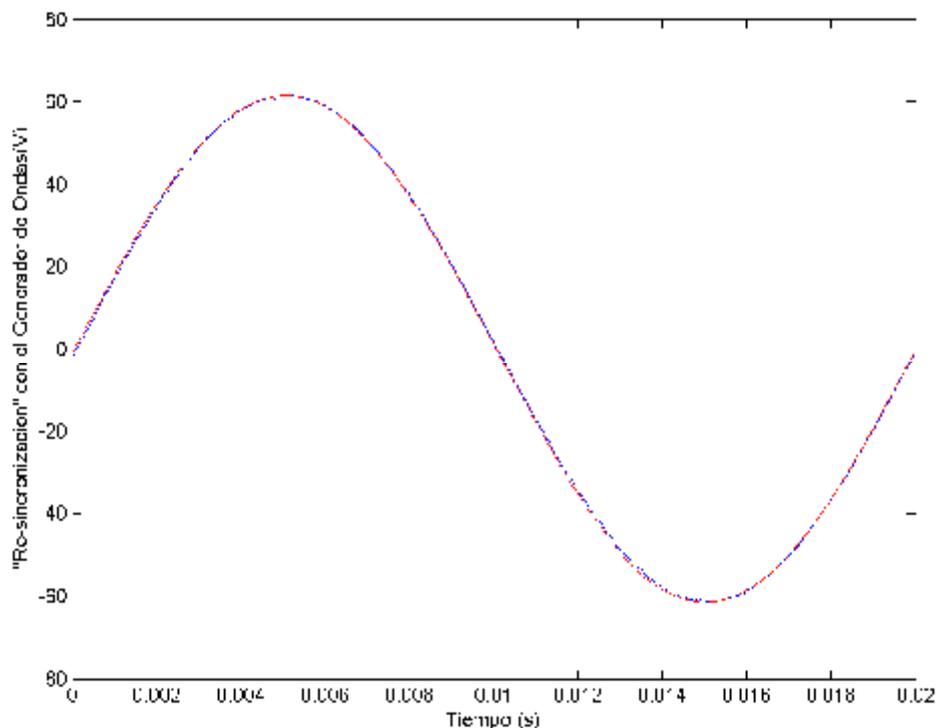


Figura 96. Sincronización con la señal generada por el generador de ondas para 50.18Hz

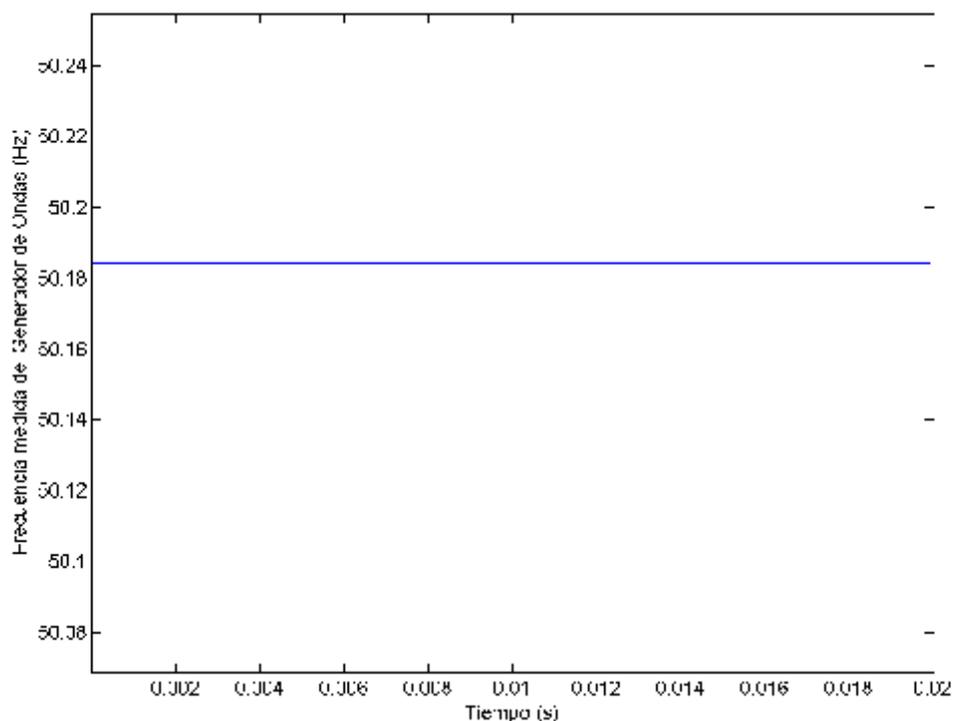


Figura 97. Frecuencia medida por el algoritmo del PLL sobre la onda de 50.18 Hz generada

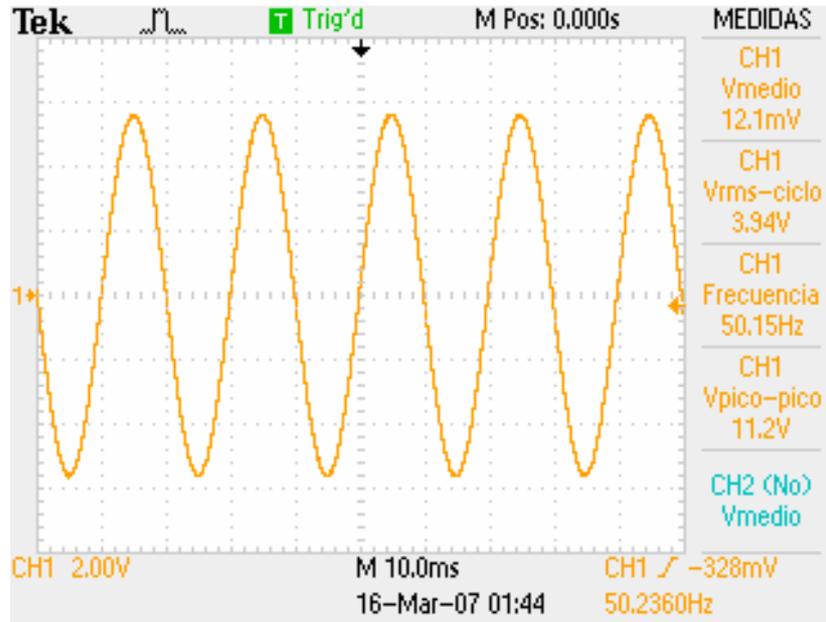


Figura 98. Medida de la señal generada. Capturada por el Osciloscopio para el caso de 50.18Hz



10. Anexo A

```
/****** Archivos de cabecera *****/

#include "math.h"
#include "stdio.h"

/****** Definiciones propias *****/

#define TM (*DELTA) //Tiempo de muestreo en segundos
#define FREC 10000
#define Ts (1./FREC) //Periodo de sampleo en seg
#define Tmed 1.14
#define CONTADOR_s 1./(FREC*TM)
#define M_PI 3.1415926535897932384626433832795
#define TAMSENO 200 //Generamos un seno de 200 puntos
#define contador_med Tmed/Ts
#define inv_contador Ts/Tmed

/***** Para nombrar como PSCAD (Fortran convention) *****/

typedef double real;
typedef long int integer;
typedef long int logical;

void cpll_(real *vap,real *vbp,real *vcp,real *bg,real *brp,real *varp,real *vbrp,real
*vcrp,real *Deb,real *DELTA,logical *TIMEZERO,real *TIME)

{
    //Variables para realizar el algoritmo

    static int contador = 0; //Contador de ciclos

    //Variables para obtener la salida

    static float U2an = 0.; //Tensión de salida del oscilador
    static float U2bn = 0.;
    static float U2cn = 0.;

    //Variables del Detector de fases

    static float Udan = 0; // Tensión de salida del Multiplicador de Frecuencias
    static float Udbn = 0;
    static float Udcn = 0;
    static float U1an = 0; //Muestreo de la señal de la fase A (referencia)
    static float U1bn = 0;
```



```
static float U1cn = 0;
static float U1anant = 0; // Variable intermedia. Guarda el valor anterior del
muestreo de tensión
static float U1bnant = 0;
static float U1cnant = 0;
static float Udanant; // Tensión de entrada proveniente del Multiplicador en el
instante anterior
static float Udbnant;
static float Udcnant;
static float Kd; // Ganancia del multiplicador
```

//Variables del Filtro

```
static float Ufan = 0.; // Tensión de salida del filtro
static float Ufbn = 0.;
static float Ufcn = 0.;
static float Ufanant= 0.; // Tensión de salida del filtro en el instante anterior
static float Ufbnant= 0.;
static float Ufcnant= 0.;
static float bo = 0.; // Coeficiente de Ud(n)
static float b1 = 0.; // Coeficiente de Ud(n-1)
static float a1 = 0.; // Coeficiente de Uf(n-1)
static float Tau1; // Proporcional del PI
static float Tau2; // Integral del PI
```

//Variables para el Oscilador

```
static float Fi2a =0.; // Valor de la fase a la salida del oscilador
static float Fi2b =0.;
static float Fi2c =0.;
static float w0= 50.; // Frecuencia central del oscilador
static float w2a= 0.; // Frecuencia de la fase A calculada por el PLL
static float w2b= 0.;
static float w2c= 0.;
static float w2auxa= 0.; // Frecuencia de la fase A empleada en caso de fallos
static float w2auxb= 0.;
static float w2auxc= 0.;
static float w2ma= 0.; // Frecuencia media de la fase A
static float w2mb= 0.;
static float w2mc= 0.;
static float w2maaux= 0.; // Frecuencia media de la fase A empleada en caso de
fallos
static float w2mbaux= 0.;
static float w2mcaux= 0.;
static float fa= 0.; // Flag de fallo en la fase A
static float fb= 0.;
static float fc= 0.;
static float ff= 0.; //Flag de inicio de cálculo de frecuencia media
```



```
static int fp=0; //Flag de indicador de estado
static int rs=0; // Flag de inicio de sincronización con la red
static int rsa=0; // Flag indicador de sincronización alcanzada
static int rsb=0;
static int rsc=0;
static float Ko; // Ganancia del Oscilador

//Variables para la generación del seno a la salida

static int indiceg = 0.; //Índice para generar los 3 senos
static float indicera = 0.; //Índice para obtención del valor del seno en la fase A
static float indicerb = 0.;
static float indicerc = 0.;
static float incrementoa = 0.; //variable para marcar cada cuantos puntos
tomamos un valor del seno
static float incrementob = 0.;
static float incrementoc = 0.;
static int indinta = 0.; //Índice con el que entramos en la tabla correspondiente a
la fase A
static int indintb = 0.;
static int indintc = 0.;
static float indiceraaux = 0.;
static float indicerb aux = 0.;
static float indicercaux = 0.;
static float incrementoaux = 0.;
static float incrementobaux = 0.;
static float incrementocaux = 0.;
static int indintaux = 0.;
static int indintbaux = 0.;
static int indintcaux = 0.;
static float salidaa = 0.; //Onda generado por el PLL para la fase A
static float salidab = 0.;
static float salidac = 0.;
static float salidaaux = 0.; //Onda auxiliar generado por el PLL para la fase A
static float salidabaux = 0.;
static float salidaux = 0.;
static float salidanta = 0.; //Onda generado por el PLL para la fase A en el
instante anterior
static float salidantb = 0.;
static float salidantc = 0.;
static float aa = 0.; //Diferencia entre la red y la onda de de la fase A en el paso
por cero positivo
static float ab = 0.;
static float ac = 0.;
static float senoa[TAMSENO]; //Tabla con el seno de la onda de la fase A
static float senob[TAMSENO];
static float senoc[TAMSENO];
```



```
static int contMed=0; //Contador para el cálculo de la frecuencia media
static int f=0.; //Indicador de que el primer cálculo de la media de la frecuencia
ha sido realizado
/* Usamos esta variable lógica para que estos */
/* cálculos sólo se realicen una vez y acelere */
/* el proceso de simulación. */
```

```
if(*TIMEZERO)
```

```
{
    contador= 0;
    //Constantes del PI del Filtro
```

```
Tau1 = 0.001798268;//798268;
Tau2 = 0.019098597;
a1= -1.;
bo= (Ts/2*Tau1)*(1+(1/tan(Ts/(2*Tau2))));
b1= (Ts/2*Tau1)*(1-(1/tan(Ts/(2*Tau2))));
Ko= 2.424242;
Kd= 146.422;
```

```
//Inicialización de las variables del algoritmo
```

```
U2an= 0.; U2bn= 0.; U2cn= 0.;
Udanant= 0.; Udbnant= 0.; Udcnant= 0.;
Ufan= 0.; Ufbn= 0.; Ufcn= 0.;
Ufanant= 0.; Ufbnant= 0.; Ufcnant= 0.;
Fi2a= 0.; Fi2b= 0.; Fi2c= 0.;
w0=50*2*M_PI;
f=0;
ff=0;
fa=0;
fb=0;
fc=0;
fp=0;
i=0;
rs=0;
rsa=0; rsb=0; rsc=0;
indicerc=133.3;
indintc=133;
indicerc=66.6;
indintc=66;
```

```
// Calculamos la tabla del seno
```

```
for(indiceg=0;indiceg<TAMSENO;indiceg++)
```

```
{
    senoa[indiceg] = sqrt(2.)*230*sin(2.*M_PI*indiceg/TAMSENO-0*M_PI/3);
```



```
senob[indiceg] = sqrt(2.)*230*sin(2.*M_PI*indiceg/TAMSENO-2*M_PI/3);
senoc[indiceg] = sqrt(2.)*230*sin(2.*M_PI*indiceg/TAMSENO-4*M_PI/3);
}

indiceg = 0;

}

contador++;

if (contador>=CONTADOR_s)
{
    contador=0;

    //Traspaso a variables locales

    U1an = 1000.*(*vap);
    U1bn = 1000.*(*vbp);
    U1cn = 1000.*(*vcp);

    //Cálculo de la señal del multiplicador

    Udan= Kd*U1an*U2an;
    Udbn= Kd*U1bn*U2bn;
    Udcn= Kd*U1cn*U2cn;

    //Cálculo de la señal del filtro

    Ufan = -a1*Ufanant+bo*Udan+b1*Udanant;
    Ufbn = -a1*Ufbnant+bo*Udbn+b1*Udbnant;
    Ufcn = -a1*Ufcnant+bo*Udcn+b1*Udcnant;

    //Cálculo de la fase Fi2 y la frecuencia w2

    Fi2a= Fi2a+(w0+Ko*Ufan)*Ts;
    w2a=(w0+Ko*Ufan)/(2*M_PI);

    Fi2b= Fi2b+(w0+Ko*Ufbn)*Ts;
    w2b=(w0+Ko*Ufbn)/(2*M_PI);

    Fi2c= Fi2c+(w0+Ko*Ufcn)*Ts;
    w2c=(w0+Ko*Ufcn)/(2*M_PI);

    //Calculamos la señal de salida

    if (Fi2a>M_PI) Fi2a=Fi2a-2*M_PI;

    if(Fi2a>=0)
```



```
        {
            U2an=1;
        }
    else
        {
            U2an=-1;
        }

    if (Fi2b>M_PI) Fi2b=Fi2b-2*M_PI;

    if(Fi2b>=0)
        {
            U2bn=1;
        }
    else
        {
            U2bn=-1;
        }

    if (Fi2c>M_PI) Fi2c=Fi2c-2*M_PI;

    if(Fi2c>=0)
        {
            U2cn=1;
        }
    else
        {
            U2cn=-1;
        }

    //Calculamos la frecuencia media obtenida

    if(contMed>=contador_med)
        {
            contMed=0;
            w2ma=w2auxa*inv_contador;
            w2auxa=0;
            w2mb=w2auxb*inv_contador;
            w2auxb=0;
            w2mc=w2auxc*inv_contador;
            w2auxc=0;
            if(f==0) f=1;
        }
    else
        {
            contMed++;
            w2auxa+= w2a;
            w2auxb+= w2b;
```



```
w2auxc+= w2c;

}

//Disparamos flags de alerta ante fallos en la red

if(f==1)
{
    fp=1;
    if(w2ma>=50.55) fa=1;
    if(w2ma<=49.45) fa=2;

    if(w2mb>=50.55) fb=1;
    if(w2mb<=49.45) fb=2;

    if(w2mc>=50.55) fc=1;
    if(w2mc<=49.45) fc=2;

    if(((w2ma>49.45)&&(w2ma<50.55))&&((w2mb>49.45)&&(w2mb<50.55))&&
    ((w2mc>49.45)&&(w2mc<50.55)))
    {
        ff=0;fa=0;fb=0;fc=0;
    }
}

if(((fa>=1)||fb>=1)||fc>= 1)||(*bg)==1)&&(f==1))
{
    if(ff==0)
    {
        ff=1;
        if((fa==1)||fb==1)||fc==1))
        {
            w2maaux=50.5;
            w2mbaux=50.5;
            w2mcaux=50.5;
            rs=1;
        }

        if((fa==2)||fb==2)||fc==2))
        {
            w2maaux=49.5;
            w2mbaux=49.5;
            w2mcaux=49.5;
            rs=1;
        }
    }
}
```



}

```
if(w2maaux>=50) w2maaux=w2maaux-.00005;  
if(w2maaux<50) w2maaux=w2maaux+.00005;  
if(w2mbaux>=50) w2mbaux=w2mbaux-.00005;  
if(w2mbaux<50) w2mbaux=w2mbaux+.00005;  
if(w2mcaux>=50) w2mcaux=w2mcaux-.00005;  
if(w2mcaux<50) w2mcaux=w2mcaux+.00005;
```

//Calculamos seno de salida con puntero marcado por la frecuencia del PLL (fallo)//

```
incrementoa = (200*w2maaux)/10000;  
indicera+= incrementoa;  
indinta = (int)(indicera);
```

```
if (indicera>=200)  
{  
    indinta-=200;  
    indicera-=200.;  
}
```

```
salidaa=senoa[indinta];
```

```
incrementob = (200*w2mbaux)/10000;  
indicerb+= incrementob;  
indintb = (int)(indicerb);
```

```
if (indicerb>=200)  
{  
    indintb-=200;  
    indicerb-=200.;  
}
```

```
salidab=senob[indintb];
```

```
incrementoc = (200*w2mcaux)/10000;  
indicerc+= incrementoc;  
indintc = (int)(indicerc);
```

```
if (indicerc>=200)  
{  
    indintc-=200;  
    indicerc-=200.;  
}
```

```
salidac=senoc[indintc];
```

}



```
else
    {

//Calculamos el seno de salida con referencia la red (red OK)

fa=0;
fb=0;
fc=0;
ff=0;
fp=0;

// Preparamos el PLL para la sincronización con la red

if(rs==1)
{

    fp=2;

// Sincronización en frecuencia

    if(w2ma>w2maaux) w2maaux=w2maaux+0.0001;
    if(w2ma<=w2maaux) w2maaux=w2maaux-0.0001;
    if(w2mb>w2mbaux) w2mbaux=w2mbaux+0.0001;
    if(w2mb<=w2mbaux) w2mbaux=w2mbaux-0.0001;
    if(w2mc>w2mcaux) w2mcaux=w2mcaux+0.0001;
    if(w2mc<=w2mcaux) w2mcaux=w2mcaux-0.0001;

// Sincronización en fase

incrementoa = (200*w2maaux)/10000;
indicera+= incrementoa;
indinta = (int)(indicera);

if ((U1anant<0)&&(U1an>0))
    {
        aa=salidaa-U1an;

        if((aa>5)||aa<-5))
        {

            if(aa<=0)
            {
                indicera++;
                indinta++;
            }
        }
    }
}
```



```
    }

    if(aa>0)
    {
        indicera--;
        indinta--;
    }
}
else rsa=1;
}

if (indicera>=200)
{
    indinta-=200;
    indicera-=200.;
}

salidaa=senoa[indinta];

incrementob = (200*w2mbaux)/10000;
indicerb+= incrementob;
indintb = (int)(indicerb);

if ((U1bnant<0)&&(U1bn>0))
{
    ab=salidab-U1bn;

    if((ab>5)|| (ab<-5))
    {
        if(ab<=0)
        {
            indicerb++;
            indintb++;
        }
        if(ab>0)
        {
            indicerb--;
            indintb--;
        }
    }
    else rsb=1;
}

if (indicerb>=200)
{
```



```
        indintb-=200;
        indicerb-=200.;
    }

    salidab=senob[indintb];

    incrementoc = (200*w2mcaux)/10000;
    indicerc+= incrementoc;
    indintc = (int)(indicerc);

    if ((U1cnant<0)&&(U1cn>0))
    {
        ac=salidac-U1cn;

        if((ac>5)||ac<-5))
        {
            if(ac<=0)
            {
                indicerc++;
                indintc++;
            }
            if(ac>0)
            {
                indicerc--;
                indintc--;
            }
        }
        else rsc=1;
    }

    if (indicerc>=200)
    {
        indintc-=200;
        indicerc-=200.;
    }

    salidac=senoc[indintc];

}

if((rsa==1)&&(rsb==1)&&(rsc==1)) rs=0;

// Cuando el PLL está sincronizado en fase y frecuencia con la Red reenganchamos//

if (rs==0)
{
```



```
rsa=0;
rsb=0;
rsc=0;
incrementoa = (200*w2ma)/10000;
indicera+= incrementoa;
indinta = (int)(indicera);
if(f==0)
{
}
else
{
    if ((U1anant<0)&&(U1an>0))
    {
        aa=salidaa-U1an;
        if((aa>5)||((aa<-5)))
        {
            if(aa<=0)
            {
                indicera++;
                indinta++;
            }
            if(aa>0)
            {
                indicera--;
                indinta--;
            }
        }
    }
}

if (indicera>=200)
{
    indinta-=200;
    indicera-=200.;
}

salidaa=senoa[indinta];

incrementob = (200*w2mb)/10000;
indicerb+= incrementob;
indintb = (int)(indicerb);
```



```
if ((U1bnant<0)&&(U1bn>0))
{
    ab=salidab-U1bn;
    if((ab>5)||ab<-5))
    {
        if(ab<=0)
        {
            indicerb++;
            indintb++;
        }
        if(ab>0)
        {
            indicerb--;
            indintb--;
        }
    }
}

if (indicerb>=200)
{
    indintb-=200;
    indicerb-=200.;
}

salidab=senob[indintb];
incrementoc = (200*w2mc)/10000;
indicerc+= incrementoc;
indintc = (int)(indicerc);

if ((U1cnant<0)&&(U1cn>0))
{
    ac=salidac-U1cn;
    if((ac>5)||ac<-5))
    {
        if(ac<=0)
        {
            indicerc++;
            indintc++;
        }
        if(ac>0)
        {
            indicerc--;
            indintc--;
        }
    }
}
```



```
    }  
    }  
  
    if (indicerc>=200)  
    {  
        indintc-=200;  
        indicerc-=200.;  
    }  
  
    salidac=senoc[indintc];  
}  
}  
  
}  
  
//Actualizamos las variables  
  
Udanant=Udan;  
Ufanant=Ufan;  
salidanta=salidaa;  
U1anant=U1an;  
  
Udbnant=Udbn;  
Ufbnant=Ufbn;  
salidantb=salidab;  
U1bnant=U1bn;  
  
Udcnant=Udcn;  
Ufcnant=Ufcn;  
salidantc=salidac;  
U1cnant=U1cn;  
}  
  
//Se asignan los valores de salida  
  
*varp=salidaa;  
*vbrp=salidab;  
*vcrp=salidac;  
  
}
```