

Trabajo Fin de Máster
Máster Universitario en Ingeniería Electrónica,
Robótica y Automática

Diseño de un amplificador de muy baja tensión y
altas prestaciones basado en técnicas gate y bulk-
driven

Autor: Ángel Corbacho Méndez

Tutor: Clara Isabel Luján Martínez

Antonio Torralba Silgado

Dpto. Ingeniería Electrónica
Escuela Técnica Superior de Ingeniería
Universidad de Sevilla

Sevilla, 2020



Trabajo Fin de Máster
Máster Universitario en Ingeniería Electrónica, Robótica y Automática

Diseño de un amplificador de muy baja tensión y altas prestaciones basado en técnicas gate y bulk-driven

Autor:

Ángel Corbacho Méndez

Tutores:

Clara Isabel Luján Martínez

Antonio Torralba Silgado

Dpto. Ingeniería Electrónica
Escuela Técnica Superior de Ingeniería
Universidad de Sevilla

Sevilla, 2020

Trabajo Fin de Máster: Diseño de un amplificador de muy baja tensión y altas prestaciones basado en técnicas gate y bulk-driven

Autor: Ángel Corbacho Méndez

Tutor: Clara Isabel Luján Martínez

El tribunal nombrado para juzgar el Proyecto arriba indicado, compuesto por los siguientes miembros:

Presidente:

Vocales:

Secretario:

Acuerdan otorgarle la calificación de:

Sevilla, 2020

El Secretario del Tribunal

A mi familia

Resumen

En este proyecto se presenta una nueva técnica de diseño de transistores de baja tensión, *bulk driven quasi floating gate* (BD-QFG), esta técnica consigue aunar las prestaciones de baja tensión que se obtienen con la técnica bulk driven y gate driven. Posteriormente, se proponen dos amplificadores de 3 etapas, clase AB de baja tensión empleando dicha técnica. Estos amplificadores son diseñados en el entorno de trabajo Cadence en una tecnología CMOS estándar de 180 nm y se realizan los análisis necesarios para verificar su funcionamiento. Por último, se comparan las prestaciones obtenidas.

Abstract

In this project a new design technique for the design of low voltage transistors known as bulk driven quasi floating gate (BD-QFG) is presented. Such a technique manages to combine the low voltage features obtained using the bulk driven and gate driven technique. Subsequently, two three-stage low-voltage class AB amplifiers are proposed employing this method. These amplifiers are designed in the Cadence work environment in a standard 180nm CMOS technology and the necessary tests are performed in order to check their functioning. Finally, the benefits obtained are compared.

Índice

| | |
|---|-----------|
| Resumen | viii |
| Abstract..... | ix |
| Índice | x |
| Índice de Tablas..... | xii |
| Índice de Figuras | xvi |
| 1 Introducción..... | 1 |
| 1.1. Contexto..... | 1 |
| 1.2. Objetivos | 1 |
| 1.3. Organización de la memoria | 2 |
| 2 Estado del arte de amplificadores sub-1V | 3 |
| 2.1 Reducción del umbral..... | 3 |
| 2.2 Subumbral..... | 4 |
| 2.3 Par sin fuente de corriente de cola..... | 4 |
| 2.4 Transistores de puerta flotante | 4 |
| 2.5 Transistores de puerta cuasi flotante..... | 5 |
| 2.6 Pares complementarios de entrada..... | 6 |
| 2.7 Desplazamiento de nivel..... | 7 |
| 2.8 Bulk Driven..... | 7 |
| 2.9 Bulk Driven - Transistores de puerta cuasi flotante | 8 |
| 3 Arquitectura del amplificador de partida | 11 |
| 4 Contribuciones..... | 13 |
| 4.1 Etapa de entrada diferencial bulk driven – puerta cuasi flotante..... | 13 |
| 4.1.1 Ganancia diferencial..... | 14 |
| 4.1.2 Factor de Rechazo al Modo Común (CMRR)..... | 15 |
| 4.1.3 Comportamiento en gran señal | 16 |
| 4.2 Amplificador de 3 etapas, clase AB, bulk driven – Puerta cuasi flotante de baja tensión | 17 |
| 4.2.1 Polarización estática..... | 19 |
| 4.2.1.1 Comportamiento en pequeña señal..... | 19 |
| 4.2.1.2 Resultado de las simulaciones..... | 22 |
| 4.2.1.2.1 Configuración en lazo abierto | 22 |
| 4.2.1.2.2 Configuración en seguidor..... | 28 |
| 4.2.1.2.3 Configuración en modo común | 33 |
| 4.2.1.2.4 Configuración en inversor | 35 |
| 4.2.1.2.5 Resumen | 35 |
| 4.2.2 Polarización dinámica | 36 |
| 4.2.2.1 Resultado de las simulaciones..... | 37 |
| 4.2.2.1.1 Configuración en lazo abierto | 37 |
| 4.2.2.1.2 Configuración en seguidor..... | 42 |
| 4.2.2.1.3 Configuración en modo común | 44 |
| 4.2.2.1.4 Configuración en inversor | 45 |

| | | |
|-----------|--|-----------|
| 4.2.2.1.5 | Resumen | 45 |
| 4.3 | <i>Amplificador de 3 etapas bulk driven – Puerta cuasi flotante de baja tensión con etapa de salida clase AB</i> | 46 |
| 4.3.1 | Polarización estática | 47 |
| 4.3.1.1 | Comportamiento en pequeña señal | 47 |
| 4.3.1.2 | Resultado de las simulaciones | 48 |
| 4.3.1.2.1 | Configuración en lazo abierto | 48 |
| 4.3.1.2.2 | Configuración en seguidor | 53 |
| 4.3.1.2.3 | Configuración en modo común | 56 |
| 4.3.1.2.4 | Configuración en inversor | 58 |
| 4.3.1.2.5 | Resumen | 58 |
| 4.3.2 | Polarización dinámica | 58 |
| 4.3.2.1 | Resultado de las simulaciones | 59 |
| 4.3.2.1.1 | Configuración en lazo abierto | 59 |
| 4.3.2.1.2 | Configuración en seguidor | 64 |
| 4.3.2.1.3 | Configuración en modo común | 66 |
| 4.3.2.1.4 | Configuración en inversor | 67 |
| 4.3.2.1.5 | Resumen | 67 |
| 4.4 | <i>Resumen de todas las propuestas</i> | 68 |
| 5 | Conclusiones y trabajo futuro | 71 |
| 5.1 | <i>Conclusiones</i> | 71 |
| 5.2 | <i>Trabajo futuro</i> | 73 |
| | Referencias | 75 |

Índice de Tablas

| | |
|---|----|
| Tabla 3-1. Dimensiones de los transistores y dispositivos del amplificador de partida | 12 |
| Tabla 3-2. Medidas de los parámetros de rendimiento del amplificador de partida (simulación) | 12 |
| Tabla 4-1. Dimensiones de los transistores y dispositivos de la etapa de entrada | 14 |
| Tabla 4-2. Dimensiones de los transistores y dispositivos del primer amplificador propuesto | 18 |
| Tabla 4-3. Valores de transconductancias y resistencias de salida de la primera propuesta de amplificador | 20 |
| Tabla 4-4. Análisis de esquina de la máxima ganancia en lazo abierto del primer amplificador propuesto (polarización estática) | 25 |
| Tabla 4-5. Análisis de esquina del margen de fase del primer amplificador propuesto (polarización estática) | 26 |
| Tabla 4-6. Análisis de esquina del ancho de banda de ganancia unidad (UGBW) del primer amplificador propuesto (polarización estática) | 27 |
| Tabla 4-7. Análisis de esquina del <i>offset</i> máximo del primer amplificador propuesto (polarización estática) | 28 |
| Tabla 4-8. Análisis de esquina del <i>slew rate</i> del primer amplificador propuesto (polarización estática) | 32 |
| Tabla 4-9. Resumen de los parámetros obtenidos para el primer amplificador propuesto (polarización estática) | 36 |
| Tabla 4-10. Dimensiones de los dispositivos y resumen de los parámetros del primer amplificador (polarización estática) para mayor margen de fase | 36 |
| Tabla 4-11. Análisis de esquina de la máxima ganancia en lazo abierto del primer amplificador propuesto (polarización dinámica) | 39 |
| Tabla 4-12. Análisis de esquina del margen de fase del primer amplificador propuesto (polarización dinámica) | 40 |
| Tabla 4-13. Análisis de esquina del ancho de banda de ganancia unidad (UGBW) del primer amplificador propuesto (polarización dinámica) | 41 |
| Tabla 4-14. Análisis de esquina del <i>offset</i> máximo del primer amplificador propuesto (polarización dinámica) | 42 |
| Tabla 4-15. Análisis de esquina del <i>slew rate</i> del primer amplificador propuesto (polarización dinámica) | 44 |
| Tabla 4-16. Resumen de los parámetros obtenidos para el primer amplificador propuesto (polarización estática y dinámica) | 46 |
| Tabla 4-17. Dimensiones de los transistores y dispositivos del segundo amplificador propuesto | 47 |
| Tabla 4-18. Valores de transconductancias y resistencias de salida de la segunda propuesta de amplificador | 48 |
| Tabla 4-19. Análisis de esquina de la máxima ganancia en lazo abierto del segundo amplificador propuesto (polarización estática) | 50 |

| | |
|---|----|
| Tabla 4-20. Análisis de esquina del margen de fase del segundo amplificador propuesto (polarización estática) | 51 |
| Tabla 4-21. Análisis de esquina del ancho de banda de ganancia unidad (UGBW) del segundo amplificador propuesto (polarización estática) | 52 |
| Tabla 4-22. Análisis de esquina del <i>offset</i> máximo del segundo amplificador propuesto (polarización estática) | 53 |
| Tabla 4-23. Análisis de esquina del <i>slew rate</i> del segundo amplificador propuesto (polarización estática) | 55 |
| Tabla 4-24. Resumen de los parámetros obtenidos para el segundo amplificador propuesto (polarización estática) | 58 |
| Tabla 4-25. Análisis de esquina de la máxima ganancia en lazo abierto del segundo amplificador propuesto (polarización dinámica) | 61 |
| Tabla 4-26. Análisis de esquina del margen de fase del segundo amplificador propuesto (polarización dinámica) | 62 |
| Tabla 4-27. Análisis de esquina del ancho de banda de ganancia unidad (UGBW) del segundo amplificador propuesto (polarización dinámica) | 63 |
| Tabla 4-28. Análisis de esquina del <i>offset</i> máximo del segundo amplificador propuesto (polarización dinámica) | 64 |
| Tabla 4-29. Análisis de esquina del <i>slew rate</i> del segundo amplificador propuesto (polarización dinámica) | 66 |
| Tabla 4-30. Resumen de los parámetros obtenidos para el segundo amplificador propuesto (polarización estática y dinámica) | 68 |
| Tabla 4-31. Resumen de los parámetros obtenidos en todas las propuestas junto al amplificador de partida | 69 |

Índice de Figuras

| | |
|---|----|
| Figura 2-1. (a) Etapa de entrada diferencial de un amplificador clásico (b) Versión del par de entrada clásico sin fuente de corriente (c) Etapa de entrada sin fuente de corriente de cola completamente diferencial | 4 |
| Figura 2-2. Transistores de puerta flotante | 5 |
| Figura 2-3. Transistor de puerta cuasi flotante | 5 |
| Figura 2-4. Pares complementarios de entrada | 6 |
| Figura 2-5. Doble par de entrada con desplazamiento de nivel | 7 |
| Figura 2-6. Transistores PMOS impulsados por (a) puerta (b) <i>bulk</i> | 8 |
| Figura 2-7. <i>Bulk Driven</i> - Transistores de puerta cuasi flotante | 8 |
| | |
| Figura 3-1. Amplificador de partida | 11 |
| | |
| Figura 4-1. Etapa de entrada diferencial <i>bulk driven</i> – puerta cuasi flotante | 14 |
| Figura 4-2. Demostración de comportamiento diferencial de la etapa de entrada | 15 |
| Figura 4-3. Análisis del CMRR de la etapa de entrada | 16 |
| Figura 4-4. Escalón negativo. Comportamiento en gran señal de la etapa de entrada | 17 |
| Figura 4-5. Escalón positivo. Comportamiento en gran señal de la etapa de entrada | 17 |
| Figura 4-6. Primera propuesta de amplificador con polarización estática | 18 |
| Figura 4-7. Modelo de pequeña señal de la primera propuesta de amplificador | 20 |
| Figura 4-8. Comparación del diagrama de Bode obtenido mediante CADENCE y mediante simulación del primer amplificador propuesto (polarización constante) | 22 |
| Figura 4-9. Circuito de test en configuración de lazo abierto | 23 |
| Figura 4-10. Diagrama de Bode nominal del primer amplificador propuesto (polarización estática) | 24 |
| Figura 4-11. Análisis de MonteCarlo de la máxima ganancia en lazo abierto del primer amplificador propuesto (polarización estática) | 25 |
| Figura 4-12. Análisis de MonteCarlo del margen de fase del primer amplificador propuesto (polarización estática) | 26 |
| Figura 4-13. Análisis de MonteCarlo del ancho de banda de ganancia unidad (UGBW) del primer amplificador propuesto (polarización estática) | 27 |
| Figura 4-14. Circuito de test en configuración de seguidor | 28 |
| Figura 4-15. Respuesta temporal nominal del primer amplificador propuesto (polarización estática) | 29 |
| Figura 4-16. Comportamiento ante una entrada escalón de la primera propuesta de amplificador | 30 |
| Figura 4-17. Análisis de MonteCarlo del <i>slew rate</i> positivo del primer amplificador propuesto (polarización estática) | 31 |

| | |
|---|----|
| Figura 4-18. Análisis de MonteCarlo del <i>slew rate</i> negativo del primer amplificador propuesto (polarización estática) | 31 |
| Figura 4-19. Circuito de test en configuración de seguidor para medir PSRR (DC) (a) Medición del PSRR+ (b) Medición del PSRR | 32 |
| Figura 4-20. Análisis de MonteCarlo del PSRR positivo del primer amplificador propuesto | 33 |
| Figura 4-21. Análisis de MonteCarlo del PSRR negativo del primer amplificador propuesto | 33 |
| Figura 4-22. Circuito de test en configuración de modo común | 34 |
| Figura 4-23. Diagrama de Bode de la ganancia diferencial y de modo común del primer amplificador propuesto (polarización estática) | 34 |
| Figura 4-24. Análisis de MonteCarlo del CMRR del primer amplificador propuesto (polarización estática) | 35 |
| Figura 4-25. Circuito de test en configuración en inversor | 35 |
| Figura 4-26. Primer amplificador propuesto con polarización dinámica | 37 |
| Figura 4-27. Diagrama de Bode nominal del primer amplificador propuesto (comparación polarización estática y dinámica) | 38 |
| Figura 4-28. Análisis de MonteCarlo de la máxima ganancia en lazo abierto del primer amplificador propuesto (polarización dinámica) | 39 |
| Figura 4-29. Análisis de MonteCarlo del margen de fase del primer amplificador propuesto (polarización dinámica) | 40 |
| Figura 4-30. Análisis de MonteCarlo del ancho de banda de ganancia unidad (UGBW) del primer amplificador propuesto (polarización dinámica) | 41 |
| Figura 4-31. Respuesta temporal nominal del primer amplificador propuesto (polarización estática y dinámica) | 42 |
| Figura 4-32. Análisis de MonteCarlo del <i>slew rate</i> positivo del primer amplificador propuesto (polarización dinámica) | 43 |
| Figura 4-33. Análisis de MonteCarlo del <i>slew rate</i> negativo del primer amplificador propuesto (polarización dinámica) | 43 |
| Figura 4-34. Diagrama de Bode de la ganancia diferencial y de modo común del primer amplificador propuesto (polarización dinámica) | 45 |
| Figura 4-35. Segunda propuesta de amplificador con polarización estática | 47 |
| Figura 4-36. Modelo de pequeña señal de la segunda propuesta de amplificador | 48 |
| Figura 4-37. Diagrama de Bode nominal del segundo amplificador propuesto (polarización estática) | 49 |
| Figura 4-38. Análisis de MonteCarlo de la máxima ganancia en lazo abierto del segundo amplificador propuesto (polarización estática) | 50 |
| Figura 4-39. Análisis de MonteCarlo del margen de fase del segundo amplificador propuesto (polarización estática) | 51 |
| Figura 4-40. Análisis de MonteCarlo del ancho de banda de ganancia unidad (UGBW) del segundo amplificador propuesto (polarización estática) | 52 |
| Figura 4-41. Respuesta temporal nominal del segundo amplificador propuesto (polarización estática) | 53 |
| Figura 4-42. Análisis de MonteCarlo del <i>slew rate</i> positivo del segundo amplificador propuesto (polarización estática) | 54 |
| Figura 4-43. Análisis de MonteCarlo del <i>slew rate</i> negativo del segundo amplificador propuesto (polarización estática) | 54 |
| Figura 4-44. Análisis de MonteCarlo del PSRR positivo del segundo amplificador propuesto | 55 |

| | |
|--|----|
| Figura 4-45. Análisis de MonteCarlo del PSRR negativo del segundo amplificador propuesto | 56 |
| Figura 4-46. Diagrama de Bode de la ganancia diferencial y de modo común del segundo amplificador propuesto (polarización estática) | 57 |
| Figura 4-47. Análisis de MonteCarlo del CMRR del segundo amplificador propuesto (polarización estática) | 57 |
| Figura 4-48. Segunda propuesta de amplificador con polarización dinámica | 59 |
| Figura 4-49. Diagrama de Bode nominal del segundo amplificador propuesto (comparación polarización estática y dinámica) | 60 |
| Figura 4-50. Análisis de MonteCarlo de la máxima ganancia en lazo abierto del segundo amplificador propuesto (polarización dinámica) | 61 |
| Figura 4-51. Análisis de MonteCarlo del margen de fase del segundo amplificador propuesto (polarización dinámica) | 62 |
| Figura 4-52. Análisis de MonteCarlo del ancho de banda de ganancia unidad (UGBW) del segundo amplificador propuesto (polarización dinámica) | 63 |
| Figura 4-53. Respuesta temporal nominal del segundo amplificador propuesto (polarización estática y dinámica) | 64 |
| Figura 4-54. Análisis de MonteCarlo del <i>slew rate</i> positivo del segundo amplificador propuesto (polarización dinámica) | 65 |
| Figura 4-55. Análisis de MonteCarlo del <i>slew rate</i> negativo del segundo amplificador propuesto (polarización dinámica) | 65 |
| Figura 4-56. Diagrama de Bode de la ganancia diferencial y de modo común del segundo amplificador propuesto (polarización dinámica) | 67 |
| Figura 5-1. Comparación de figuras de méritos de pequeña señal (FoMs) respecto al año de publicación de los amplificadores sub-1V añadiendo las contribuciones | 72 |
| Figura 5-2. Comparación de figuras de méritos de gran señal (FoM _L) respecto al año de publicación de los amplificadores sub-1V añadiendo las contribuciones | 72 |
| Figura 5-3. Comparación de figuras de méritos de gran señal (FoM _L) respecto las figuras de méritos de pequeña señal (FoMs) | 73 |

1 INTRODUCCIÓN

1.1. Contexto

Actualmente, los dispositivos electrónicos forman parte del día a día de casi toda la sociedad. Desde hace unas décadas el uso de estos ha ido aumentando hasta encontrarse en todos los ámbitos de nuestra vida. Cabe destacar el uso de dispositivos portátiles, estos necesitan baterías como fuente de alimentación, por tanto, se deben diseñar con una tensión de alimentación muy baja para así garantizar la fiabilidad y la vida útil de los circuitos.

En este contexto, en el diseño de circuitos analógicos se persiguen altas prestaciones mediante nuevas técnicas de diseño o adaptando los diseños tradicionales a los nuevos desafíos, junto a una tensión de alimentación muy baja.

Dentro de estos circuitos analógicos cabe destacar el amplificador, el cual se presenta en este trabajo y se persigue mejorar sus prestaciones mediante nuevas técnicas de diseño.

1.2. Objetivos

El principal objetivo de este trabajo es evaluar el uso de una nueva técnica de diseño de transistores, *bulk driven quasi floating gate* (BD-QFG) [1], en la etapa de entrada de un amplificador de muy baja tensión. Esta técnica permite aunar las prestaciones de baja tensión conseguidas mediante la técnica *bulk driven* y las ventajas del diseño clásico atacando por puerta, en un solo transistor. Así, es posible la polarización de este con una tensión umbral reducida y conseguir que el valor de la transconductancia sea igual a la suma de los valores de transconductancias g_m y g_{mb} .

Con todo ello se consigue aumentar la ganancia y el ancho de banda de ganancia unidad de forma considerable en los circuitos donde se aplica, respecto a otras técnicas, como puede ser *bulk driven* o atacando la puerta por separado.

El siguiente objetivo es mejorar las prestaciones de un amplificador, para ello se comparan las Figuras de Mérito (FoM) respecto a las ya existente en el ámbito de los amplificadores de menos de 1 V.

1.3. Organización de la memoria

La memoria está dividida en 5 capítulos, en el primer capítulo se presenta una introducción a la memoria, incluyendo el contexto y los objetivos perseguidos. En el segundo capítulo se explican distintas técnicas de diseño en baja tensión. A continuación, en el tercer capítulo se presenta el amplificador de partida, a partir del cual se diseñará las distintas soluciones para mejorar su rendimiento.

En el cuarto capítulo se exponen las contribuciones de esta memoria, añadiendo los resultados obtenidos en las simulaciones realizadas. Por último, en el quinto capítulo se explican las conclusiones y se propone el trabajo futuro.

En este documento, muchos términos anglosajones relacionados con la electrónica no se traducirán por practicidad y uso generalizado de ellos, lo cual se denotará mediante el estilo de fuente cursiva.

2 ESTADO DEL ARTE DE AMPLIFICADORES SUB- 1V

La electrónica actual se enfrenta al gran reto del bajo consumo, esto se debe a la enorme demanda por parte de los consumidores de dispositivos portátiles con gran autonomía. Por tanto, el interés por la baja tensión ha aumentado significativamente debido a la limitación del consumo de energía. Por otra parte, en las tecnologías submicrométricas modernas el suministro de tensión máxima permitida ha disminuido en un rango mayor que la tensión umbral, V_{th} , reduciendo drásticamente el rango de tensión disponible en las tecnologías clásicas. Sin embargo, lograr ganancias suficientemente altas se ha vuelto más difícil a medida que se reduce la resistencia de salida del transistor con el escalado tecnológico y, con la disminución de las tensiones de polarización, la transconductancia efectiva también ha disminuido. Además, las técnicas clásicas como el diseño con cascodos ya no son apropiadas para el diseño de baja tensión.

Por lo tanto, las técnicas de diseño de baja tensión están recibiendo mucho interés. En los siguientes puntos se presenta una visión general de las técnicas más importantes.

2.1 Reducción del umbral

Dado que el principal problema para lograr un rango adecuado de señal en las tecnologías modernas se debe a los altos valores de V_{th} junto con la reducción de la tensión de alimentación, la idea más sencilla de implementar un diseño de baja tensión es reduciendo la tensión umbral. En algunas tecnologías, hay transistores especiales que funcionan con valores bajos de V_{th} o incluso con V_{th} igual a 0, pero esto suele implicar pobres prestaciones en términos de ρ , mayores costes y/o el uso de tecnologías especiales.

Existe otra opción en los dispositivos estándar, donde los valores de V_{th} pueden ser reducidos usando el bulk. La tensión umbral viene dada por

$$V_{th} = V_{th0} + \gamma(\sqrt{|2\phi_F - V_{BS}|} - \sqrt{|2\phi_F|}) \quad (2-1)$$

donde, V_{th0} es la tensión umbral de polarización nula, γ es el factor de efecto de masa y ϕ_F es el potencial de Fermi.

2.2 Subumbral

Polarizar los transistores en la región del subumbral es una forma alternativa de aumentar el rango de señal en un diseño de baja tensión. En estas condiciones de polarización, la tensión de puerta a fuente, V_{gs} , es ligeramente inferior a V_{th} y la tensión del drenador a la fuente, V_{ds} , sólo necesita estar alrededor de 100 mV para que el transistor esté en saturación, por lo que el rango de tensión aumenta en comparación con la operación de inversión fuerte.

Los transistores en la región del subumbral suelen estar polarizados con corrientes pequeñas, esto supone una ventaja en el contexto de diseño de baja potencia. Sin embargo, las corrientes de polarización bajas implican un menor *slew rate* y un menor ancho de banda.

Por ello, esta técnica de diseño es muy común cuando se requiere un bajo consumo de energía y la velocidad no es una preocupación, por ejemplo, en aplicaciones biomédicas.

2.3 Par sin fuente de corriente de cola

En la Figura 2-1(a) se muestra la etapa de entrada diferencial clásica *single-ended* en un amplificador. En esta estructura, el transistor M_x implementa una fuente de corriente que establece la corriente de polarización a través de los transistores del par de entrada, M_1 y M_2 . Sin embargo, M_x consume la tensión de saturación de drenador a fuente, $V_{ds\ sat}$ del margen de tensión disponible. Por lo tanto, eliminar este transistor permite aumentar el rango de señal, haciendo que la estructura sea adecuada para el diseño de baja tensión.

En la Figura 2-1(b) se muestra una versión del par de entrada clásico sin fuente de corriente de cola. Sin embargo, la eliminación de la fuente de corriente de cola hace que esta etapa sea pseudo-diferencial y presente un grave deterioro de la relación de rechazo del modo común (CMRR), necesitando técnicas adicionales para lograr un rechazo razonable. Una versión totalmente diferencial, con una mejor relación de CMRR puede lograrse mediante la etapa de entrada sin fuente de corriente de cola que se muestra en la Figura 2-1(c). No obstante, ambas etapas de entrada de la Figura 2-1(b) y la Figura 2-1(c) necesitan métodos adicionales para controlar el desajuste de la corriente a través del par de entrada, deben añadirse ya que la falta de la fuente de corriente de cola los hace extremadamente dependientes de las variaciones de la temperatura y del proceso.

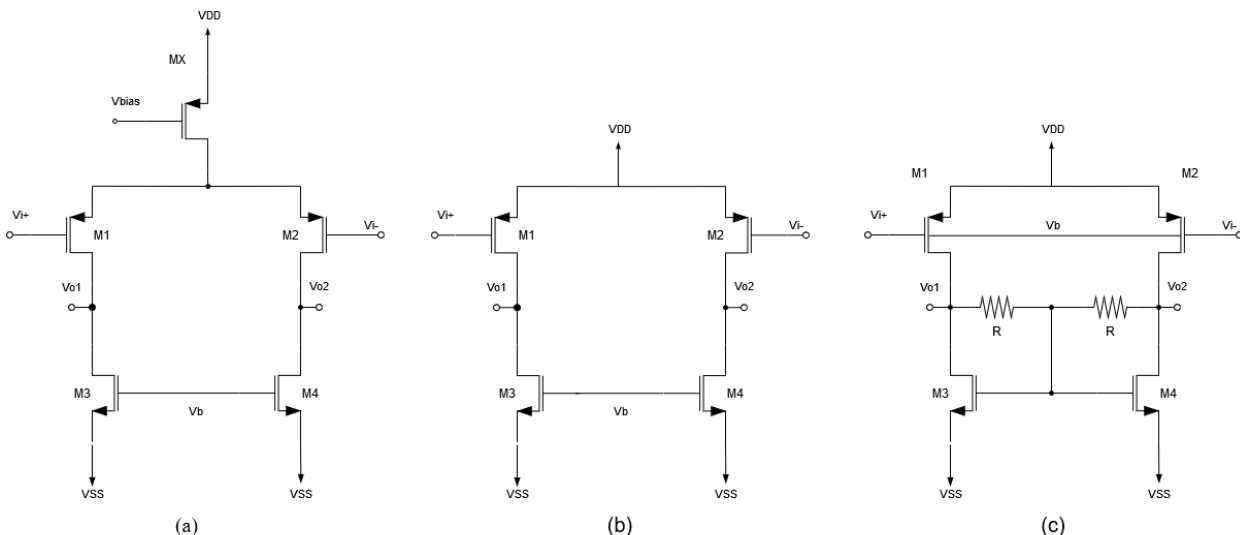


Figura 2-1. (a) Etapa de entrada diferencial de un amplificador clásico (b) Versión del par de entrada clásico sin fuente de corriente (c) Etapa de entrada sin fuente de corriente de cola completamente diferencial

2.4 Transistores de puerta flotante

Los transistores de puerta flotante (FG) se propusieron inicialmente para el diseño de un par de entradas

diferenciales de baja tensión. El funcionamiento de los transistores FG consiste en un acoplamiento capacitivo ponderado en la puerta de un transistor MOS convencional, como se muestra en la Figura 2-2.

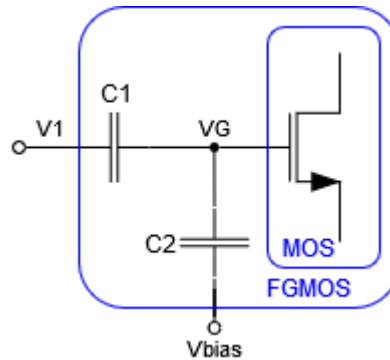


Figura 2-2. Transistores de puerta flotante

Los valores de los condensadores se suelen elegir para asegurar que $C_2 \gg C_1$ y, dado que

$$v_G = V_{bias} \cdot \frac{C_2}{C_1 + C_2} + v_1 \cdot \frac{C_1}{C_1 + C_2} \quad (2-2)$$

el transistor puede ser correctamente polarizado a través de C_2 y V_{bias} , mientras que v_1 impulsa la señal, que es atenuada en la puerta del transistor, asegurando un amplio rango de entrada.

La principal desventaja de esta técnica es la reducción de la transconductancia de la etapa de entrada y, por lo tanto, de la ganancia total y el ancho de banda. Además, la implementación de C_2 puede aumentar la superficie consumida. En las tecnologías de escala profunda, la corriente de fuga de la puerta aumenta, lo que pone en peligro el comportamiento del transistor FG.

2.5 Transistores de puerta cuasi flotante

Al igual que los transistores FG, en los transistores de puerta cuasi flotante (QFG), la señal de entrada está acoplada capacitivamente a un transistor MOS convencional, pero en lugar de polarizar la puerta mediante un gran condensador, está débilmente conectada a V_{bias} a través de una gran resistencia, R_{large} , como se muestra en la Figura 2-3.

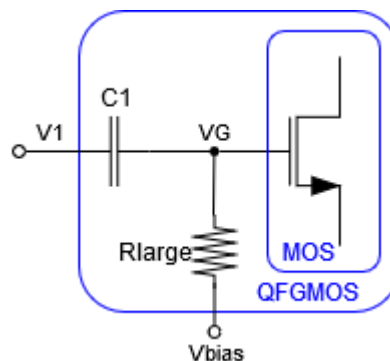


Figura 2-3. Transistor de puerta cuasi flotante

El voltaje de la puerta, v_g puede ser calculado como,

$$v_G = V_{bias} \cdot \frac{1}{1 + s \cdot R_{large} \cdot C_1} + v_1 \cdot \frac{s \cdot R_{large} \cdot C_1}{1 + s \cdot R_{large} \cdot C_1} \quad (2-3)$$

Por lo tanto, para $s = 0$ la puerta está polarizada con la tensión V_{bias} , mientras que la señal de entrada v_1 será

filtrada con un filtro paso alto. Sin embargo, como R_{large} debe ser lo suficientemente grande, la frecuencia de corte del filtro debe colocarse a frecuencias inferiores a la frecuencia mínima de funcionamiento del circuito.

Los transistores QFG no sufren la reducción de transconductancia que afecta a los transistores FG y, en la práctica, R_{large} puede implementarse utilizando transistores en la región de corte (pseudoresistores) reduciendo el consumo del área que necesitan los FG. Sin embargo, los resultados experimentales muestran que sufren una dinámica de gran señal lenta cuando se enciende el circuito. Esta dinámica no suele estar bien modelada en los programas de diseño asistido por computadora (CAD), por lo que debe prestarse especial atención al realizar las simulaciones. En las tecnologías modernas es factible integrar resistencias pasivas de valores relativamente grandes, de manera que, si la frecuencia de funcionamiento es suficientemente alta, no es necesario utilizar pseudoresistencias.

2.6 Pares complementarios de entrada

Con el objetivo de aumentar el rango de señal de entrada en diseños de tensión limitada, se pueden utilizar dos pares complementarios como etapa de entrada de un amplificador como se muestra en la Figura 2-4.

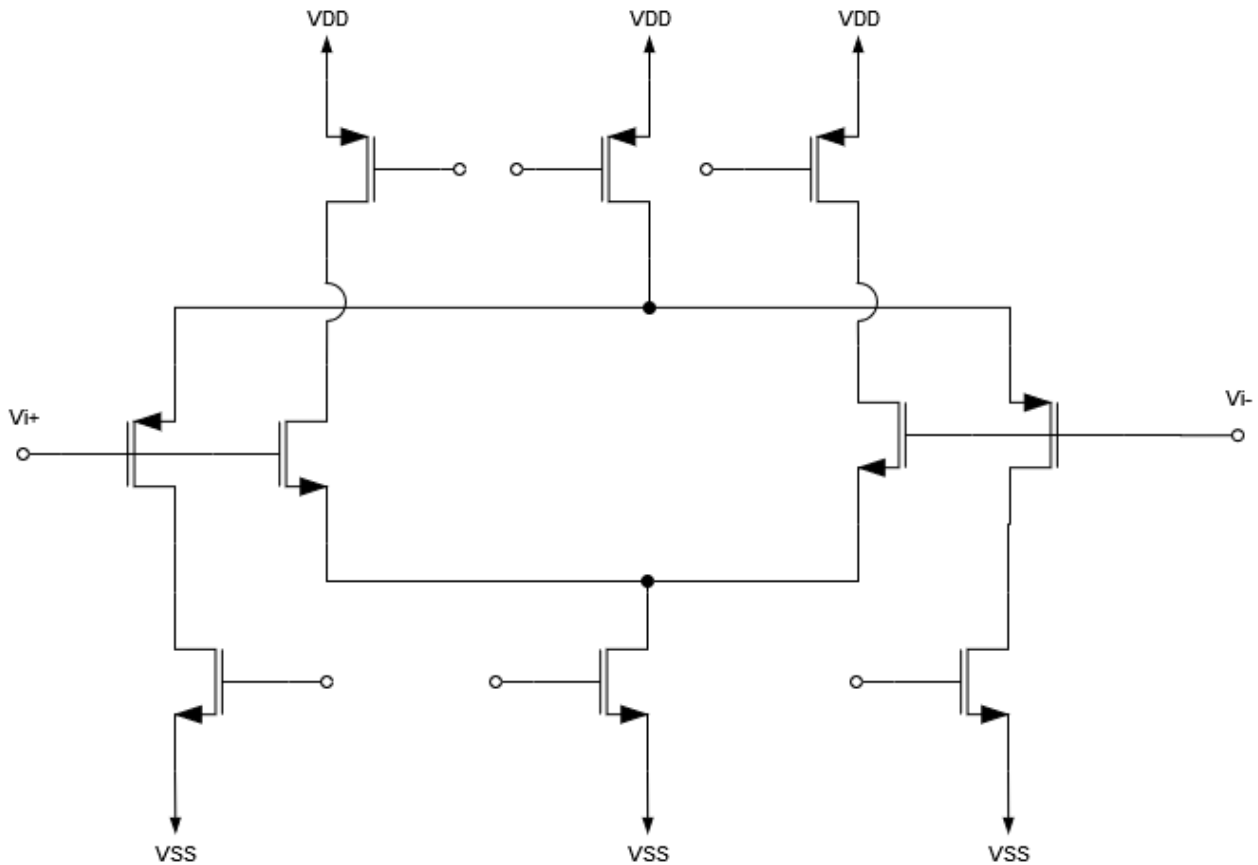


Figura 2-4. Pares complementarios de entrada

La idea principal es tener por lo menos un par que funcione en todo el rango de tensión de entrada. Por lo tanto, cuando la entrada es demasiado alta para el par de tipo p, el tipo n va a estar activo, y viceversa.

A pesar de que los pares complementarios logran un comportamiento *rail-to-rail*, la transconductancia, así como el *slew rate*, sufren importantes variaciones a lo largo de la variación de la señal de entrada, ya que el circuito pasa por tres "estados" diferentes: sólo el par de tipo p activo, ambos pares activos, sólo el par de tipo n activo.

2.7 Desplazamiento de nivel

Al igual que en el par de entradas complementarias, el uso de dos pares de entradas del mismo tipo, p o n, más los desplazadores de nivel, puede asegurar el funcionamiento *rail-to-rail*. La idea es, de nuevo, encender uno de los pares cuando el otro se apaga.

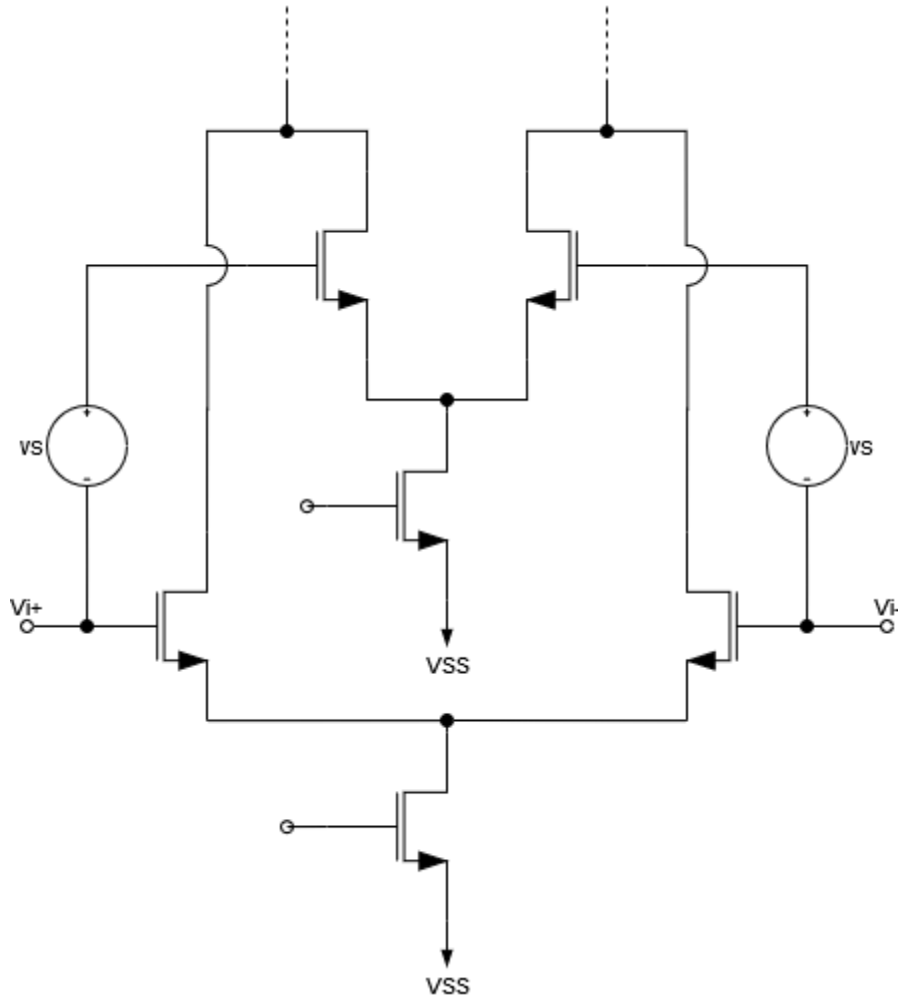


Figura 2-5. Doble par de entrada con desplazamiento de nivel

El desplazamiento de nivel presenta las mismas desventajas de la transconductancia y la dependencia del *slew rate* de la entrada. Se necesitan técnicas adicionales para estabilizar estos parámetros y circuitos adicionales para implementar los desplazadores de nivel.

2.8 Bulk Driven

Los circuitos *bulk driven* usan la transconductancia del *bulk*, g_{mb} , en lugar de la transconductancia de puerta, g_m . La principal ventaja de conducir la entrada a través del *bulk* es que no tiene asociada ninguna tensión de umbral y, como resultado, se evita la limitación de V_{th} , lo que la hace especialmente adecuada para diseños de baja tensión.

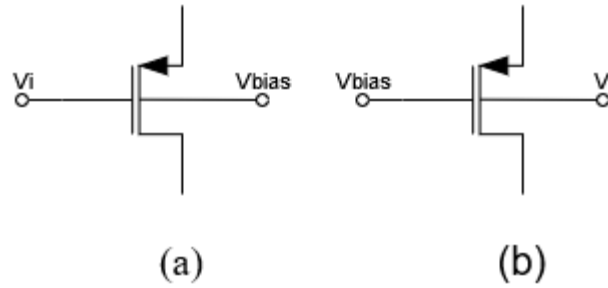


Figura 2-6. Transistores PMOS impulsados por (a) puerta (b) *bulk*

En la Figura 2-6 (a) se muestra el transistor accionado por puerta convencional en el cual, la entrada se aplica a través del terminal de puerta y el terminal *bulk* se ajusta a una tensión de polarización estática. En la Figura 2-6 (b) se representa un transistor accionado por *bulk*, donde la entrada se aplica a través del *bulk* y el terminal de puerta está conectado a una tensión de polarización que polariza adecuadamente el transistor.

Como esta técnica requiere que el terminal *bulk* sea accesible, en las tecnologías estándar de tipo n, sólo los transistores de canal p permiten introducir la señal por el *bulk*. La principal desventaja es el hecho de que g_{mb} es significativamente más pequeño que g_m y, en el diseño del amplificador, esto conduce a una pobre ganancia de DC y a un rendimiento de ganancia - ancho de banda con mayor ruido, *offset* y aumento de la capacitancia de entrada [2].

Especialmente, si se realiza una inversión fuerte, la corriente por el drenador viene dada por $I_D = \frac{\beta}{2} (V_{SG} - |V_{th}|)^2$. Si la tensión umbral es sustituida por $V_{th} = V_{th0} + \gamma(\sqrt{|2\phi_F - V_{BS}|} - \sqrt{|2\phi_F|})$, entonces

$$g_{mb} \equiv \frac{\partial I_D}{\partial V_{SB}} = \frac{|\gamma|}{2\sqrt{|2\phi_F| + V_{BS}}} \sqrt{2\beta I_D} = \frac{|\gamma|}{2\sqrt{|2\phi_F| + V_{BS}}} g_m = \eta \cdot g_m \quad (2-4)$$

Dependiendo de la tecnología $0.1 < \eta < 0.4$. El resto de los parámetros tienen sus significados habituales, siendo γ el parámetro del efecto cuerpo, ϕ_F el potencial de Fermi y $\beta = \mu C'_{ox} \left(\frac{W}{L}\right)$.

2.9 Bulk Driven - Transistores de puerta cuasi flotante

Si se unen las técnicas descritas en los subapartados 2.5 y 2.8, se obtiene el circuito mostrado en la Figura 2-7. Los circuitos *bulk driven* usan la transconductancia del *bulk*, g_{mb} y los transistores de puerta cuasi flotante, la transconductancia de puerta, g_m . De esta forma, el valor de transconductancia resultante del diseño es igual a la suma de ambas transconductancias, así, se consiguen valores de transconductancia más elevados, mientras se evita la limitación de V_{th} , por tanto, es adecuado para diseños de muy baja tensión.

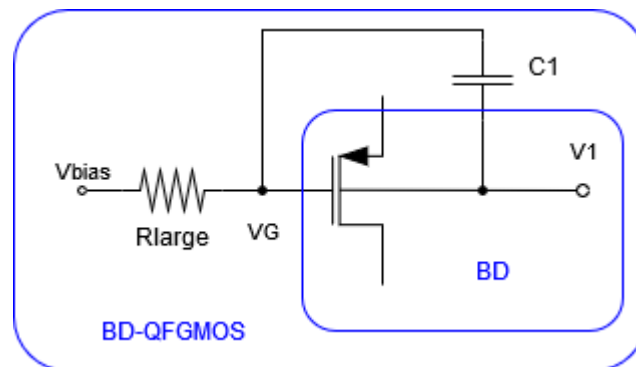


Figura 2-7. *Bulk Driven* - Transistores de puerta cuasi flotante

El voltaje de la puerta, v_g se calcula de la forma indicada en (2-3). De esta manera, se soluciona las principales desventajas del diseño *bulk driven*, obteniendo una transconductancia mayor y un buen rendimiento de ganancia - ancho de banda.

3 ARQUITECTURA DEL AMPLIFICADOR DE PARTIDA

En este Trabajo Fin de Máster se parte del amplificador diseñado en [3]. El circuito se muestra en la Figura 3-1.

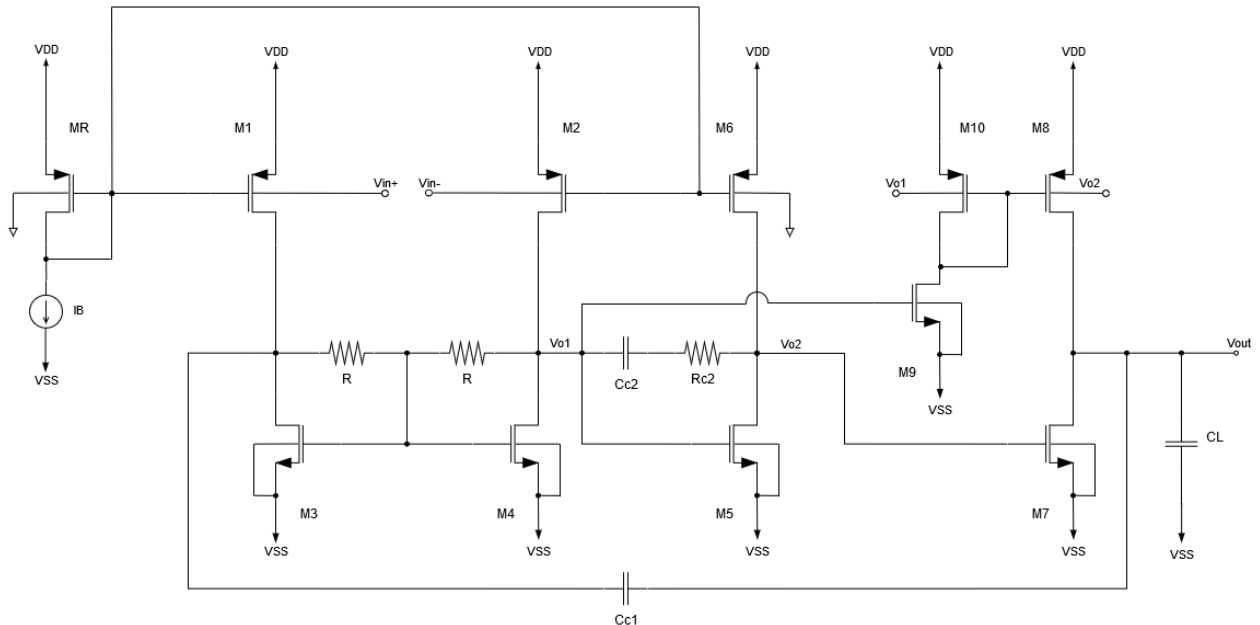


Figura 3-1. Amplificador de partida

La primera etapa está compuesta por los transistores M_1 y M_2 , cuya corriente de polarización está fijada por el transistor M_R , cuyo *bulk* está conectado a $(V_{DD} + V_{SS})/2$. Por lo tanto, M_R - M_1 y M_R - M_2 forman dos espejos de corriente. La carga activa de la primera etapa es implementada por los transistores M_3 - M_4 y dos resistencias, R . Debido al hecho de que no hay corriente continua que fluya a través de las resistencias, los drenadores y las puertas de M_3 - M_4 tienen el mismo potencial.

La segunda etapa de fuente común se implementa mediante los transistores M_5 y M_6 y la tercera etapa de fuente común por M_7 - M_{10} .

En este diseño destaca, la conexión al *bulk* de los transistores de tipo p de la etapa de salida con el fin de

equilibrar el *slew-rate* positivo y el negativo. Por lo tanto, el transistor limitador (M_8) se ayuda del *bulk* para proporcionar más corriente y mejorar el *slew-rate* positivo.

Tabla 3-1. Dimensiones de los transistores y dispositivos del amplificador de partida

| Dispositivo | Valor | Dispositivo | Valor |
|-----------------|----------------------------|-------------|-----------------|
| MR, M1, M2, M10 | 12 μm / 540 nm | IB | 4 μA |
| M3, M4, M9 | 2 μm / 540 nm | CC1 | 800 fF |
| M5 | 20 μm / 540 nm | CC2 | 150 fF |
| M6 | 120 μm / 540 nm | RC2 | 150 k Ω |
| M7 | 10 μm / 540 nm | R | 250 k Ω |
| M8 | 60 μm / 540 nm | CL | 33 pF |
| | | VDD-VSS | 0,7 V |

Los tamaños de los transistores y los valores de los dispositivos se resumen en la Tabla 3-1.

En este trabajo se parte del diseño explicado Figura 3-1, manteniendo los parámetros de todos los transistores. Se persigue conseguir el diseño de un amplificador de altas prestaciones: alta ganancia, alto BW y bajo consumo.

El primer objetivo es aumentar la ganancia y el UGBW, para ello se rediseña la etapa de entrada, en el nuevo caso la técnica usada será *bulk driven* – transistores de puerta cuasi flotante, cuya explicación se encuentra en el apartado 2.9. El siguiente paso es disminuir el consumo, para ello se mejora la etapa de salida.

Tabla 3-2. Medidas de los parámetros de rendimiento del amplificador de partida (simulación)

| Parámetro | Valor |
|--|--------------------------|
| Supply voltage (VDD-VSS) [V] | 0,7 |
| Power dissipation [μW] | 51,25 |
| Offset (maximum) [μV] | 26,4 |
| ICMR [mV] | 550 (de 150 mV a 700 mV) |
| Max Input Current [nA] @ 20 °C | 1 |
| Open-Loop Max Gain [dB] | 62,76 |
| UGBW [MHz] | 2,035 |
| Phase Margin [deg] | 70,16 |
| SR+ [V/ μs]* | 2,357 |
| SR- [V/ μs]* | 3,905 |
| CMRR @ DC [dB] | 14,27 |
| PSRR @ DC (+) [dB] | 61,55 |
| PSRR @ DC (-) [dB] | 72,16 |
| Input Ref. Noise @ 1 MHz [nV/ $\sqrt{\text{Hz}}$] | 329,1 |
| THD @ 100 kHz, 400 mVpp input [%]** | 0,54 |
| THD @ 250 kHz, 400 mVpp input [%]** | 1,21 |

* Configuración en seguidor de tensión

** Configuración en inversor

Los resultados mostrados en la Tabla 3-2 corresponden a polarización estática, los valores de SR corresponden a polarización dinámica.

4 CONTRIBUCIONES

En este apartado se presentan las contribuciones realizadas en este trabajo. Se analizan cada una de las etapas que forman parte de cada amplificador y se exponen los resultados obtenidos. Se proponen dos circuitos diferentes junto a varias modificaciones realizadas en cada circuito para mejorar su comportamiento. Los amplificadores propuestos se han simulado en una tecnología CMOS estándar de 180 nm para estudiar sus prestaciones.

Con el objetivo de lograr buenos resultados en pequeña y gran señal, se utiliza el par de entrada descrito en la Figura 2-7, lo que permite una tensión de polarización reducida.

4.1 Etapa de entrada diferencial *bulk driven* – puerta cuasi flotante

La etapa de entrada de los amplificadores propuestos será la misma en todos los casos. En esta etapa de entrada se implementa la técnica descrita en la Figura 2-7 y sigue una estructura similar a la etapa de entrada del circuito presentado en la Figura 3-1. La principal diferencia entre ambas etapas de entrada consiste en un aumento del valor de la transconductancia en el caso de la nueva propuesta. Dado que la etapa de entrada va a ser la misma en las distintas propuestas, se presenta un análisis de esta en los siguientes apartados.

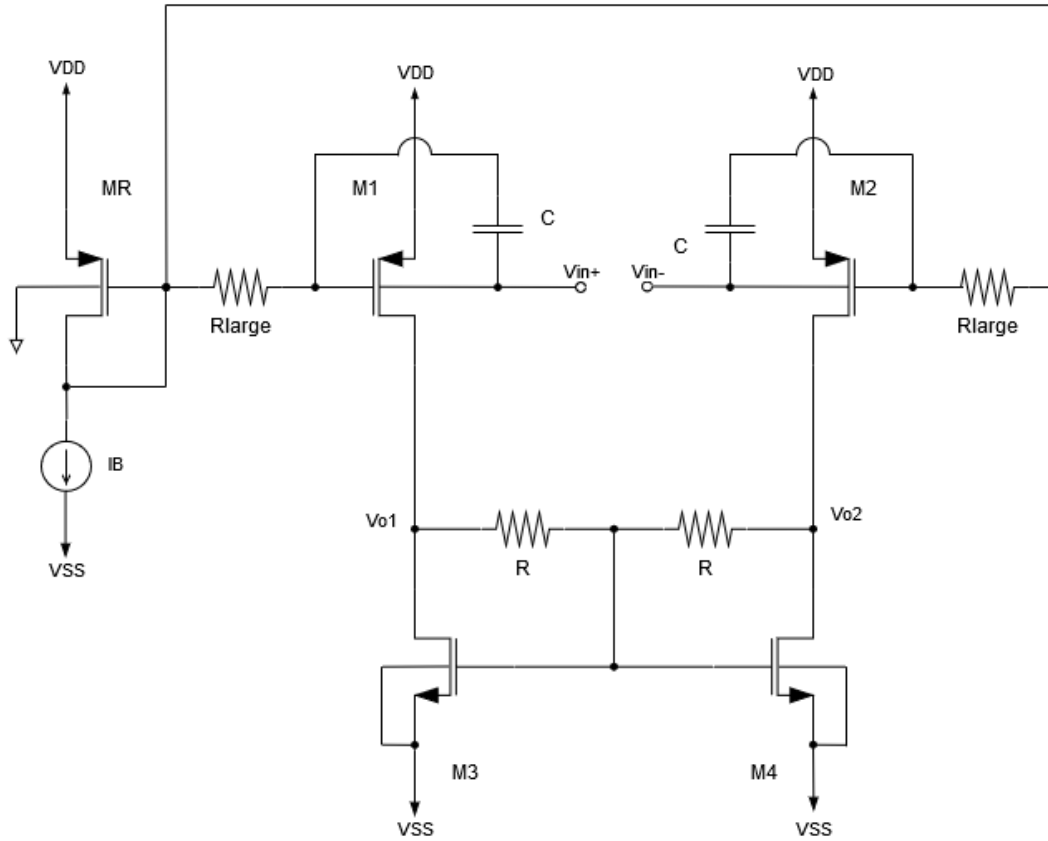


Figura 4-1. Etapa de entrada diferencial *bulk driven* – puerta cuasi flotante

Tabla 4-1. Dimensiones de los transistores y dispositivos de la etapa de entrada

| Dispositivo | Valor | Dispositivo | Valor |
|-------------|---------------------------|-------------|-----------------|
| MR, M1, M2 | 12 μm / 540 nm | IB | 4 μA |
| M3, M4 | 2 μm / 540 nm | R | 250 k Ω |
| | | Rlarge | 100 G Ω |
| | | C | 500 fF |
| | | VDD-VSS | 0,7 V |

Como los amplificadores propuestos comparten la misma etapa de entrada, también comparten las actuaciones relacionadas con el comportamiento de la primera etapa.

Estas son: ganancia diferencial de la primera etapa, el factor de rechazo al modo común (CMRR), el rango de entrada del modo común (ICMR) y el ruido.

4.1.1 Ganancia diferencial

En la etapa de entrada de la Figura 4-1, el uso de las resistencias R en la carga activa permite el funcionamiento diferencial de un par pseudo-diferencial M₁-M₂. Para mostrar esto, se aplica una tensión de pequeña señal *single-ended*, v_d , en una entrada (mediante la técnica BD-QFG en M1), mientras se pone a tierra la segunda entrada (BD-QFG en M2). Es necesario detallar que la transconductancia obtenida en el transistor M₁ es igual a la suma de g_{m1} y g_{mb1} , aumentando el valor considerablemente.

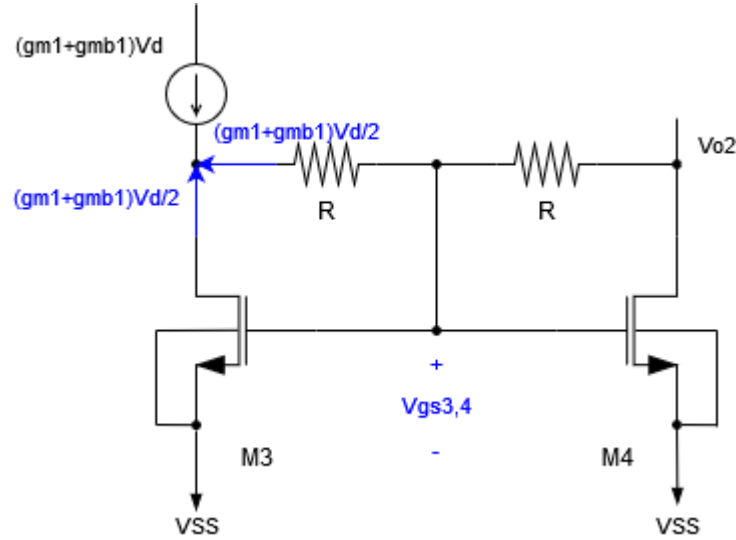


Figura 4-2. Demostración de comportamiento diferencial de la etapa de entrada

Como se muestra en la Figura 4-2, el voltaje v_d se convierte en una corriente, $(g_{m1}+g_{mb1})\cdot v_d$, la mitad de la cual fluirá a través de las resistencias y la otra mitad a través del transistor M_3 , dado que M_3 y M_4 tienen el mismo voltaje de puerta a fuente, $v_{gs3,4}$, y la misma transconductancia, $g_{m3,4}$, deben llevar la misma corriente. La Figura 4-2 muestra que se genera una tensión de salida diferencial, $v_{o1}-v_{o2}$. La expresión de las tensiones de salida individuales se puede aproximar por

$$\begin{aligned} v_{o1} &= v_{gs3,4} - (g_{m1,2} + g_{mb1,2}) \cdot R \cdot \frac{v_d}{2} \\ v_{o2} &= v_{gs3,4} + (g_{m1,2} + g_{mb1,2}) \cdot R \cdot \frac{v_d}{2} \end{aligned} \quad (4-1)$$

donde las resistencias de salida de los transistores han sido despreciadas. Dado que $(g_{m1,2} + g_{mb1,2}) \cdot \frac{v_d}{2} = g_{m3,4} \cdot v_{gs3,4}$, entonces

$$\begin{aligned} v_{o1} &= (g_{m1,2} + g_{mb1,2}) \cdot \left(\frac{1}{g_{m3,4}} - R \right) \cdot \frac{v_d}{2} \\ v_{o2} &= (g_{m1,2} + g_{mb1,2}) \cdot \left(\frac{1}{g_{m3,4}} + R \right) \cdot \frac{v_d}{2} \end{aligned} \quad (4-2)$$

Asumiendo que $g_{m3,4} \cdot R \gg 1$, entonces (4-1) se reduce a $v_{o1} = -v_{o2} = -(g_{m1,2} + g_{mb1,2}) \cdot R \cdot \frac{v_d}{2}$, demostrando el funcionamiento diferencial. Debido a la simetría del circuito, el mismo resultado vale también si la señal de entrada se aplica al transistor M_2 .

Como conclusión, la ganancia (*single ended*) de la primera etapa, puede ser aproximada a

$$A_d = \frac{v_{o2}}{v_d} \approx \frac{(g_{m1,2} + g_{mb1,2}) \cdot R}{2} \quad (4-3)$$

4.1.2 Factor de Rechazo al Modo Común (CMRR)

Bajo una excitación de modo común, como ninguna corriente fluye a través de las resistencias R , el drenador y el terminal fuente de M_3 y M_4 se ajustan al mismo potencial. En referencia a la Figura 4-3, y teniendo en cuenta que $g_{m1} + g_{mb1} = g_{m2} + g_{mb2} = g_{m1,2} + g_{mb1,2}$ y $g_{m3} = g_{m4} = g_{m3,4}$, esta ausencia de flujo de corriente en las resistencias implica que $g_{mb1,2} \cdot v_{cm}$ debe ser igual a $g_{m3,4} \cdot v_{gs3,4}$. Por lo tanto, la

ganancia de modo común es

$$A_{cm} = \frac{v_{o2}}{v_{cm}} = -\frac{g_{m1,2} + g_{mb1,2}}{g_{m3,4}} \quad (4-4)$$

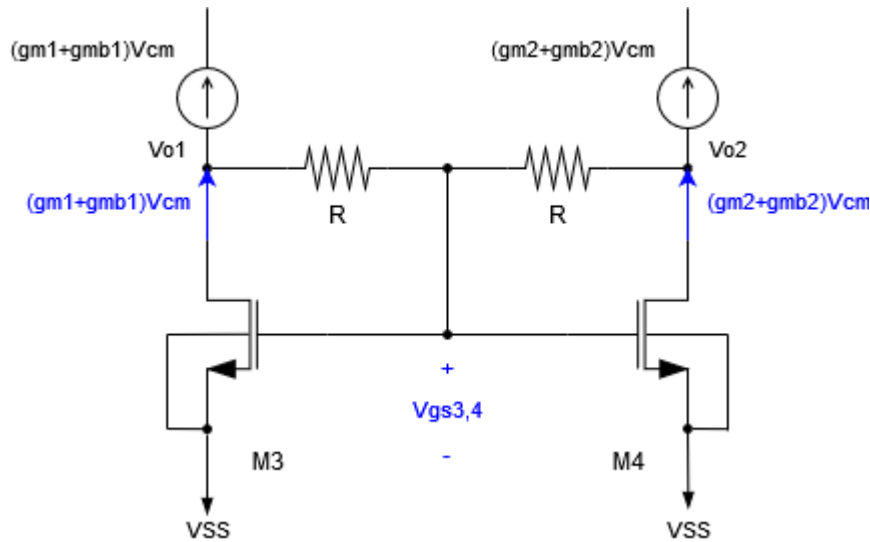


Figura 4-3. Análisis del CMRR de la etapa de entrada

Este resultado puede comprenderse fácilmente si se considera que, si no fluye ninguna corriente a través de las resistencias, entonces M_3 y M_4 funcionan como si estuvieran conectadas en diodo y ofrecen una resistencia equivalente igual a $1/g_{m3,4}$.

Por lo tanto, el CMRR (*single ended*), definido como $|A_d/A_{cm}|$, viene dado por:

$$CMRR = \left| \frac{A_d}{A_{cm}} \right| = \left| \frac{\frac{(g_{m1,2} + g_{mb1,2}) \cdot R}{2}}{-\frac{g_{m1,2} + g_{mb1,2}}{g_{m3,4}}} \right| = \frac{1}{2} \cdot g_{m3,4} \cdot R \quad (4-5)$$

A partir de (4-5) se observa que si $R \gg 1/g_{m3,4}$ se obtienen valores adecuados de CMRR. En la aplicación clásica de la Figura 2-1 (b) el valor de CMRR es igual a 1, por lo que, en estos términos, la estructura propuesta presenta una gran mejora.

4.1.3 Comportamiento en gran señal

El comportamiento de la etapa de entrada en gran señal no está limitado por la corriente de polarización como lo está en la Figura 2-1 (a) y, de hecho, puede entregar y sumir corrientes instantáneas mayores que su corriente de reposo nominal, que es característica de los circuitos de clase AB. Para explicarlo mejor, se supone una configuración de seguidor de tensión de ganancia unitaria, en la que se aplica un escalón negativo a la entrada positiva, como se muestra en la Figura 2-1. Cuando la entrada positiva baja, la tensión v_{gs} del transistor M_4 aumenta, de modo que M_4 puede sumir instantáneamente corrientes más altas que su valor nominal.

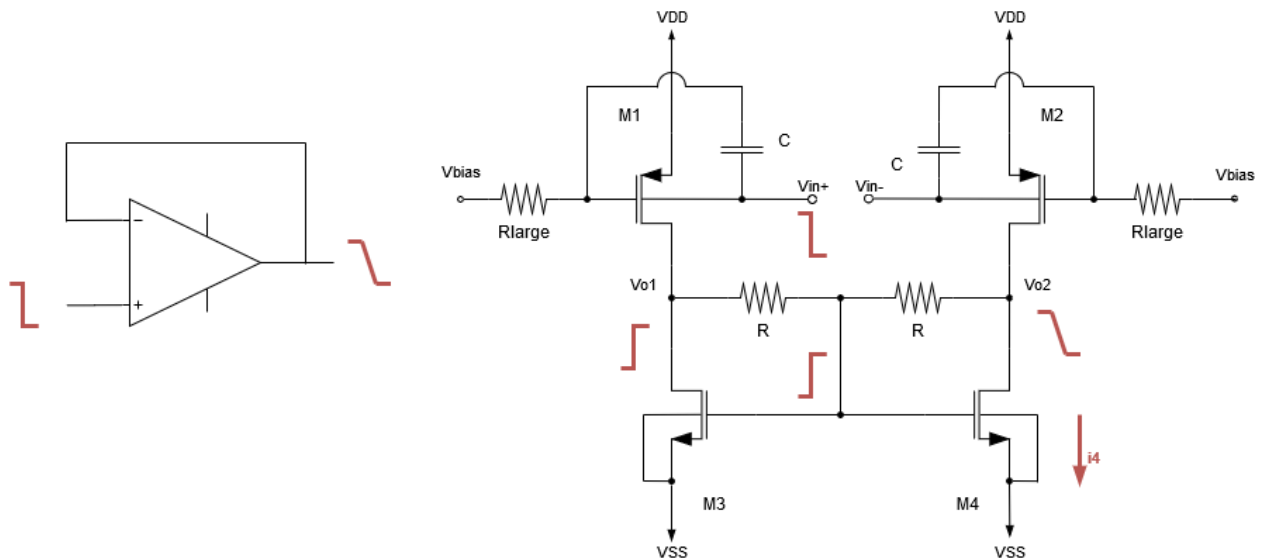


Figura 4-4. Escalón negativo. Comportamiento en gran señal de la etapa de entrada

Lo contrario ocurre cuando se aplica un paso positivo: la tensión v_{gs} de M_4 disminuye casi desconectando a M_4 , por lo que M_2 entrega corrientes directamente de V_{DD} que de nuevo son mayores que sus valores de reposo.

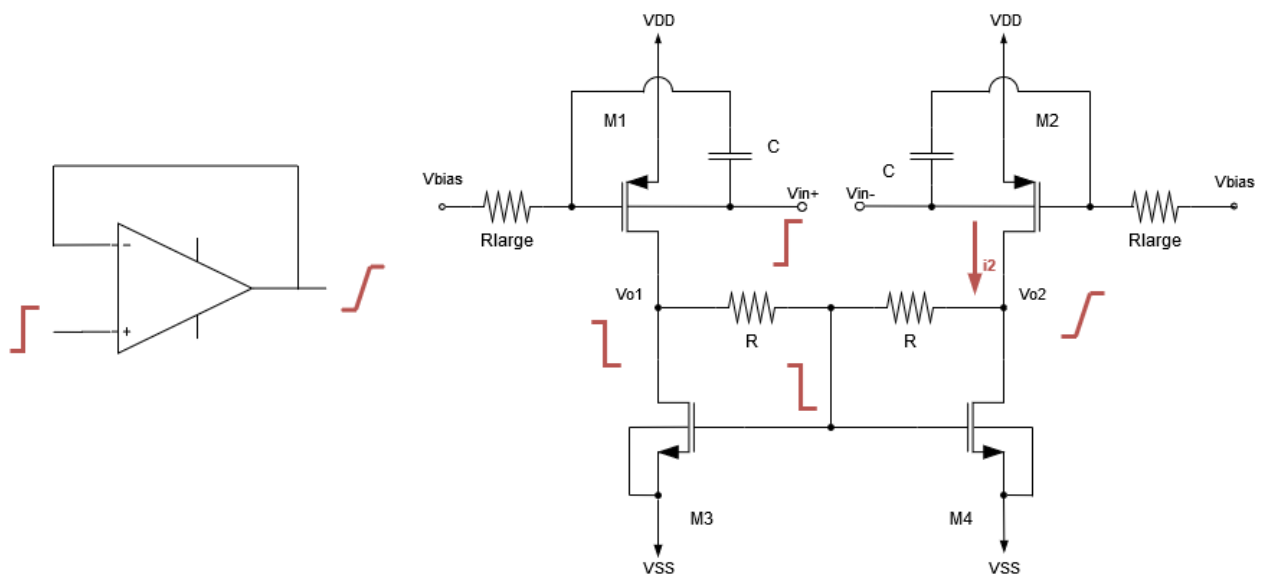


Figura 4-5. Escalón positivo. Comportamiento en gran señal de la etapa de entrada

Este comportamiento de la clase AB es una mejora adicional de la etapa de entrada cuando se compara con la etapa clásica que se muestra en la Figura 2-1 (b). La configuración QFG unido al BD aumenta la transconductancia obtenida con la técnica BD, ya que la transconductancia resultante es igual a la suma de la obtenida con QFG y BD.

Las principales ventajas que se obtienen con esta etapa es el aumento del CMRR, la tensión continua de salida en modo común y el comportamiento en gran señal si se compara con la etapa mostrada en la Figura 2-1 (b).

4.2 Amplificador de 3 etapas, clase AB, *bulk driven* – Puerta cuasi flotante de baja tensión

Utilizando la etapa de entrada propuesta de la Figura 4-1, junto con las etapas de clase AB, se propone el amplificador de la Figura 4-6, con el objetivo de conseguir buenos resultados en pequeña y gran señal con baja tensión. Se compone de tres etapas de ganancia: la etapa de entrada diferencial ya explicada (M_1 - M_4), una

segunda etapa de fuente común (M₅-M₆) y una tercera etapa de fuente común (M₇-M₁₀). En la Tabla 4-2 se resumen las dimensiones de los transistores y los valores de los dispositivos para este diseño.

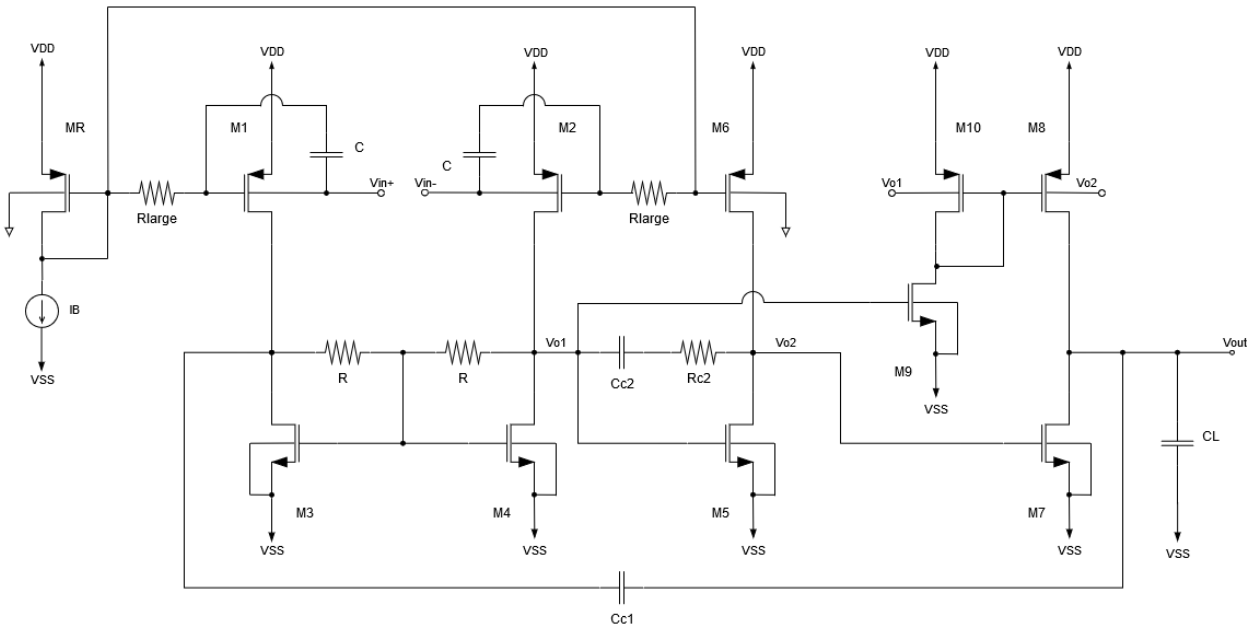


Figura 4-6. Primera propuesta de amplificador con polarización estática

Tabla 4-2. Dimensiones de los transistores y dispositivos del primer amplificador propuesto

| Dispositivo | Valor | Dispositivo | Valor |
|-----------------|-----------------|-------------|--------|
| MR, M1, M2, M10 | 12 μm / 540 nm | IB | 4 μA |
| M3, M4, M9 | 2 μm / 540 nm | CC1 | 1,7 pF |
| M5 | 20 μm / 540 nm | CC2 | 350 fF |
| M6 | 120 μm / 540 nm | RC2 | 350 kΩ |
| M7 | 10 μm / 540 nm | R | 250 kΩ |
| M8 | 60 μm / 540 nm | CL | 33 pF |
| | | Rlarge | 100 GΩ |
| | | C | 500 fF |
| | | VDD-VSS | 0,7 V |

El transistor M_R, cuyo *bulk* está conectado a masa virtual establece la corriente de polarización del par diferencial (M₁-M₂) y la carga (M₃-M₄) de la primera etapa. Al mismo tiempo, M_R también establece la corriente de polarización del transistor M₆ que actúa como carga de la segunda etapa. Debido a que no hay corriente continua que fluya a través de las resistencias R, los drenadores de M₃-M₄ están al mismo potencial de sus puertas y, en consecuencia, la corriente continua de M₅ también se establece con precisión por los (pseudo) espejos de corriente de M₄ y M₅.

$$I_{D5} = I_{D4} \cdot \left(\frac{W}{L}\right)_5 \cdot \left(\frac{W}{L}\right)_4 \quad (4-6)$$

El emparejamiento entre las corrientes continuas de M₅ y M₆, hace que el drenador de M₅ esté teóricamente al mismo potencial del drenador de M₄, definiendo la corriente de M₇, mediante una relación de espejos.

$$I_{D7} = I_{D4} \cdot \frac{\left(\frac{W}{L}\right)_7}{\left(\frac{W}{L}\right)_4} \quad (4-7)$$

La corriente I_{D8} se establece a través del espejo de corriente M_8 - M_{10} y el pseudo-espejo de corriente M_9 - M_4 . Por lo tanto, para anular el *offset*, I_{D8} debe ser igual a I_{D7} , lo que lleva a

$$\frac{\left(\frac{W}{L}\right)_8 \cdot \left(\frac{W}{L}\right)_9}{\left(\frac{W}{L}\right)_{10} \cdot \left(\frac{W}{L}\right)_4} = \frac{\left(\frac{W}{L}\right)_7}{\left(\frac{W}{L}\right)_4} \quad (4-8)$$

Los transistores M_7 y M_8 pueden entregar la máxima corriente de señal que no está limitado por ningún valor de continua. De hecho, M_7 está en configuración de fuente común, mientras que la corriente en M_8 aumenta cuando el V_{in+} aumenta porque el v_{GS9} también aumenta.

4.2.1 Polarización estática

Esta solución adopta una polarización estática, es decir, la tensión de *bulk* del transistor M_R y M_6 está conectada a una tensión constante igual a $(V_{DD} + V_{SS})/2$, en este caso 350 mV.

4.2.1.1 Comportamiento en pequeña señal

Para mostrar el comportamiento en pequeña señal se estudia la compensación en frecuencia del circuito, esta se obtiene a través de los condensadores de Miller C_{C1} y C_{C2} y un buffer de corriente implementado por M_3 - M_4 y la resistencia R_{C2} .

El modelo simplificado de pequeña señal del circuito de la Figura 4-6 se presenta en la Figura 4-7, donde las capacidades parásitas no se tienen en cuenta por simplicidad y R_{oi} representa la resistencia del nodo de salida de la etapa i^{th} . Los valores de las transconductancias y resistencias del amplificador propuesto se presentan en la Tabla 4-3.

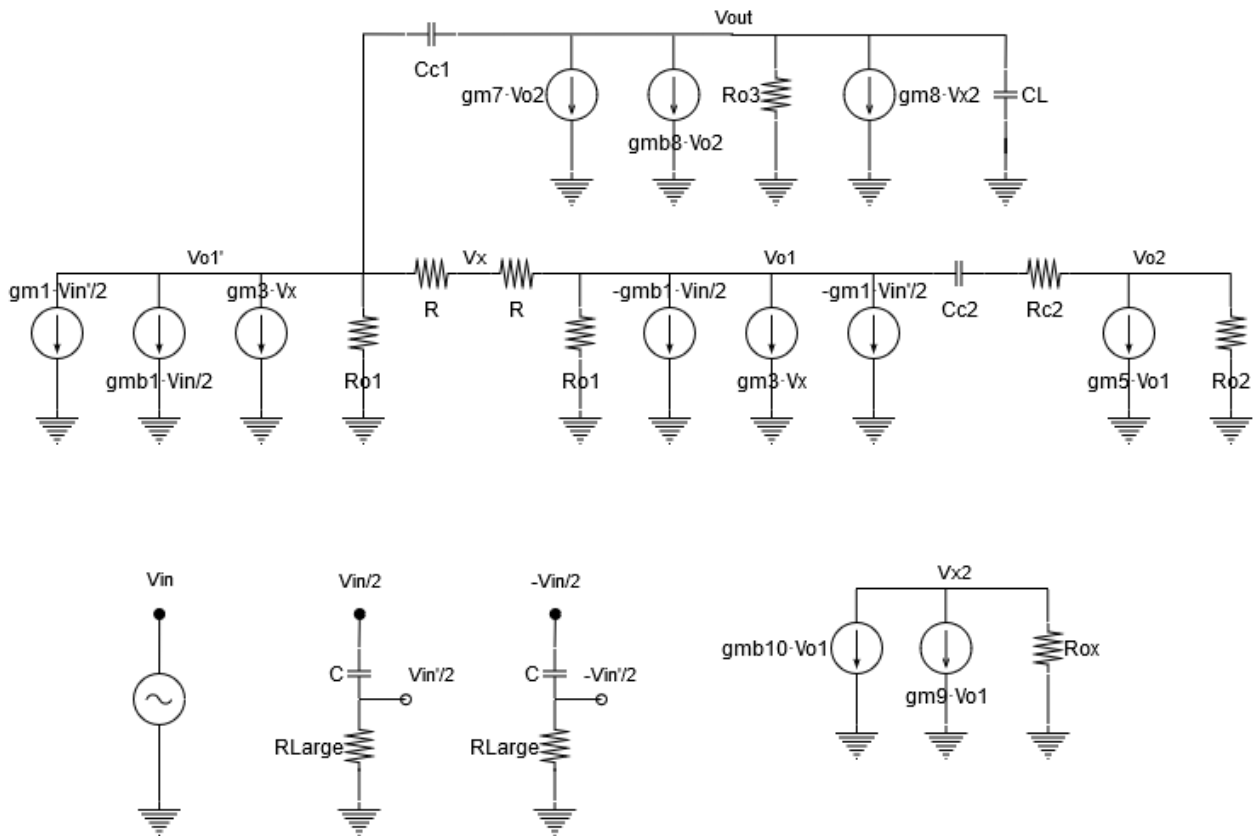


Figura 4-7. Modelo de pequeña señal de la primera propuesta de amplificador

Tabla 4-3. Valores de transconductancias y resistencias de salida de la primera propuesta de amplificador

| Transconductancia | Valor [$\mu\text{A/V}$] | Resistencia de salida | Valor [$\text{k}\Omega$] |
|-------------------|---------------------------|------------------------|----------------------------|
| gmb1,2 | 12 | Ro1 = rds1 // rds3 | 534 |
| gm1,2 | 65 | Ro2 = rds5 // rds6 | 53 |
| gm3,4 | 65 | Ro3 = rds7 // rds8 | 108 |
| gm5 | 648 | Rox = rds9 // (1/gm10) | 15 |
| gm6 | 648 | | |
| gm7 | 310 | | |
| gm8 | 310 | | |
| gmb8 | 69 | | |
| gm9 | 61 | | |
| gm10 | 62 | | |
| gmb10 | 14 | | |

La función de transferencia en bucle abierto obtenida después de resolver el circuito de pequeña señal puede ser aproximada como

$$A(s) \approx A_0 \cdot \frac{1 + \frac{s}{z_1}}{\left(1 + \frac{s}{p_1}\right) \cdot (a \cdot s^2 + b \cdot s + 1)} \tag{4-9}$$

donde la ganancia en DC, A0, el cero, z1, el polo dominante, p1, y los coeficientes del polinomio de los polos conjugados complejos, a, b están dados por

$$\begin{aligned}
 A_0 &= -\frac{R \cdot R_{o1} \cdot R_{o2} \cdot R_{o3} \cdot g_{m5} \cdot (g_{m1} + g_{mb1}) \cdot (g_{m7} + g_{mb8})}{2 \cdot (R + R_{o1})} \\
 z_1 &= \frac{g_{m3}}{C_{c1} + C_{c2} \cdot R_{c2} \cdot g_{m3}} \\
 a &= \frac{C_L \cdot C_{c2} \cdot (R_{c2} \cdot g_{m3} + R_{c2} \cdot (g_{m3} + 2 \cdot g_{m5}))}{R_{o2} \cdot g_{m3} \cdot g_{m5} \cdot (g_{m7} + g_{mb8})} \\
 b &= C_{c2} \cdot R_{c2} - \frac{2 \cdot (R + R_{o1}) \cdot C_L \cdot C_{c2}}{C_{c1} \cdot R \cdot R_{o1} \cdot R_{o2}^2 \cdot R_{o3} \cdot g_{m5}^2 \cdot (g_{m7} + g_{mb8})^2} \\
 p_1 &= \frac{2 \cdot (R_{o1} + R)}{C_{c1} \cdot R_{o1} \cdot R_{o2} \cdot R_{o3} \cdot g_{m5} \cdot (g_{m7} + g_{mb8}) \cdot R}
 \end{aligned} \tag{4-10}$$

El coeficiente de amortiguación del par de polos complejos viene dado por

$$\begin{aligned}
 \xi &= \frac{b}{2 \cdot \sqrt{a}} = \frac{1}{2} \cdot \left(C_{c2} \cdot R_{c2} - \frac{2 \cdot (R + R_{o1}) \cdot C_L \cdot C_{c2}}{C_{c1} \cdot R \cdot R_{o1} \cdot R_{o2}^2 \cdot R_{o3} \cdot g_{m5}^2 \cdot (g_{m7} + g_{mb8})^2} \right) \\
 &\quad \cdot \frac{R_{o2} \cdot g_{m3} \cdot g_{m5} \cdot (g_{m7} + g_{mb8})}{\sqrt{C_L \cdot C_{c2} \cdot (R_{c2} \cdot g_{m3} + R_{c2} \cdot (g_{m3} + 2 \cdot g_{m5}))}}
 \end{aligned} \tag{4-11}$$

A partir de (4-10), el producto de ganancia ancho de banda viene dado por

$$\omega_{GBW} = \frac{g_{m1} + g_{mb1}}{C_{c1}} \tag{4-12}$$

En la Figura 4-8 se muestra la comparación entre el resultado obtenido mediante la simulación en CADENCE y el resultado obtenido mediante la función de transferencia. Se puede observar que a bajas frecuencias las ecuaciones proporcionan una buena aproximación. En las proximidades a la frecuencia de ganancia unitaria, el efecto de los parásitos hace que el Bode simulado y el calculado difieran. Sin embargo, el modelo simplificado propuesto proporciona ecuaciones manejables y un modelo razonablemente bueno.

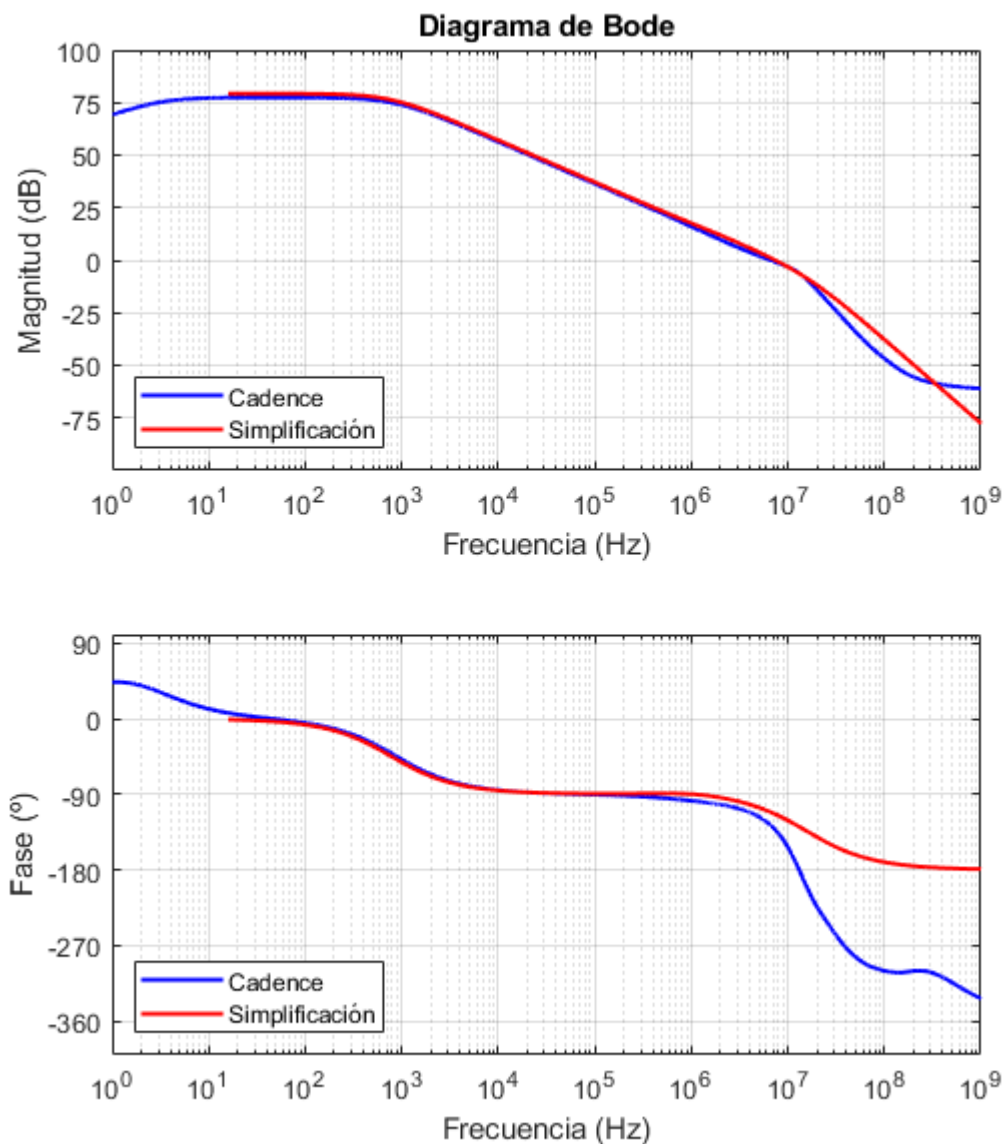


Figura 4-8. Comparación del diagrama de Bode obtenido mediante CADENCE y mediante simulación del primer amplificador propuesto (polarización constante)

4.2.1.2 Resultado de las simulaciones

Como se ha indicado anteriormente, las simulaciones se han realizado en la tecnología estándar CMOS de 180 nm. El diseño opera a una única tensión inferior a 0.7 V. La temperatura en la que se simula es 27 °C.

4.2.1.2.1 Configuración en lazo abierto

Se han medido varios parámetros en configuración de lazo abierto, esta se muestra en la Figura 4-9. La bobina y el condensador se han escogido lo suficientemente grande (10 GHz y 10 F) para ajustar la tensión continua y establecer el polo por debajo del primer polo del amplificador, permitiendo realizar correctamente las siguientes medidas.

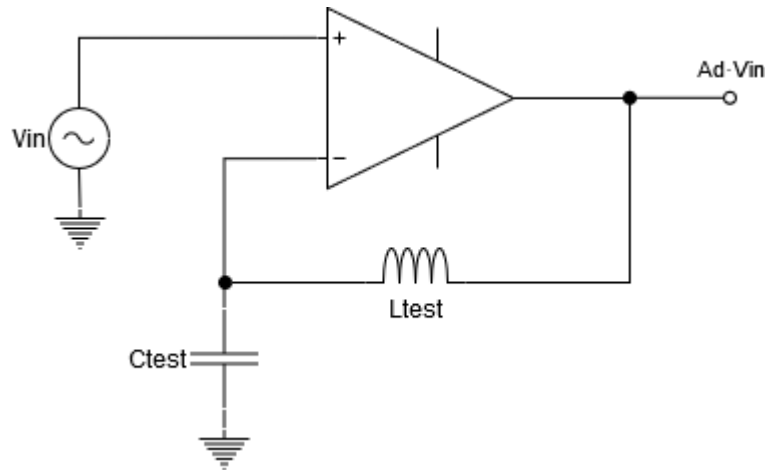


Figura 4-9. Circuito de test en configuración de lazo abierto

Respuesta en frecuencia

En la Figura 4-10 se presenta el diagrama de Bode nominal correspondiente al amplificador propuesto, en este se observa que la máxima ganancia es 77.43 dB, el margen de fase es 53.11 ° y el producto de ganancia por ancho de banda, 8.946 MHz.

La ganancia a bajas frecuencias corresponde a la transconductancia del *bulk*, a medida que aumenta la frecuencia hasta llegar al primer polo, la ganancia también aumenta debido a que comienza a conducir los transistores por *bulk* unido a la puerta cuasi flotante, sumándose la transconductancia de ambos.

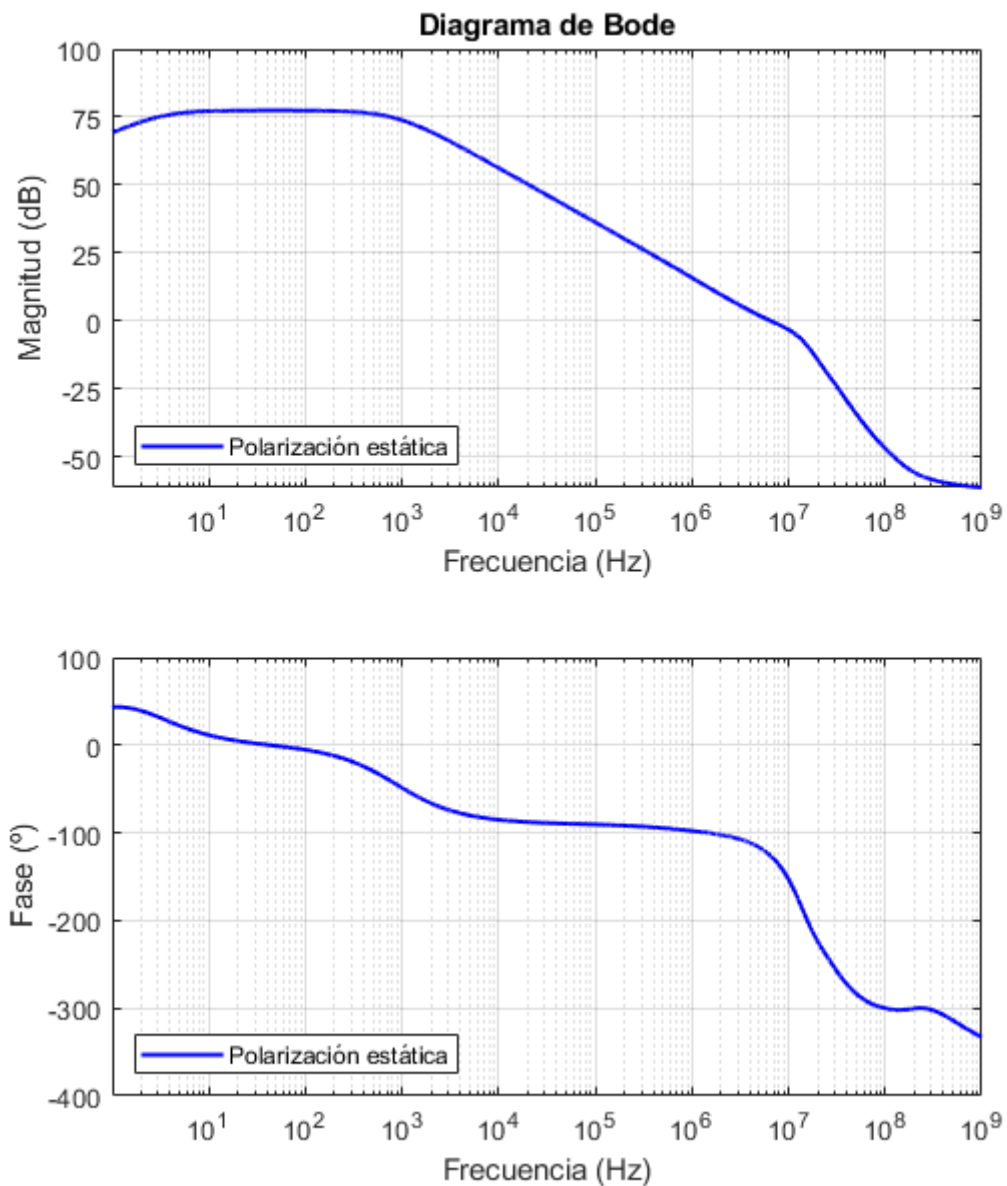


Figura 4-10. Diagrama de Bode nominal del primer amplificador propuesto (polarización estática)

Máxima ganancia en lazo abierto

La Figura 4-11 muestra los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), obteniendo un valor medio de 77.322 dB y una desviación estándar de (σ) de 0.344 dB.

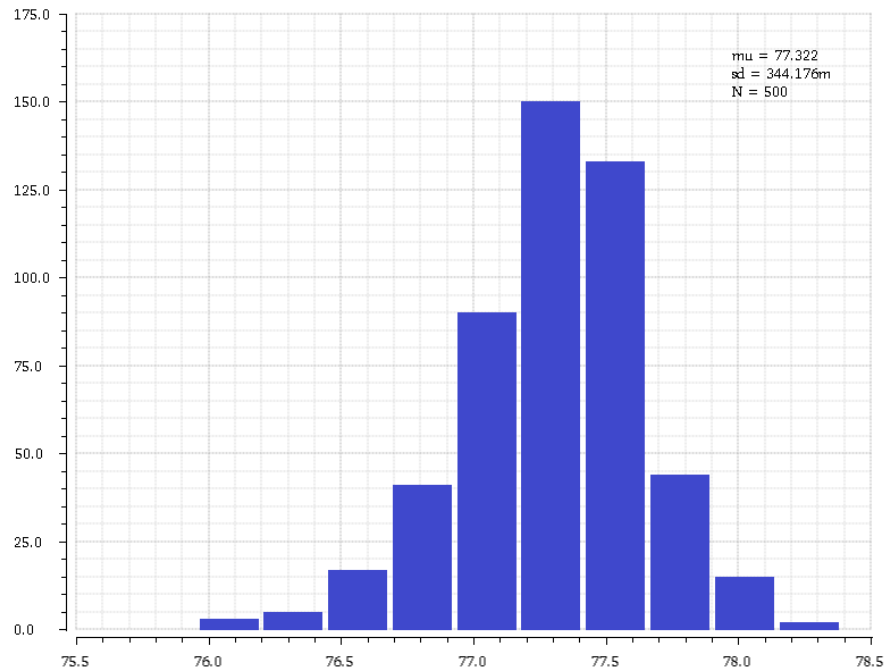


Figura 4-11. Análisis de MonteCarlo de la máxima ganancia en lazo abierto del primer amplificador propuesto (polarización estática)

En la Tabla 4-4 se presenta el análisis de esquina, donde el valor nominal es 77.43 dB, el máximo valor que toma es 77.65 dB y el menor, 76.05 dB.

Tabla 4-4. Análisis de esquina de la máxima ganancia en lazo abierto del primer amplificador propuesto (polarización estática)

| | Open-Loop Max Gain [dB] |
|---------|--------------------------------|
| Nominal | 77,43 |
| FF | 77,59 |
| SS | 76,87 |
| FS | 77,41 |
| SF | 77,16 |
| FFF | 77,65 |
| SSF | 76,01 |
| MIN | 76,01 |
| MAX | 77,65 |

Margen de fase

La Figura 4-12 muestra los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), obteniendo un valor medio de 53.09° y una desviación estándar de (σ) de 1.5°. Estos resultados implican que si se asume la regla 3- σ , incluso en el peor de los casos el amplificador debería ser estable.

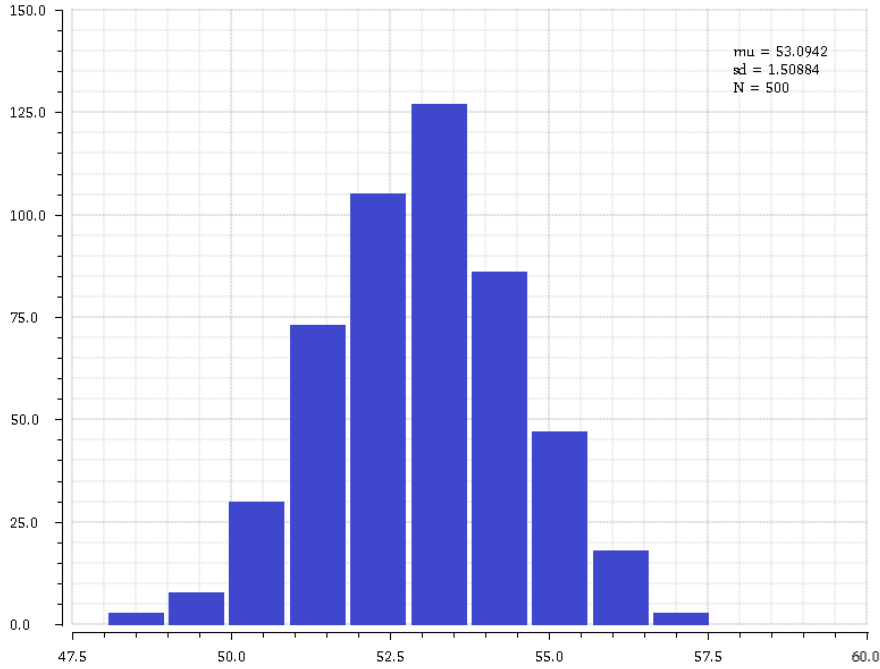


Figura 4-12. Análisis de MonteCarlo del margen de fase del primer amplificador propuesto (polarización estática)

En la Tabla 4-5 se presenta el análisis de esquina, donde el valor nominal es 53.11 °, el máximo valor que toma es 56.45 ° y el menor, 50.79 °. Esto muestra que en el peor de los casos el circuito es estable.

Tabla 4-5. Análisis de esquina del margen de fase del primer amplificador propuesto (polarización estática)

| | Phase Margin [deg] |
|---------|--------------------|
| Nominal | 53,11 |
| FF | 55,39 |
| SS | 51,61 |
| FS | 53,89 |
| SF | 52,82 |
| FFF | 56,45 |
| SSF | 50,79 |
| MIN | 50,79 |
| MAX | 56,45 |

Ancho de banda de ganancia unidad (UGBW)

La Figura 4-13 muestra los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), obteniendo un valor medio de 8.933 MHz y una desviación estándar de (σ) de 218.702 kHz.

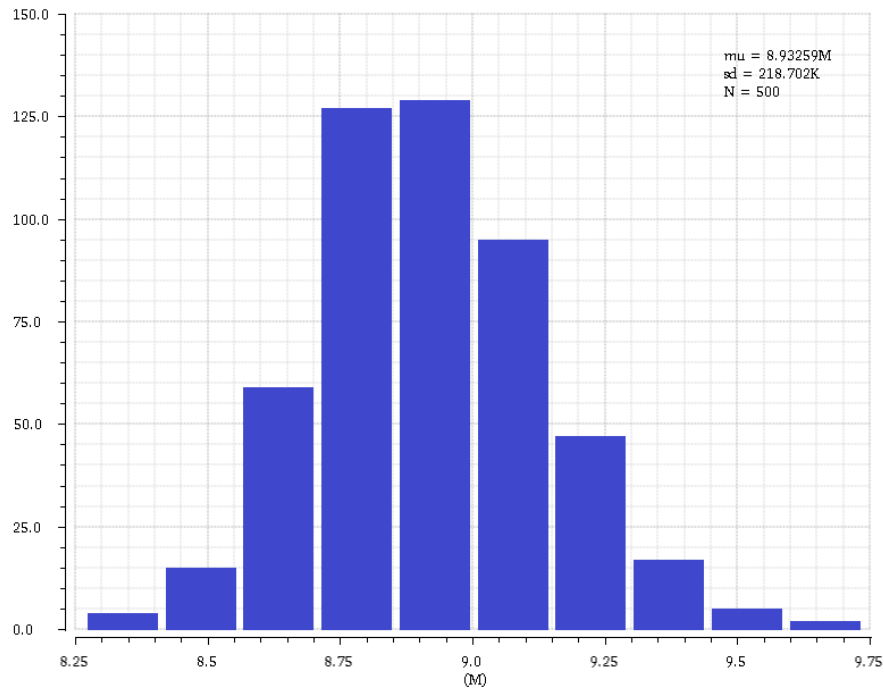


Figura 4-13. Análisis de MonteCarlo del ancho de banda de ganancia unidad (UGBW) del primer amplificador propuesto (polarización estática)

En la Tabla 4-6 se presenta el análisis de esquina, donde el valor nominal es 8.946 MHz, el máximo valor que toma es 9.35 MHz y el menor, 8.485 MHz.

Tabla 4-6. Análisis de esquina del ancho de banda de ganancia unidad (UGBW) del primer amplificador propuesto (polarización estática)

| | UGBW [MHz] |
|---------|-------------------|
| Nominal | 8,946 |
| FF | 9,2 |
| SS | 8,68 |
| FS | 8,874 |
| SF | 8,99 |
| FFF | 9,35 |
| SSF | 8,485 |
| MIN | 8,485 |
| MAX | 9,35 |

Offset

En la Tabla 4-7 se presenta el análisis de esquina del *offset* máximo, el cual se toma como la diferencia entre la tensión en el terminal positivo y el negativo, el valor nominal es 13.91 μV , el máximo valor que toma es 77.41 μV y el menor, 1.925 μV .

Tabla 4-7. Análisis de esquina del *offset* máximo del primer amplificador propuesto (polarización estática)

| | Offset (maximum) [μV] |
|---------|------------------------------------|
| Nominal | 13,91 |
| FF | -16,57 |
| SS | 48,59 |
| FS | 8,927 |
| SF | 1,925 |
| FFF | -30,51 |
| SSF | 77,41 |
| MIN | 1,925 |
| MAX | 77,41 |

4.2.1.2.2 Configuración en seguidor

La simulación en la configuración de seguidor de tensión permite observar la respuesta, en este caso la entrada será un escalón de 400 mVpp, como se muestra en la Figura 4-14.

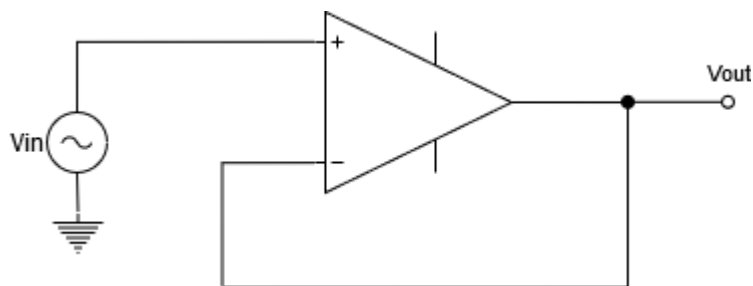


Figura 4-14. Circuito de test en configuración de seguidor

Slew rate

El análisis transitorio permite observar la señal de salida y compararla con la entrada, en el caso ideal ambas señales deberían ser iguales. En la Figura 4-15 se muestra la comparación entre ambas, la señal de salida no toma el valor de la entrada debido a que el valor de *slew rate* no es lo suficientemente elevado para que esto sea posible.

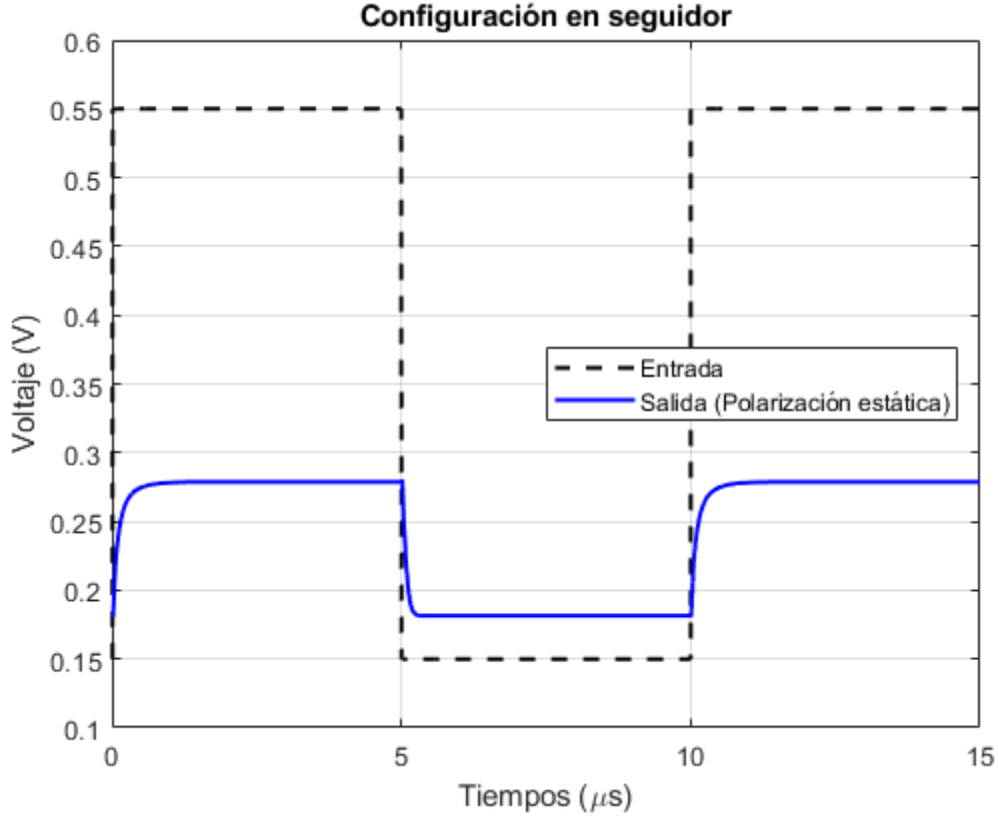


Figura 4-15. Respuesta temporal nominal del primer amplificador propuesto (polarización estática)

El *slew rate* está determinado por la última etapa, que resulta ser la más lenta ya que el condensador de carga C_L es el más grande. La conexión adicional al *bulk* de los transistores M_8 y M_{10} tiene como objetivo equilibrar el *slew rate* positivo y negativo del amplificador, proporcionando una corriente adicional a M_8 cuando tiene que cargar el condensador de salida. Esto ocurre cuando, por ejemplo, en una configuración de seguimiento de tensión, la entrada positiva es un escalón positivo, como se muestra en rojo en la Figura 4-16. Este escalón en v_{in+} implica que los nodos v_{o1} , v_{o2} y v_{out} se comportan como se muestra en la Figura 4-16. Las corrientes a través de M_{10} y M_8 pueden expresarse como

$$I_8 = \frac{\beta_8}{2} (v_{gs} - V_{th8})^2 \quad (4-13)$$

$$I_{10} = \frac{\beta_{10}}{2} (v_{gs} - V_{th10})^2 \quad (4-14)$$

Los voltajes de puerta a fuente, v_{gs} , son iguales como sucede en un espejo de corriente regular, pero, debido a las conexiones del *bulk*, las tensiones umbrales van a ser diferentes, es decir, $V_{th8} \neq V_{th10}$. Si v_{gs} se obtiene a partir de la ecuación (4-13) y se sustituye por (4-14) la corriente a través del transistor M_8 es

$$I_8 = \frac{\beta_8}{2} \left(\frac{2 \cdot I_{10}}{\beta_{10}} + (V_{th10} - V_{th8})^2 + 2 \sqrt{\frac{2 \cdot I_{10}}{\beta_{10}}} (V_{th10} - V_{th8}) \right) \quad (4-15)$$

donde el primer término corresponde a un espejo de corriente regular con igual efecto *bulk* ($V_{th10} - V_{th8} = 0$). Para el amplificador propuesto, como v_{o1} es más alto que v_{o2} (mostrada en la Figura 4-16), V_{th10} va a ser más alto y V_{th8} más bajo por lo que el término $(V_{th10} - V_{th8}) > 0$ y, en consecuencia, I_8 es más alto que en un espejo de corriente regular.

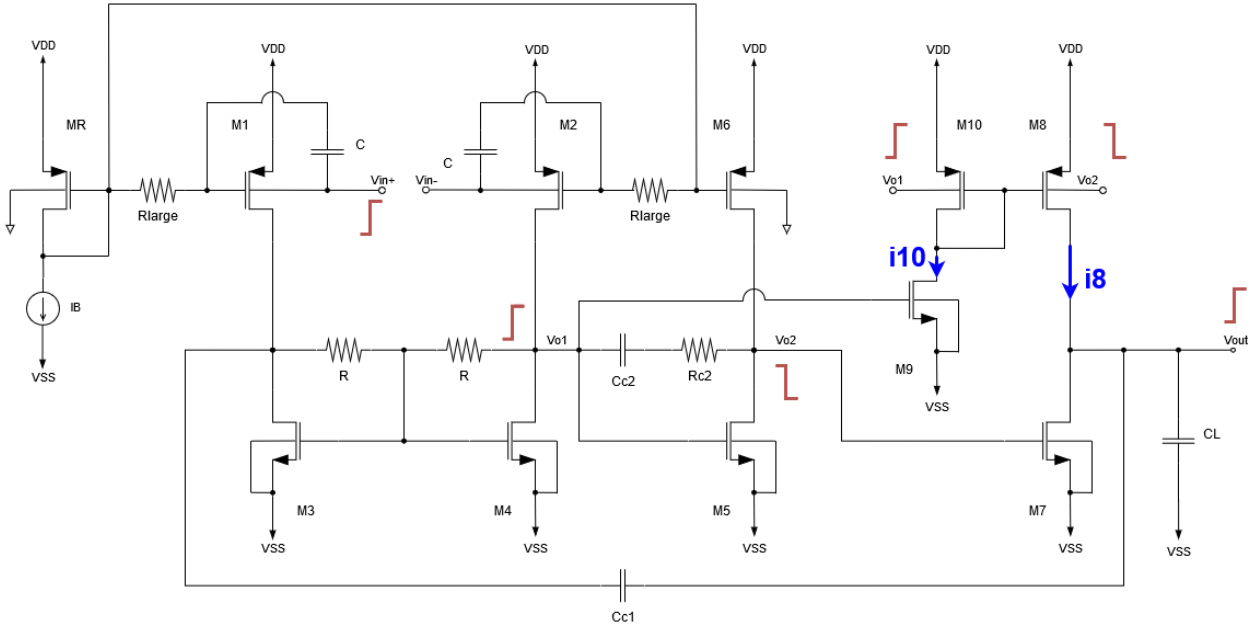


Figura 4-16. Comportamiento ante una entrada escalón de la primera propuesta de amplificador

En resumen, cuando el transistor M_8 necesita proporcionar más corriente instantánea al condensador de salida, las conexiones a los *bulks* de M_8 y M_{10} ayudan, aumentando la corriente instantánea de M_8 y por consiguiente mejorando el SR positivo.

En este diseño, las simulaciones muestran un SR positivo de $1.082 \text{ V}/\mu\text{s}$ y un SR negativo de $1.473 \text{ V}/\mu\text{s}$ en un comportamiento nominal, por lo que se espera que el *slew rate* esté equilibrado.

La Figura 4-17 y Figura 4-18 muestran los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), del *slew rate* positivo y negativo, respectivamente.

Los valores medios obtenidos son $\text{SR}^+ = 1.079 \text{ V}/\mu\text{s}$ y $\text{SR}^- = 1.462 \text{ V}/\mu\text{s}$, y una desviación estándar de (σ) de $0.037 \text{ V}/\mu\text{s}$ y $0.098 \text{ V}/\mu\text{s}$, respectivamente.

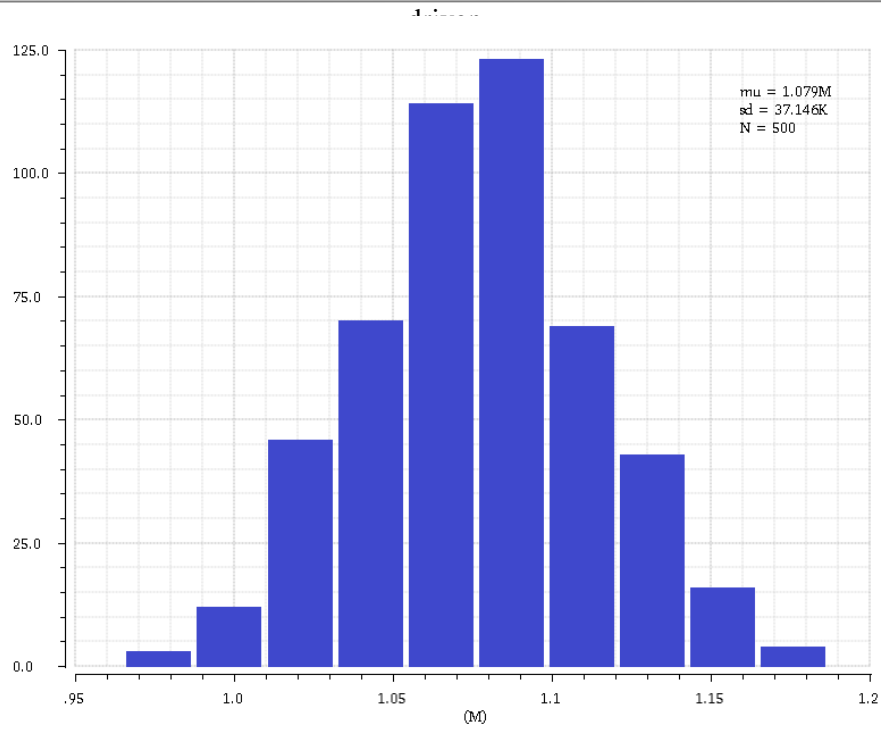


Figura 4-17. Análisis de MonteCarlo del *slew rate* positivo del primer amplificador propuesto (polarización estática)

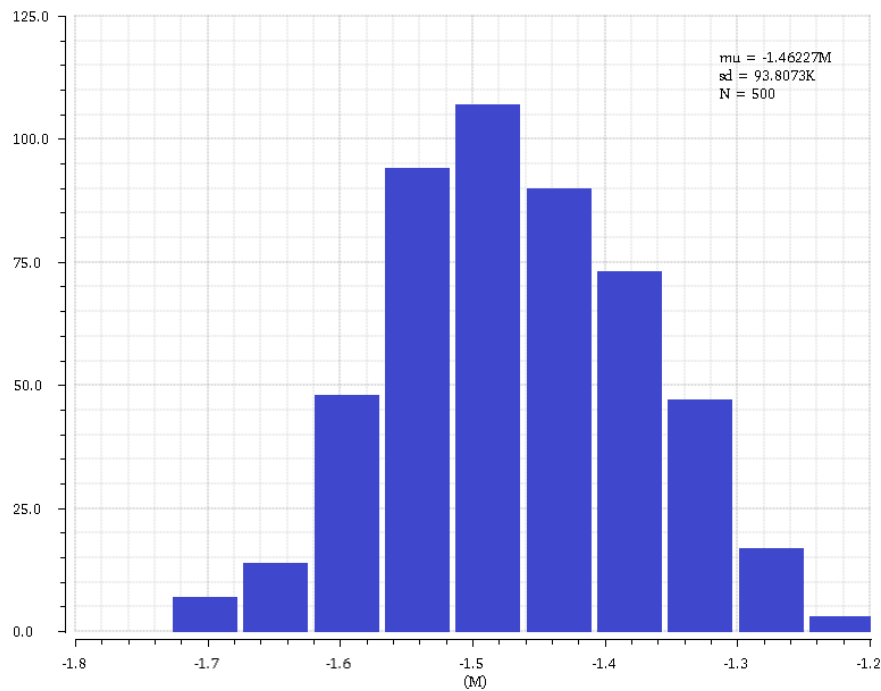


Figura 4-18. Análisis de MonteCarlo del *slew rate* negativo del primer amplificador propuesto (polarización estática)

En la Tabla 4-8 se presenta el análisis de esquina, donde el máximo valor que toma el *slew rate* positivo es 1.111 V/ μ s y el menor, 1.042 V/ μ s, en el caso del *slew rate* negativo se obtiene un valor máximo de 1.522 V/ μ s y un valor mínimo de 1.248 V/ μ s.

Tabla 4-8. Análisis de esquina del *slew rate* del primer amplificador propuesto (polarización estática)

| | SR+ [V/ μ s] | SR- [V/ μ s] |
|---------|------------------|------------------|
| Nominal | 1,082 | 1,474 |
| FF | 1,098 | 1,503 |
| SS | 1,065 | 1,384 |
| FS | 1,084 | 1,517 |
| SF | 1,076 | 1,399 |
| FFF | 1,111 | 1,522 |
| SSF | 1,042 | 1,248 |
| MIN | 1,042 | 1,248 |
| MAX | 1,111 | 1,522 |

No se han añadido los datos relacionados con el *settling time* (ST) debido a que no es posible su cálculo al no tomar los valores necesarios para ello.

Factor de rechazo a la fuente de alimentación (PSRR)

Para medir el factor de rechazo a la fuente de alimentación (PSRR) el esquema montado es similar al mostrado en la Figura 4-14, en este caso, la señal de entrada se introduce por el terminal de alimentación positivo o negativo, respectivamente, mientras que el terminal positivo del amplificador se conecta a $(VDD-VSS)/2$. Los circuitos explicados se muestran en la Figura 4-19.

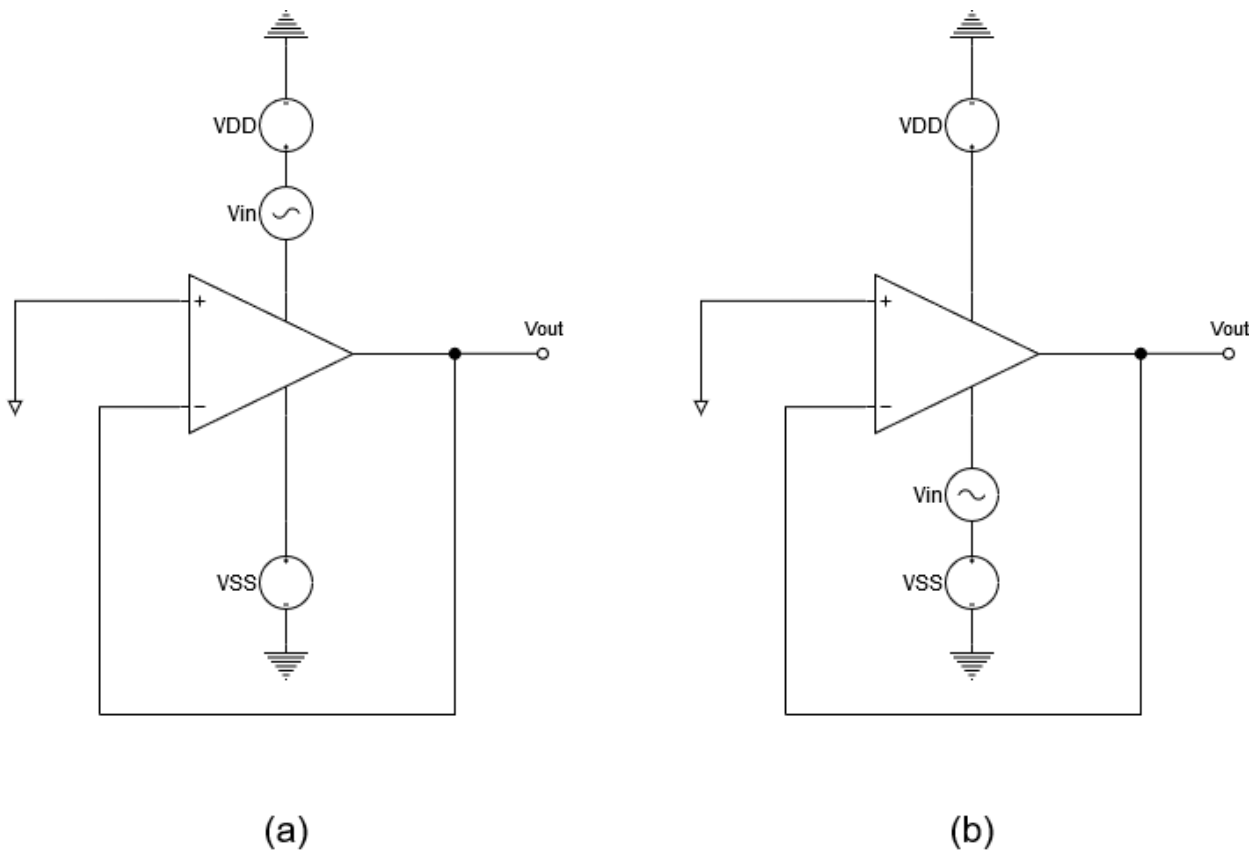


Figura 4-19. Circuito de test en configuración de seguidor para medir PSRR (DC) (a) Medición del PSRR+ (b) Medición del PSRR-

En este diseño, las simulaciones muestran un PSRR positivo de 16.65 dB y un PSRR negativo de 59.31 dB en un comportamiento nominal, existiendo un desbalance elevado entre ambos casos.

La Figura 4-20 y Figura 4-21 muestran los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), del PSRR positivo y negativo, respectivamente.

Los valores medios obtenidos son PSRR+ = 16.61 dB y PSRR- = 58.57 dB, y una desviación estándar de (σ) de 0.585 dB y 1.71 dB, respectivamente.

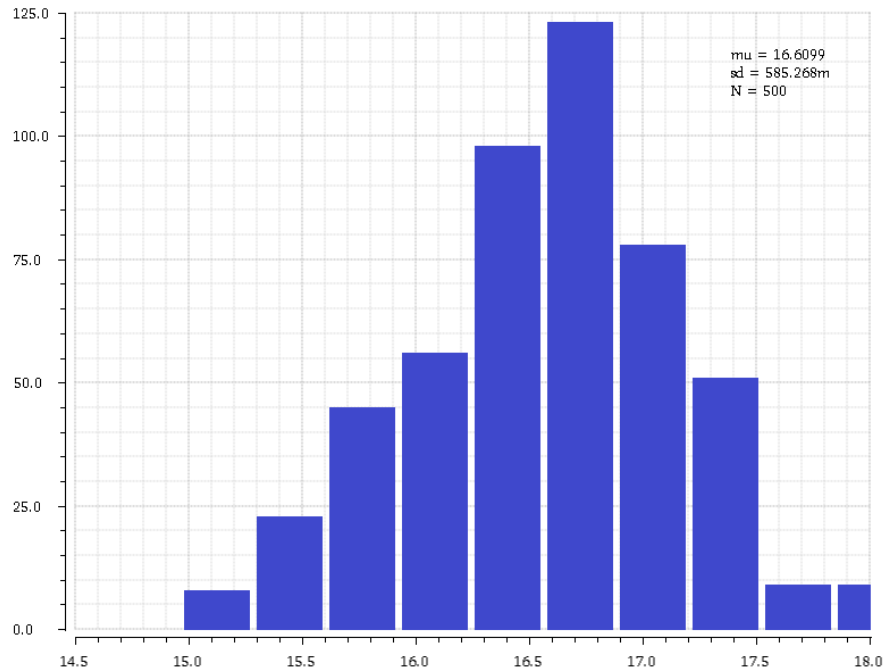


Figura 4-20. Análisis de MonteCarlo del PSRR positivo del primer amplificador propuesto

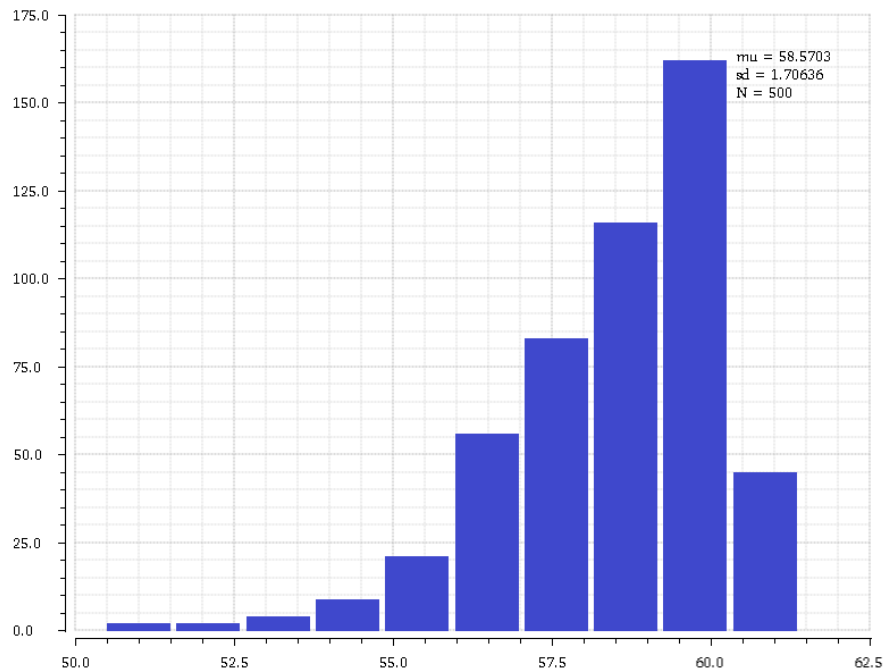


Figura 4-21. Análisis de MonteCarlo del PSRR negativo del primer amplificador propuesto

4.2.1.2.3 Configuración en modo común

Factor de rechazo al modo común (CMRR)

Para medir la ganancia en modo común a baja frecuencia el esquema montado es similar al mostrado en la

Figura 4-9, en este caso, el condensador C_{test} se conecta entre la señal de entrada y el terminal negativo del amplificador asegurando que a la frecuencia adecuada ambos terminales de entrada del amplificador conducen a la misma entrada. El circuito explicado se muestra en la Figura 4-22.

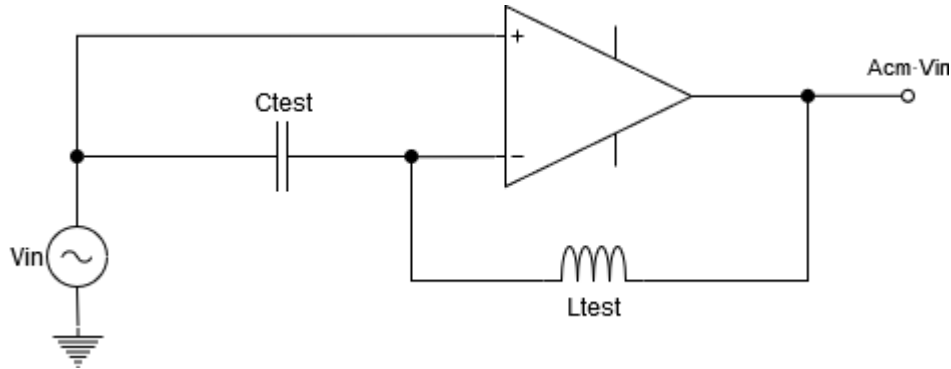


Figura 4-22. Circuito de test en configuración de modo común

El valor de CMRR se obtiene mediante la resta de la ganancia en modo diferencial (Figura 4-9) y en modo común (Figura 4-22).

$$CMRR [dB] = A_d [dB] - A_{cm} [dB] \quad (4-16)$$

El valor nominal obtenido en DC es 14.28 dB. En la Figura 4-23 se observa que este valor se mantiene constante al variar la frecuencia.

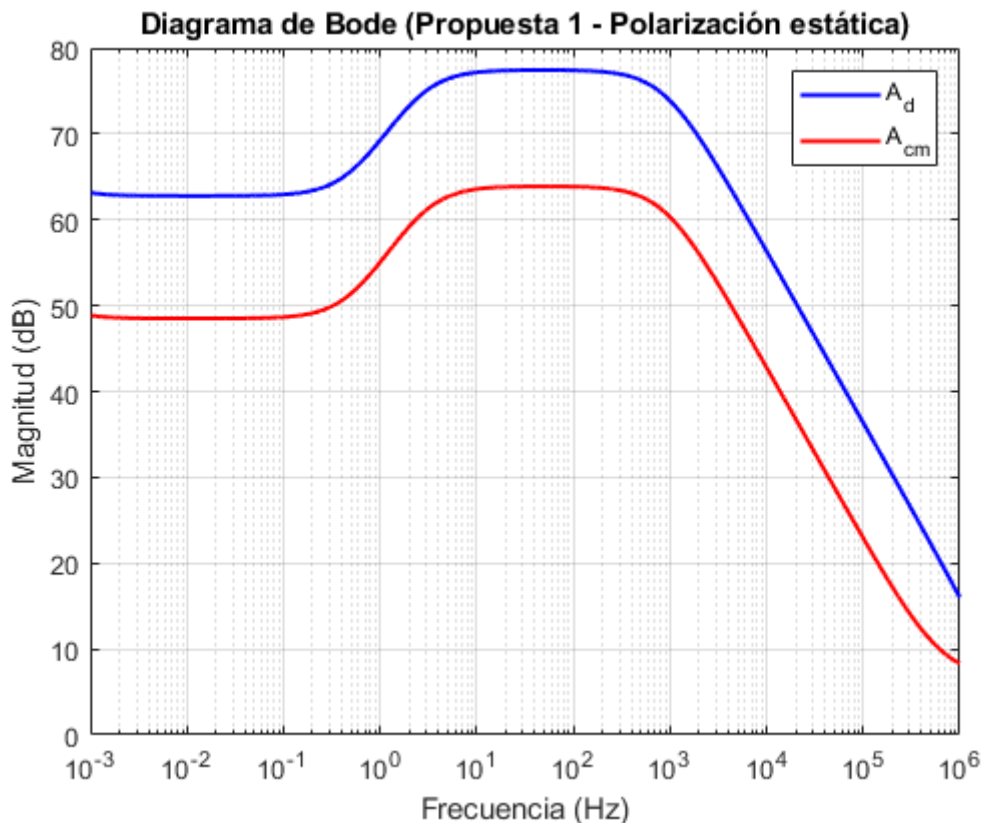


Figura 4-23. Diagrama de Bode de la ganancia diferencial y de modo común del primer amplificador propuesto (polarización estática)

La Figura 4-24 muestra los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), obteniendo un valor medio de 14.602 dB y una desviación estándar de (σ) de 2.574 dB.

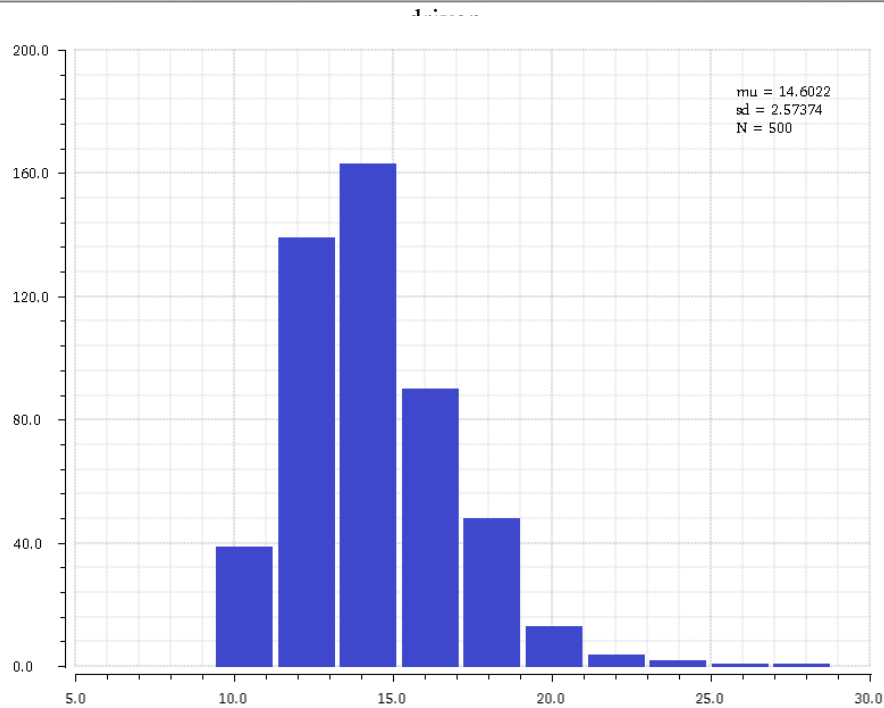


Figura 4-24. Análisis de MonteCarlo del CMRR del primer amplificador propuesto (polarización estática)

4.2.1.2.4 Configuración en inversor

Distorsión armónica total (THD)

La configuración en inversor se muestra en la Figura 4-25, en la cual la salida será la inversa de la entrada, las resistencias R_{test} toman el valor de $100\text{ k}\Omega$. Con este circuito se calcula la distorsión armónica total (THD), se ha realizado una simulación con una entrada a 100 kHz y 400 mVpp , cuyo resultado ha sido $\text{THD} = 0.1146\%$. También se ha realizado una simulación con una entrada a 250 kHz y 400 mVpp , cuyo resultado ha sido $\text{THD} = 0.1575\%$.

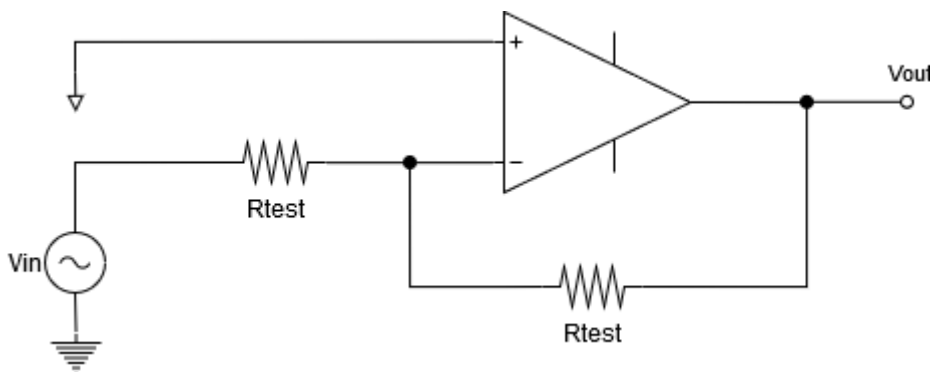


Figura 4-25. Circuito de test en configuración en inversor

4.2.1.2.5 Resumen

En la Tabla 4-9 se presenta un resumen de los parámetros obtenidos, al final del apartado se comparan todos los circuitos propuestos junto con la comparación con el amplificador de partida.

Tabla 4-9. Resumen de los parámetros obtenidos para el primer amplificador propuesto (polarización estática)

| Parámetro | Valor |
|---|--------------------------|
| Supply voltage (VDD-VSS) [V] | 0,7 |
| Power dissipation [μ W] | 51,25 |
| Offset (maximum) [μ V] | 13,91 |
| ICMR [mV] | 550 (de 150 mV a 700 mV) |
| Max Input Current [nA] @ 20 °C | \sim 1 |
| Open-Loop Max Gain [dB] | 77,43 |
| UGBW [MHz] | 8,946 |
| Phase Margin [deg] | 53,11 |
| SR+ [V/ μ s]* | 1,082 |
| SR- [V/ μ s]* | 1,473 |
| CMRR @ DC [dB] | 14,28 |
| PSRR @ DC (+) [dB] | 16,65 |
| PSRR @ DC (-) [dB] | 59,31 |
| Input Ref. Noise @ 1 MHz [nV/ \sqrt Hz] | 58,43 |
| THD @ 100 kHz, 400 mVpp input [%]** | 0,11 |
| THD @ 250 kHz, 400 mVpp input [%]** | 0,1575 |

* Configuración en seguidor de tensión

** Configuración en inversor

Si se desea obtener mayor margen de fase se proponen los siguientes valores de resistencias y capacidades, R_{c1}, C_{c1} y C_{c2}, quedando los demás parámetros igual, de esta forma se empeoran UGBW y SR, Tabla 4-10.

Tabla 4-10. Dimensiones de los dispositivos y resumen de los parámetros del primer amplificador (polarización estática) para mayor margen de fase

| Dispositivo | Valor | Dispositivo | Valor |
|-----------------|----------------------|-------------|----------------|
| MR, M1, M2, M10 | 12 μ m / 540 nm | IB | 4 μ A |
| M3, M4, M9 | 2 μ m / 540 nm | CC1 | 2,3 pF |
| M5 | 20 μ m / 540 nm | CC2 | 500 fF |
| M6 | 120 μ m / 540 nm | RC2 | 300 k Ω |
| M7 | 10 μ m / 540 nm | R | 250 k Ω |
| M8 | 60 μ m / 540 nm | CL | 33 pF |
| | | Rlarge | 100 G Ω |
| | | C | 500 fF |
| | | VDD-VSS | 0,7 V |

| Parámetro | Polarización estática |
|------------------------------|-----------------------|
| Supply voltage (VDD-VSS) [V] | 0,7 |
| Power dissipation [μ W] | 45,35 |
| Open-Loop Max Gain [dB] | 75,4 |
| UGBW [MHz] | 6,558 |
| Phase Margin [deg] | 65,67 |
| SR+ [V/ μ s]* | 1,217 |
| SR- [V/ μ s]* | 0,85 |

* Configuración en seguidor de tensión

4.2.2 Polarización dinámica

Esta solución adopta una polarización dinámica, donde la tensión de *bulk* del transistor M_R y M₆ está conectada a la tensión de entrada positiva, de esta manera se mejoran ciertos parámetros, especialmente el *slew rate* debido al aumento o disminución de la corriente de polarización en función de la tensión de entrada.

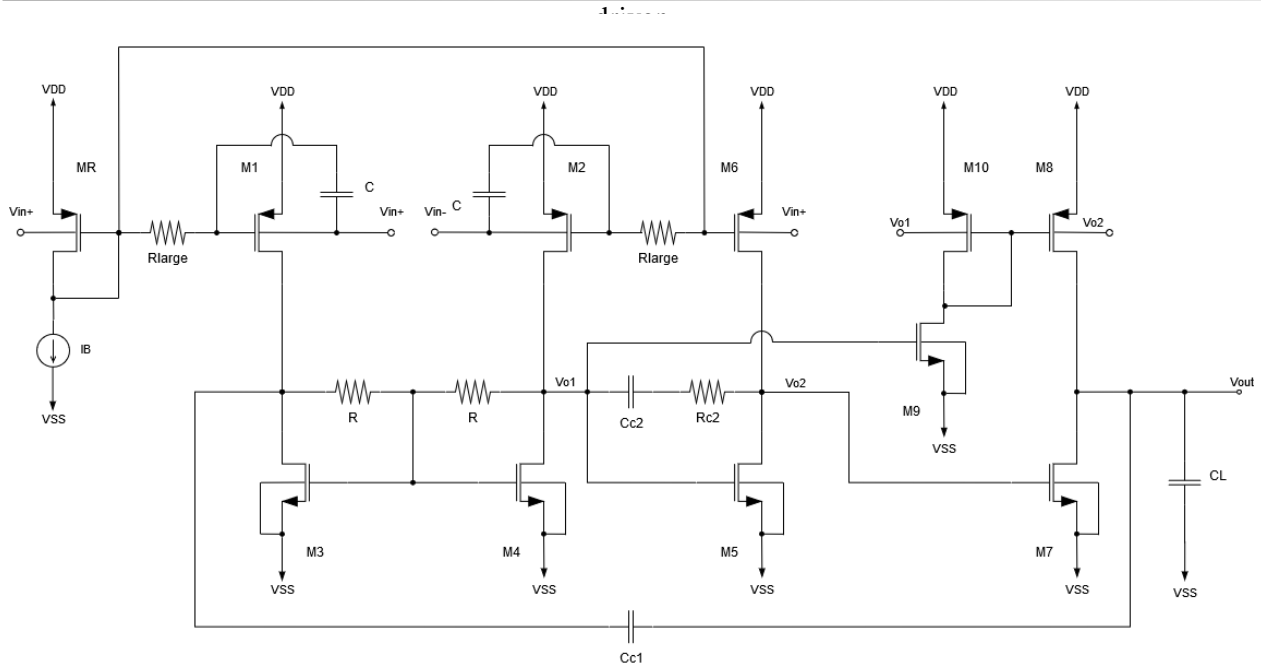


Figura 4-26. Primer amplificador propuesto con polarización dinámica

El circuito y las dimensiones de los transistores y dispositivos se presenta en la Figura 4-26 y Tabla 4-2, respectivamente.

4.2.2.1 Resultado de las simulaciones

Las simulaciones presentadas en este apartado siguen las mismas condiciones que en el caso de polarización estática.

Todos los circuitos necesarios para las medidas son iguales que en el caso de polarización estática.

4.2.2.1.1 Configuración en lazo abierto

La simulación se realiza en el mismo circuito que el presentado en la Figura 4-9.

Respuesta en frecuencia

En la Figura 4-27 se presenta el diagrama de Bode nominal correspondiente al amplificador propuesto con polarización dinámica, en el cual la máxima ganancia es 77.44 dB, el margen de fase es 58.13 ° y el producto de ganancia por ancho de banda, 8.916 MHz. En el caso de polarización estática, la máxima ganancia es 77.43 dB, el margen de fase es 53.11 ° y el producto de ganancia por ancho de banda, 8.946 MHz.

Por tanto, la diferencia existente entre ambos es el aumento del margen de fase en el caso de polarización dinámica., esto se debe a que la diferencia entre ambos se presenta a elevadas frecuencias.

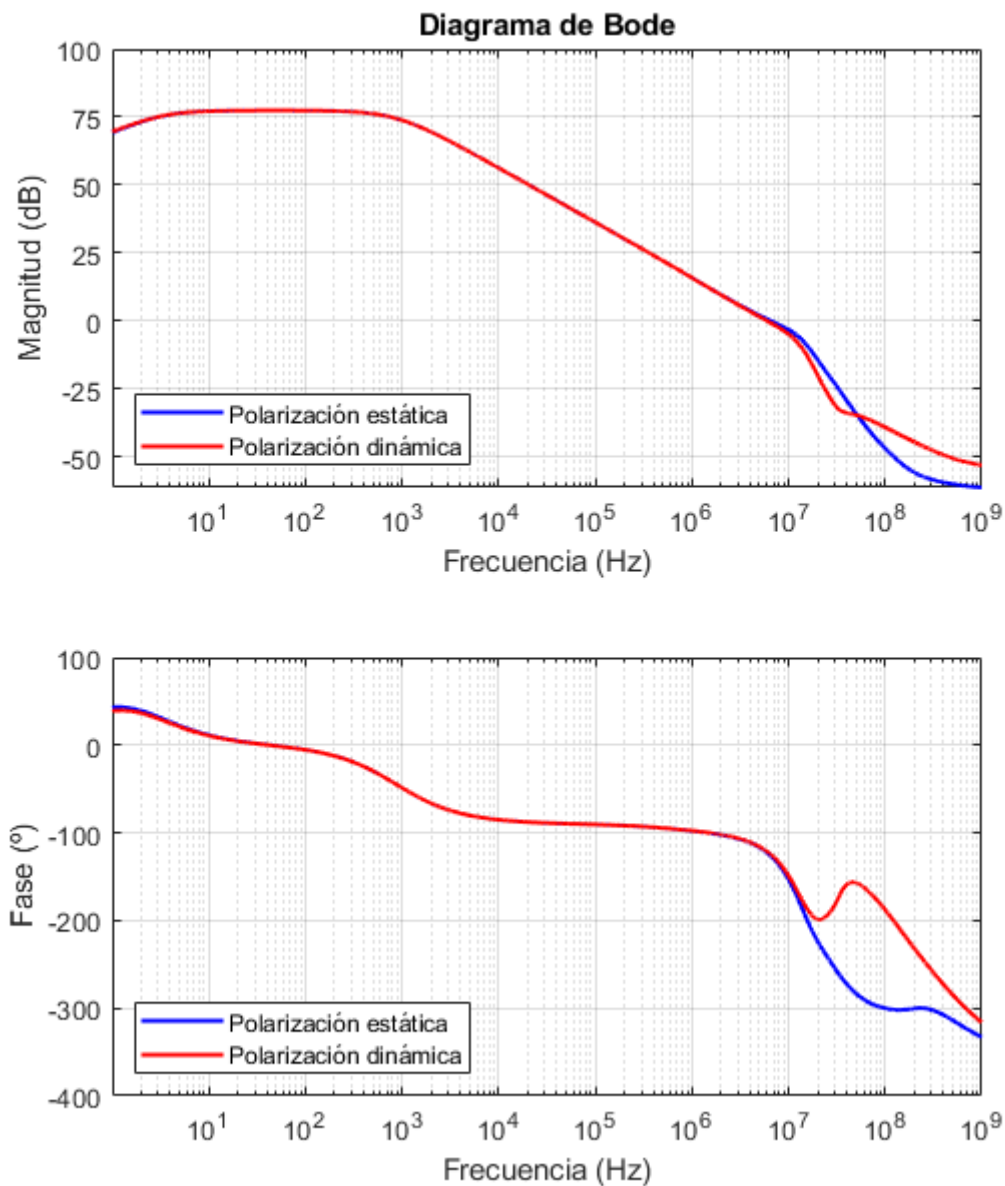


Figura 4-27. Diagrama de Bode nominal del primer amplificador propuesto (comparación polarización estática y dinámica)

Máxima ganancia en lazo abierto

La Figura 4-28 muestra los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), obteniendo un valor medio de 77.327 dB y una desviación estándar de (σ) de 0.332 dB.

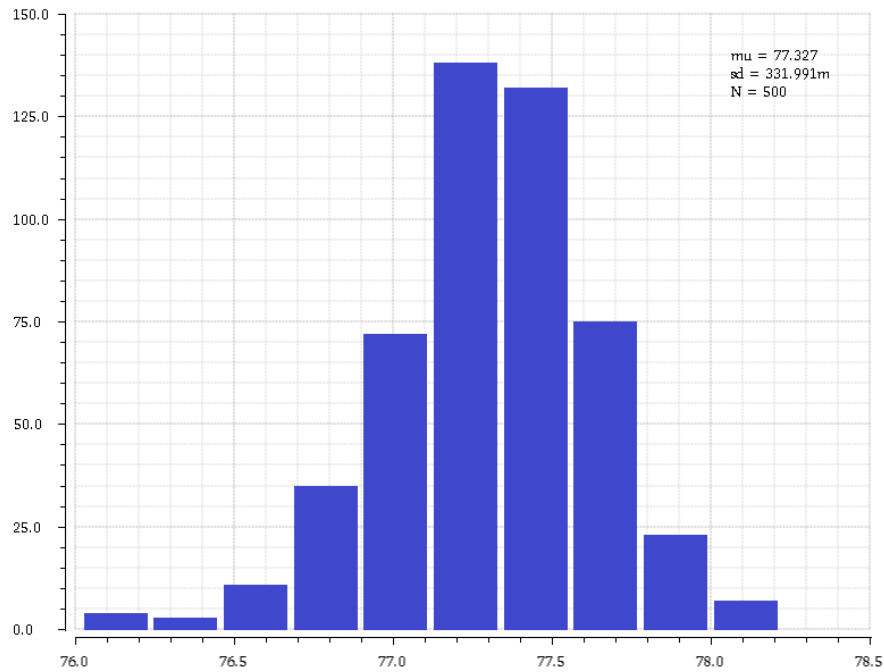


Figura 4-28. Análisis de MonteCarlo de la máxima ganancia en lazo abierto del primer amplificador propuesto (polarización dinámica)

En la Tabla 4-11 se presenta el análisis de esquina, donde el valor nominal es 77.44 dB, el máximo valor que toma es 77.65 dB y el menor, 76.01 dB.

Tabla 4-11. Análisis de esquina de la máxima ganancia en lazo abierto del primer amplificador propuesto (polarización dinámica)

| | Open-Loop Max Gain [dB] |
|---------|--------------------------------|
| Nominal | 77,44 |
| FF | 77,59 |
| SS | 76,87 |
| FS | 77,41 |
| SF | 77,17 |
| FFF | 77,65 |
| SSF | 76,01 |
| MIN | 76,01 |
| MAX | 77,65 |

Margen de fase

La Figura 4-29 muestra los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), obteniendo un valor medio de 58.07 ° y una desviación estándar de (σ) de 1.32 °. Estos resultados implican que si se asume la regla 3- σ , incluso en el peor de los casos el amplificador debería ser estable.

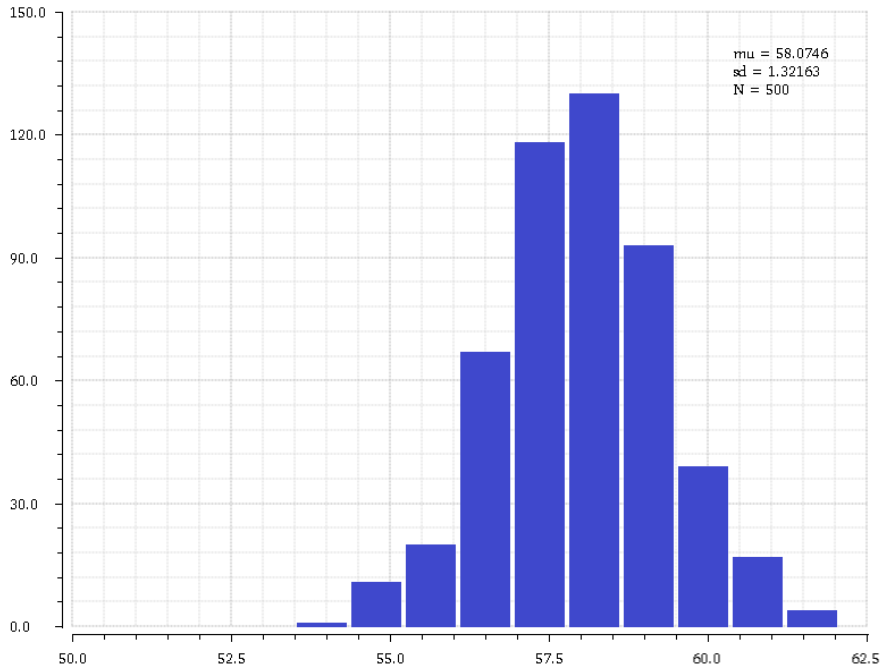


Figura 4-29. Análisis de MonteCarlo del margen de fase del primer amplificador propuesto (polarización dinámica)

En la Tabla 4-12 se presenta el análisis de esquina, donde el valor nominal es 58.13 °, el máximo valor que toma es 61.22 ° y el menor, 55.64 °. Esto muestra que en el peor de los casos el circuito es estable.

Tabla 4-12. Análisis de esquina del margen de fase del primer amplificador propuesto (polarización dinámica)

| | Phase Margin [deg] |
|---------|--------------------|
| Nominal | 58,13 |
| FF | 60,21 |
| SS | 56,61 |
| FS | 58,84 |
| SF | 57,8 |
| FFF | 61,22 |
| SSF | 55,64 |
| MIN | 55,64 |
| MAX | 61,22 |

Ancho de banda de ganancia unidad (UGBW)

La Figura 4-30 muestra los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), obteniendo un valor medio de 8.899 MHz y una desviación estándar de (σ) de 230.076 kHz.

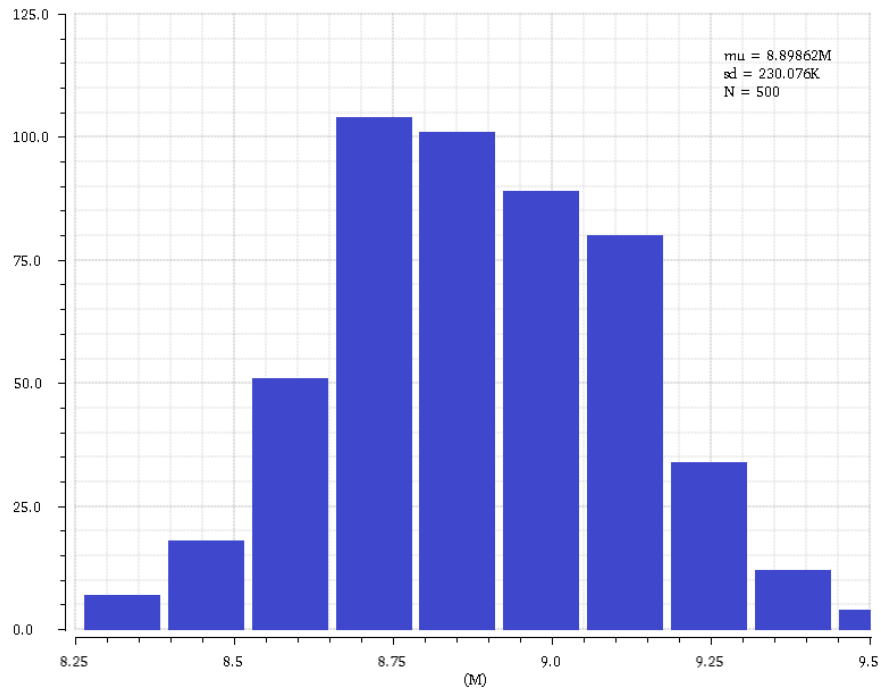


Figura 4-30. Análisis de MonteCarlo del ancho de banda de ganancia unidad (UGBW) del primer amplificador propuesto (polarización dinámica)

En la Tabla 4-13 se presenta el análisis de esquina, donde el valor nominal es 8.916 MHz, el máximo valor que toma es 9.35 MHz y el menor, 8.485 MHz.

Tabla 4-13. Análisis de esquina del ancho de banda de ganancia unidad (UGBW) del primer amplificador propuesto (polarización dinámica)

| | UGBW [MHz] |
|---------|------------|
| Nominal | 8,916 |
| FF | 9,2 |
| SS | 8,68 |
| FS | 8,874 |
| SF | 8,99 |
| FFF | 9,35 |
| SSF | 8,485 |
| MIN | 8,485 |
| MAX | 9,35 |

Offset

En la Tabla 4-14 se presenta el análisis de esquina del *offset* máximo, el cual se toma como la diferencia entre la tensión en el terminal positivo y el negativo, el valor nominal es 13.91 μV , el máximo valor que toma es 77.41 μV y el menor, 1.926 μV .

Tabla 4-14. Análisis de esquina del *offset* máximo del primer amplificador propuesto (polarización dinámica)

| | Offset (maximum) [μV] |
|---------|------------------------------------|
| Nominal | 13,91 |
| FF | -16,57 |
| SS | 48,58 |
| FS | 9,64 |
| SF | 1,926 |
| FFF | -30,51 |
| SSF | 77,41 |
| MIN | 1,926 |
| MAX | 77,41 |

4.2.2.1.2 Configuración en seguidor

Los circuitos para realizar las simulaciones son los presentados en la Figura 4-14 y la Figura 4-19.

Slew rate

En la Figura 4-31 se muestra la comparación entre la señal de entrada y las señales de salidas, en el caso de polarización estática y dinámica, la señal de salida en ambos casos no toma el valor de la entrada debido a que el valor de *slew rate* no es lo suficientemente elevado para que esto sea posible.

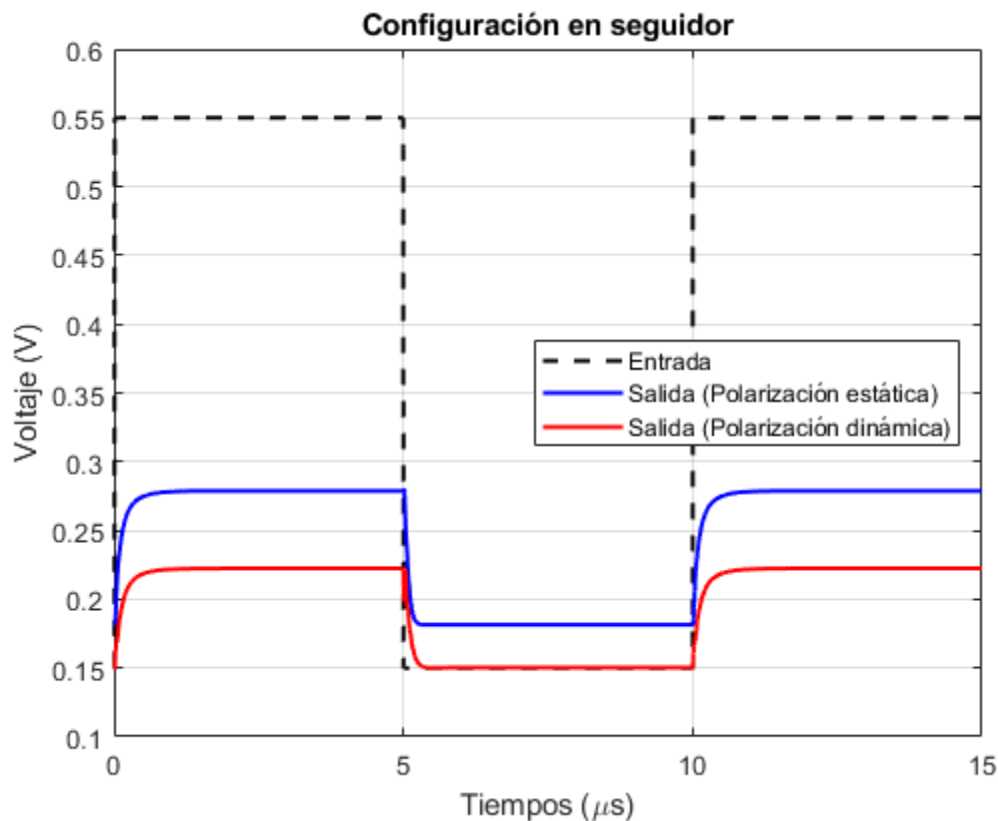


Figura 4-31. Respuesta temporal nominal del primer amplificador propuesto (polarización estática y dinámica)

En este diseño, las simulaciones muestran un SR positivo de $1.457 \text{ V}/\mu\text{s}$ y un SR negativo de $3.654 \text{ V}/\mu\text{s}$ en un comportamiento nominal, por tanto, mejora los valores obtenidos en el caso de polarización constante, SR

positivo de 1.082 V/ μ s y SR negativo de 1.473 V/ μ s.

La Figura 4-32 y Figura 4-33 muestran los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), del *slew rate* positivo y negativo, respectivamente.

Los valores medios obtenidos son SR+ = 1.446 V/ μ s y SR- = 3.647 V/ μ s, y una desviación estándar de (σ) de 0.188 V/ μ s y 0.553 V/ μ s, respectivamente.

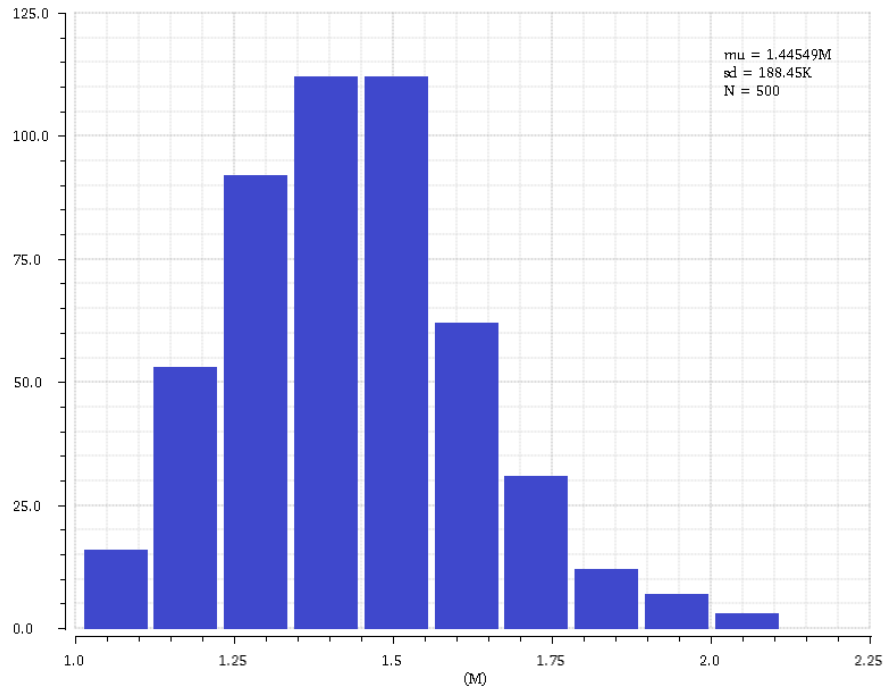


Figura 4-32. Análisis de MonteCarlo del *slew rate* positivo del primer amplificador propuesto (polarización dinámica)

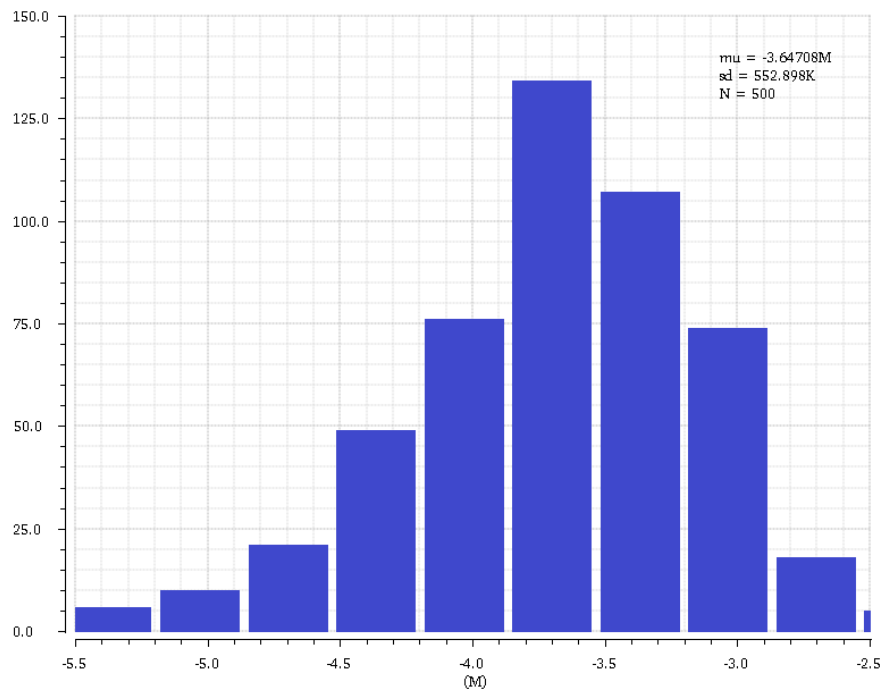


Figura 4-33. Análisis de MonteCarlo del *slew rate* negativo del primer amplificador propuesto (polarización dinámica)

En la Tabla 4-15 se presenta el análisis de esquina, donde el máximo valor que toma el *slew rate* positivo es 2.127 V/ μ s y el menor, 1.107 V/ μ s, en el caso del *slew rate* negativo se obtiene un valor máximo de 5.965 V/ μ s y un valor mínimo de 2.12 V/ μ s.

Tabla 4-15. Análisis de esquina del *slew rate* del primer amplificador propuesto (polarización dinámica)

| | SR+ [V/ μ s] | SR- [V/ μ s] |
|---------|------------------|------------------|
| Nominal | 1,457 | 3,654 |
| FF | 1,882 | 5,102 |
| SS | 1,107 | 2,567 |
| FS | 1,681 | 4,557 |
| SF | 1,208 | 2,835 |
| FFF | 2,127 | 5,965 |
| SSF | 1,108 | 2,12 |
| MIN | 1,107 | 2,12 |
| MAX | 2,127 | 5,965 |

Factor de rechazo a la fuente de alimentación (PSRR)

El PSRR en el caso de polarización dinámica toma los mismos valores que en el caso de polarización estática debido a que el terminal de entrada positivo del amplificador en ambos casos está conectado a la tensión de modo común, es decir, la señal de entrada no es introducida por el terminal de polarización.

Las simulaciones muestran un PSRR positivo de 16.65 dB y un PSRR negativo de 59.31 dB en un comportamiento nominal, existiendo un desbalance elevado entre ambos casos. El análisis de MonteCarlo se muestra en la Figura 4-20 y Figura 4-21.

4.2.2.1.3 Configuración en modo común

Factor de rechazo al modo común (CMRR)

El valor de CMRR se obtiene mediante la resta de la ganancia en modo diferencial (Figura 4-9) y en modo común (Figura 4-22), indicado en (4-16)

En polarización estática el valor no se mantiene constante en función de la frecuencia debido a que la ganancia de modo común no varía de igual forma que la ganancia diferencial, esto se muestra en la Figura 4-34. Los resultados obtenidos reflejan que el valor de CMRR en DC es 69.26 dB, sin embargo, a la frecuencia donde el amplificador presenta la mayor ganancia diferencial el valor es 13.56 dB, por tanto, disminuye el valor considerablemente.

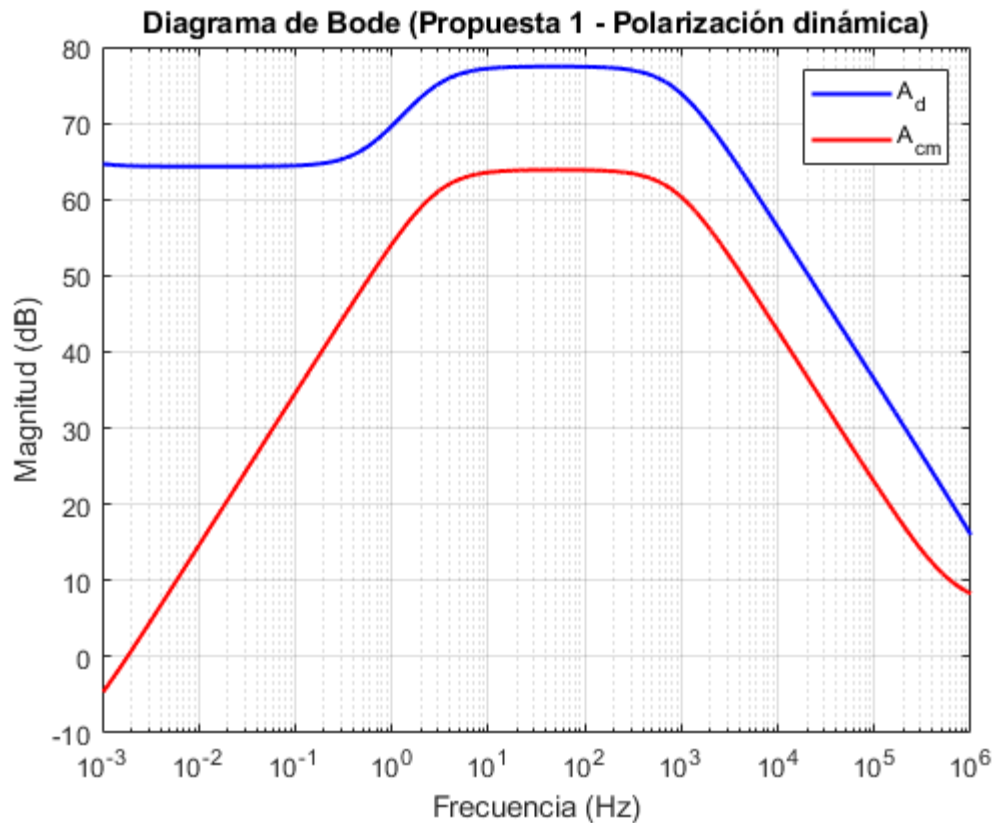


Figura 4-34. Diagrama de Bode de la ganancia diferencial y de modo común del primer amplificador propuesto (polarización dinámica)

4.2.2.1.4 Configuración en inversor

Distorsión armónica total (THD)

La configuración en inversor se muestra en la Figura 4-25. Con este circuito se calcula la distorsión armónica total (THD), en el caso de polarización dinámica toma los mismos valores que en el caso de polarización estática debido a que el terminal de entrada positivo del amplificador en ambos casos está conectado a la tensión de modo común, es decir, la señal de entrada no es introducida por el terminal de polarización.

Los resultados obtenidos con una entrada a 100 kHz y 400 mVpp, son $THD = 0.1146\%$. Se ha realizado una simulación con una entrada a 250 kHz y 400 mVpp, cuyo resultado ha sido $THD = 0.1575\%$.

4.2.2.1.5 Resumen

En la Tabla 4-16 se presenta un resumen de los parámetros obtenidos en el caso de polarización estática y dinámica.

Tabla 4-16. Resumen de los parámetros obtenidos para el primer amplificador propuesto (polarización estática y dinámica)

| Parámetro | Polarización estática | Polarización dinámica |
|---|--------------------------|--------------------------|
| Supply voltage (VDD-VSS) [V] | 0,7 | 0,7 |
| Power dissipation [μ W] | 51,25 | 51,25 |
| Offset (maximum) [μ V] | 13,91 | 13,91 |
| ICMR [mV] | 550 (de 150 mV a 700 mV) | 550 (de 150 mV a 700 mV) |
| Max Input Current [nA] @ 20 °C | ~1 | ~1 |
| Open-Loop Max Gain [dB] | 77,43 | 77,44 |
| UGBW [MHz] | 8,946 | 8,916 |
| Phase Margin [deg] | 53,11 | 58,13 |
| SR+ [V/ μ s]* | 1,082 | 1,457 |
| SR- [V/ μ s]* | 1,473 | 3,654 |
| CMRR @ DC [dB] | 14,28 | 69,26 |
| PSRR @ DC (+) [dB] | 16,65 | 16,65 |
| PSRR @ DC (-) [dB] | 59,31 | 59,31 |
| Input Ref. Noise @ 1 MHz [nV/ \sqrt Hz] | 58,43 | 58,53 |
| THD @ 100 kHz, 400 mVpp input [%]** | 0,11 | 0,11 |
| THD @ 250 kHz, 400 mVpp input [%]** | 0,1575 | 0,1575 |

* Configuración en seguidor de tensión

** Configuración en inversor

Ambos casos muestran valores muy similares salvo en el caso del *slew rate* y del CMRR, donde se mejora notablemente con polarización dinámica. Esto permite mejorar las prestaciones de gran señal mientras que la correspondiente a pequeña señal varían muy poco.

4.3 Amplificador de 3 etapas *bulk driven* – Puerta cuasi flotante de baja tensión con etapa de salida clase AB

Por último, se propone una modificación de la etapa de salida del circuito mostrado en la Figura 4-6. Esta etapa de salida permite reducir el consumo manteniendo un buen rendimiento global, de esta forma se mejoran las prestaciones del circuito. El resultado se presenta en la Figura 4-35.

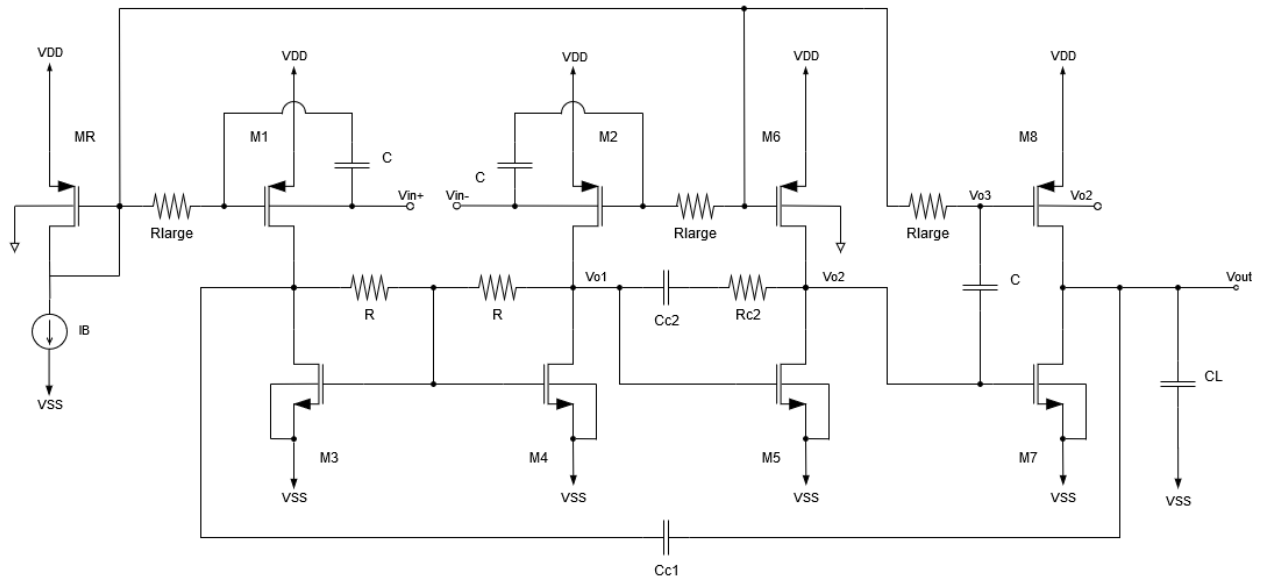


Figura 4-35. Segunda propuesta de amplificador con polarización estática

El circuito se compone de tres etapas de ganancia: la etapa de entrada diferencial ya explicada (M_1 - M_4), una segunda etapa de fuente común (M_5 - M_6) y una tercera etapa de salida (M_7 - M_8). En la Tabla 4-17 se resumen las dimensiones de los transistores y los valores de los dispositivos para este diseño.

Al reducir el tamaño de los transistores de la etapa de salida (M_7 y M_8) se reduce el consumo permitiendo un buen rendimiento global. Si se reduce aun más el tamaño, disminuye aun más el consumo, pero el *slew rate* se ve gravemente afectado, por tanto, no es apropiado reducir más el tamaño.

Tabla 4-17. Dimensiones de los transistores y dispositivos del segundo amplificador propuesto

| Dispositivo | Valor | Dispositivo | Valor |
|-------------|----------------------------|-------------|-----------------|
| MR, M1, M2 | 12 μm / 540 nm | IB | 4 μA |
| M3, M4 | 2 μm / 540 nm | CC1 | 1,7 pF |
| M5 | 20 μm / 540 nm | CC2 | 400 fF |
| M6 | 120 μm / 540 nm | RC2 | 320 k Ω |
| M7 | 8 μm / 540 nm | R | 250 k Ω |
| M8 | 48 μm / 540 nm | CL | 33 pF |
| | | Rlarge | 100 G Ω |
| | | C | 500 fF |
| | | VDD-VSS | 0,7 V |

4.3.1 Polarización estática

Esta solución adopta una polarización estática, es decir, la tensión de *bulk* del transistor M_R y M_6 está conectada a una tensión constante igual a $(V_{DD} + V_{SS})/2$, en este caso 350 mV.

4.3.1.1 Comportamiento en pequeña señal

La compensación en frecuencia se realiza de forma similar a la realizada en la primera propuesta.

El modelo simplificado de pequeña señal del circuito de la Figura 4-35 se presenta en la Figura 4-36, donde las capacidades parásitas no se tienen en cuenta por simplicidad y R_{oi} representa la resistencia del nodo de salida de la etapa i^{th} . Los valores de las transconductancias y resistencias del amplificador propuesto se presentan en la Tabla 4-18.

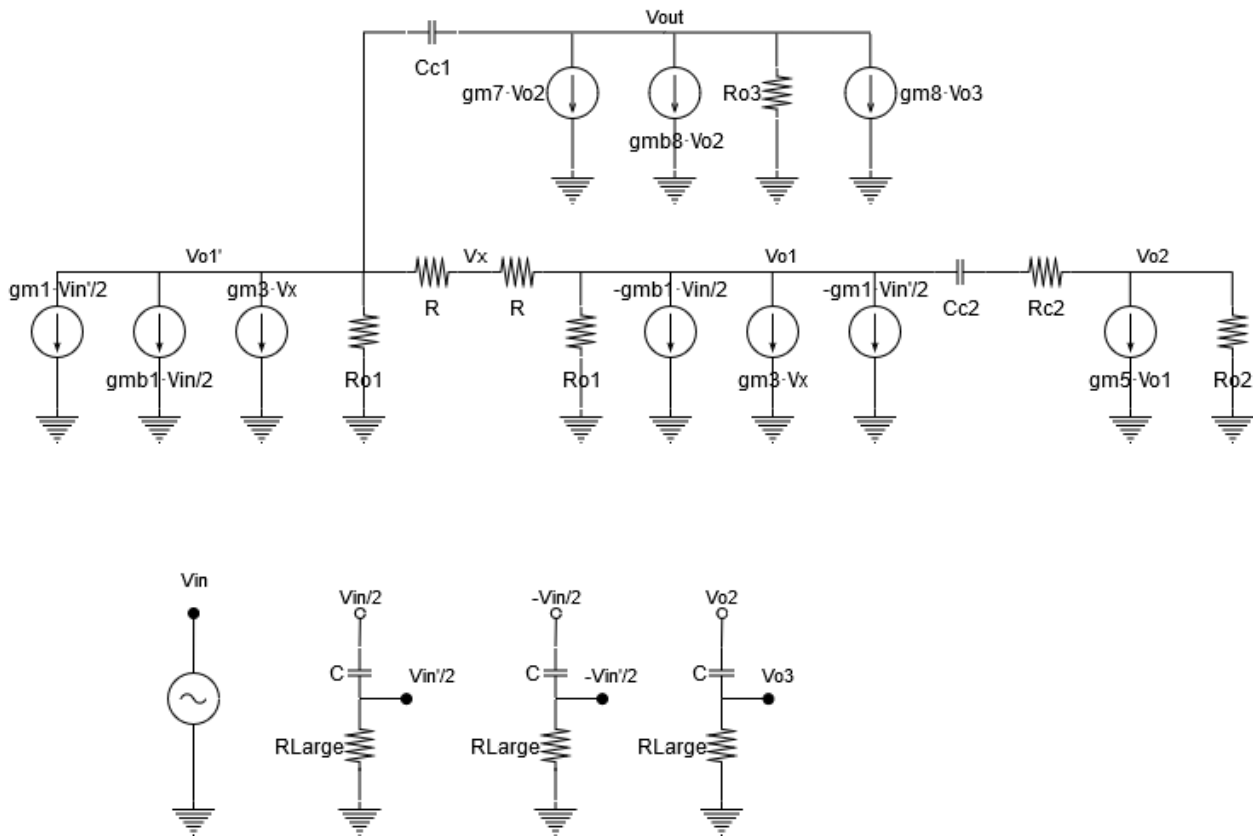


Figura 4-36. Modelo de pequeña señal de la segunda propuesta de amplificador

Tabla 4-18. Valores de transconductancias y resistencias de salida de la segunda propuesta de amplificador

| Transconductancia | Valor [$\mu\text{A/V}$] | Resistencia de salida | Valor [$\text{k}\Omega$] |
|-------------------|---------------------------|-------------------------------|----------------------------|
| $g_{mb1,2}$ | 12 | $R_{o1} = r_{ds1} // r_{ds3}$ | 534 |
| $g_{m1,2}$ | 65 | $R_{o2} = r_{ds5} // r_{ds6}$ | 53 |
| $g_{m3,4}$ | 65 | $R_{o3} = r_{ds7} // r_{ds8}$ | 172 |
| g_{m5} | 648 | | |
| g_{m6} | 648 | | |
| g_{m7} | 194 | | |
| g_{m8} | 194 | | |
| g_{mb8} | 43 | | |

4.3.1.2 Resultado de las simulaciones

Las simulaciones se realizan en las mismas condiciones que en el caso anterior.

4.3.1.2.1 Configuración en lazo abierto

Respuesta en frecuencia

En la Figura 4-37 se presenta el diagrama de Bode nominal correspondiente al segundo amplificador propuesto, en este se observa que la máxima ganancia es 76.3 dB, el margen de fase es 51.52° y el producto de ganancia por ancho de banda, 8.854 MHz.

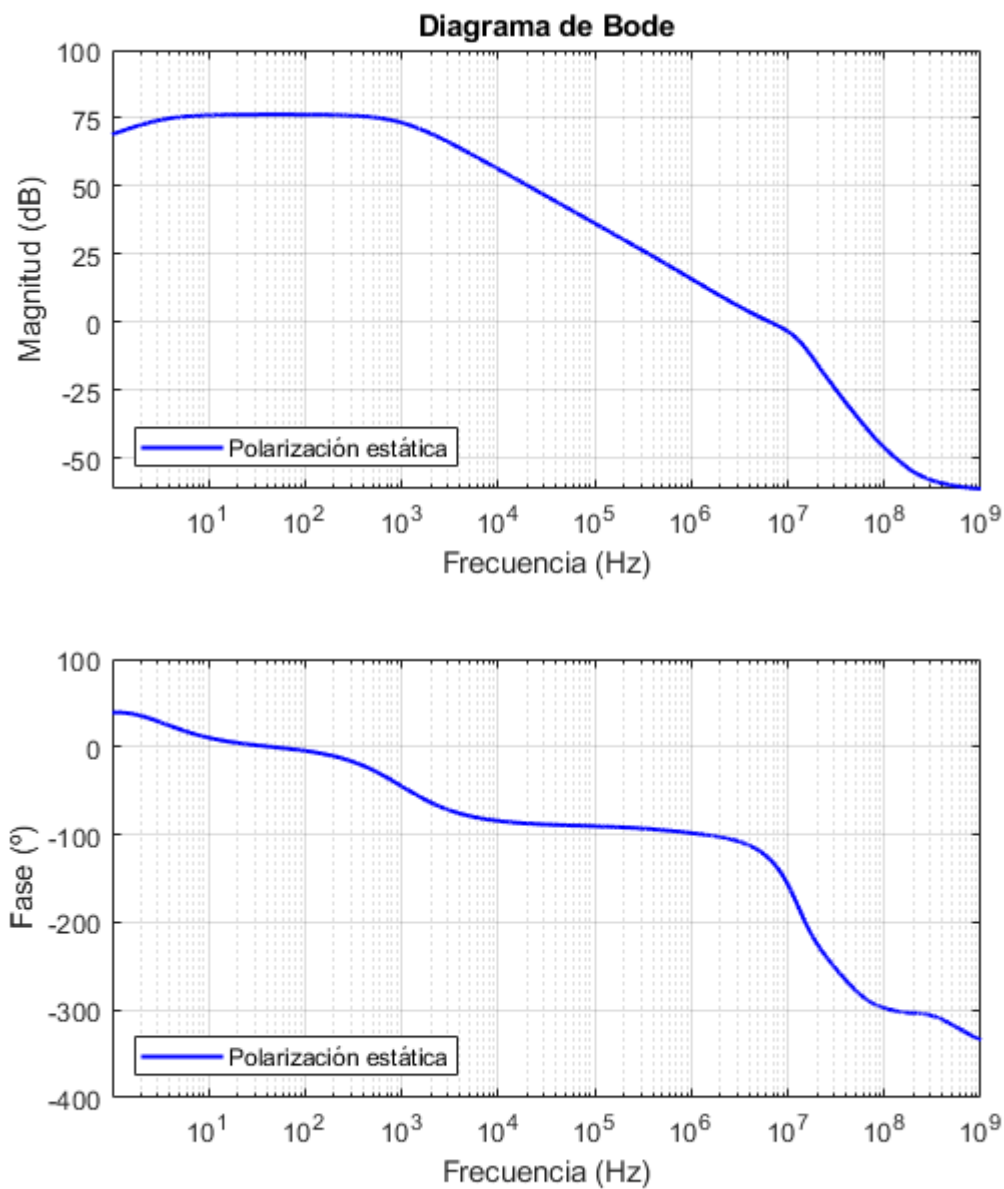


Figura 4-37. Diagrama de Bode nominal del segundo amplificador propuesto (polarización estática)

Máxima ganancia en lazo abierto

La Figura 4-38 muestra los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), obteniendo un valor medio de 76.257 dB y una desviación estándar de (σ) de 0.332 dB.

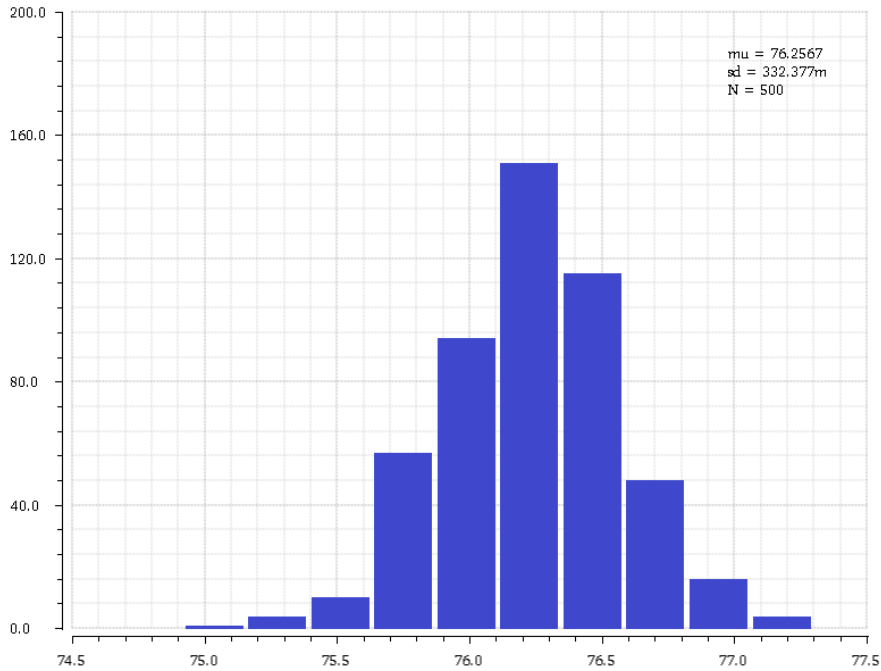


Figura 4-38. Análisis de MonteCarlo de la máxima ganancia en lazo abierto del segundo amplificador propuesto (polarización estática)

En la Tabla 4-19 se presenta el análisis de esquina, donde el valor nominal es 76.3 dB, el máximo valor que toma es 76.66 dB y el menor, 75.21 dB.

Tabla 4-19. Análisis de esquina de la máxima ganancia en lazo abierto del segundo amplificador propuesto (polarización estática)

| | Open-Loop Max Gain [dB] |
|---------|--------------------------------|
| Nominal | 76,3 |
| FF | 76,54 |
| SS | 75,81 |
| FS | 76,07 |
| SF | 76,37 |
| FFF | 76,66 |
| SSF | 75,21 |
| MIN | 75,21 |
| MAX | 76,66 |

Margen de fase

La Figura 4-39 muestra los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), obteniendo un valor medio de 51.5 ° y una desviación estándar de (σ) de 1.6 °. Estos resultados implican que si se asume la regla 3- σ , incluso en el peor de los casos el amplificador debería ser estable.

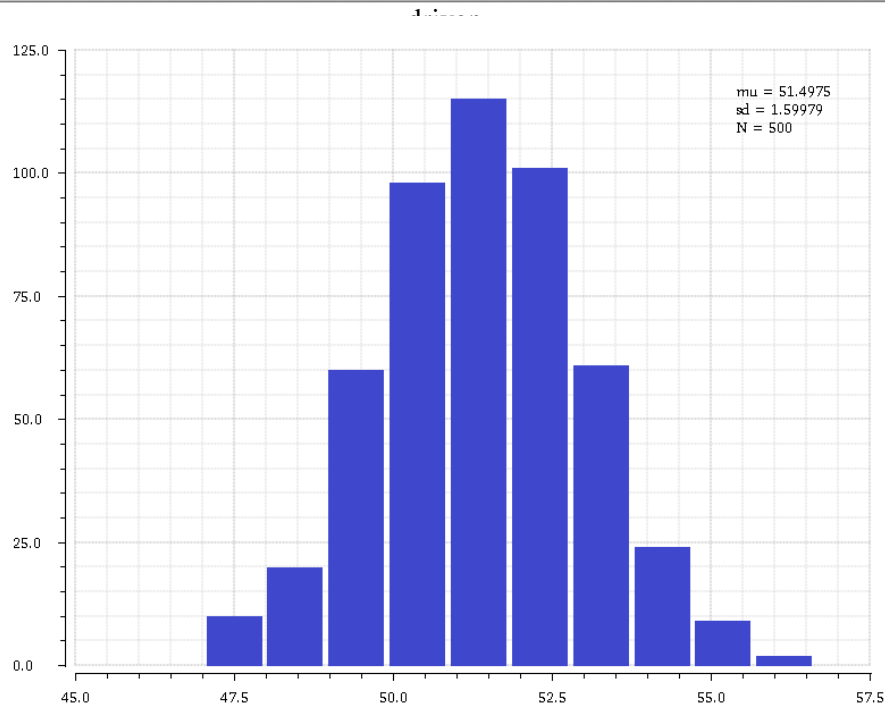


Figura 4-39. Análisis de MonteCarlo del margen de fase del segundo amplificador propuesto (polarización estática)

En la Tabla 4-20 se presenta el análisis de esquina, donde el valor nominal es 51.52 °, el máximo valor que toma es 56.75 ° y el menor, 47.39 °. Esto muestra que en el peor de los casos el circuito es estable.

Tabla 4-20. Análisis de esquina del margen de fase del segundo amplificador propuesto (polarización estática)

| | Phase Margin [deg] |
|---------|--------------------|
| Nominal | 51,52 |
| FF | 55,08 |
| SS | 48,77 |
| FS | 53,75 |
| SF | 49,67 |
| FFF | 56,75 |
| SSF | 47,39 |
| MIN | 47,39 |
| MAX | 56,75 |

Ancho de banda de ganancia unidad (UGBW)

La Figura 4-40 muestra los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), obteniendo un valor medio de 8.863 MHz y una desviación estándar de (σ) de 225.753 kHz.

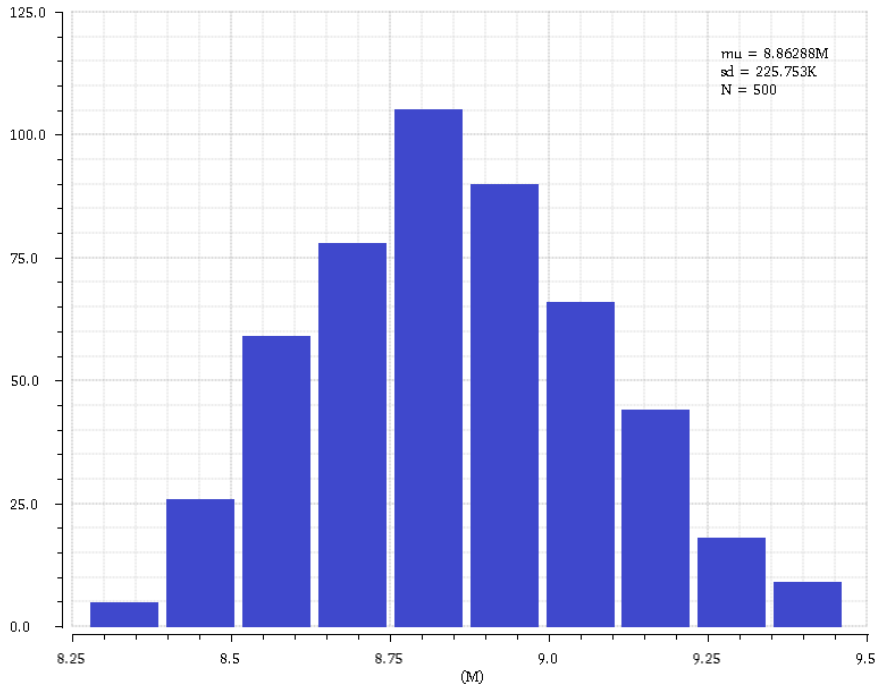


Figura 4-40. Análisis de MonteCarlo del ancho de banda de ganancia unidad (UGBW) del segundo amplificador propuesto (polarización estática)

En la Tabla 4-21 se presenta el análisis de esquina, donde el valor nominal es 8.854 MHz, el máximo valor que toma es 9.294 MHz y el menor, 8.368 MHz.

Tabla 4-21. Análisis de esquina del ancho de banda de ganancia unidad (UGBW) del segundo amplificador propuesto (polarización estática)

| | UGBW [MHz] |
|---------|------------|
| Nominal | 8,854 |
| FF | 9,133 |
| SS | 8,567 |
| FS | 8,787 |
| SF | 8,891 |
| FFF | 9,294 |
| SSF | 8,368 |
| MIN | 8,368 |
| MAX | 9,294 |

Offset

En la Tabla 4-22 se presenta el análisis de esquina del *offset* máximo, el cual se toma como la diferencia entre la tensión en el terminal positivo y el negativo, el valor nominal es 478.6 μ V, el máximo valor que toma es 838.5 μ V y el menor, 254.4 μ V. En este caso, el *offset* aumenta considerablemente respecto del anterior debido a que las corrientes no están completamente emparejadas.

Tabla 4-22. Análisis de esquina del *offset* máximo del segundo amplificador propuesto (polarización estática)

| | Offset (maximum) [μV] |
|---------|------------------------------------|
| Nominal | 478,6 |
| FF | 317,3 |
| SS | 674,2 |
| FS | 351,5 |
| SF | 658 |
| FFF | 245,4 |
| SSF | 838,5 |
| MIN | 245,4 |
| MAX | 838,5 |

4.3.1.2.2 Configuración en seguidor

Slew rate

En la Figura 4-41 se muestra la comparación entre ambas, la señal de salida no toma el valor de la entrada debido a que el valor de *slew rate* no es lo suficientemente elevado para que esto sea posible.

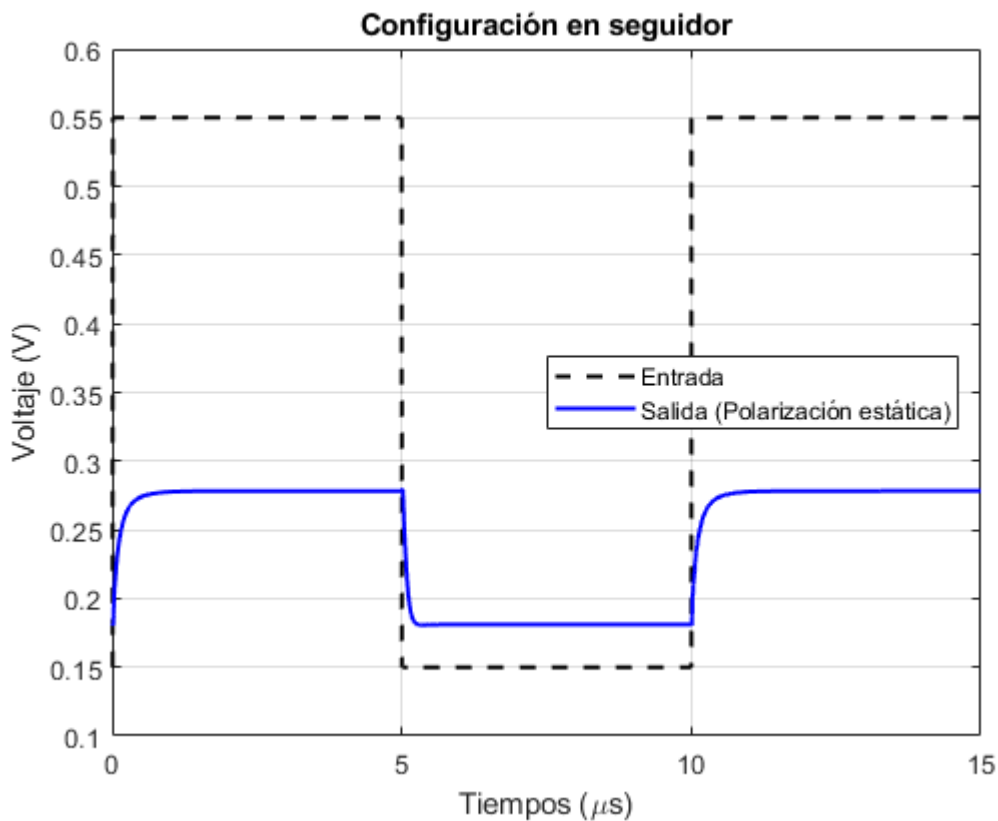


Figura 4-41. Respuesta temporal nominal del segundo amplificador propuesto (polarización estática)

Las simulaciones muestran un SR positivo de 1.606 V/ μs y un SR negativo de 1.244 V/ μs en un comportamiento nominal.

La Figura 4-42 y Figura 4-43 muestran los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), del *slew rate* positivo y negativo, respectivamente.

Los valores medios obtenidos son $SR+ = 1.606 \text{ V}/\mu\text{s}$ y $SR- = 1.247 \text{ V}/\mu\text{s}$, y una desviación estándar de (σ) de $0.052 \text{ V}/\mu\text{s}$ y $0.068 \text{ V}/\mu\text{s}$, respectivamente.

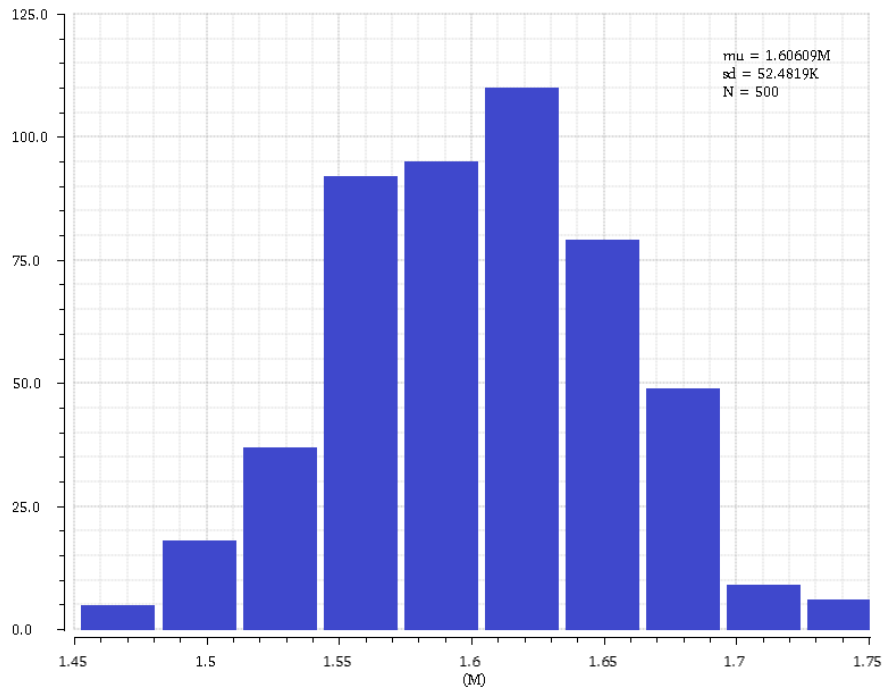


Figura 4-42. Análisis de MonteCarlo del *slew rate* positivo del segundo amplificador propuesto (polarización estática)

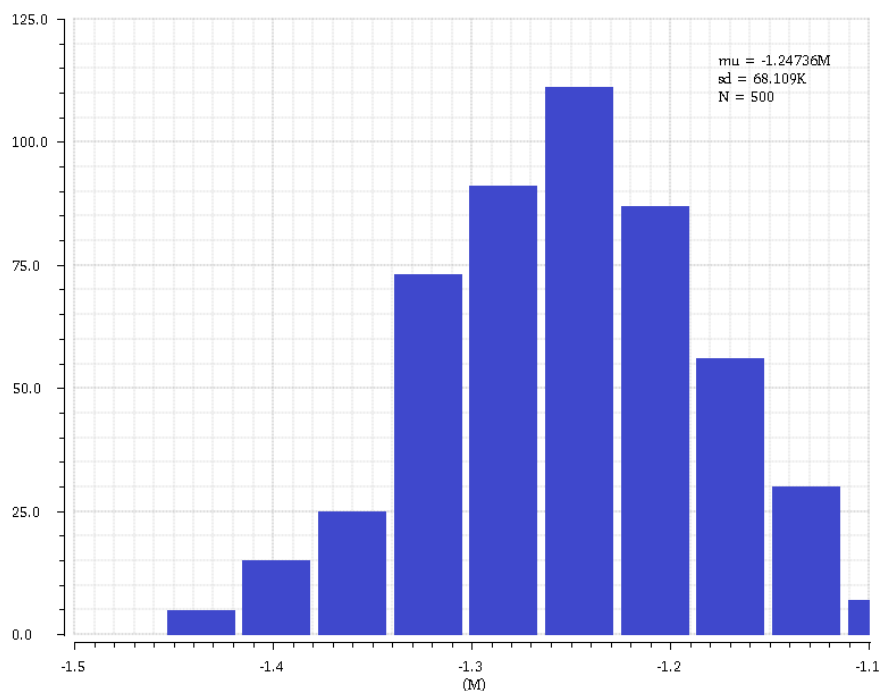


Figura 4-43. Análisis de MonteCarlo del *slew rate* negativo del segundo amplificador propuesto (polarización estática)

En la Tabla 4-23 se presenta el análisis de esquina, donde el máximo valor que toma el *slew rate* positivo es $1.639 \text{ V}/\mu\text{s}$ y el menor, $1.535 \text{ V}/\mu\text{s}$, en el caso del *slew rate* negativo se obtiene un valor máximo de $1.286 \text{ V}/\mu\text{s}$ y un valor mínimo de $1.118 \text{ V}/\mu\text{s}$.

Tabla 4-23. Análisis de esquina del *slew rate* del segundo amplificador propuesto (polarización estática)

| | SR+ [V/μs] | SR- [V/μs] |
|---------|------------|------------|
| Nominal | 1,606 | 1,244 |
| FF | 1,626 | 1,268 |
| SS | 1,579 | 1,196 |
| FS | 1,629 | 1,266 |
| SF | 1,572 | 1,215 |
| FFF | 1,639 | 1,286 |
| SSF | 1,535 | 1,118 |
| MIN | 1,535 | 1,118 |
| MAX | 1,639 | 1,286 |

Factor de rechazo a la fuente de alimentación (PSRR)

Las simulaciones muestran un PSRR positivo de 16.43 dB y un PSRR negativo de 46.52 dB en un comportamiento nominal, existiendo un desbalance elevado entre ambos casos.

La Figura 4-44 y Figura 4-45 muestran los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), del PSRR positivo y negativo, respectivamente.

Los valores medios obtenidos son PSRR+ = 16.405 dB y PSRR- = 46.459 dB, y una desviación estándar de (σ) de 0.585 dB y 0.993 dB, respectivamente.

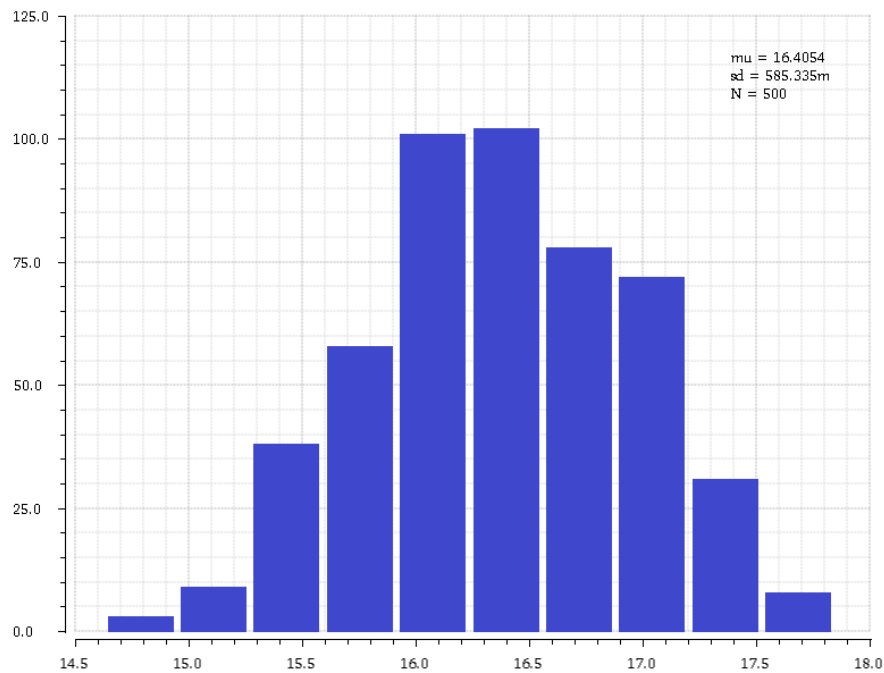


Figura 4-44. Análisis de MonteCarlo del PSRR positivo del segundo amplificador propuesto

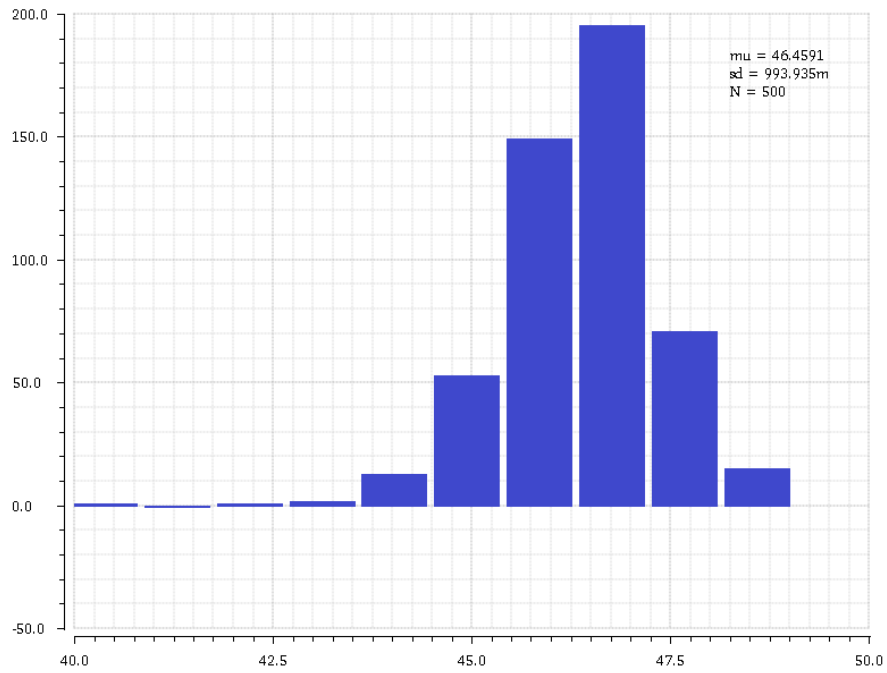


Figura 4-45. Análisis de MonteCarlo del PSRR negativo del segundo amplificador propuesto

4.3.1.2.3 Configuración en modo común

Factor de rechazo al modo común (CMRR)

El valor de CMRR se obtiene mediante la resta de la ganancia en modo diferencial (Figura 4-9) y en modo común (Figura 4-22), indicado en (4-16)

El valor nominal obtenido en DC es 14.28 dB. En la Figura 4-46 se observa que el valor se mantiene constante a diferentes valores de frecuencia.

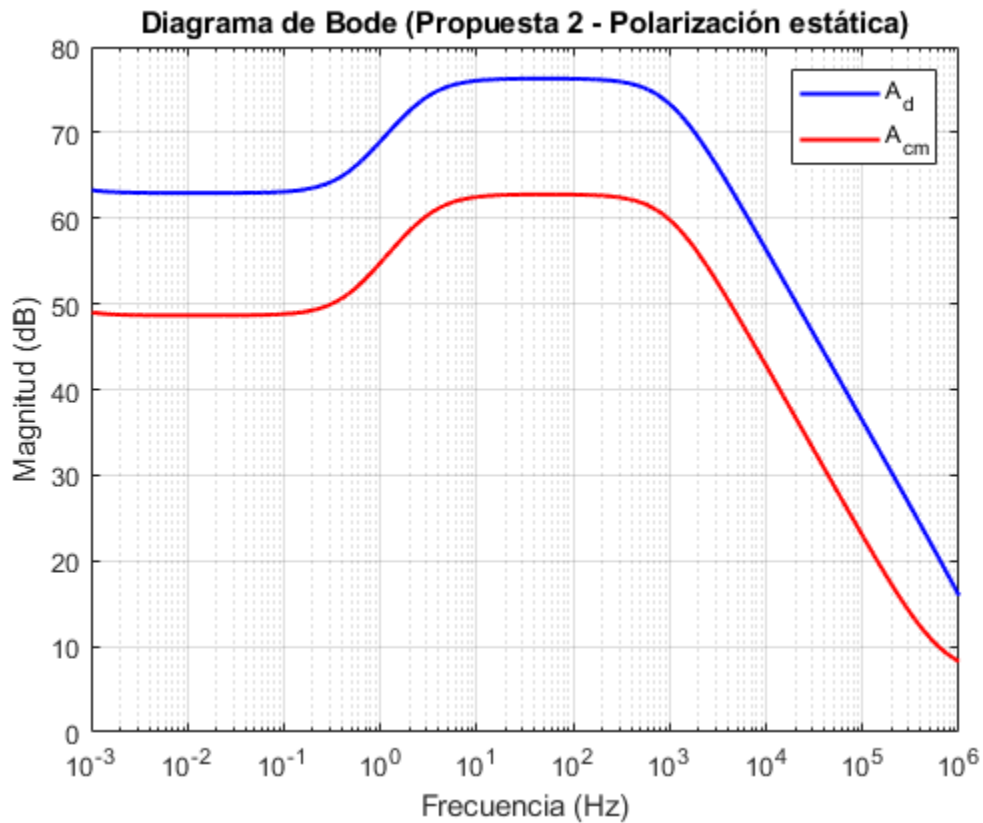


Figura 4-46. Diagrama de Bode de la ganancia diferencial y de modo común del segundo amplificador propuesto (polarización estática)

La Figura 4-47 muestra los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), obteniendo un valor medio de 14.517 dB y una desviación estándar de (σ) de 2.544 dB.

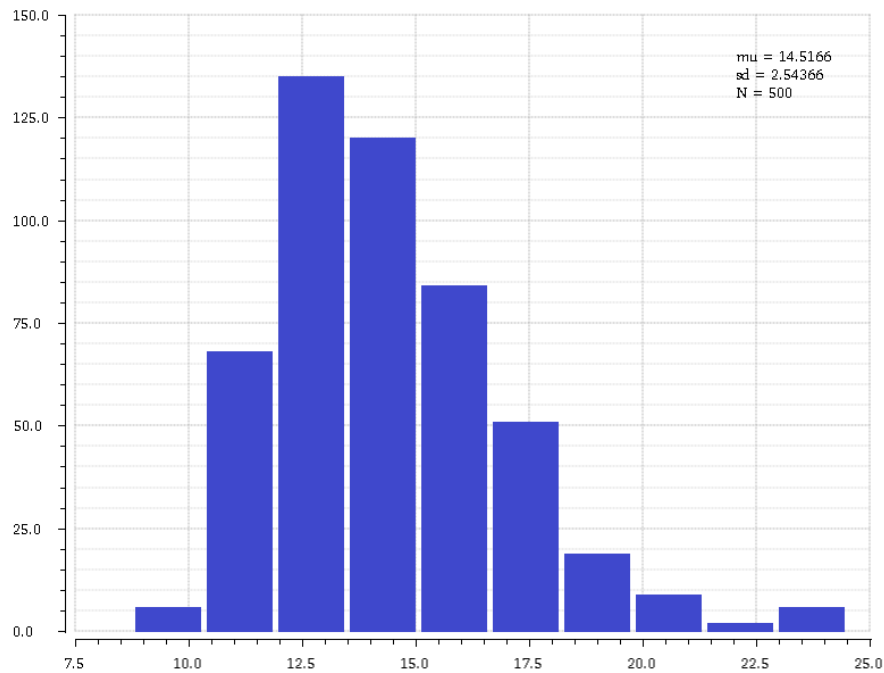


Figura 4-47. Análisis de MonteCarlo del CMRR del segundo amplificador propuesto (polarización estática)

4.3.1.2.4 Configuración en inversor

Distorsión armónica total (THD)

La configuración en inversor se muestra en la Figura 4-25. Con este circuito se calcula la distorsión armónica total (THD), se ha realizado una simulación con una entrada a 100 kHz y 400 mVpp, cuyo resultado ha sido THD = 0.1183 %. También se ha realizado una simulación con una entrada a 250 kHz y 400 mVpp, cuyo resultado ha sido THD = 0.172 %.

4.3.1.2.5 Resumen

En la Tabla 4-24 se presenta un resumen de los parámetros obtenidos, al final del apartado se comparan todos los circuitos propuestos junto con la comparación con el amplificador de partida. Destaca la disminución del consumo en un 15 % permitiendo una mejora del rendimiento global tanto en pequeña como en gran señal respecto al primer amplificador propuesto con polarización estática. El *offset* aumenta debido a que la polarización de la etapa de salida no se ha calculado óptimamente, se ha usado la polarización de la primera etapa para simplificar el diseño.

Tabla 4-24. Resumen de los parámetros obtenidos para el segundo amplificador propuesto (polarización estática)

| Parámetro | Valor |
|---|--------------------------|
| Supply voltage (VDD-VSS) [V] | 0,7 |
| Power dissipation [μ W] | 43,45 |
| Offset (maximum) [μ V] | 478,6 |
| ICMR [mV] | 550 (de 150 mV a 700 mV) |
| Max Input Current [nA] @ 20 °C | ~1 |
| Open-Loop Max Gain [dB] | 76,3 |
| UGBW [MHz] | 8,854 |
| Phase Margin [deg] | 51,52 |
| SR+ [V/ μ s]* | 1,606 |
| SR- [V/ μ s]* | 1,244 |
| CMRR @ DC [dB] | 14,28 |
| PSRR @ DC (+) [dB] | 16,43 |
| PSRR @ DC (-) [dB] | 46,52 |
| Input Ref. Noise @ 1 MHz [nV/ \sqrt Hz] | 58,486 |
| THD @ 100 kHz, 400 mVpp input [%]** | 0,118 |
| THD @ 250 kHz, 400 mVpp input [%]** | 0,172 |

* Configuración en seguidor de tensión

** Configuración en inversor

4.3.2 Polarización dinámica

De igual forma que en el amplificador anterior, esta solución adopta una polarización dinámica, donde la tensión de *bulk* del transistor M_R y M_6 está conectada a la tensión de entrada, de esta manera se mejoran ciertos parámetros, especialmente el *slew rate*. El circuito se presenta en la Figura 4-48.

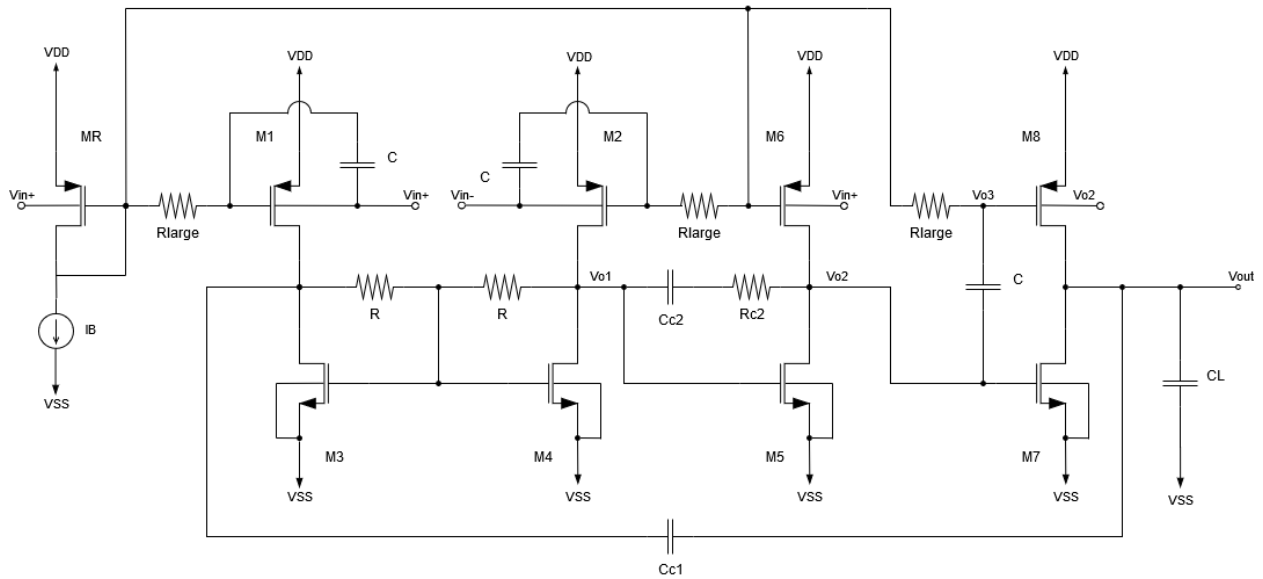


Figura 4-48. Segunda propuesta de amplificador con polarización dinámica

4.3.2.1 Resultado de las simulaciones

Las simulaciones presentadas en este apartado siguen las mismas condiciones que en el caso de polarización estática.

4.3.2.1.1 Configuración en lazo abierto

La simulación se realiza en el mismo circuito que el presentado en la Figura 4-9.

Respuesta en frecuencia

En la Figura 4-49 se presenta el diagrama de Bode nominal correspondiente al amplificador propuesto con polarización dinámica, en el cual la máxima ganancia es 76.31 dB, el margen de fase es 57.15 ° y el producto de ganancia por ancho de banda, 8.816 MHz. En el caso de polarización estática, la máxima ganancia es 76.3 dB, el margen de fase es 51.52 ° y el producto de ganancia por ancho de banda, 8.854 MHz.

Por tanto, la diferencia existente entre ambos es el aumento del margen de fase en el caso de polarización dinámica., esto se debe a que la diferencia entre ambos se presenta a elevadas frecuencias.

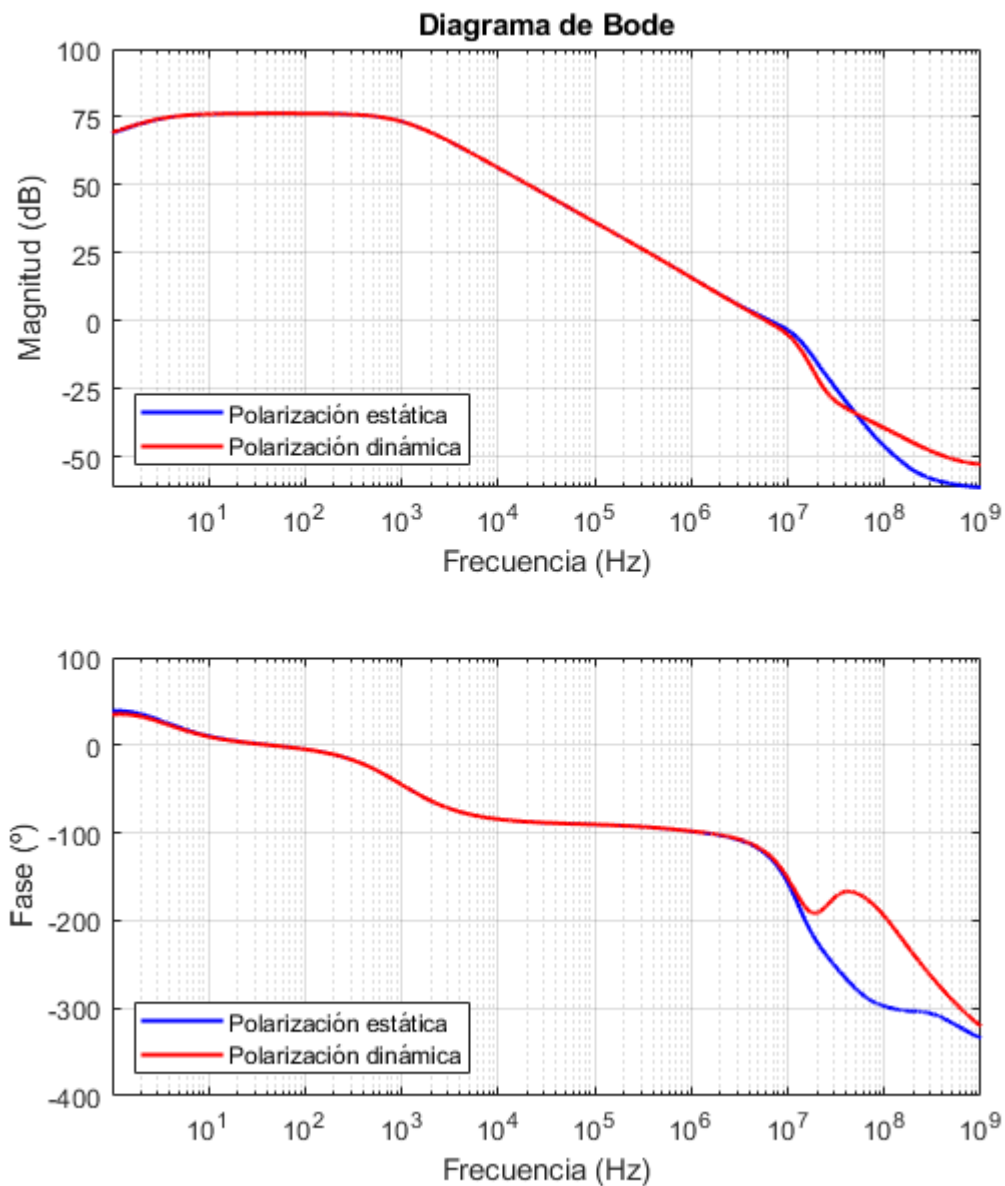


Figura 4-49. Diagrama de Bode nominal del segundo amplificador propuesto (comparación polarización estática y dinámica)

Máxima ganancia en lazo abierto

La Figura 4-50 muestra los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), obteniendo un valor medio de 76.265 dB y una desviación estándar de (σ) de 0.319 dB.

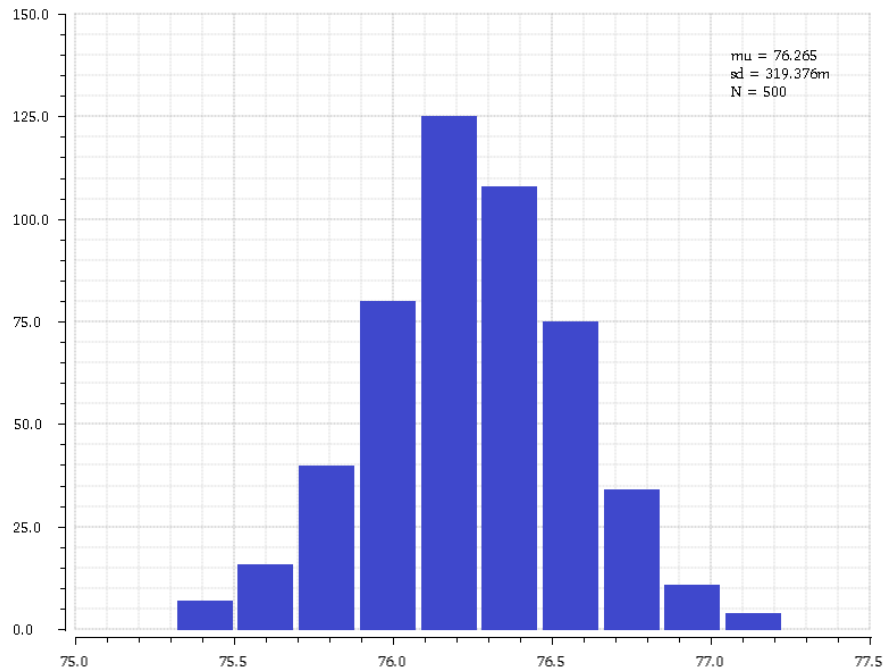


Figura 4-50. Análisis de MonteCarlo de la máxima ganancia en lazo abierto del segundo amplificador propuesto (polarización dinámica)

En la Tabla 4-25 se presenta el análisis de esquina, donde el valor nominal es 76.31 dB, el máximo valor que toma es 76.66 dB y el menor, 75.21 dB.

Tabla 4-25. Análisis de esquina de la máxima ganancia en lazo abierto del segundo amplificador propuesto (polarización dinámica)

| | Open-Loop Max Gain [dB] |
|---------|--------------------------------|
| Nominal | 76,31 |
| FF | 76,55 |
| SS | 75,81 |
| FS | 76,07 |
| SF | 76,37 |
| FFF | 76,66 |
| SSF | 75,21 |
| MIN | 75,21 |
| MAX | 76,66 |

Margen de fase

La Figura 4-51 muestra los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), obteniendo un valor medio de 57.14 ° y una desviación estándar de (σ) de 1.44 °. Estos resultados implican que si se asume la regla 3- σ , incluso en el peor de los casos el amplificador debería ser estable.

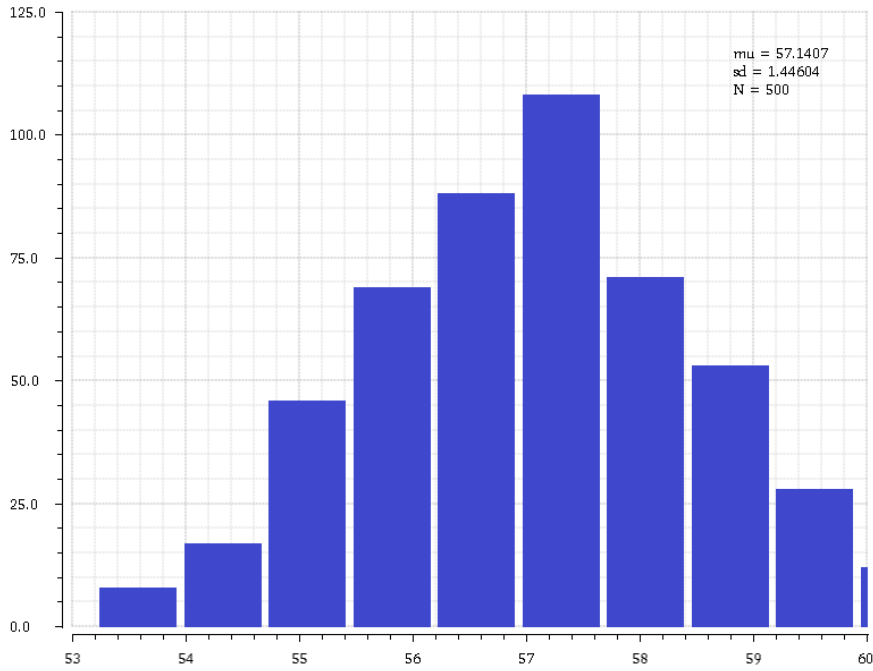


Figura 4-51. Análisis de MonteCarlo del margen de fase del segundo amplificador propuesto (polarización dinámica)

En la Tabla 4-26 se presenta el análisis de esquina, donde el valor nominal es 57.15 °, el máximo valor que toma es 62.2 ° y el menor, 52.6 °. Esto muestra que en el peor de los casos el circuito es estable.

Tabla 4-26. Análisis de esquina del margen de fase del segundo amplificador propuesto (polarización dinámica)

| | Phase Margin [deg] |
|---------|--------------------|
| Nominal | 57,15 |
| FF | 60,58 |
| SS | 54,23 |
| FS | 59,34 |
| SF | 55,13 |
| FFF | 62,2 |
| SSF | 52,6 |
| MIN | 52,6 |
| MAX | 62,2 |

Ancho de banda de ganancia unidad (UGBW)

La Figura 4-52 muestra los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), obteniendo un valor medio de 8.812 MHz y una desviación estándar de (σ) de 220.397 kHz.

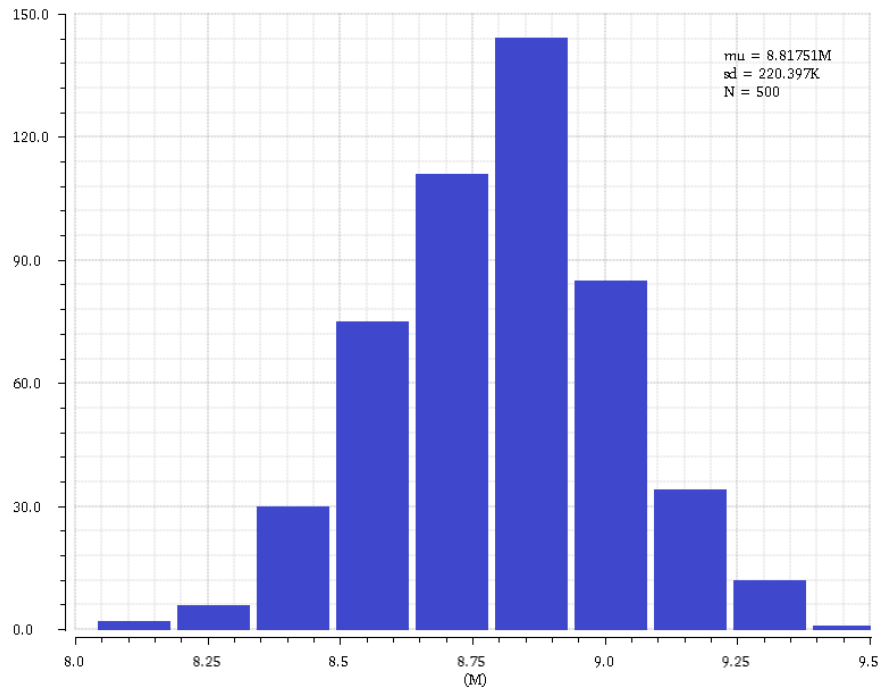


Figura 4-52. Análisis de MonteCarlo del ancho de banda de ganancia unidad (UGBW) del segundo amplificador propuesto (polarización dinámica)

En la Tabla 4-27 se presenta el análisis de esquina, donde el valor nominal es 8.816 MHz, el máximo valor que toma es 9.258 MHz y el menor, 8.327 MHz.

Tabla 4-27. Análisis de esquina del ancho de banda de ganancia unidad (UGBW) del segundo amplificador propuesto (polarización dinámica)

| | UGBW [MHz] |
|---------|------------|
| Nominal | 8,816 |
| FF | 9,097 |
| SS | 8,527 |
| FS | 8,75 |
| SF | 8,853 |
| FFF | 9,258 |
| SSF | 8,327 |
| MIN | 8,327 |
| MAX | 9,258 |

Offset

En la Tabla 4-28 se presenta el análisis de esquina del *offset* máximo, el cual se toma como la diferencia entre la tensión en el terminal positivo y el negativo, el valor nominal es 478.6 μ V, el máximo valor que toma es 245.4 μ V y el menor, 838.5 μ V.

Tabla 4-28. Análisis de esquina del *offset* máximo del segundo amplificador propuesto (polarización dinámica)

| | Offset (maximum) [μV] |
|---------|------------------------------------|
| Nominal | 478,6 |
| FF | 317,3 |
| SS | 674,2 |
| FS | 351,5 |
| SF | 658 |
| FFF | 245,4 |
| SSF | 838,5 |
| MIN | 245,4 |
| MAX | 838,5 |

4.3.2.1.2 Configuración en seguidor

Los circuitos para realizar las simulaciones son los presentados en la Figura 4-14 y la Figura 4-19.

Slew rate

En la Figura 4-53 se muestra la comparación entre la señal de entrada y las señales de salidas, en el caso de polarización estática y dinámica, la señal de salida en ambos casos no toma el valor de la entrada debido a que el valor de *slew rate* no es lo suficientemente elevado para que esto sea posible.

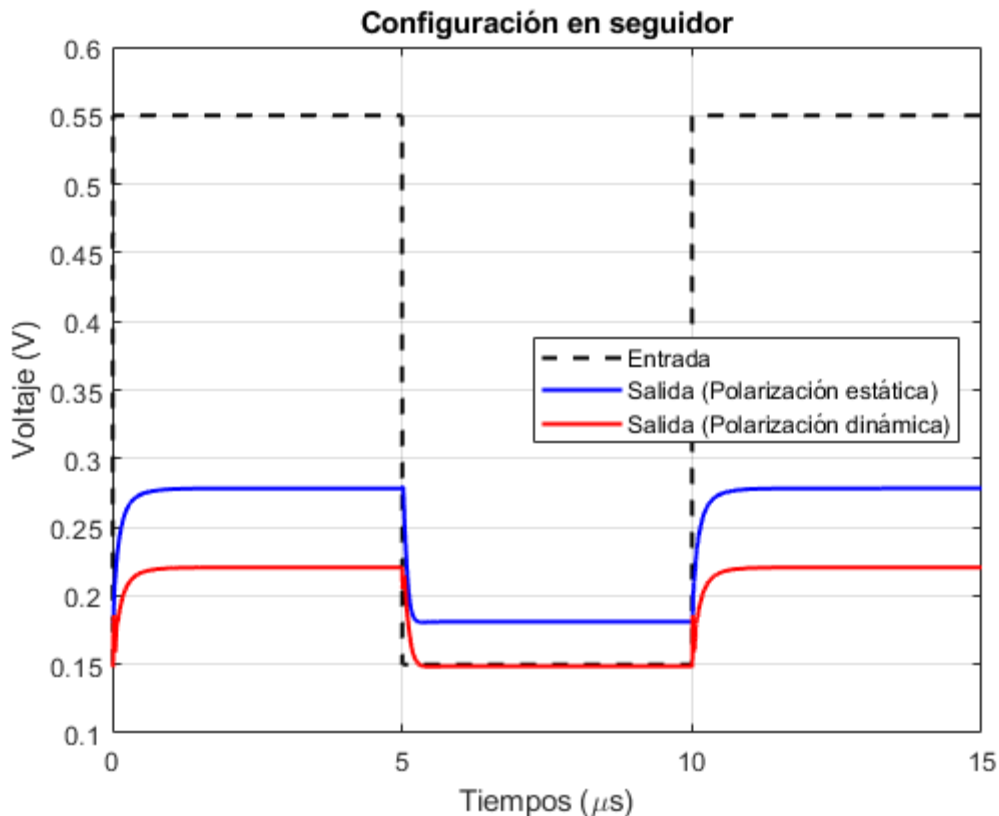


Figura 4-53. Respuesta temporal nominal del segundo amplificador propuesto (polarización estática y dinámica)

En este diseño, las simulaciones muestran un SR positivo de $4.584 \text{ V}/\mu\text{s}$ y un SR negativo de $2.792 \text{ V}/\mu\text{s}$ en un

comportamiento nominal, por tanto, mejora los valores obtenidos en el caso de polarización constante, SR positivo de 1.606 V/ μ s y SR negativo de 1.244 V/ μ s.

La Figura 4-54 y Figura 4-55 muestran los resultados del análisis de MonteCarlo (proceso y desajuste, 500 iteraciones), del *slew rate* positivo y negativo, respectivamente.

Los valores medios obtenidos son SR+ = 4.596 V/ μ s y SR- = 2.781 V/ μ s, y una desviación estándar de (σ) de 0.277 V/ μ s y 0.378 V/ μ s, respectivamente.

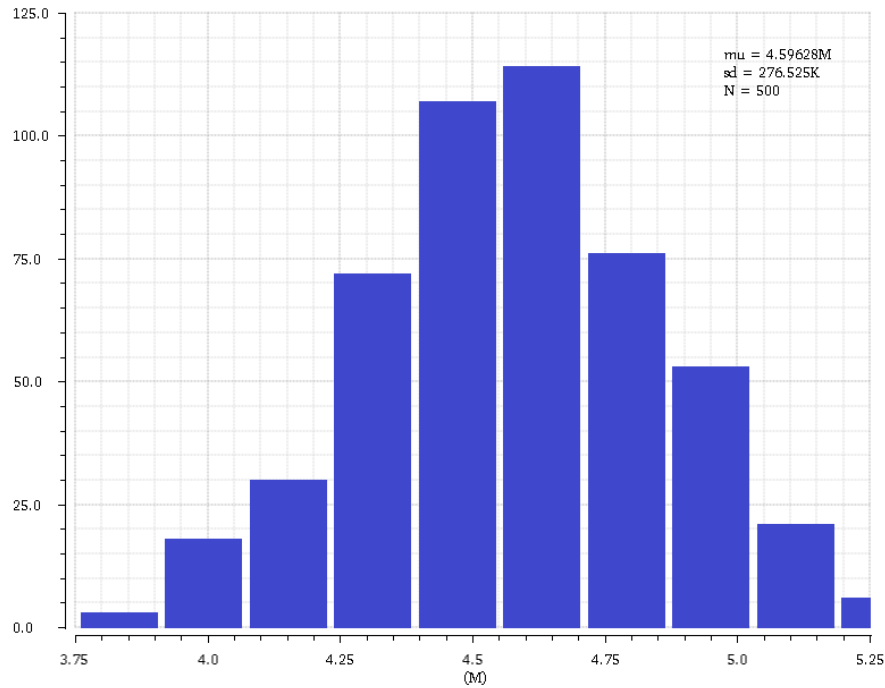


Figura 4-54. Análisis de MonteCarlo del *slew rate* positivo del segundo amplificador propuesto (polarización dinámica)

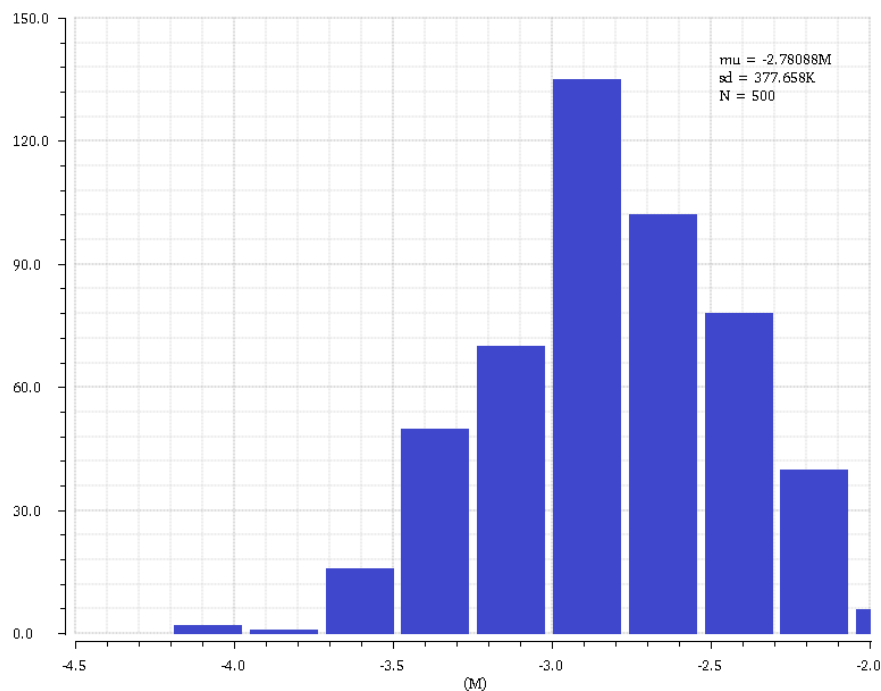


Figura 4-55. Análisis de MonteCarlo del *slew rate* negativo del segundo amplificador propuesto (polarización dinámica)

En la Tabla 4-29 se presenta el análisis de esquina, donde el máximo valor que toma el *slew rate* positivo es 5.483 V/ μ s y el menor, 3.768 V/ μ s, en el caso del *slew rate* negativo se obtiene un valor máximo de 4.521 V/ μ s y un valor mínimo de 1.595 V/ μ s.

Tabla 4-29. Análisis de esquina del *slew rate* del segundo amplificador propuesto (polarización dinámica)

| | SR+ [V/ μ s] | SR- [V/ μ s] |
|---------|------------------|------------------|
| Nominal | 4,584 | 2,792 |
| FF | 5,139 | 3,866 |
| SS | 4,071 | 1,995 |
| FS | 4,358 | 3,432 |
| SF | 4,798 | 2,204 |
| FFF | 5,483 | 4,521 |
| SSF | 3,768 | 1,595 |
| MIN | 3,768 | 1,595 |
| MAX | 5,483 | 4,521 |

Factor de rechazo a la fuente de alimentación (PSRR)

El PSRR en el caso de polarización dinámica toma los mismos valores que en el caso de polarización estática debido a que el terminal de entrada positivo del amplificador en ambos casos está conectado a la tensión de modo común, es decir, la señal de entrada no es introducida por el terminal de polarización.

Las simulaciones muestran un PSRR positivo de 16.43 dB y un PSRR negativo de 46.52 dB en un comportamiento nominal, existiendo un desbalance elevado entre ambos casos. El análisis de MonteCarlo se muestra en la Figura 4-44 y Figura 4-45.

4.3.2.1.3 Configuración en modo común

Factor de rechazo al modo común (CMRR)

El valor de CMRR se obtiene mediante la resta de la ganancia en modo diferencial (Figura 4-9) y en modo común (Figura 4-22), indicado en (4-16)

En polarización estática el valor no se mantiene constante en función de la frecuencia debido a que la ganancia de modo común no varía de igual forma que la ganancia diferencial, esto se muestra en la Figura 4-56. Los resultados obtenidos reflejan que el valor de CMRR en DC es 46.81 dB, sin embargo, a la frecuencia donde el amplificador presenta la mayor ganancia diferencial el valor es 13.53 dB, por tanto, disminuye el valor considerablemente.

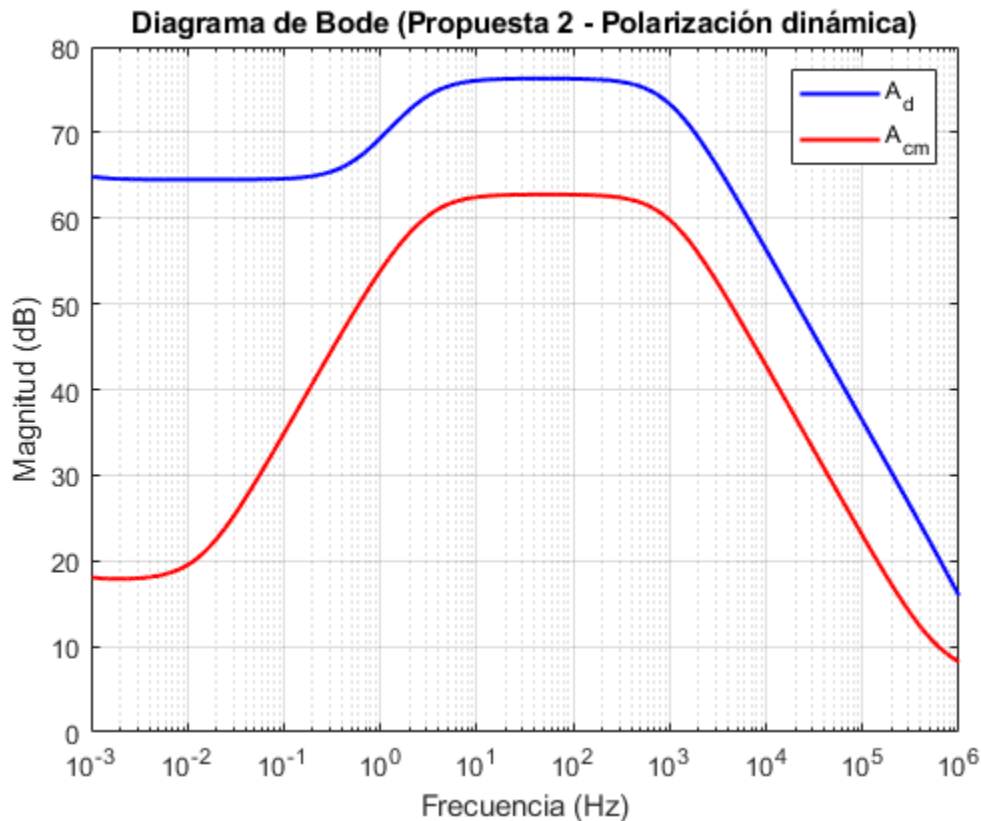


Figura 4-56. Diagrama de Bode de la ganancia diferencial y de modo común del segundo amplificador propuesto (polarización dinámica)

4.3.2.1.4 Configuración en inversor

Distorsión armónica total (THD)

La configuración en inversor se muestra en la Figura 4-25. Con este circuito se calcula la distorsión armónica total (THD), en el caso de polarización dinámica toma los mismos valores que en el caso de polarización estática debido a que el terminal de entrada positivo del amplificador en ambos casos está conectado a la tensión de modo común, es decir, la señal de entrada no es introducida por el terminal de polarización.

Los resultados obtenidos con una entrada a 100 kHz y 400 mVpp, son THD = 0.118 %. Se ha realizado una simulación con una entrada a 250 kHz y 400 mVpp, cuyo resultado ha sido THD = 0.172 %.

4.3.2.1.5 Resumen

En la Tabla 4-30 se presenta un resumen de los parámetros obtenidos en el caso de polarización estática y dinámica.

Tabla 4-30. Resumen de los parámetros obtenidos para el segundo amplificador propuesto (polarización estática y dinámica)

| Parámetro | Polarización estática | Polarización dinámica |
|---|--------------------------|--------------------------|
| Supply voltage (VDD-VSS) [V] | 0,7 | 0,7 |
| Power dissipation [μ W] | 43,45 | 43,45 |
| Offset (maximum) [μ V] | 478,6 | 478,6 |
| ICMR [mV] | 550 (de 150 mV a 700 mV) | 550 (de 150 mV a 700 mV) |
| Max Input Current [nA] @ 20 °C | ~1 | ~1 |
| Open-Loop Max Gain [dB] | 76,3 | 76,31 |
| UGBW [MHz] | 8,854 | 8,816 |
| Phase Margin [deg] | 51,52 | 57,15 |
| SR+ [V/ μ s]* | 1,606 | 4,584 |
| SR- [V/ μ s]* | 1,244 | 2,792 |
| CMRR @ DC [dB] | 14,28 | 46,81 |
| PSRR @ DC (+) [dB] | 16,43 | 16,43 |
| PSRR @ DC (-) [dB] | 46,52 | 46,52 |
| Input Ref. Noise @ 1 MHz [nV/ \sqrt Hz] | 58,486 | 58,606 |
| THD @ 100 kHz, 400 mVpp input [%]** | 0,118 | 0,118 |
| THD @ 250 kHz, 400 mVpp input [%]** | 0,172 | 0,172 |

* Configuración en seguidor de tensión

** Configuración en inversor

Ambos casos muestran valores muy similares salvo en el caso del *slew rate* y del CMRR, donde aumentan notablemente con polarización dinámica. Esto permite mejorar el comportamiento en gran señal mientras que el comportamiento en pequeña señal varía muy poco.

4.4 Resumen de todas las propuestas

Para evaluar el comportamiento global de los amplificadores se calculan las figuras tradicionales de mérito (FoM) [4], [5], [6] que se muestran en la ecuación (4-17).

$$F_oM_S = \frac{GBW \cdot C_L}{Power} \quad (4-17)$$

$$F_oM_L = \frac{SR \cdot C_L}{Power}$$

La FoM_S y la FoM_L permiten comparar el rendimiento de pequeña y gran señal, respectivamente. En ambos casos, valores más altos significan mejores rendimientos: en FOM_S (donde el subíndice S significa "pequeña señal") se prefiere un mayor ancho de banda de ganancia unitaria, UGBW, y capacidad de carga, C_L, a bajo consumo de energía, mientras que en FOM_L (donde el subíndice L significa "gran señal") se prefiere un mayor *slew rate*, SR, mayor C_L y bajo consumo de energía.

En la Tabla 4-31 se presenta una comparación entre todos los resúmenes aportados anteriormente, incluyendo las Figuras de Mérito. Se han añadido dos nuevas columnas que corresponden al amplificador de partida [3], en la primera de ellas se muestran los resultados obtenidos mediante simulación y en la segunda columna, las medidas realizadas en el laboratorio, cabe destacar que las medidas obtenidas fueron con una tecnología diferente a la usada en el diseño.

Para realizar una comparación correcta entre el amplificador de partida y las contribuciones se deben comparar los valores indicados en las medidas reales, dado que son los valores que se han tratado de mejorar.

Tabla 4-31. Resumen de los parámetros obtenidos en todas las propuestas junto al amplificador de partida

| Parámetro | Amplificador de partida (Polarización estática***) | | Propuesta 1 | | Propuesta 2 | |
|-------------------------------------|---|----------------|-----------------------|-----------------------|-----------------------|-----------------------|
| | Simulación | Medidas reales | Polarización estática | Polarización dinámica | Polarización estática | Polarización dinámica |
| Supply voltage (VDD-VSS) [V] | 0,7 | 0,7 | 0,7 | 0,7 | 0,7 | 0,7 |
| Power dissipation [μW] | 51,25 | 51,25 | 51,25 | 51,25 | 43,45 | 43,45 |
| Offset (maximum) [μV] | 26,4 | 23000 | 13,91 | 13,91 | 478,6 | 478,6 |
| ICMR [mV] | 550 | 550 | 550 | 550 | 550 | 550 |
| Max Input Current [nA] @ 20 °C | 1 | ~1 | ~1 | ~1 | ~1 | ~1 |
| Open-Loop Max Gain [dB] | 62,76 | 57,7 | 77,43 | 77,44 | 76,3 | 76,31 |
| UGBW [MHz] | 2,035 | 2,6 | 8,946 | 8,916 | 8,854 | 8,816 |
| Phase Margin [deg] | 70,16 | 50 | 53,11 | 58,13 | 51,52 | 57,15 |
| SR+ [V/μs]*/** | 2,357 | 4 | 1,082 | 1,457 | 1,606 | 4,584 |
| SR- [V/μs]*/** | 3,905 | 5,3 | 1,473 | 3,654 | 1,244 | 2,792 |
| CMRR @ DC [dB] | 14,27 | 14 | 14,28 | 69,26 | 14,28 | 46,81 |
| PSRR @ DC (+) [dB] | 61,55 | 43 | 16,65 | 16,65 | 16,43 | 16,43 |
| PSRR @ DC (-) [dB] | 72,16 | 47 | 59,31 | 59,31 | 46,52 | 46,52 |
| Input Ref. Noise @ 1 MHz [nV/√Hz] | 329,1 | ~100 | 58,43 | 58,53 | 58,486 | 58,606 |
| THD @ 100 kHz, 400 mVpp input [%]** | 0,54 | 0,9 | 0,11 | 0,11 | 0,118 | 0,118 |
| THD @ 250 kHz, 400 mVpp input [%]** | 1,21 | 1,6 | 0,1575 | 0,1575 | 0,172 | 0,172 |
| FoM_S [MHz·pF/mW] | 1310,34 | 1674,15 | 5760,35 | 5741,03 | 6724,56 | 6695,70 |
| FoM_L [V·pF/(μs·mW)] | 2016,06 | 2994,15 | 822,59 | 1645,49 | 1082,28 | 2801,01 |

* Configuración en seguidor de tensión

** Configuración en inversor

*** SR obtenido con polarización dinámica

5 CONCLUSIONES Y TRABAJO FUTURO

5.1 Conclusiones

La elaboración de este trabajo ha permitido concluir que la técnica *bulk driven* – puerta cuasi flotante (BD-QFG) permite diseñar circuitos con una etapa de entrada con un valor de tranconductancia igual a la suma de la tranconductancia obtenida por la puerta y la obtenida por el *bulk*, resultando ser más elevado que en cada una de las técnicas anteriores por separado. Esta técnica permite el diseño de circuitos de baja tensión, por tanto, es una técnica útil para el diseño de circuitos de bajo consumo.

En adición a la información anterior, la técnica BD-QFG da lugar a circuitos con un elevado ancho de banda de ganancia unidad (UGBW).

Los amplificadores propuestos mejoran la figura de mérito de pequeña señal (FoM_S) del amplificador de partida siendo 3,4 veces mayor en el caso de la propuesta con menor FoM_S y 4 veces mayor en el caso de la propuesta con mayor FoM_S.

Por otro lado, la figura de mérito de gran señal (FoM_L) no es mejorada en ninguna de las propuestas, sin embargo, el valor obtenido en la segunda propuesta con polarización dinámica es similar al amplificador de partida.

Se añade una comparación de las figuras de mérito, FoM_S y FoM_L, de los amplificadores propuestos con los amplificadores indicados en el estado del arte de [3], Figura 5-1, Figura 5-2 y Figura 5-3.

La Figura 5-3 muestra una mayor mejora en pequeña señal que en gran señal de los amplificadores propuestos en este trabajo.

La polarización dinámica permite un aumento del *slew rate* manteniendo un rendimiento global similar, por tanto, es una buena solución para el diseño de circuitos.

La etapa de salida diseñada en la segunda propuesta permite un consumo menor, aumentando así las figuras de mérito, que la diseñada en la primera propuesta.

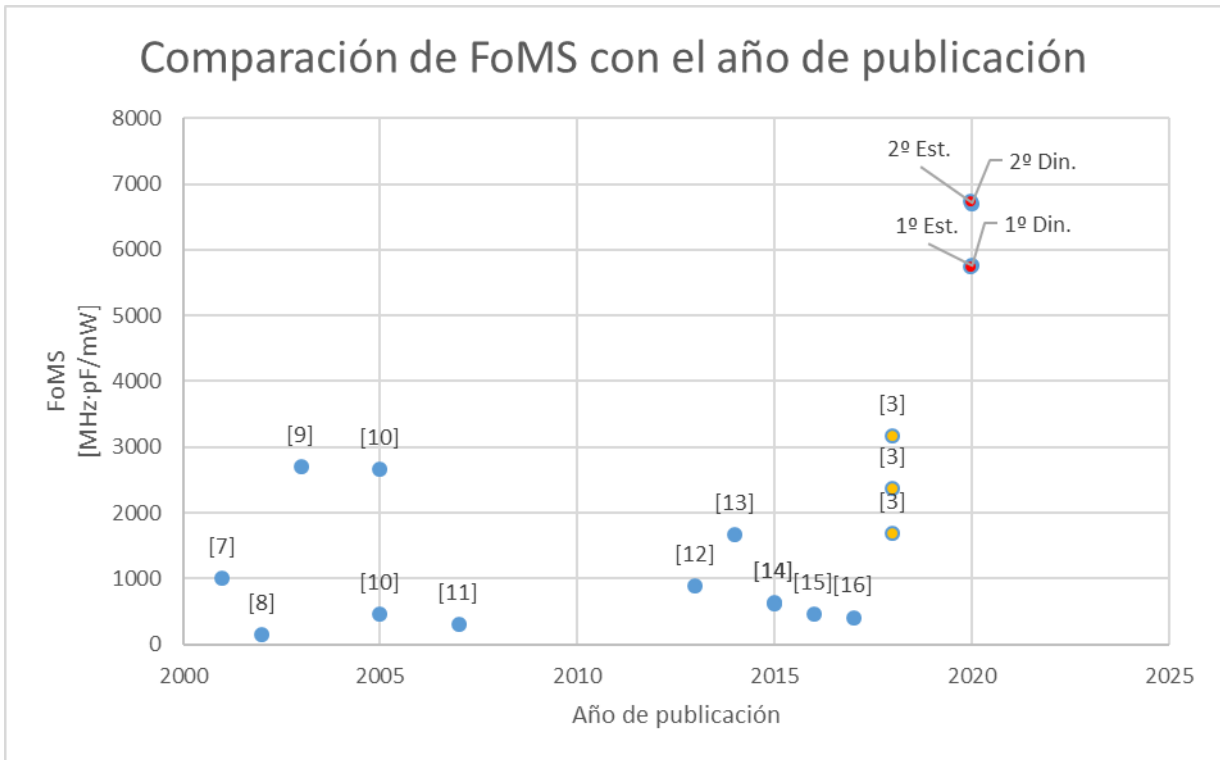


Figura 5-1. Comparación de figuras de méritos de pequeña señal (FoMS) respecto al año de publicación de los amplificadores sub-1V añadiendo las contribuciones

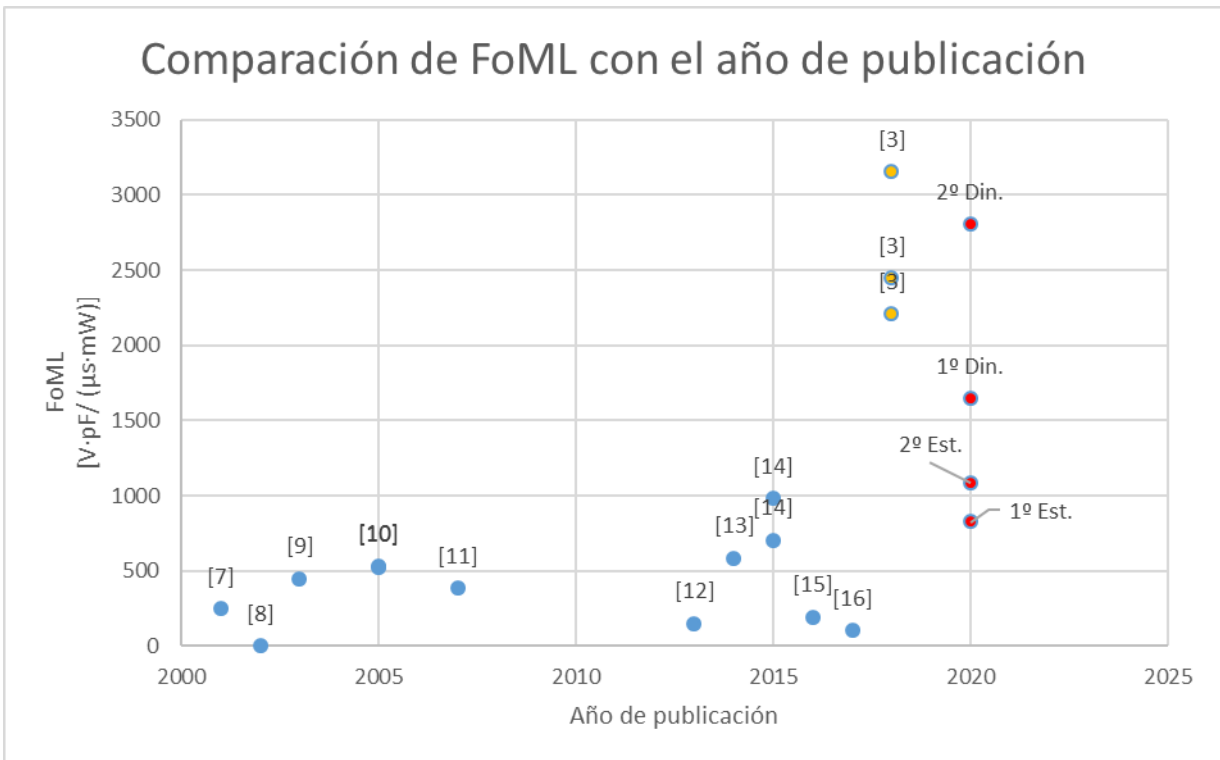


Figura 5-2. Comparación de figuras de méritos de gran señal (FoML) respecto al año de publicación de los amplificadores sub-1V añadiendo las contribuciones

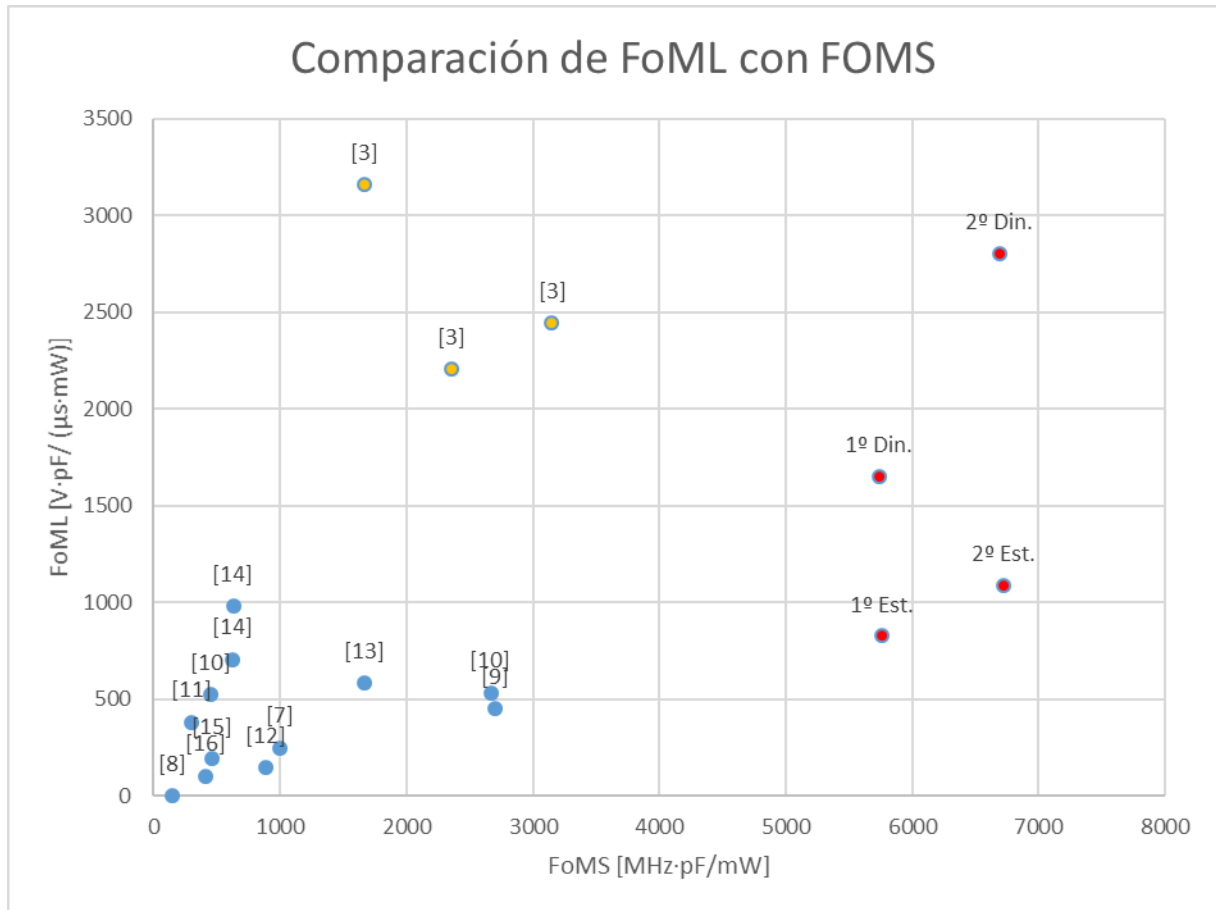


Figura 5-3. Comparación de figuras de méritos de gran señal (FoML) respecto las figuras de méritos de pequeña señal (FoMs)

5.2 Trabajo futuro

Se propone como trabajo futuro una mejora de la etapa de entrada con la técnica BD-QFG que permita reducir el consumo a la vez que se aumenta el rendimiento global, además, es necesaria una nueva compensación en frecuencia del circuito, por tanto, se deberá calcular de nuevo los valores de resistencias y condensadores.

Además, se propone la mejora del valor del CMRR y PSRR, el problema de ambos se debe a la variación de corriente del par diferencial de la primera etapa formado por los transistores M3 y M4, Figura 4-6 y Figura 4-35. Una posible solución sería el diseño de un circuito que controlara dicha corriente, consiguiendo que este sea constante e independiente de las variaciones del modo común de la entrada, para el CMRR, y de las variaciones de la alimentación, PSRR

Por otro lado, se propone la fabricación de los amplificadores propuestos en una tecnología disponible para fabricar y así, analizar los resultados experimentales.

REFERENCIAS

- [1] C. Lujan-Martinez, A. Torralba, R. Carvajal, J. Ramirez-Angulo, U. Alvarado y J. Pino, «Combining bulk-driven and RC-coupling for ultra-low voltage analog design,» de *XVIII Conference on the Design of Circuits and Integrated Systems*, Donostia - San Sebastián (España), 2013.
- [2] J. M. Carrillo, G. Torelli, R. Perez-Aloe y J. F. Duque-Carrillo, «1-V rail-to-rail bulk-driven CMOS OTA with enhanced gain and gain-bandwidth product,» *Proceedings of the 2005 European Conference on Circuit Theory and Design*, vol. 1, pp. 261-264, 2005.
- [3] E. Cabrera, «Performance enhancement in the desing of amplifier and amplifier-less circuits in modern CMOS technologies,» Tesis Doctoral Inédita, Universidad de Sevilla, Sevilla, 2018.
- [4] X. Peng y W. Sansen, «AC boosting compensation scheme for low-power multistage amplifiers,» *IEEE Journal of Solid-State Circuits*, vol. 39, nº 11, pp. 2074-2079, 2004.
- [5] X. Peng y W. Sansen, «Transconductance with capacitances feedback compensation for multistage amplifiers,» *IEEE Journal of Solid-State Circuits*, vol. 40, nº 7, pp. 1514-1520, 2005.
- [6] A. Grasso, G. Palumbo y S. Pennisi, «Advances in Reversed Nested Miller Compensation,» *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 54, pp. 1459 - 1470, 2007.
- [7] T. Lehmann y M. Cassia, «1-V power supply CMOS cascode amplifier,» *IEEE Journal of Solid-State Circuits*, vol. 36, nº 7, pp. 1082-1086, 2001.
- [8] T. Stockstad y H. Yoshizawa, «A 0.9-V 0.5- μ A rail-to-rail CMOS operational amplifier,» *IEEE Journal of Solid-State Circuits*, vol. 37, pp. 286 - 292, 2002.
- [9] L. Yao, M. Steyaert y W. Sansen, «A 0.8-V, 8- μ W, CMOS OTA with 50-dB gain and 1.2-MHz GBW in 18-pF load,» *ESSCIRC 2004 - 29th European Solid-State Circuits Conference (IEEE Cat. No.03EX705)*, pp. 297 - 300, 2003.
- [10] S. Chatterjee, Y. Tsvividis y P. Kinget, «0.5-V analog circuit techniques and their application in OTA and filter design,» *IEEE Journal of Solid-State Circuits*, vol. 40, nº 12, pp. 2373-2387, 2005.
- [11] L. H. C. Ferreira, T. Pimenta y R. Moreno, «An Ultra-Low-Voltage Ultra-Low-Power CMOS Miller OTA With Rail-to-Rail Input/Output Swing,» *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 54, pp. 843-847, 2007.
- [12] L. Zuo y S. K. Islam, «Low-Voltage Bulk-Driven Operational Amplifier With Improved Transconductance,» *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, nº 8, pp. 2084-2091, 2013.
- [13] L. H. C. Ferreira y S. Sonkusale, «A 60-dB Gain OTA Operating at 0.25-V Power Supply in 130-nm Digital CMOS Process,» *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 61, pp. 1609-1617, 2014.

-
- [14] O. Abdelfattah, G. W. Roberts, I. Shih y Y. Shih, «An Ultra-Low-Voltage CMOS Process-Insensitive Self-Biased OTA With Rail-to-Rail Input Range,» *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, n° 10, pp. 2380-2390, 2015.
- [15] N. Tang, W. Hong, J. Kim, Y. Yang y D. Heo, «A Sub-1-V Bulk-Driven Opamp With an Effective Transconductance-Stabilizing Technique,» *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 62, n° 11, pp. 1018-1022, 2015.
- [16] A. D. Grasso, S. Pennisi, G. Scotti y A. Trifiletti, «0.9-V Class-AB Miller OTA in 0.35- μ m CMOS With Threshold-Lowered Non-Tailed Differential Pair,» *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 64, n° 7, pp. 1740-1747, 2017.
- [17] O. Demiryurek y A. B. Yildiz, «Modified nodal analysis formulation of operational transconductance amplifier,» *Proceedings of Papers 5th European Conference on Circuits and Systems for Communications (ECCSC'10)*, pp. 173-176, 2010.