

Trabajo Fin de Grado
Grado en Ingeniería de las Tecnologías de
Telecomunicación

Diseño de nuevas técnicas de calibración dinámica
para fuentes de corriente

Autor: Ana Rodríguez Martín

Tutor: Enrique López Morillo
Clara Isabel Luján Martínez

Dep. Ingeniería Electrónica
Escuela Técnica Superior de Ingeniería
Universidad de Sevilla

Sevilla, 2018



Trabajo Fin de Grado
Grado en Ingeniería de las Tecnologías de Telecomunicación

Diseño de nuevas técnicas de calibración dinámica para fuentes de corriente

Autor:
Ana Rodríguez Martín

Tutor:
Enrique López Morillo
Clara Isabel Luján Martínez

Dep. de Ingeniería Electrónica
Escuela Técnica Superior de Ingeniería
Universidad de Sevilla
Sevilla, 2018

Trabajo Fin de Grado: Diseño de nuevas técnicas de calibración dinámica para fuentes de corriente

Autor: Ana Rodríguez Martín
Tutor: Enrique López Morillo
Clara Isabel Luján Martínez

El tribunal nombrado para juzgar el Proyecto arriba indicado, compuesto por los siguientes miembros:

Presidente:

Vocales:

Secretario:

Acuerdan otorgarle la calificación de:

Sevilla, 2018

El Secretario del Tribunal

A mi familia
A mis amigos
A mis maestros

Agradecimientos

Dicen que todo principio tiene su fin, más espero que este sólo sea una continuación. Un punto y seguido a mi formación tanto educativa como personal.

En primer lugar, en mayúsculas y en negrita, gracias a vosotros, **MAMÁ y PAPÁ**, por estar ahí desde el primer segundo, abrazando cada paso de este trayecto, que a veces parecía interminable. Brindándome vuestro apoyo en todo momento, recordándome que esto no era nada para mí cuando yo lo olvidaba y celebrando mis logros más que yo misma.

En segundo lugar, gracias a mi segunda familia, esa que se ha subido al tren durante esta etapa. A ti, Baldo, porque las carreras no son de obstáculos si hay gente cómo tú en ellas. A ti, Manuel, por todas esas horas en las que las risas estaban por encima de los agobios. A ti, Fran, por ser mi mano derecha en el extranjero, y lo más importante, por seguir siéndola. A vosotras, Ana y Mónica, por esa convivencia que aún no sabemos cómo funciona, pero vaya que si lo hace.

No podría olvidarme de mis tutores, Enrique y Clara, quienes me han orientado y ayudado haciendo que estas líneas fuesen posibles. Gracias por vuestras horas de tutorías y consejos, de las que me llevo la mejor de las aportaciones.

A mis pilares, Delia, mi amiga y hermana, y a Guillermo, mi compañero de vida. Gracias por saber qué decir en cada momento y conocer mis capacidades mejor que yo.

Por último, y por ello más importante, gracias a ella, la que esté donde esté sé que me mirará siempre orgullosa.

Ana Rodríguez Martín
Sevilla – Jerez de la Frontera, 2018

Resumen

Este proyecto aborda el estudio de dos esquemas de calibración dinámica para fuentes de corriente de alta precisión. Estos serán comparados con el esquema convencional, destacando las mejoras que se consiguen gracias a las nuevas técnicas de calibración en la puerta de los transistores cascodos. Además de este tipo de calibración, uno de los esquemas propuestos usará realimentación con un amplificador auxiliar, lo que ayudará a conseguir una precisión aún mayor. Posteriormente, dichos esquemas serán probados en una tecnología CMOS de 65nm y se verificará su correcto funcionamiento.

Abstract

This project approaches the study of two simple schemes for dynamic calibration of current sources with high accuracy. These will be compared with the conventional scheme, highlighting the improvements that are achieved thanks to the new calibration techniques at the gate of the cascode transistors. In addition to this type of calibration, one of the proposed schemes will use feedback with an auxiliary amplifier, which will help even more to achieve high accuracy. Later on, these schemes will be tested in a 65nm CMOS technology and their correct operation is going to be verified.

Índice

Agradecimientos	ix
Resumen	xi
Abstract	xiii
Índice	xv
Índice de Tablas	xvii
Índice de Figuras	xix
1 Introducción	1
1.1 <i>Antecedentes</i>	1
1.2 <i>Estado del arte</i>	4
1.3 <i>Objetivos y alcance</i>	7
1.4 <i>Organización del documento</i>	7
2 Técnicas de calibración para fuentes de corriente	9
3 Diseño de las nuevas técnicas de calibración para fuentes de corriente	13
3.1 <i>Esquema de calibración con cascodo</i>	14
3.2 <i>Esquema de calibración con cascodo activo</i>	15
3.3 <i>Diseño de componentes de los circuitos</i>	17
3.3.1 Switch	17
3.3.2 Amplificador operacional	20
3.3.3 Circuito de polarización	23
4 Comparación de los resultados	25
4.1 <i>Simulaciones teniendo en cuenta solo el efecto de inyección de carga</i>	25
4.2 <i>Simulaciones del circuito teniendo en cuenta todos los errores</i>	38

5 Conclusiones y trabajo futuro	51
Referencias	53
Glosario	55

Índice de Tablas

<i>Tabla 1 Tamaño de los transistores de los esquemas de calibración</i>	13
<i>Tabla 2 Tamaño de los transistores del switch</i>	19
<i>Tabla 3 Tamaño de los transistores del amplificador</i>	21
<i>Tabla 4 Tamaño de los transistores del circuito de polarización</i>	24
<i>Tabla 5 Esquinas FEOL</i>	27
<i>Tabla 6 Análisis FEOL de V_{DS} teniendo en cuenta sólo inyección de carga</i>	30
<i>Tabla 7 Análisis FEOL de I teniendo en cuenta sólo inyección de carga</i>	33
<i>Tabla 8 Variación de la intensidad de salida respecto a la de referencia teniendo en cuenta solo inyección de carga</i>	37
<i>Tabla 9 Análisis FEOL de V_{DS} en el circuito real</i>	42
<i>Tabla 10 Análisis FEOL de I en el circuito real</i>	45
<i>Tabla 11 Variación de la intensidad de salida respecto a la de referencia en el circuito real</i>	49

Índice de Figuras

<i>Figura 1 Principio de calibración de una fuente de corriente</i>	<i>3</i>
<i>Figura 2 Estructura general de un Current-Steering DAC.....</i>	<i>4</i>
<i>Figura 3 Principio de funcionamiento de la copia dinámica de corriente.....</i>	<i>6</i>
<i>Figura 4 Esquemático del circuito convencional.....</i>	<i>9</i>
<i>Figura 5 Fases de reloj no solapadas ϕ_{cal} y ϕ_{conv}.....</i>	<i>10</i>
<i>Figura 6 Esquemático del circuito de calibración con cascodo.....</i>	<i>14</i>
<i>Figura 7 Esquemático del circuito de calibración con cascodo activo.....</i>	<i>15</i>
<i>Figura 8 Fases ϕ_{cal} y ϕ_{calade}</i>	<i>16</i>
<i>Figura 9 Esquemático de prueba de la estabilidad del circuito con cascodo activo.....</i>	<i>17</i>
<i>Figura 10 Fases de reloj no solapadas ϕ_{cal} y ϕ_{conv}.....</i>	<i>18</i>
<i>Figura 11 Fases ϕ_{cal} y ϕ_{calade}</i>	<i>18</i>
<i>Figura 12 Modelo del switch en conducción.....</i>	<i>19</i>
<i>Figura 13 Análisis AC del comportamiento del switch</i>	<i>20</i>
<i>Figura 14 Esquemático del amplificador.....</i>	<i>20</i>
<i>Figura 15 Respuesta en frecuencia del esquema con cascodo activo mediante análisis AC</i>	<i>22</i>
<i>Figura 16 Análisis de Monte Carlo del margen de fase del esquema con cascodo activo.....</i>	<i>23</i>
<i>Figura 17 Esquemático del circuito de polarización.....</i>	<i>23</i>
<i>Figura 18 Fases de reloj no solapadas ϕ_{cal} (V_{cal}) y ϕ_{conv} (V_{conv}).....</i>	<i>26</i>
<i>Figura 19 Análisis transitorio de la tensión en el drenador del esquema convencional, con cascodo y con cascodo activo</i>	<i>26</i>
<i>Figura 20 Análisis de esquinas FEOL de la tensión en el drenador del esquema convencional a) varios ciclos b) detalle del análisis</i>	<i>27</i>
<i>Figura 21 Análisis de esquinas FEOL de la tensión en el drenador del esquema con cascodo a) varios ciclos b) detalle del análisis.....</i>	<i>28</i>
<i>Figura 22 Análisis de esquinas FEOL de la tensión en el drenador del esquema con cascodo activo a) varios ciclos b) detalle del análisis</i>	<i>29</i>
<i>Figura 23 Análisis de desviación de $V_{DS\ cal} - V_{DS\ conv}$ teniendo en cuenta solo inyección de carga</i>	<i>30</i>
<i>Figura 24 Análisis transitorio de la corriente en el drenador del esquema convencional, con cascodo y con cascodo activo a) varios ciclos b) detalle del análisis.....</i>	<i>31</i>
<i>Figura 25 Análisis de esquinas FEOL de la corriente en el drenador del esquema convencional.....</i>	<i>32</i>
<i>Figura 26 Análisis de esquinas FEOL de la corriente en el drenador del esquema con cascodo</i>	<i>32</i>
<i>Figura 27 Análisis de esquinas FEOL de la corriente en el drenador del esquema con cascodo activo</i>	<i>33</i>
<i>Figura 28 Análisis de desviación de $I_{cal} - I_{conv}$ teniendo en cuenta solo inyección de carga.....</i>	<i>34</i>
<i>Figura 29 Variación de la intensidad de salida respecto a la de referencia ($\Delta I/I_{ref}$) en tanto por ciento (%) teniendo en cuenta solo el efecto de inyección de carga a) todos los esquemas b) esquemas con menor error.....</i>	<i>35</i>

<i>Figura 30 Variación de la intensidad de salida respecto a la de referencia ($\Delta I/I_{ref}$) en tanto por ciento (%) teniendo en cuenta solo el efecto de inyección de carga con un 10% de mismatch geométrico</i>	36
<i>Figura 31 Variación de la intensidad de salida respecto a la de referencia ($\Delta I/I_{ref}$) en tanto por ciento (%) teniendo en cuenta solo el efecto de inyección de carga con un 5% de mismatch en V_{th}</i>	36
<i>Figura 32 Análisis transitorio de la tensión en el drenador de los esquemas reales: convencional, con cascodo y con cascodo activo</i>	38
<i>Figura 33 Análisis de esquinas FEOL de la tensión en el drenador del esquema convencional a) varios ciclos b) detalle del análisis</i>	39
<i>Figura 34 Análisis de esquinas FEOL de la tensión en el drenador del esquema con cascodo a) varios ciclos b) detalle del análisis</i>	40
<i>Figura 35 Análisis de esquinas FEOL de la tensión en el drenador del esquema con cascodo activo a) varios ciclos b) detalle del análisis</i>	41
<i>Figura 36 Análisis de desviación de $V_{DS\ cal} - V_{DS\ conv}$ en el circuito real</i>	42
<i>Figura 37 Análisis transitorio de la corriente en el drenador para los esquemas: convencional, con cascodo y con cascodo activo a) varios ciclos b) detalle del análisis</i>	43
<i>Figura 38 Análisis de esquinas FEOL de la corriente en el drenador del esquema convencional</i>	44
<i>Figura 39 Análisis de esquinas FEOL de la corriente en el drenador del esquema con cascodo</i>	44
<i>Figura 40 Análisis de esquinas FEOL de la corriente en el drenador del esquema con cascodo activo</i>	45
<i>Figura 41 Análisis de desviación de $I_{cal} - I_{conv}$ en el circuito real</i>	46
<i>Figura 42 Variación de la intensidad de salida respecto a la de referencia ($\Delta I/I_{ref}$) en tanto por ciento (%) en el circuito real a) todos los esquemas b) esquemas con menor error</i>	47
<i>Figura 43 Variación de la intensidad de salida respecto a la de referencia ($\Delta I/I_{ref}$) en tanto por ciento (%) en el circuito real con un 10% de mismatch geométrico</i>	48
<i>Figura 44 Variación de la intensidad de salida respecto a la de referencia ($\Delta I/I_{ref}$) en tanto por ciento (%) en el circuito real con un 5% de mismatch en V_{th}</i>	48

1 INTRODUCCIÓN

1.1 Antecedentes

Actualmente nos encontramos en la evolución de la sociedad de la información a la sociedad del conocimiento. La primera implica la creación, distribución, y uso de la información mientras que la segunda supone el procesamiento y la transmisión de esta para actuar como factor decisivo en la vida de las personas. En dicha evolución, las TICs, tecnologías de la información y la comunicación, tiene un papel esencial ya que actuarán como tecnología facilitadora. Por tanto, el desarrollo de dispositivos de bajo consumo y altas prestaciones será uno de los principales retos de diseñadores electrónicos. [1]

Tal y como dijo Kofi Annan “Las TIC no son ninguna panacea ni fórmula mágica, pero pueden mejorar la vida de todos los habitantes del planeta” [2].

En los dispositivos de bajo consumo y altas prestaciones es fundamental el uso de convertidores de digital a analógico, DACs, del inglés digital to analog converters. Estos transforman una señal discreta en el tiempo, cuya amplitud está cuantificada y codificada mediante un código binario de N bits (señal digital), en otra señal, continua en el tiempo (señal analógica) [3]. La relevancia de su utilización se demuestra en numerosas aplicaciones:

- Control: La salida digital de un microprocesador puede convertirse en una señal de control analógica para ajustar la velocidad de un motor. Otro ejemplo de esta aplicación lo encontramos en fábricas industriales, estas requieren multitud de fuentes de voltaje programables. Un DAC permite el cambio dinámico de voltaje durante la operación de un sistema, por lo que para este caso se usará un banco de DACs multiplexados.
- Codificador de videos: El objetivo de un sistema de codificación de video consiste en producir señales analógicas de video en varios formatos. Para ello se procesa una señal de video y se envían señales digitales a un conjunto de DACs, optimizando así la salida.

- Control digital de la amplitud: Un DAC multiplicativo se puede utilizar para ajustar digitalmente la amplitud de una señal analógica. Este genera una salida que es el producto de un voltaje de referencia y la entrada binaria. Si dicho voltaje es una señal que varía con el tiempo, la salida del DAC seguirá esta señal, pero con una amplitud determinada por el código de entrada binario. Una utilización normal de esta aplicación es el “control de volumen” digital, donde la salida de un circuito o computadora digital puede ajustar la amplitud de una señal de audio. [4]
- Telecomunicaciones: En este campo es indispensable el uso de DACs que permitan la generación de señales de alta frecuencia y banda ancha con un bajo ruido de fondo y alta pureza espectral. Mantener un ruido de fase bajo es necesario en sistemas de comunicaciones multicanal, en los que la interferencia de un canal a otro supone una limitación. Con DACs de altas prestaciones se consigue un aumento en la eficiencia de transferencia de datos del sistema. [5]

Es importante no olvidar el uso de los DACs en varios tipos de ADCs como parte de su estructura interna, por ejemplo, el Sigma Delta, utilizado en aplicaciones como las comunicaciones, la adaptación de señal para sensores, etc. [6], o el ADC de aproximaciones sucesivas, SAR, del inglés successive approximation register, usado en la adquisición de datos de alta velocidad, el control de bucle cerrado, imágenes infrarrojas y médicas, etc.

La necesidad de diseños de DACs de bajo consumo y altas prestaciones es innegable debido a la variedad de utilidades que aportan y que hay que proveer.

Igual que hay multitud de aplicaciones, también existen diferentes tipos de DACs para llevarlas a cabo, entre los más usados se encuentran el R-2R DAC, el Multiplying DAC y el Current-Steering DAC.

- Un convertidor digital analógico R-2R (R-2R DAC) suma varias señales digitales binarias de acuerdo con el peso de cada una, dando como resultado una señal de corriente o tensión analógica. Se llama R-2R por la forma de escalera que tiene el circuito y por los valores que toman las resistencias R y 2R. Las entradas al ser binarias sólo pueden tomar dos valores: "1" y "0", que serán V_{ref} y tierra respectivamente. El convertidor no permite invertir la señal de salida, pero si modificar la ganancia, esto se realiza usando un solo amplificador operacional [3].
- En el tipo de conversión de digital a analógica de un Multiplying DAC se produce la salida a partir de una corriente (o tensión) de referencia y el código digital de entrada. Se utiliza el código digital de entrada (el valor de la muestra) para seleccionar un conjunto de fuentes de corriente que se agregan para construir la salida. La corriente de salida se puede utilizar tal cual o bien convertir en una tensión mediante un amplificador operacional [7].
- Los Current-Steering DAC representan el código de entrada digital mediante la suma de las correspondientes corrientes unitarias. A causa de que la mayor parte del procesamiento de la señal analógica aún tiene lugar en el dominio del voltaje, la corriente de salida del DAC casi siempre se convierte en un voltaje de salida. Si en la etapa de salida el circuito proporciona la conversión I-V esta debe ser vista como una parte íntegra del DAC, ya que sus propiedades también influyen en el comportamiento de las fuentes de corriente.

En este último, las resistencias de salida de las fuentes de corriente conectadas al mismo nodo de salida forman un divisor de corriente con la resistencia de carga. Debido al número de fuentes de corriente conmutadas a la salida positiva o negativa, dependiendo en el código digital de entrada,

este divisor de corriente se vuelve dependiente del código y distorsiona la salida característica del convertidor.

En su arquitectura, el matching de las fuentes de corriente que lo constituyen determinan su linealidad estática. En la mayoría de los casos, los efectos sistemáticos que les surgen de mismatch pueden ser reducidos eficientemente mediante decisiones apropiadas en el diseño del layout.

El objetivo de estos dispositivos consiste en proporcionar con altas prestaciones la conversión de una señal digital a una señal analógica, es decir, a alta velocidad y con elevada precisión teniendo un consumo de energía moderado. La mejora de la precisión de los Current-Steering DAC se puede conseguir con diferentes técnicas que se desarrollarán en el siguiente apartado, entre ellas la calibración de fuentes de corriente, cuyo funcionamiento se puede ver en la Figura 1. Esta consiste en, mediante los ajustes adecuados al DAC, minimizar la diferencia entre la corriente de salida del DAC bajo calibración y la corriente de referencia. Estos ajustes deben ser almacenados para un correcto funcionamiento. [3]

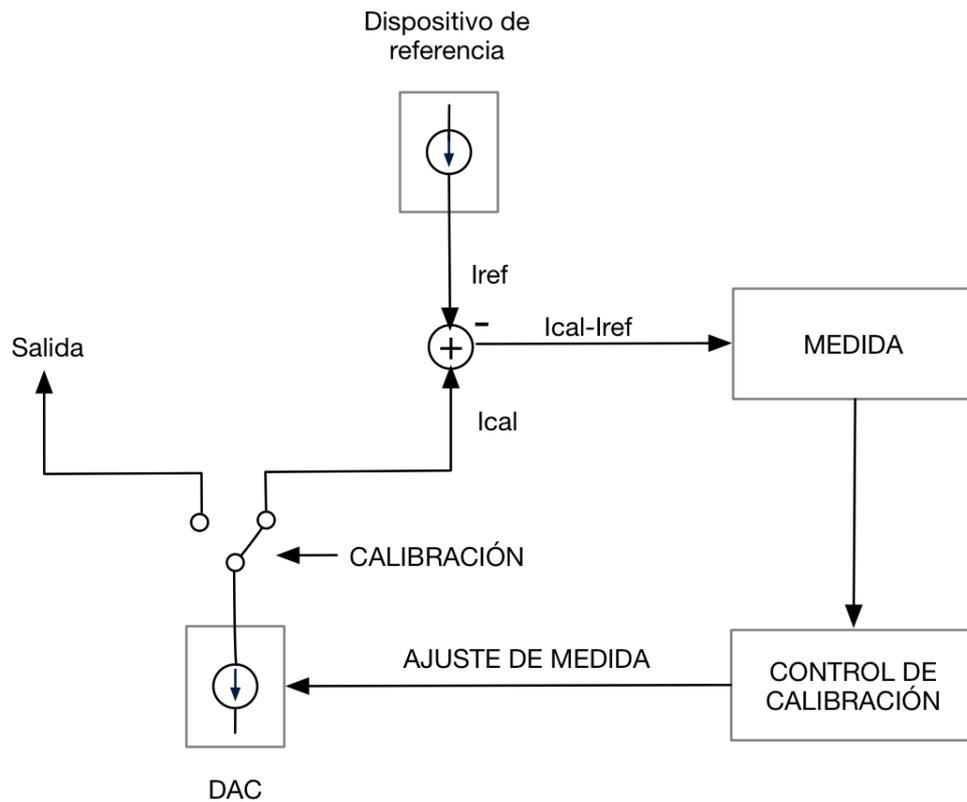


Figura 1 Principio de calibración de una fuente de corriente

1.2 Estado del arte

La tecnología y las metodologías de diseño de los Current-Steering DACs han avanzado significativamente en las dos últimas décadas, encontrándonos actualmente ante un aumento importante tanto de su resolución como de su velocidad. Esta última es una de razones principales de su uso. Podemos ver la implementación de un Current-Steering DAC en la siguiente figura.

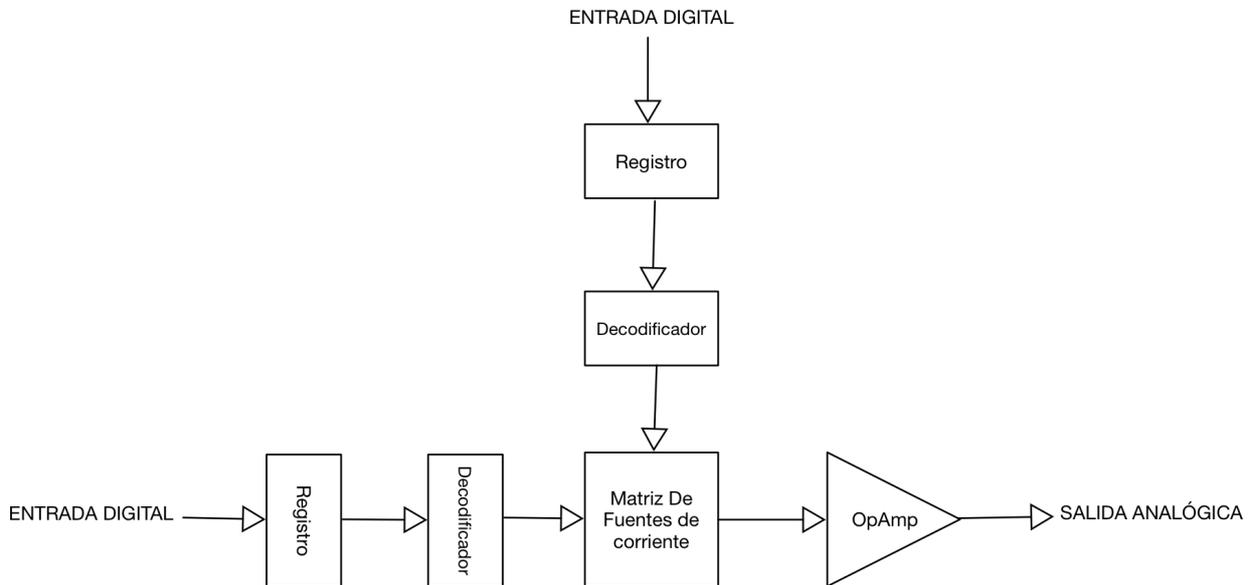


Figura 2 Estructura general de un Current-Steering DAC

Hoy en día, la mayor área de investigación de los Current-Steering DACs trata de mantener la máxima precisión posible en las fuentes de corriente, hay que tener en cuenta que pueden aparecer variaciones debidas a cambios en el proceso y en la temperatura [8]. Para conseguirla se han propuesto varias técnicas de calibración con bajos costes de área. En un principio podemos distinguir entre dos tipos: el de ajuste de fábrica y la auto-calibración.

Por un lado, encontramos los convertidores de datos que pueden ser calibrados al final del proceso de fabricación para alcanzar una mayor precisión, este es el caso en el que el equipo de control de medida y calibración se encuentra generalmente fuera del chip.

Dentro de esta tipología están los que usan trimming por láser de resistores de película fina [9] [10] [11]. Si la presión del encapsulado se puede sostener adecuadamente, este método nos ofrece la mayor precisión posible.

Una propuesta diferente es el “Zener-zapping”. En un Current-Steering DAC pequeñas correcciones de corriente pueden añadirse a las fuentes de corriente cortocircuitando los correspondientes diodos Zener [12]. Una gran ventaja de este método es que no necesita un proceso especial, y puede ser realizado tras el encapsulado, siempre que haya al menos un pin extra para aplicar el “zapping”. Comparado al trimming por láser, este método no es solo más barato, es también menos preciso.

Otro ejemplo de OTP (del inglés one-time programmable) switches son los fusibles de metal [13] y los poliméricos [14]. Estos son usados principalmente para ajustar la referencia del DAC y así conseguir una ganancia muy precisa del transmisor [15].

En general el ajuste de fábrica es más caro y normalmente requiere procesos tecnológicos especiales. Por lo tanto, este método se usa para bloques autónomos que requieren mayor

exactitud. Si se necesitan convertidores de alta precisión en transceptores digitales baratos, normalmente, se implementa la auto-calibración.

La auto-calibración permite a un sistema electrónico ajustar de forma autónoma su rendimiento, sin depender de recursos externos. Específicamente el módulo debe contener una referencia, el equipamiento de medida, así como todo el control lógico de calibración. El valor de cada elemento del DAC, comparado con el elemento de referencia, debe ser ajustado con un cierto rango para corregir el mismatch. En contraste al ajuste de fábrica, la auto-calibración puede ser desarrollada repetidamente. Usualmente no requiere ni opciones de procesos tecnológicos especiales ni un equipamiento extra de ajuste durante la producción o el test, lo que hace este método muy atractivo para convertidores integrados de datos usados en sistemas de señal mixta. Dentro de esta encontramos dos tipos de funcionamiento, la calibración foreground y la calibración background.

La calibración foreground ajusta todos los DACs antes de que el convertidor pueda ser usado para síntesis de la señal. Esto significa que la calibración y el procesamiento de datos son dos modos de operación diferentes. Su característica principal es que el convertidor no puede ser usado para procesamiento de datos durante la fase de calibración. A pesar de que la mayoría de las aplicaciones permiten una calibración de arranque durante la puesta en marcha del sistema, una recalibración de los convertidores de datos durante una operación por lo general no es posible en transceptores digitales.

Dentro de esta tipología encontramos los DAC de calibración global. En ella, para determinar el ajuste exacto para cada código de entrada, los niveles de salida del DAC principal pueden ser medidos durante la calibración con una mayor precisión que la resolución final [16].

La calibración background ajusta el DAC durante una operación normal sin interrumpir el procesamiento de datos. El control lógico de calibración debe garantizar que el convertidor permanezca transparente al procesamiento de la señal, aunque los DAC cambien periódicamente entre el modo normal y el de calibración. La ventaja principal de la calibración background es que cambios relativamente lentos en las condiciones ambientales pueden ser monitorizados. Una desventaja es que dicha calibración intercambia periódicamente los DACs durante una operación normal. Esto puede llevar a que se generen tonos falsos y aparezcan en la frecuencia inherente al ciclo de calibración.

Un ejemplo de calibración background es la fuente de corriente flotante ajustable “Trimmable Floating Current Source”, esta permite calibrar el DAC en segundo plano, mientras que al mismo tiempo la celda de corriente es usada para síntesis de la señal en primer plano [17], [18].

Por último, otro ejemplo de este tipo de calibración es el método estudiado en el proyecto, el cual está basado en el principio de la copia dinámica de corriente [19] [20]. Este se utiliza para la construcción de espejos de corrientes muy precisos que son independientes de la estrategia de matching. En principio, el elemento ajustado es un transistor controlado por un voltaje almacenado en un condensador. Este voltaje es fijado al valor correcto durante la calibración de la fuente de corriente unitaria con una corriente de referencia en un bucle de realimentación negativo. Sin embargo, debido a las fugas, entre otros errores que mencionaremos a continuación, la información de calibración en la capacidad de almacenamiento se pierde gradualmente y el DAC calibrado dinámicamente requiere un reajuste periódico. Por esta razón, la calibración dinámica de corriente sólo puede ser usada para una calibración background de un Current-Steering DAC.

El principio de la calibración dinámica de corriente se muestra en la siguiente figura.

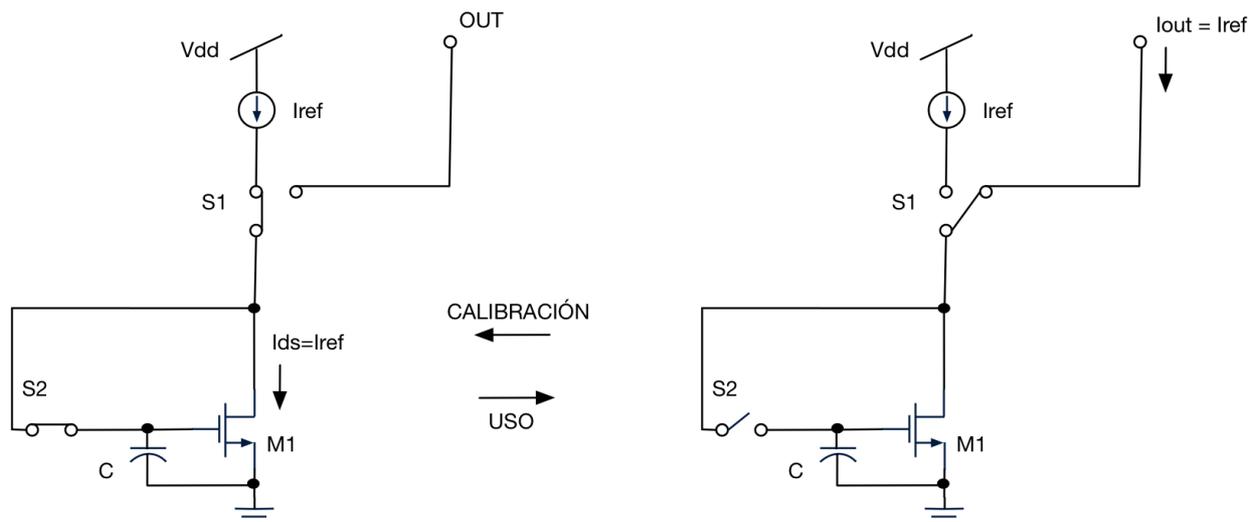


Figura 3 Principio de funcionamiento de la copia dinámica de corriente

Durante la calibración, el switch S2 conecta el drenador y la puerta del transistor M1 y el switch S1 conecta la corriente de referencia I_{ref} al nodo del drenador de M1. Debido a que M1 está en conexión diodo, su corriente en el drenador es igual a I_{ref} y el correspondiente voltaje V_{GS} (puerta-fuente) aparece en la capacidad C.

Tras haber fijado V_{GS} , S2 y S1 pueden abrirse, de esta forma la corriente del drenador de M1 cambia al nodo de salida. Ahora M1 es una fuente de corriente que proporciona una copia exacta de la corriente I_{ref} , por ejemplo, para servir como fuente de corriente en un convertidor digital-analógico. Como el algoritmo de calibración procede, I_{ref} se usa posteriormente para calibrar todas las fuentes de corriente unitarias y así conseguir DACs con alta precisión.

La información analógica ajustada es almacenada en la capacidad C conectada entre la puerta y la fuente de M1. En el caso más simple, C estará implementada por la capacidad C_{GS} de M1 [3].

En este sistema se deben tener en cuenta los efectos del esquema real y sus limitaciones. En primer lugar, el error por inyección de carga al abrirse el interruptor S2 [21]. La carga Q, inyectada en C al finalizar de la calibración, cambia el V_{GS} y la corriente I_{DS} de M1 introduciendo un error inicial en la corriente de salida de cada DAC calibrado, tal y como muestra la expresión [22]:

$$\Delta V_{GS} = \frac{Q}{C} \rightarrow \Delta I_{DS} = gm \frac{Q}{C}$$

En segundo lugar, tras la fase calibración, al abrir S1 y cambiar el switch al sistema de salida, por lo general, la tensión en el drenador de M1 es distinta. Esto produce un error en la corriente I_{out} a través de dos mecanismos, resistencia de salida finita y acoplamiento capacitivo entre el nodo de salida y el nodo de calibración. Esto se analizará en detalle en el siguiente capítulo mediante el estudio del esquema convencional de calibración para fuentes de corriente.

1.3 Objetivos y alcance

El objetivo de este trabajo es la evaluación de dos nuevos esquemas, cuya finalidad es la calibración con alta precisión de fuentes de corriente, y su comparativa con el convencional.

Este último lleva a cabo la calibración de la fuente de corriente en la puerta del transistor que actúa como fuente de corriente, mientras que los nuevos diseños la realizan en la puerta del transistor cascode. Los circuitos evaluados son el esquema de calibración con cascode y el esquema de calibración con cascode activo, el cual usa realimentación con un amplificador auxiliar.

Todo el diseño y sus correspondientes simulaciones se realizarán en una tecnología CMOS estándar de 65nm

1.4 Organización del documento

En este documento se expondrá el estudio del funcionamiento de los esquemas presentados.

En una primera parte, se realizará un análisis de cada uno de los esquemas, el esquema convencional, el de calibración de cascode y el de calibración con cascode activo.

En segundo lugar, se expondrán las decisiones tomadas en el diseño de los dos últimos, detallando el comportamiento de cada uno de los circuitos. También se explicarán las decisiones de diseño tanto del switch y como en el amplificador auxiliar, sin olvidar el circuito de polarización.

La tercera parte, será la comprobación de la funcionalidad, comparando los resultados de los esquemas diseñados. Estos resultados se dividirán en dos, por una parte, se tendrá en cuenta sólo la inyección de carga, aislando el acople capacitivo, y por otra, no se hará diferencia entre los errores y se probará el circuito real.

En cuarto lugar, se expondrán las conclusiones obtenidas y se propondrán varias tareas a modo de trabajo futuro.

2 TÉCNICAS DE CALIBRACIÓN PARA FUENTES DE CORRIENTE

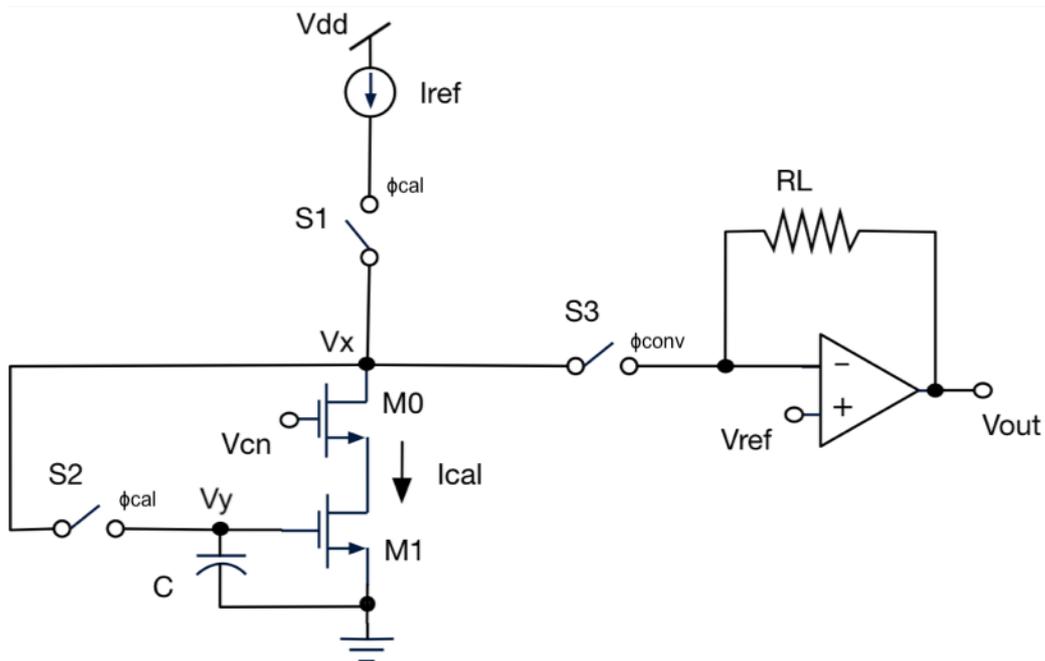


Figura 4 Esquemático del circuito convencional

El esquema convencional, mostrado anteriormente en la figura 4, es el esquema básico de una fuente de corriente calibrada. Este está compuesto por una fuente de corriente I_{ref} , que será la corriente patrón y que usará como referencia para calibrar, dos transistores $M0$ y $M1$ que implementan la fuente de corriente a calibrar y el amplificador de transimpedancia que convierte la corriente a tensión.

Durante la fase de calibración ϕ_{cal} , S1 y S2 se cierran mientras que S3 se abre, de esa forma M1 estará conectado en conexión diodo haciendo que la corriente de calibración I_{ref} fluya a través de M1 y fijando el valor de V_{GS1} . Durante la fase de uso ϕ_{conv} , los switches S1 y S2 se abren y S3 se cierra haciendo que, idealmente, la tensión V_{GS1} se mantenga y, por tanto, se genere una corriente calibrada I_{cal} igual a I_{ref} durante la fase de conversión. En la siguiente figura se aprecia el funcionamiento de las fases no solapadas ϕ_{cal} y ϕ_{conv} , llamadas V_{cal} y V_{conv} , respectivamente, con las que funcionan los switches:

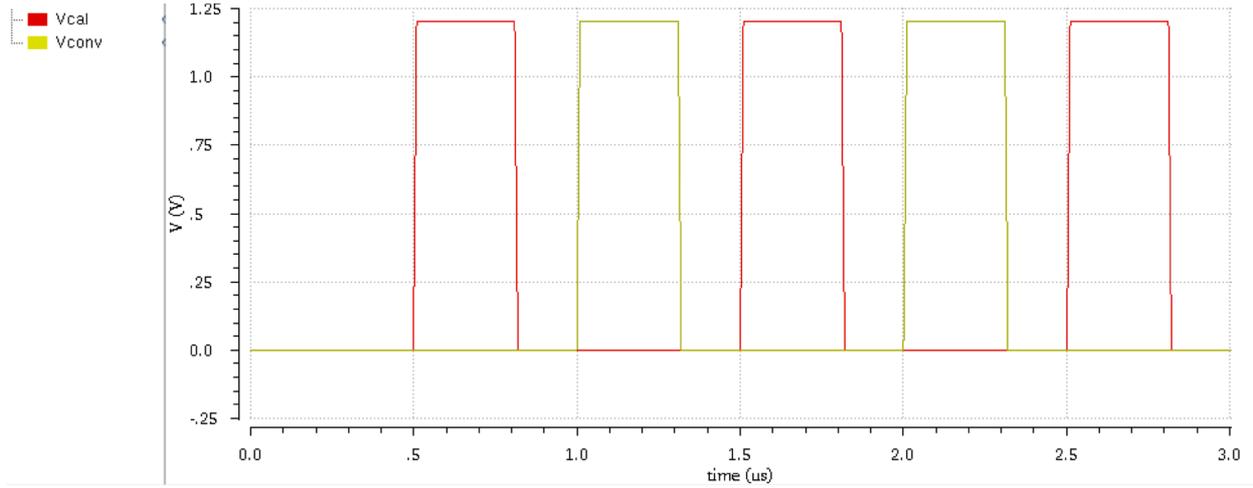


Figura 5 Fases de reloj no solapadas ϕ_{cal} y ϕ_{conv}

En la práctica, la corriente I_{cal} tiene un error ΔI_{cal} debido a la variación que se produce en la tensión de puerta-fuente del transistor M1, ΔV_{GS1} . Esta variación es debida, por un lado, a la inyección de carga producida por el switch S2 (Q_{ci}) y por otro, por la diferencia en el voltaje del drenador de M0 (ΔV_x) entre las fases de conversión y calibración. Este cambio en V_x es transferido al drenador de M1, atenuado por la ganancia del cascode M0, lo que produce un cambio en el voltaje drenador-fuente V_{DS1} ($\Delta V_{DS1} = \frac{\Delta V_x}{g_{m0}r_{o0}}$). Esta variación de tensión ΔV_{DS1} provocará un error en I_{cal} a través de dos mecanismos: por el acoplamiento capacitivo, causado por la capacidad C, entre el drenador y la puerta de M1 y, por el factor de modulación de la longitud del canal ($1 + \lambda V_{DS1}$). En las expresiones anteriores, g_{m0} y r_{o0} son la transconductancia y la resistencia de salida de M0 respectivamente, mientras que λ es el parámetro de modulación de la longitud del canal para una determinada tecnología.

La corriente generada por M1 durante la fase de conversión puede ser expresada como:

$$I_{cal}^{convencional} = I_{ref} \left(1 + \frac{\Delta I_{cal}}{I_{ref}} \right)$$

Donde el error de calibración $\frac{\Delta I_{cal}}{I_{ref}}$ es dado por:

$$\frac{\Delta I_{cal}}{I_{ref}}^{convencional} = \frac{2\Delta V_y}{V_{GS1} - V_T} + \frac{\lambda \Delta V_x}{g_{m0}r_{o0}}; \Delta V_y = \frac{Q_{ci}}{C}$$

Este error puede ser relativamente grande cuando trabajamos en subumbral y para tecnologías nanométricas donde el parámetro de modulación de la longitud de canal puede ser grande.

Para tratar de disminuir el error de corriente, como posibles alternativas al esquema convencional, se proponen el esquema de calibración con cascodo y el esquema de calibración con cascodo activo. Estos se explicarán en detalle en el siguiente capítulo

3 DISEÑO DE LAS NUEVAS TÉCNICAS DE CALIBRACIÓN PARA FUENTES DE CORRIENTE

En este apartado se va a describir en detalle el procedimiento de diseño y el funcionamiento de cada uno de los elementos que componen los esquemas de calibración propuestos. Para tratar de disminuir el error debido a la inyección de carga y al acoplamiento capacitivo se encuentran el esquema de calibración con cascodo y el esquema de calibración con cascodo activo. Este último, además, ayudará a reducir el error causado por ΔV_x , la variación en el voltaje del drenador de M0 entre las fases de uso y de calibración.

En ambos esquemas se utilizarán transistores cascodeados, dos tipo NMOS y otros dos tipo PMOS que formarán la fuente de corriente. Los valores de $V_{dd} = 1.2V$, $V_{th}=0.5V$ y $L_{min}=60nm$ estarán fijados por la tecnología, mientras que V_{ref} , V_{eff} , L , I_{ref} y el tamaño de los transistores se establecerán según la viabilidad de la técnica.

- $V_{ref} = 600mV$, igual a $\frac{V_{dd}}{2}$.
- $V_{eff} = 0.1 V$, para garantizar un estado de inversión fuerte sin penalizar el rango de tensión (esta V_{eff} no se llega a alcanzar en el diseño del amplificador del esquema con cascodo activo, pero sí una $V_{GS} > V_{TH}$).
- $L=2L_{min}$, de modo que la resistencia de salida sea relativamente grande y no afecte en el funcionamiento de los esquemas. (En los switches $L=L_{min}$, ya que se busca una resistencia de salida específica mucho más pequeña).
- $I_{ref} = 2.5\mu A$, que nos permite una W mayor que $2L_{min}$.

Para una $I_{ref} = 2.5\mu A$, $L=2L_{min}$ y $V_{GS}-V_{TH}=0.1V$, despejando de la ecuación:

$$I_{ref} = \frac{1}{2} K \frac{W}{L} * (V_{GS} - V_{TH})^2$$

Y sabiendo que $K_N = 250\mu\frac{A}{V}$ y $K_P = 90'9\mu\frac{A}{V}$, obtenemos:

Tabla 1 Tamaño de los transistores de los esquemas de calibración

Tamaño de los transistores		
	W (nm)	L (nm)
Transistores PMOS	240	120
Transistores NMOS	660	120

3.1 Esquema de calibración con cascode

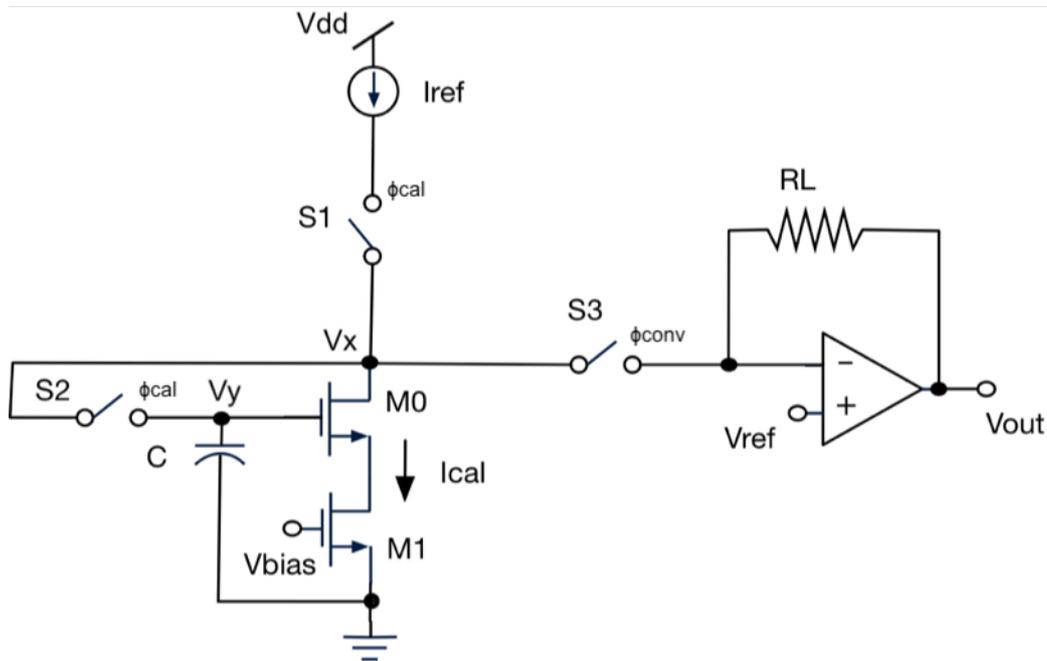


Figura 6 Esquemático del circuito de calibración con cascode

El esquema convencional, como se ha visto en el capítulo anterior, se encuentra limitado debido a la variación de tensión en el nodo x, para resolver este problema se propone a continuación un circuito en el cual la calibración es llevada a cabo en el transistor cascode (M0), este se muestra en la figura 6. El circuito de calibración con cascode consigue que el error en la tensión de calibración debido a la inyección de carga del switch S2 tenga menos influencia sobre la corriente calibrada. Como ya se ha explicado anteriormente, tanto la fuente de corriente de referencia como la fuente de corriente a calibrar se han implementado con transistores cascodeados, dos tipo PMOS y dos tipo NMOS, respectivamente.

La principal diferencia de este esquema con el convencional es que un voltaje V_{bias} , generado por el circuito de polarización, se conecta a la puerta de M1, es decir, la calibración se realiza en la puerta del transistor cascode M0 en lugar de en M1.

Un error en la tensión almacenada en la puerta del cascode M0 afecta proporcionalmente con la g_{m0} de M0 y un error en la puerta de M1 afecta a la corriente con el cuadrado, tal y como podemos ver en las siguientes expresiones:

$$I_{cal}^{conventional} = I_{ref} \left(1 + \frac{\Delta I_{cal}}{I_{ref}}\right); \quad \frac{\Delta I_{cal}}{I_{ref}}^{conventional} = \frac{2\Delta V_y}{V_{GS1} - V_T} + \frac{\lambda \Delta V_x}{g_{m0} r_{o0}}$$

$$I_{cal}^{cascodo} = \beta(V_{bias} - V_T)^2(1 + \lambda V_{DS1})$$

Lo más importante en este circuito es que la corriente en M1 es calibrada en términos de V_{DS1} en vez de V_{GS1} . Los cambios en el voltaje de la puerta del transistor cascodo M0, ΔV_y , son transferidos al drenador de M1, es decir, $\Delta V_{DS1} \approx \Delta V_y$. Este error causa un cambio en la corriente I_{cal} del drenador de M1 durante la fase de uso que puede ser expresado como:

$$\frac{\Delta I_{cal}}{I_{ref}}^{cascodo} = \lambda \Delta V_y + \frac{\lambda \Delta V_x}{g_{m0} r_{o0}}$$

Dicho error podrá ser reducido, eliminando el segundo término, mediante la implementación del esquema de calibración con cascodo activo. Esto se desarrollará en el siguiente apartado 3.2.

3.2 Esquema de calibración con cascodo activo

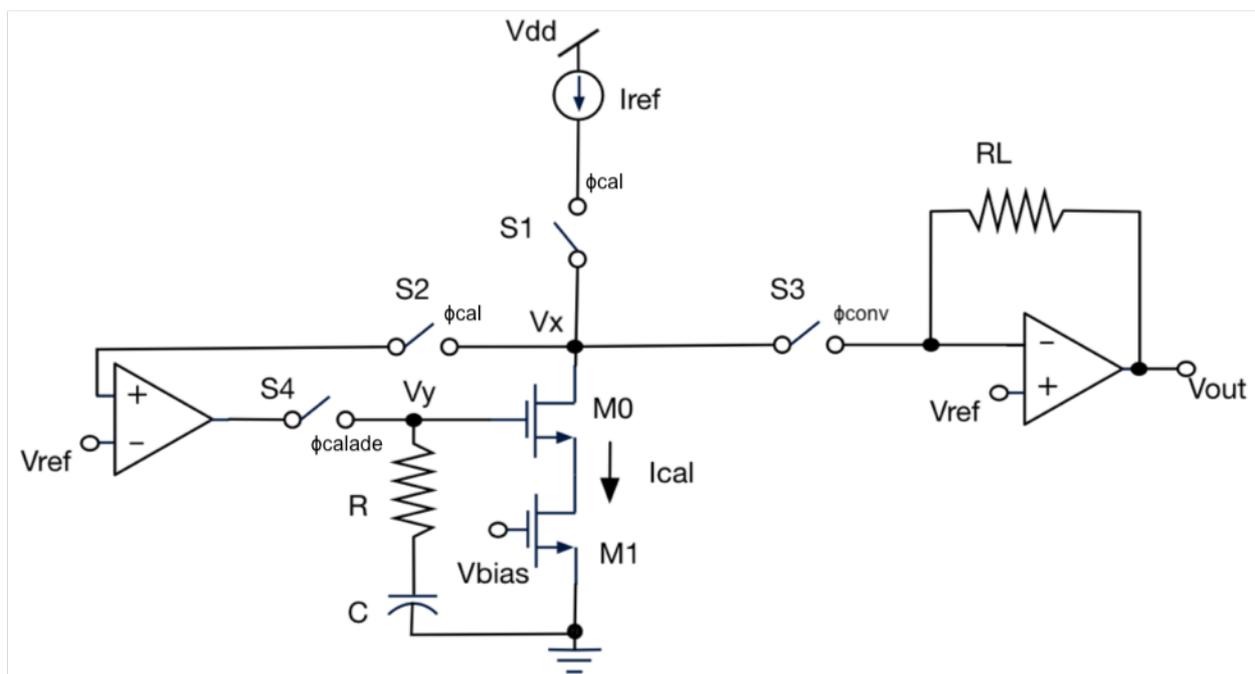


Figura 7 Esquemático del circuito de calibración con cascodo activo

El esquema de calibración con cascodo activo, al igual que los otros, usa transistores cascodeados, dos tipo PMOS para la fuente de corriente y otros dos tipos NMOS. Este, además, usa un amplificador entre V_x y V_y , el cual genera un voltaje de salida que causa que V_x tenga un valor muy cercano a V_{ref} durante la fase de calibración.

Dicha situación supone claramente un beneficio, ya que ayuda a disminuir la variación de voltaje en V_x entre la fase de conversión y la fase de calibración. Esta es la principal ventaja frente al

esquema con cascode que se ha visto en el apartado anterior, el cual puede estar sujeto a grandes cambios en ΔV_x .

A diferencia de los otros esquemas, este incluye un cuarto switch S4 que está controlado por ϕ_{calade} y $\phi_{ncalade}$. La fase es la misma que ϕ_{cal} , pero adelantada, lo cual es equivalente a decir que S4 se abre un poco antes (es posible apreciar este hecho en la figura 8). Con esto se trata de asegurar que la inyección de carga de S2 al abrirse no llegue a la tensión de calibración amplificada por la ganancia del amplificador.

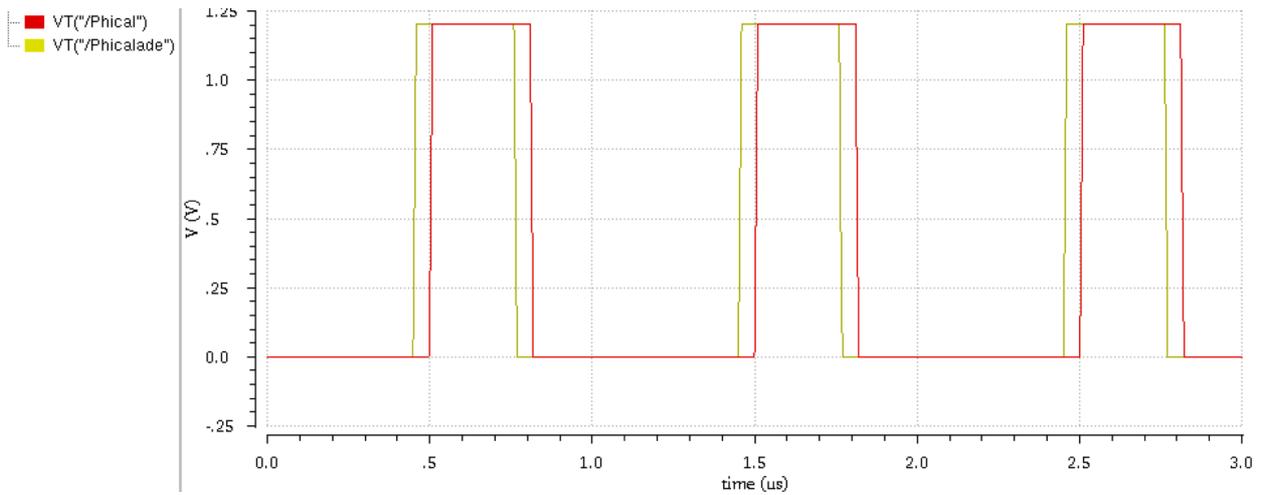


Figura 8 Fases ϕ_{cal} y ϕ_{calade}

En cuanto a la corriente generada durante la fase de uso o conversión ϕ_{conv} , se puede expresar para los diferentes esquemas como:

$$I_{cal}^{convencional} = I_{ref} \left(1 + \frac{\Delta I_{cal}}{I_{ref}}\right)$$

$$I_{cal}^{cascodos} = \beta(V_{bias} - V_T)^2(1 + \lambda V_{DS1}); \quad V_{DS1} \approx \Delta V_y$$

En esta, el error de calibración $\frac{\Delta I_{cal}}{I_{ref}}$ puede ser reducido ya que:

$$\frac{\Delta I_{cal}^{convencional}}{I_{ref}} = \frac{2\Delta V_y}{V_{GS1} - V_T} + \frac{\lambda \Delta V_x}{g_{m0} r_{o0}}$$

$$\frac{\Delta I_{cal}^{cascodo}}{I_{ref}} = \lambda \Delta V_y + \frac{\lambda \Delta V_x}{g_{m0} r_{o0}}$$

$$\frac{\Delta I_{cal}^{cascodo\ activo}}{I_{ref}} = \lambda \Delta V_y$$

Y:

$$\Delta V_y = \frac{Q_{ci}}{C}$$

Gracias al uso de una capacidad C será posible almacenar el voltaje V_y durante el periodo que transcurre entre la fase de calibración y la de conversión. Con un valor de 0.15pF será suficiente, pero en el tercer esquema, además, será necesario añadir una resistencia. El objetivo de esto es introducir un zero que compense al polo causado por el switch $S4$ en conjunto con C , de esta forma se aumentará el margen de fase y se mejorará el comportamiento del sistema. Para ello es necesario colocar una resistencia R con un valor elevado en serie con la capacidad C . A continuación, se lleva a cabo un estudio de estabilidad, como se puede apreciar en el siguiente esquema se abre el bucle y se estudian la salida (V_x) y la entrada del sistema ($S2$). Finalmente se obtiene que el valor óptimo de R es de $120\text{K}\Omega$.

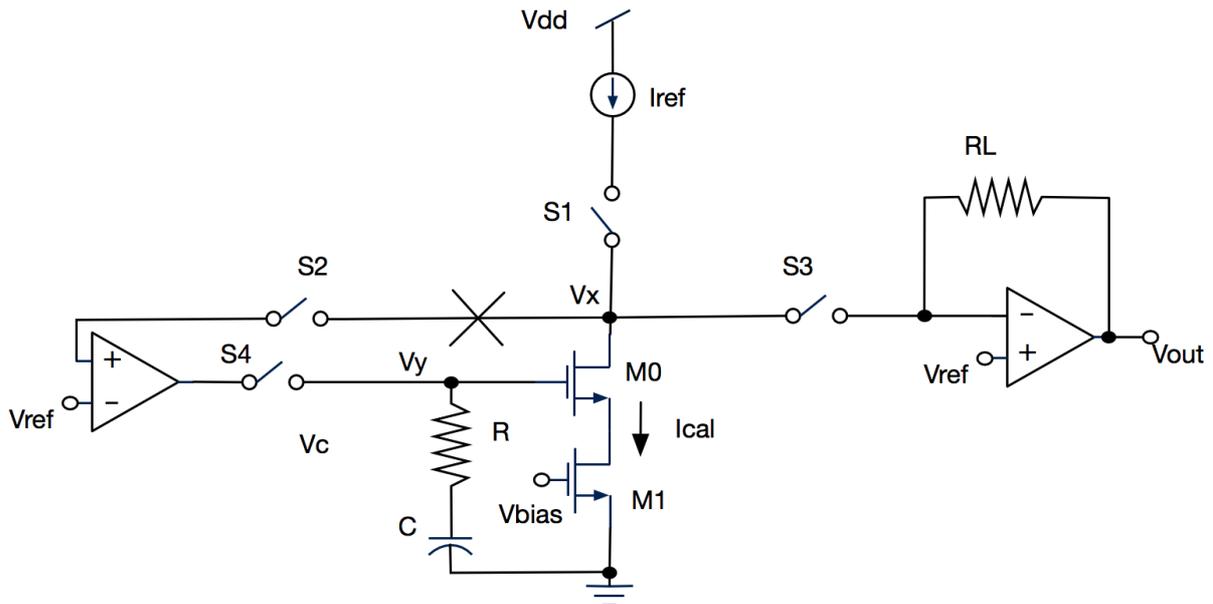


Figura 9 Esquemático de prueba de la estabilidad del circuito con cascode activo

3.3 Diseño de componentes de los circuitos

3.3.1 Switch

A continuación, se llevará a cabo el diseño del esquemático del switch, este se utiliza en $S1$, $S2$, $S3$ y $S4$. Para $S1$ y $S2$ se usa la fase ϕ_{cal} , para $S3$ se utiliza ϕ_{conv} y para $S4$ ϕ_{calade} . Estos estarán cerrados cuando ϕ_{cal} , ϕ_{conv} y ϕ_{calade} sean igual a V_{dd} y se abrirán cuando dichas fases sean igual a $0V$. Es posible ver en la figura 9 como actúan las fases de reloj no solapadas, ϕ_{cal} y ϕ_{conv} , llamadas V_{cal} y V_{conv} , respectivamente, y en la figura 10 ϕ_{cal} y su fase adelantada ϕ_{calade} :

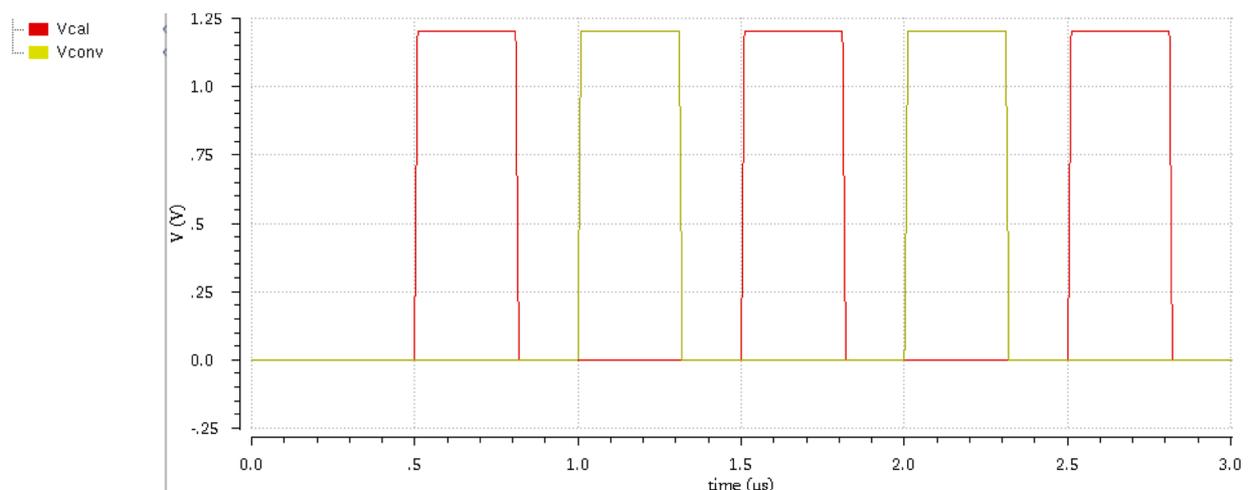


Figura 10 Fases de reloj no solapadas ϕ_{cal} y ϕ_{conv}

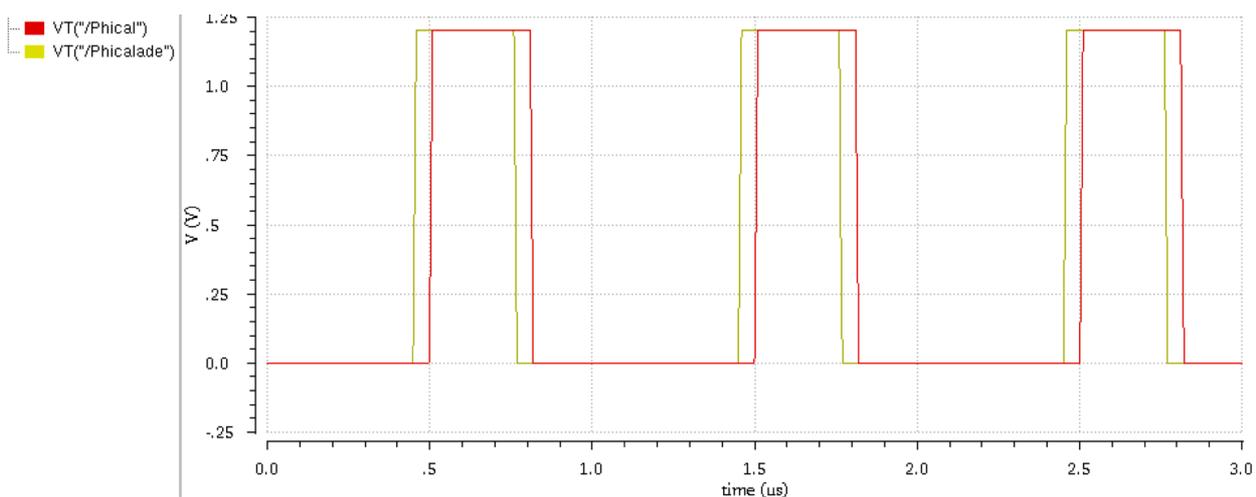


Figura 11 Fases ϕ_{cal} y ϕ_{calade}

Una vez visto esto, en cuanto a la implementación de los switches se usarán puertas de transmisión para evitar problemas con el rango de V_{in} . Dichas puertas vendrán controladas por las fases ϕ_{calade} , ϕ_{cal} y ϕ_{conv} para las puertas de los transistores NMOS y sus correspondientes fases negadas, $\phi_{ncalade}$, ϕ_{ncal} y ϕ_{nconv} , para las puertas de los transistores PMOS.

Como primer requisito se tiene que en los transistores que componen el switch L sea igual a L_{min} , de este modo se consigue un sistema más rápido. En segundo lugar, que su R_{on} no sea demasiado grande, de otro modo afectaría significativamente al comportamiento de los esquemas, lo que se busca es minimizar la caída en el switch.

Se establece como límite para obtener R_{on} que la caída en el switch, para la corriente nominal de $2.5\mu A$, sea menor al valor mínimo necesario para tener buena precisión. Si se considera este error $\Delta V = R_{on} * I_{bias} < 2.34mV$, el error considerado en el amplificador que se verá a continuación, se obtiene una $R_{on} < 936 \Omega$.

En conducción un switch se comporta como una resistencia, tal y como se puede apreciar en la siguiente figura 11. Para analizarlo, se conecta en serie con una capacidad de valor conocido $C = 1\text{pF}$ y así poder deducir el valor de R_{on} .

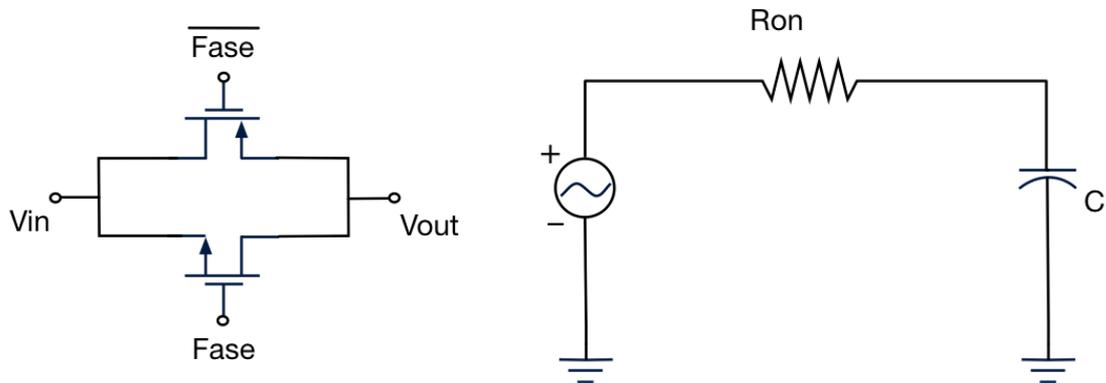


Figura 12 Modelo del switch en conducción

Ahora se fija el valor adecuado de la anchura W de los transistores, para conseguir una R_{on} pequeña W debe ser elevada. A su vez, si usamos la misma anchura para ambos transistores conseguiremos minimizar la inyección de carga. Mediante un AC, se comprueba que aproximadamente se consigue la resistencia deseada. Este resultado se puede apreciar en la Figura 12.

Tabla 2 Tamaño de los transistores del switch

Tamaño de los transistores		
	W (um)	L (nm)
Transistor PMOS	7.2	60
Transistor NMOS	7.2	60

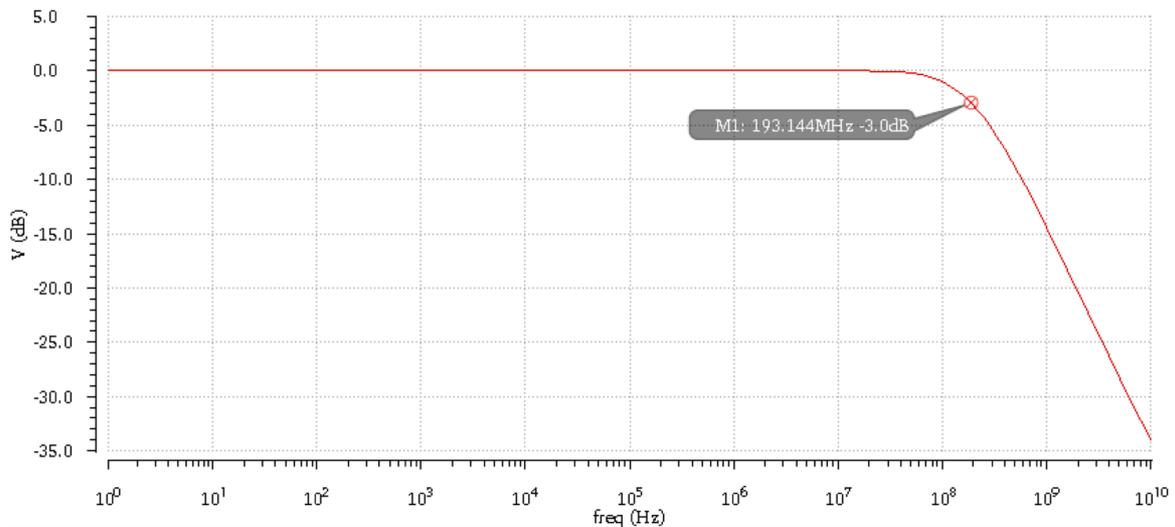


Figura 13 Análisis AC del comportamiento del switch

Obtenemos mediante la fórmula del paso baja una $R_{on} = \frac{1}{C * 2\pi * f_{-3dB}} \approx 800 \Omega$, equivalente a un error de 2mV, por lo que se cumplen las especificaciones.

3.3.2 Amplificador operacional

Para implementar el esquema con cascode activo es necesario diseñar el amplificador que permita la mejora en la calibración de la fuente de corriente. Como requisito se establece, para un DAC de 10 bits (1024 saltos) y 2.4Vpp de rango de entrada diferencial, un error máximo de 2.34mV. Es decir, se busca que la ganancia mínima del sistema sea mayor que aquella que provoque un error por ganancia finita mayor a 2.34mV. Siendo el error relativo = $\frac{V_{error\ máximo}}{V_{out}} = \frac{V_{out}/V_{INideal}}{A_o}$, donde:

1. $V_{INideal}$ es igual a $V_{ref} = \frac{V_{dd}}{2} = 600mV$.
2. V_{out} se asume igual a V_{ref} .

Se tiene, $A_{o\ min}(dB) = 20 * \log\left(\frac{600}{2.34}\right) = 48.18\ dB$.

El objetivo se consigue con un amplificador de la siguiente estructura.

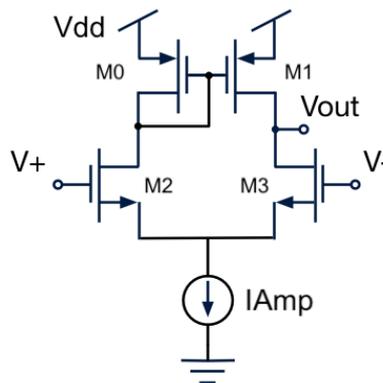


Figura 14 Esquemático del amplificador

A continuación, se obtiene la corriente I_{bias} mínima que debe circular por el amplificador para su correcto funcionamiento.

Como ya se sabe, el slew rate de un amplificador se define como el rango máximo de cambio de la tensión de salida para todas las señales de entrada posibles, por lo que limita la velocidad de funcionamiento, es decir la frecuencia máxima a la que puede funcionar el amplificador para un nivel dado de señal de salida. Según su definición, el SR es:

$$SR = \left. \frac{dV(t)}{dt} \right|_{max}$$

dónde $V(t)$ es la tensión de salida.

EL SR establece como de rápido puede el amplificador cargar la salida y su expresión se puede aproximar por la corriente máxima que es capaz de proporcionar el amplificador y el valor de la carga capacitiva:

$$SR = \frac{I_{max}}{C}$$

Esta expresión se usa para dimensionar la corriente de polarización del Opamp, I_{bias} , sabiendo que la velocidad necesaria es la que permita cargar V_{dd} en T segundos:

$$\frac{I_{bias}}{C} = \frac{V_{dd}}{T}$$

dónde $V_{dd} = 1.2V$, $T = 100ns$ (al menos un tercio del tiempo que dura la fase de calibración) y C, como ya se ha visto antes, se fija a $0.15pF$. Según el resultado obtenido I_{bias} debe ser mayor a $1.8\mu A$.

Por comodidad se usará una intensidad del orden, de $2.5\mu A$, que es la misma intensidad que se genera con el circuito de polarización. Además, se garantiza que se cumpla el slew rate al usar una mayor intensidad, $SR = \frac{I_{max}}{C} = 16.67 \frac{V}{\mu s}$.

En primer lugar, se dimensionan los transistores para que por cada rama circule una intensidad de $1.25\mu A$. Esto se lleva a cabo mediante la fórmula:

$$I = \frac{1}{2} K \frac{W}{L} * (V_{GS} - V_{TH})^2$$

sabiendo que $K_N = 250\mu \frac{A}{V}$ y $K_P = 90.9\mu \frac{A}{V}$.

Con estos datos se obtiene que $\frac{W}{L_N} = 1$ y que $\frac{W}{L_P} = 2.75$. Si se mantiene $L = 2L_{min}$, el tamaño de los transistores para conseguir la ganancia mínima será el siguiente:

Tabla 3 Tamaño de los transistores del amplificador

Tamaño de los transistores		
	W (nm)	L (nm)
Transistores PMOS M0 M1	1980	720
Transistores NMOS M2 M3	720	720
Transistor NMOS I_{Amp}	1440	720

Ahora es posible comprobar si el funcionamiento del amplificador cumple las especificaciones mediante un análisis AC del sistema.

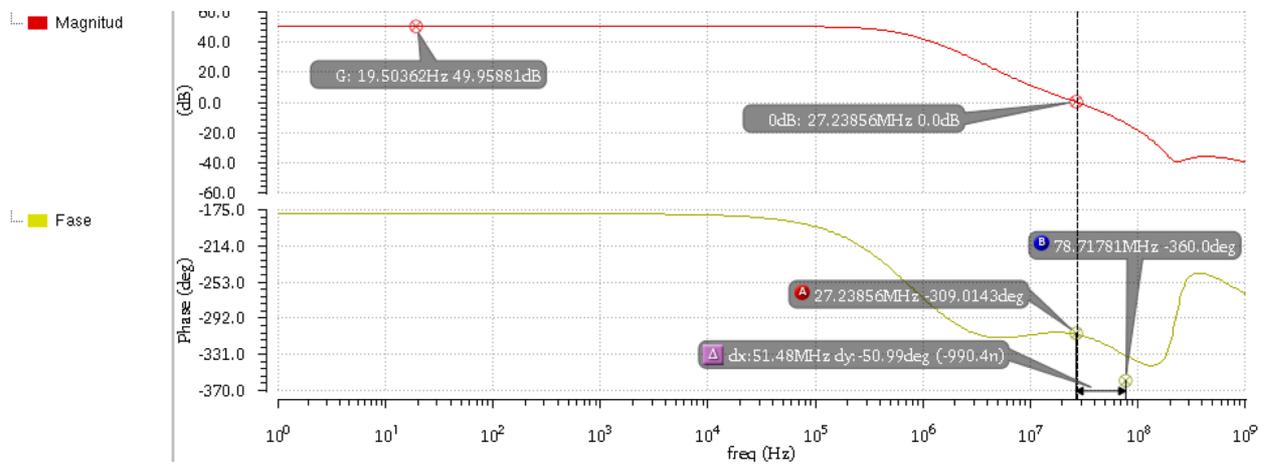


Figura 15 Respuesta en frecuencia del esquema con cascode activo en bucle abierto mediante análisis AC

Con el resultado del análisis se puede verificar que la ganancia es aproximadamente de 50 dB, por lo tanto, se cumple la ganancia mínima dejando un margen de unos 2dB.

Al realizar un análisis DC ha sido posible apreciar que el amplificador está polarizado en inversión fuerte, pero con una $V_{eff} < 0.1V$ en todos los transistores. Esta situación es debida a que la especificación de $V_{ref} = \frac{V_{dd}}{2} = 600mV$, dada al principio del capítulo, es problemática tanto para transistores de tipo NMOS como para transistores de tipo PMOS. El diseño óptimo, para conseguir que los transistores estuviesen en inversión fuerte y con una $V_{eff} = 0.1V$, sería con una V_{ref} por debajo de 600mV para entradas de tipo PMOS y con una V_{ref} por encima de 600mV para transistores tipo NMOS.

Es importante no olvidar el estudio de la estabilidad del amplificador funcionando en el esquema con cascode activo, por lo que se realiza un análisis de Monte Carlo del margen de fase del circuito.

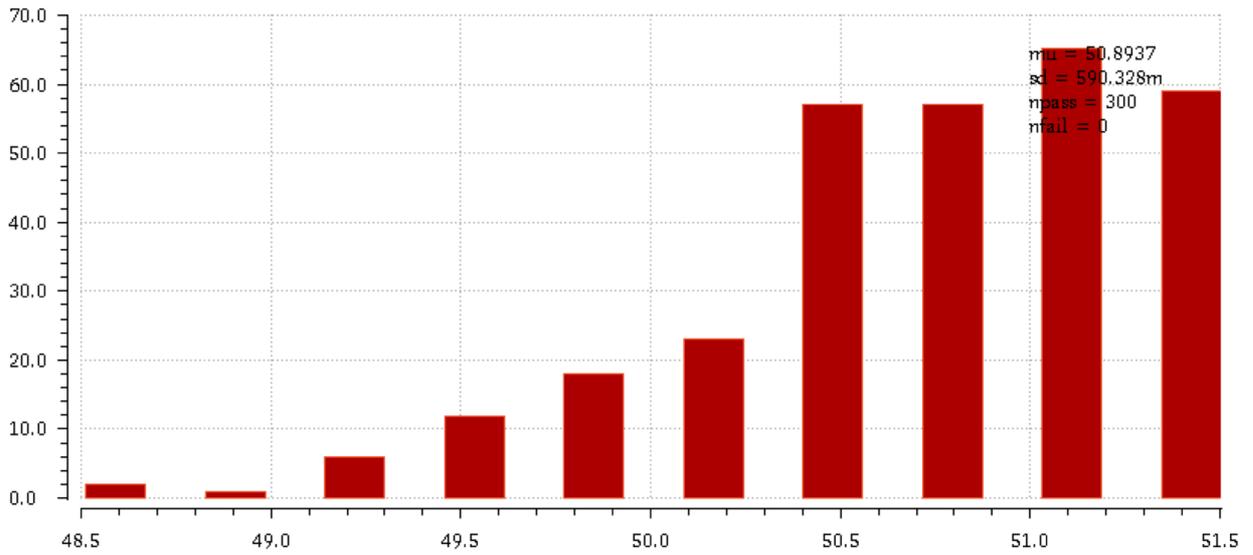


Figura 16 Análisis de Monte Carlo del margen de fase del esquema con cascado activo

En este se puede comprobar que el sistema es estable, ya que el margen de fase es siempre superior a 45°.

3.3.3 Circuito de polarización

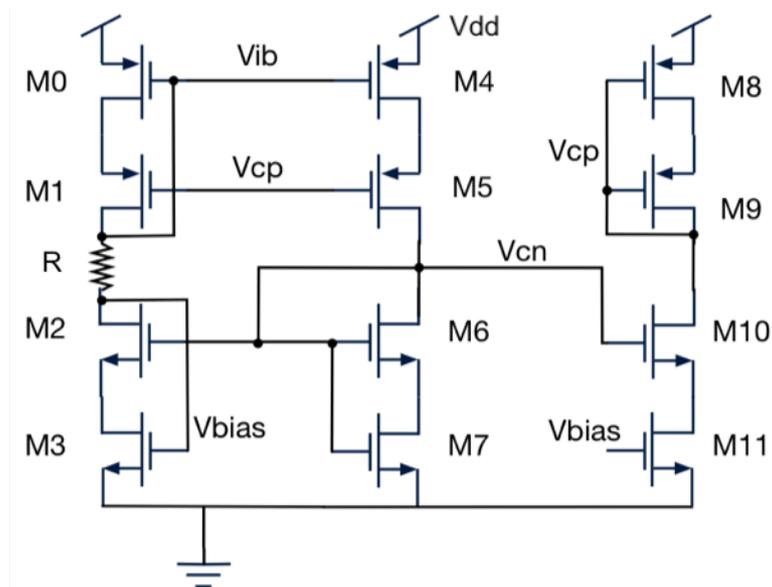


Figura 17 Esquemático del circuito de polarización

En este apartado se expone el funcionamiento del circuito de polarización. Dicho circuito proporciona la corriente deseada al resto de los esquemas, esta podrá ser regulada mediante una resistencia. En este caso la corriente fijada debe ser de $2.5\mu\text{A}$ por lo que es necesaria una resistencia de unos $50\text{K}\Omega$.

Este circuito está dividido en tres ramas. La primera rama fija la intensidad deseada, el voltaje V_{ib} generado en la puerta del transistor cascodeado PMOS (M0) irá conectado análogamente a cada esquema de calibración. Lo mismo ocurre con el transistor cascodeado NMOS (M3), cuya puerta irá conectada a los correspondientes transistores de los esquemas de calibración cascodeados, fijando así V_{bias} .

La segunda rama fija el voltaje V_{cn} que será conectado a la puerta del transistor cascode NMOS del circuito convencional, para asegurar el correcto funcionamiento del circuito dicho voltaje debe ser como mínimo $V_{eff} + V_{th}$, es decir 0.6v . Se varía M7 hasta obtener 0.7v en V_{cn} de manera que las especificaciones se cumplan.

Por último, la tercera rama fija el valor V_{cp} usado por todos los esquemas de calibración. Es necesario un voltaje de 440mv en la puerta de cada transistor cascode PMOS de dichos esquemas para asegurar que se encuentran en saturación y cumplen las especificaciones fijadas anteriormente. Este valor se consigue variando el tamaño del transistor M8.

Tabla 4 Tamaño de los transistores del circuito de polarización

Tamaño de los transistores		
	W (nm)	L (nm)
Tansistor M0	660	120
Transistor M1	660	120
Tansistor M2	240	120
Tansistor M3	240	120
Transistor M4	660	120
Tansistor M5	660	120
Transistor M6	240	120
Tansistor M7	120	1000
Transistor M8	120	400
Tansistor M9	660	120
Transistor M10	240	120
Tansistor M11	240	120

4 COMPARACIÓN DE LOS RESULTADOS

En este capítulo se llevará a cabo el desarrollo y el estudio de los resultados de los esquemas diseñados en el capítulo anterior.

4.1 Simulaciones teniendo en cuenta solo el efecto de inyección de carga

La inyección de carga en todos los esquemas no es la misma, esta depende de la tensión que tiene el switch en el drenador y en la fuente en cada uno de los circuitos, esta es parecida en los dos últimos, ya que calibran en el cascode, pero es más baja en el primero.

Se simularán cada uno de los esquemas en una situación ideal, forzando la tensión del drenador durante la fase de conversión a un valor igual a la tensión del drenador en calibración para aislar de esta forma el efecto de acople capacitivo y el efecto de modulación del canal.

Se fuerza que la tensión de conversión sea lo más parecida posible a la de calibración cambiando V_{ref} , es decir a 538.5 mV en el esquema convencional y a 747 mV en el esquema de cascode. En el esquema de cascode activo no será necesario ajustar la tensión ya que el propio circuito realiza esta función.

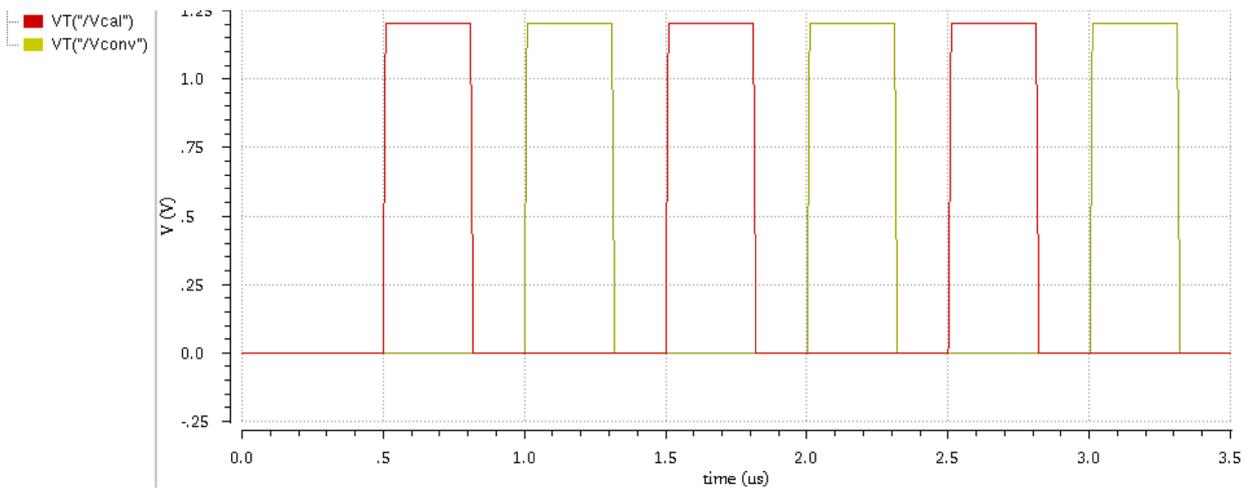


Figura 18 Fases de reloj no solapadas ϕ_{cal} (V_{cal}) y ϕ_{conv} (V_{conv})

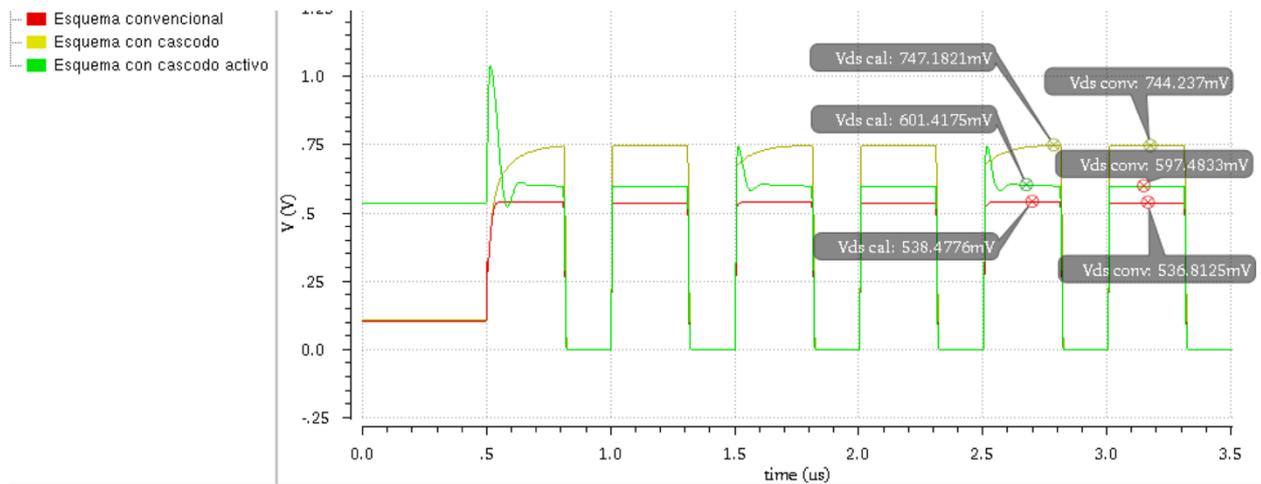


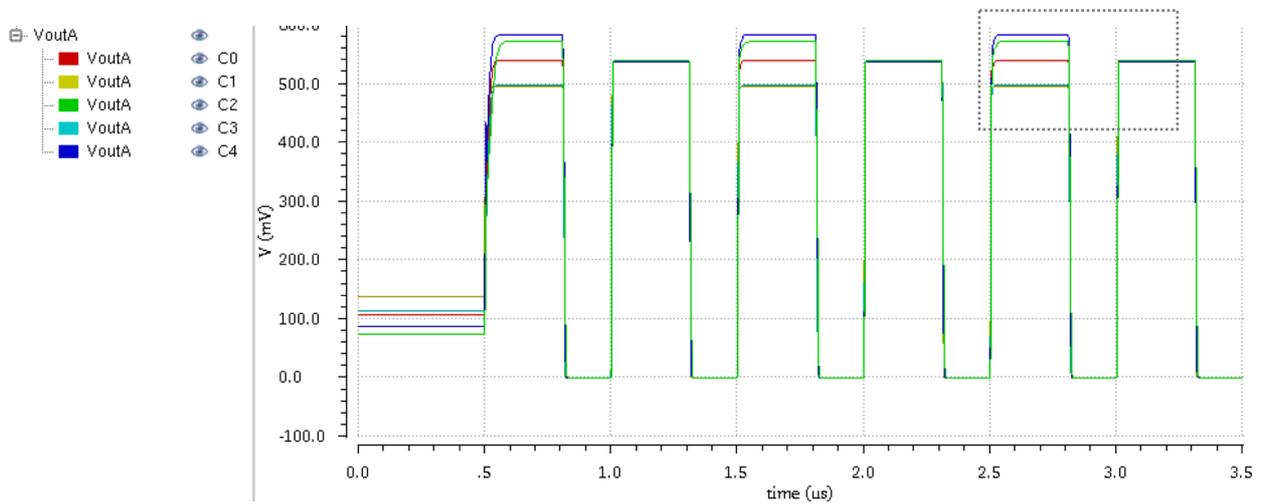
Figura 19 Análisis transitorio de la tensión en el drenador del esquema convencional, con cascode y con cascode activo

Tal y como se esperaba, en la gráfica es apreciable el efecto de cambiar V_{ref} a un valor similar a la tensión en el drenador en la fase de calibración. Se consigue que, en la fase de conversión, dicho valor sea también prácticamente igual cada V_{ref} .

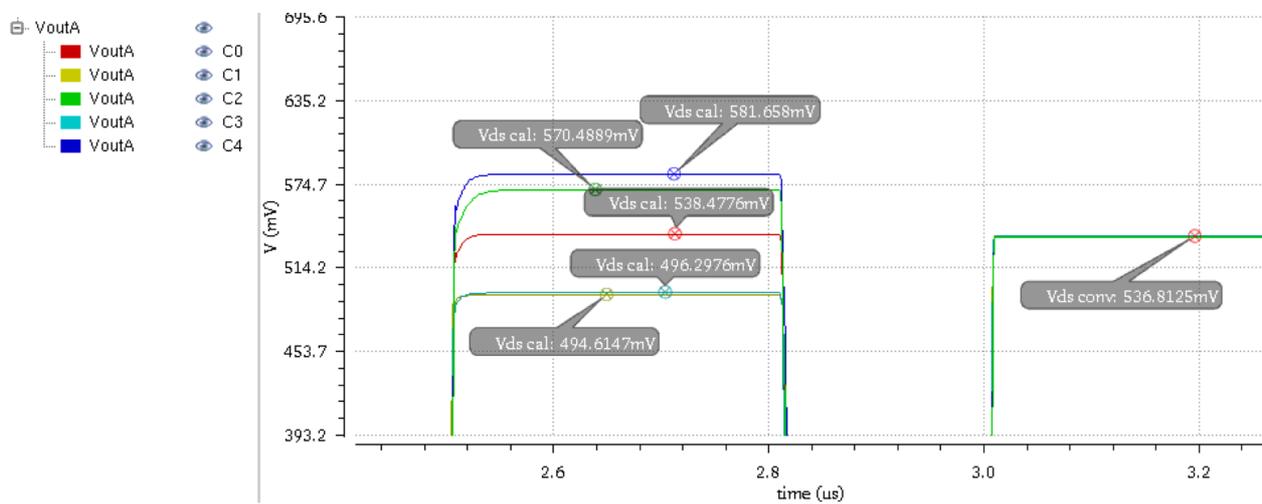
A continuación, se llevará a cabo un análisis de esquinas FEOL, Front-End Of Line, en este existen tres tipos: típica, rápida y lenta, y cinco posibles combinaciones: TT (típica-típica), FF (rápida-rápida), SS (lenta-lenta), FS (rápida-lenta), SF (lenta-rápida). Donde la primera letra se refiere a la esquina de los transistores de tipo NMOS y la segunda a la esquina de los transistores tipo PMOS.

Tabla 5 Esquinas FEOL

Esquinas FEOL				
C0	C1	C2	C3	C4
TT	FF	SS	FS	SF

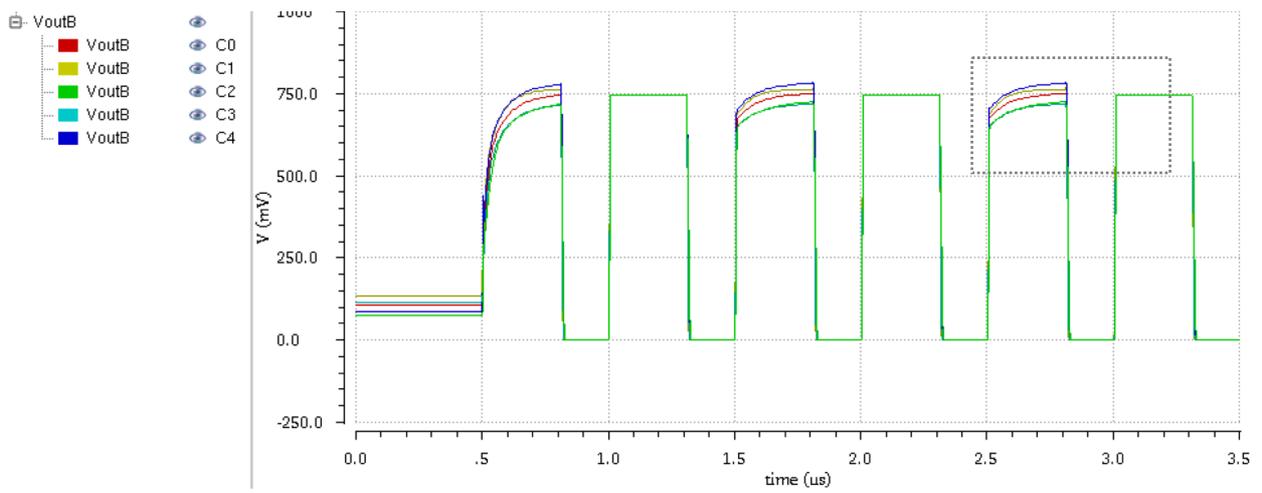


a)

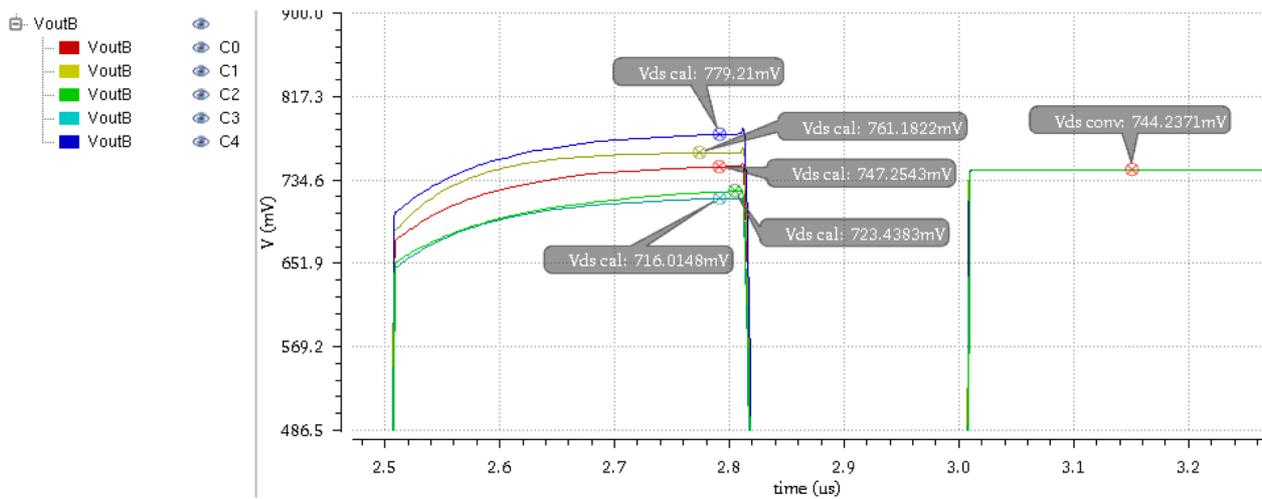


b)

Figura 20 Análisis de esquinas FEOL de la tensión en el drenador del esquema convencional a) varios ciclos b) detalle del análisis

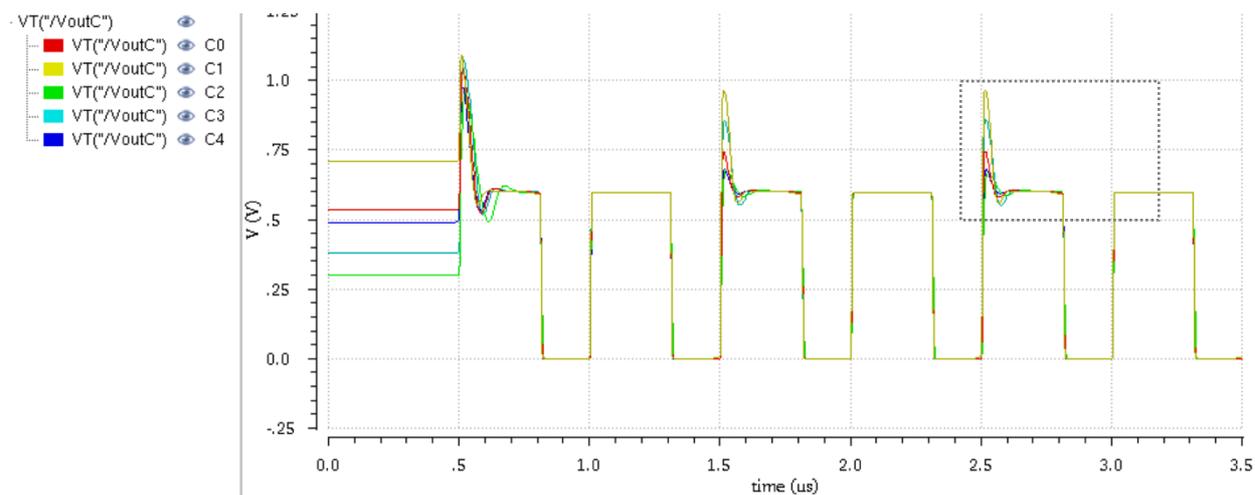


a)

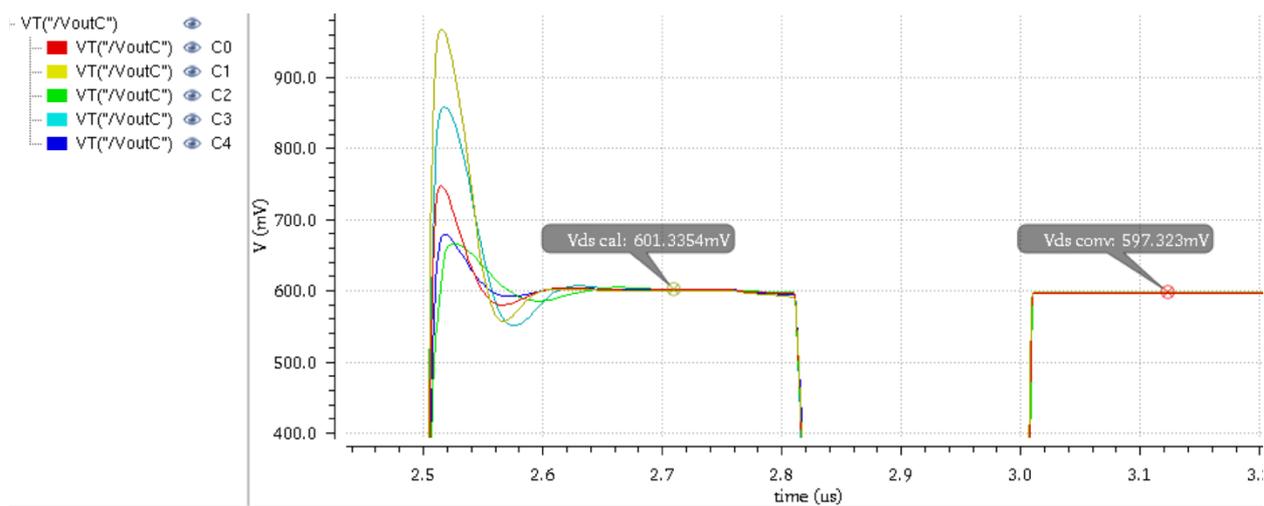


b)

Figura 21 Análisis de esquinas FEOL de la tensión en el drenador del esquema con cascodo a) varios ciclos b) detalle del análisis



a)



b)

Figura 22 Análisis de esquinas FEOL de la tensión en el drenador del esquema con cascode activo a) varios ciclos b) detalle del análisis

Tabla 6 Análisis FEOL de V_{DS} teniendo en cuenta sólo inyección de carga

Análisis de esquinas FEOL (Front-End Of Line) teniendo en cuenta solo el efecto de inyección de carga						
		<i>C0 - TT</i> (típica-típica)	<i>C1 - FF</i> (rápida-rápida)	<i>C2 - SS</i> (lenta-lenta)	<i>C3 - FS</i> (rápida-lenta)	<i>C4 - SF</i> (lenta-rápida)
Esquema convencional	V_{DS} cal (mV)	538.478	494.615	570.489	496.298	581.658
	V_{DS} conv (mV)	536.812	536.812	536.812	536.812	536.812
Esquema con cascodo	V_{DS} cal (mV)	747.254	761.182	723.438	716.015	779.210
	V_{DS} conv (mV)	744.237	744.237	744.237	744.237	744.237
Esquema con cascodo activo	V_{DS} cal (mV)	601.335	601.335	601.335	601.335	601.335
	V_{DS} conv (mV)	597.324	597.324	597.324	597.324	597.324

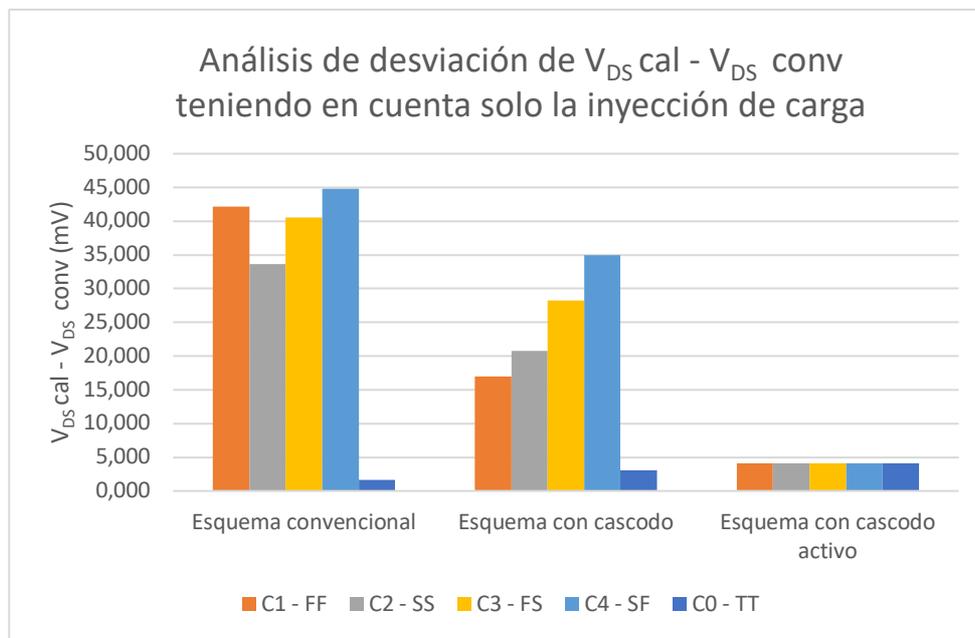
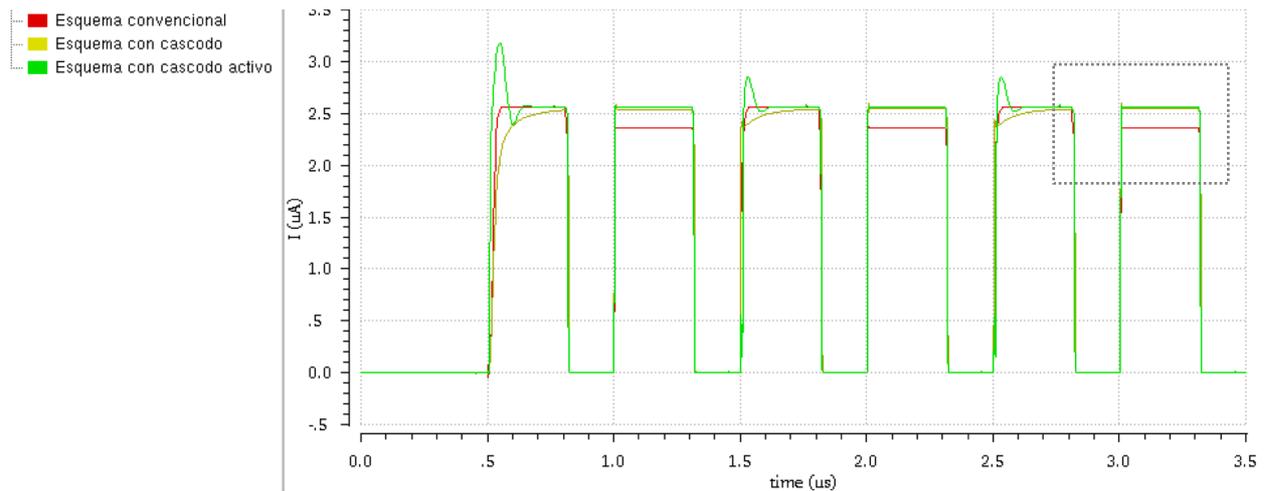


Figura 23 Análisis de desviación de V_{DS} cal - V_{DS} conv teniendo en cuenta solo inyección de carga

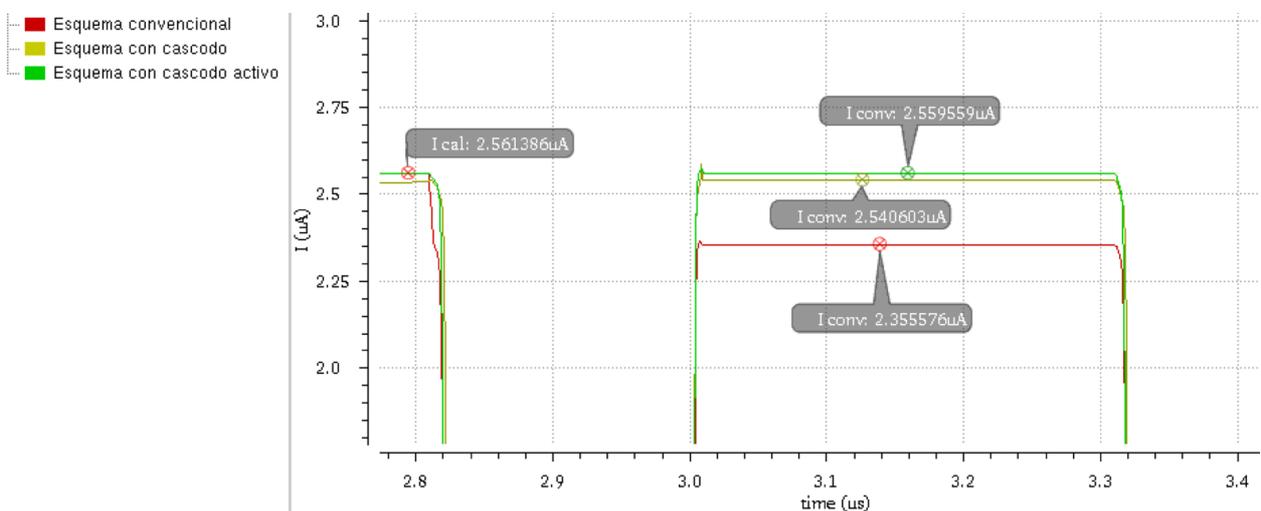
En el análisis de esquinas FEOL realizado a los tres esquemas se ha podido corroborar que el funcionamiento de estos es el esperado. La tensión V_{DS} en el drenador de cada esquema es medida en cada una de las cinco esquinas, salta a la vista la mejora progresiva entre el esquema convencional, el esquema con cascodo y el esquema con cascodo activo. En el esquema convencional nos encontramos con que las variaciones afectan significativamente al sistema, en el peor caso con 45 mV de diferencia en V_{DS} entre las etapas de calibración y conversión. Estas se corrigen al calibrar en el cascodo, aunque no del todo, ahora la diferencia es de 35 mV en el peor caso, y son prácticamente inapreciables en el esquema con cascodo activo, menos de 5mV en cualquier caso, gracias al uso del amplificador que nos ayuda a fijar la tensión deseada.

En el análisis de desviación de V_{DS} cal respecto a V_{DS} conv, representado en la figura anterior, se obtiene como resultado que la variación del esquema con cascode es menor que la del esquema convencional, pero no tan pequeña como la del esquema con cascode activo, la cual, además, es estable.

Ahora se llevarán a cabo los mismos análisis, pero se estudiará el comportamiento la corriente en el drenador en vez del de la tensión.



a)



b)

Figura 24 Análisis transitorio de la corriente en el drenador del esquema convencional, con cascode y con cascode activo a) varios ciclos b) detalle del análisis

En las gráficas anteriores se puede apreciar como, con una intensidad I_{cal} en calibración de $2'56\mu A$ aprox., se produce un error significativo en I_{cal} en la fase de conversión en el esquema convencional, mientras que, en los esquemas con cascodos, al calibrar en estos, dicho error disminuye considerablemente. El cascodo activo será el que dé mejores resultados, un análisis de esquinas FEOL ayudará a corroborar esta afirmación. Como ya se ha repetido anteriormente, esto es debido a la ayuda que le proporciona el amplificador, este le permite establecer un valor de V_{DS} prácticamente igual a V_{ref} , disminuyendo el error en la corriente entre la fase de conversión y la fase de calibración.

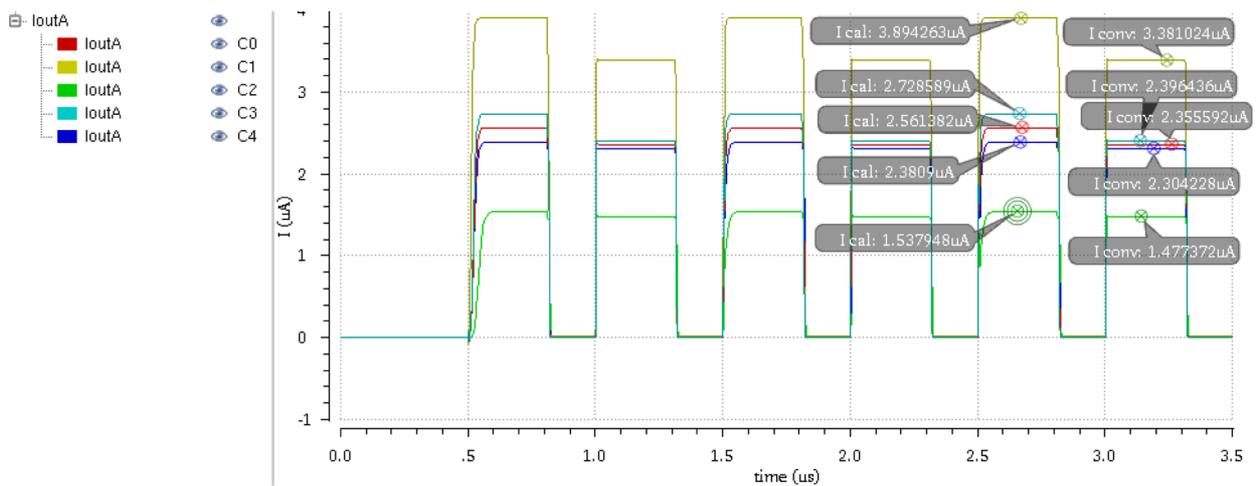


Figura 25 Análisis de esquinas FEOL de la corriente en el drenador del esquema convencional

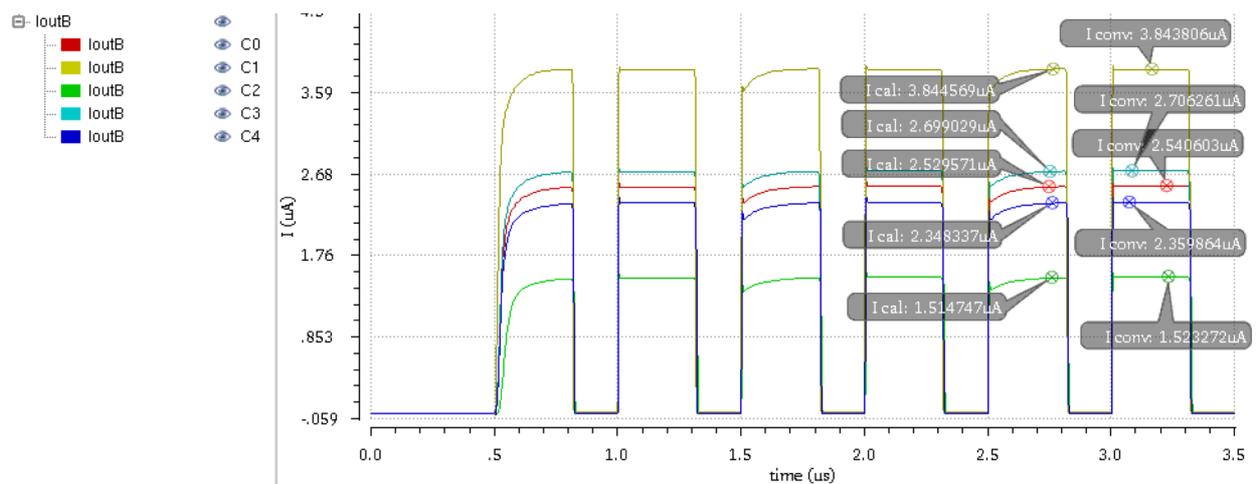


Figura 26 Análisis de esquinas FEOL de la corriente en el drenador del esquema con cascodo

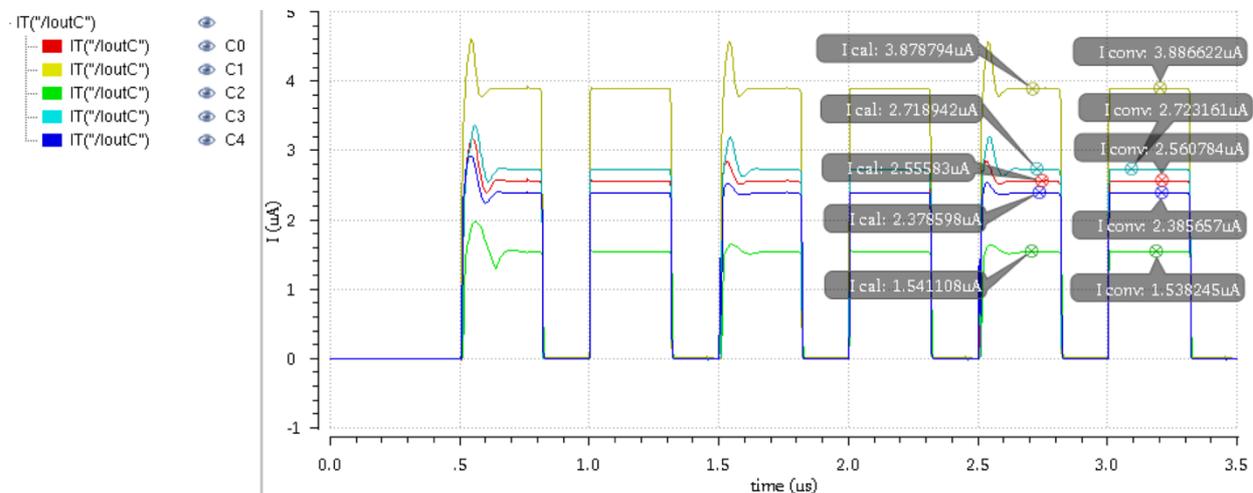


Figura 27 Análisis de esquinas FEOL de la corriente en el drenador del esquema con cascode activo

Tabla 7 Análisis FEOL de I teniendo en cuenta sólo inyección de carga

Análisis de esquinas FEOL (Front-End Of Line) teniendo en cuenta solo el efecto de inyección de carga						
		<i>C0 - TT</i> (típica-típica)	<i>C1 - FF</i> (rápida-rápida)	<i>C2 - SS</i> (lenta-lenta)	<i>C3 - FS</i> (rápida-lenta)	<i>C4 - SF</i> (lenta-rápida)
Esquema convencional	$I_{cal} (\mu A)$	2.561	3.894	1.538	2.729	2.381
	$I_{conv} (\mu A)$	2.356	3.382	1.477	2.396	2.304
Esquema con cascode	$I_{cal} (\mu A)$	2.530	3.845	1.515	2.699	2.348
	$I_{conv} (\mu A)$	2.541	3.844	1.523	2.706	2.360
Esquema con cascode activo	$I_{cal} (\mu A)$	2.556	3.879	1.541	2.719	2.379
	$I_{conv} (\mu A)$	2.561	3.887	1.538	2.723	2.386

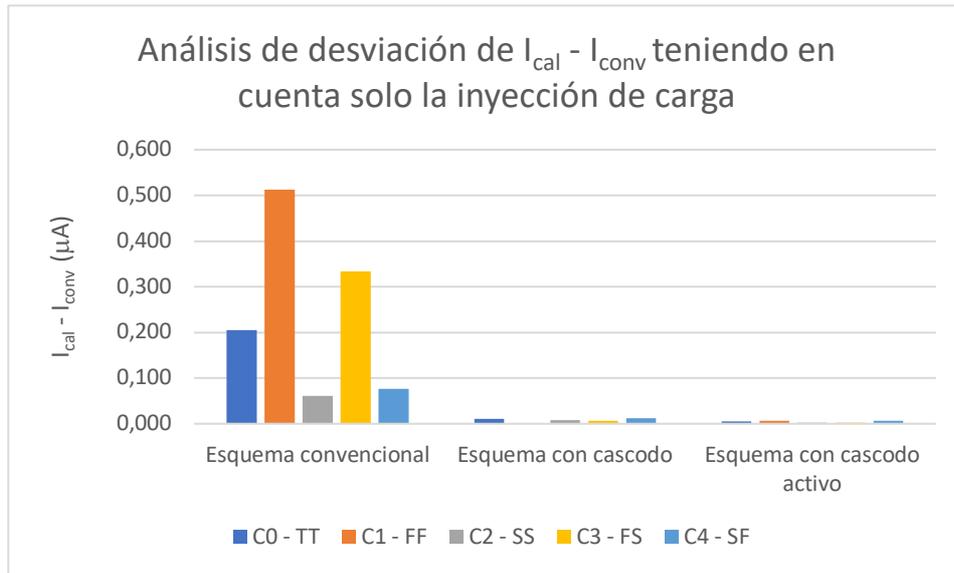


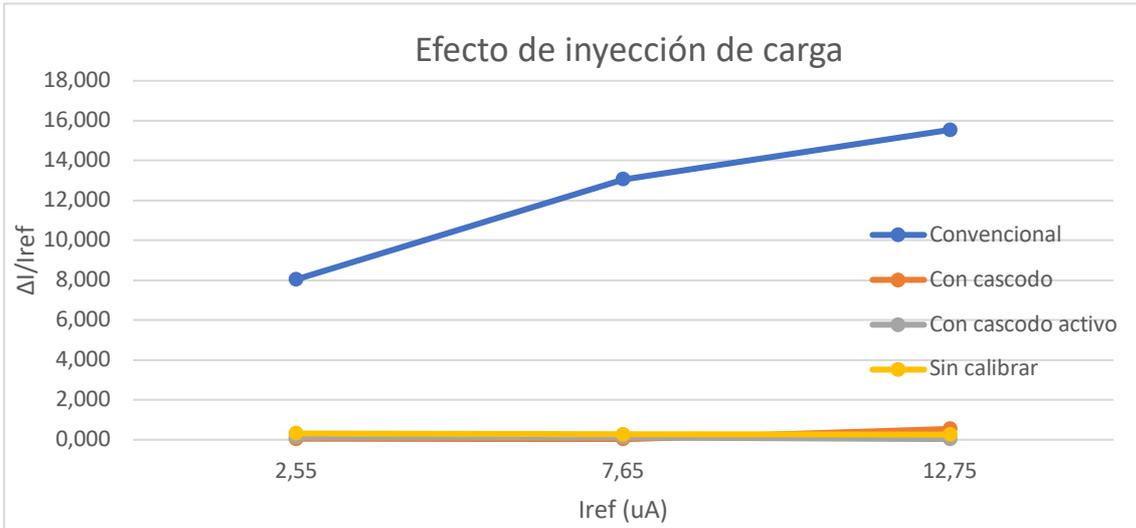
Figura 28 Análisis de desviación de $I_{cal} - I_{conv}$ teniendo en cuenta solo inyección de carga

Respecto a la intensidad, en el análisis de desviación de I_{cal} respecto a I_{conv} , que aparece en la figura anterior, es notable la mejora del sistema cuando se usan las nuevas técnicas, tanto la calibración con cascodo como la calibración con cascodo activo. En estas dos últimas la variación de la intensidad entre la etapa de calibración y de conversión es aproximadamente $0,01\mu A$ mientras que en el esquema convencional llega hasta a $0,5\mu A$ en el peor caso y a $0,06\mu A$ en el mejor.

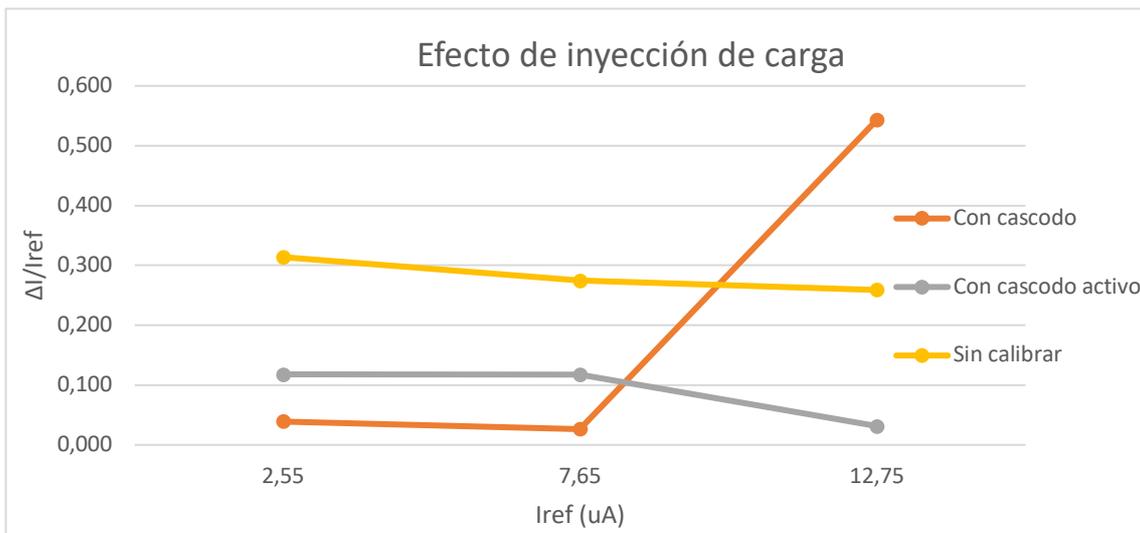
A continuación, se realizará un estudio de la respuesta de los tres esquemas de calibración propuestos y del uso de la fuente de corriente sin calibrar. En primer lugar, se aislará el efecto del acople capacitivo y la modulación del canal apareciendo sólo con el efecto de la inyección de carga. Se realizarán las pruebas correspondientes para ver el error que se produce en la corriente en condiciones normales, con un 10% de mismatch geométrico y con un 5% de mismatch en V_{th} . Posteriormente se tendrán en cuenta todos los errores y se repetirán los mismos pasos.

Para diferenciar los errores de mismatch geométrico y mismatch en V_{th} se procederá de la siguiente forma en simulación:

1. Se añadirá un error del 10% al tamaño de los transistores NMOS cascodeados, M1 en los esquemas estudiados en los capítulos anteriores.
2. Se añadirá una fuente de tensión en serie conectada a la puerta de los transistores NMOS cascodeados, M1 en los esquemas estudiados en los capítulos anteriores, con un valor del 5% de V_{th} .



a)



b)

Figura 29 Variación de la intensidad de salida respecto a la de referencia ($\Delta I/I_{ref}$) en tanto por ciento (%) teniendo en cuenta solo el efecto de inyección de carga a) todos los esquemas b) esquemas con menor error

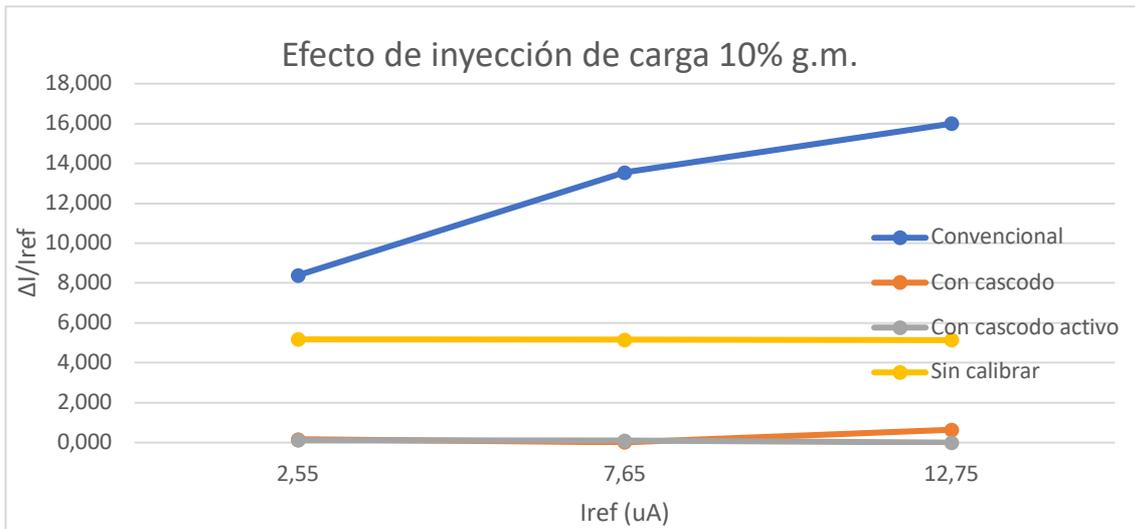


Figura 30 Variación de la intensidad de salida respecto a la de referencia ($\Delta I/I_{ref}$) en tanto por ciento (%) teniendo en cuenta solo el efecto de inyección de carga con un 10% de mismatch geométrico

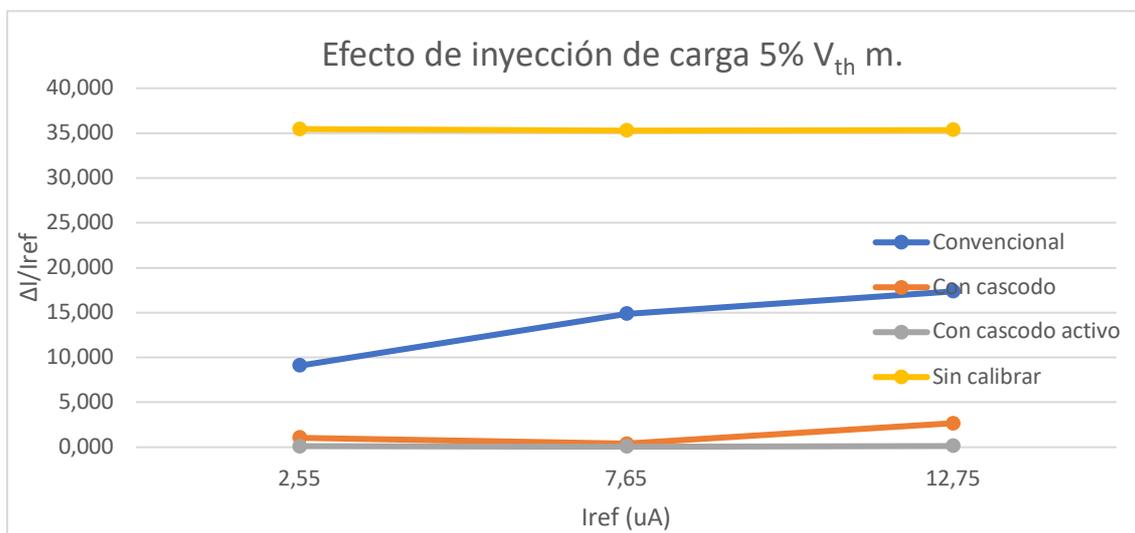


Figura 31 Variación de la intensidad de salida respecto a la de referencia ($\Delta I/I_{ref}$) en tanto por ciento (%) teniendo en cuenta solo el efecto de inyección de carga con un 5% de mismatch en V_{th}

Tabla 8 Variación de la intensidad de salida respecto a la de referencia teniendo en cuenta solo inyección de carga

Variación de la intensidad de salida respecto a la de referencia ($\Delta I/I_{ref}$) en tanto por ciento (%) teniendo en cuenta solo el efecto de inyección de carga									
	<i>Sin variaciones</i>			<i>10% de mismatch geométrico</i>			<i>5% de mismatch en V_{th}</i>		
<i>Intensidad en amperios (aprox.)</i>	2.55	7.65	12.75	2.55	7.65	12.75	2.55	7.65	12.75
<i>Sin calibrar</i>	0.314	0.275	0.259	5.176	5.163	5.137	35.451	35.281	35.373
<i>Convencional</i>	8.044	13.055	15.541	8.392	13.548	15.993	9.087	14.850	17.361
<i>Con cascodo</i>	0.039	0.026	0.543	0.157	0.013	0.644	1.057	0.404	2.678
<i>Con cascodo activo</i>	0.117	0.117	0.031	0.117	0.104	0.000	0.117	0.052	0.133

Estos resultados verifican que los esquemas con cascodo propuestos tienen mucha menor sensibilidad a los errores debidos a la inyección de carga, tienen un error entre un 8 y un 15% menor. En el esquema con cascodo el error aumenta con el valor de I_{ref} , esto está atribuido al incremento de los cambios en la tensión del drenador entre la fase de uso y la fase de calibración, pasa de un 0.4% a un 2.7%, aproximadamente, del mejor al peor caso.

El esquema con cascodo activo tiene un error aproximadamente de un 0.1%, independientemente de las condiciones, lo que permite asegurar que la precisión del DAC y que esta no varíe debido al mismatch geométrico, al mismatch en V_{th} o al aumento de la intensidad.

Cabe destacar que para el esquema sin calibrar en el caso de poseer un 10% de mismatch geométrico el error esperado es de un 10% en la corriente. Sin embargo, debido a la geometría del transistor, esta desviación del 10% no se cumple y el resultado es de un 5% de error.

4.2 Simulaciones del circuito teniendo en cuenta todos los errores

En las siguientes simulaciones se tendrán en cuenta todos los errores, no se tratarán de aislar el acople capacitivo ni la modulación del canal, por lo que V_{ref} será igual para todos los esquemas.

El valor de dicha V_{ref} está fijada a $\frac{V_{dd}}{2} = 600\text{mV}$.

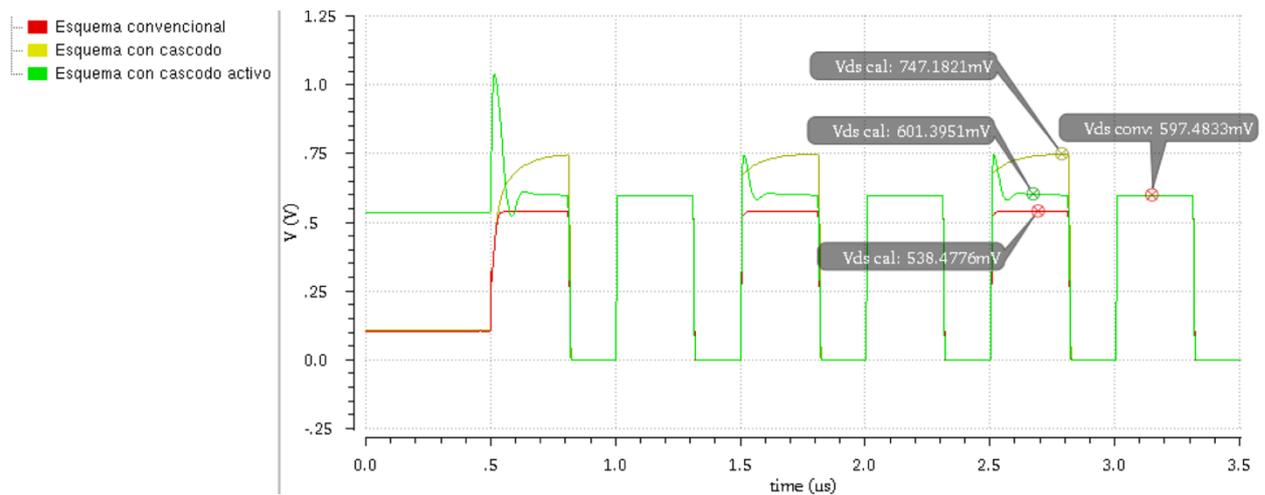
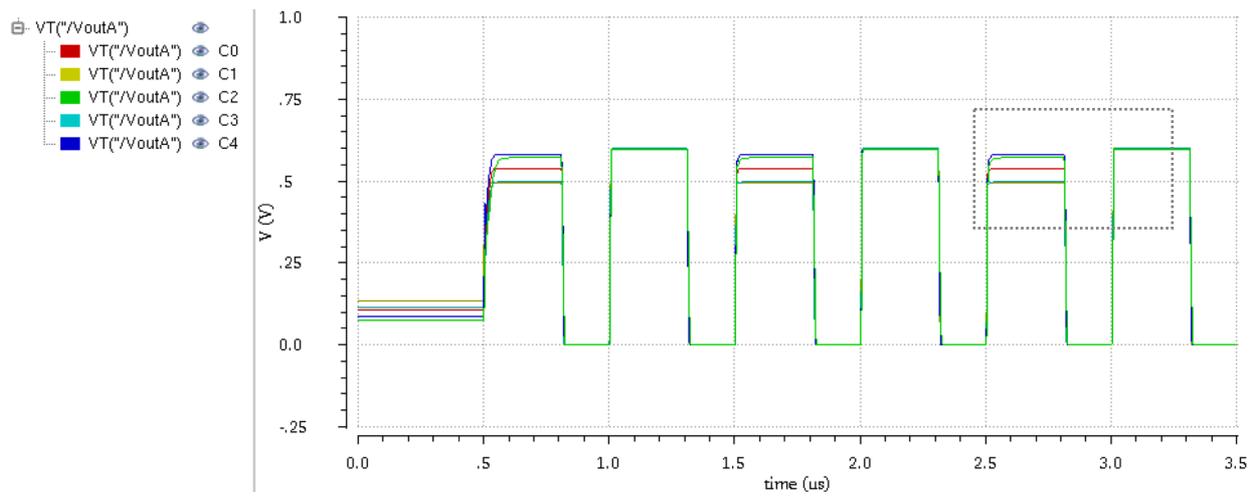


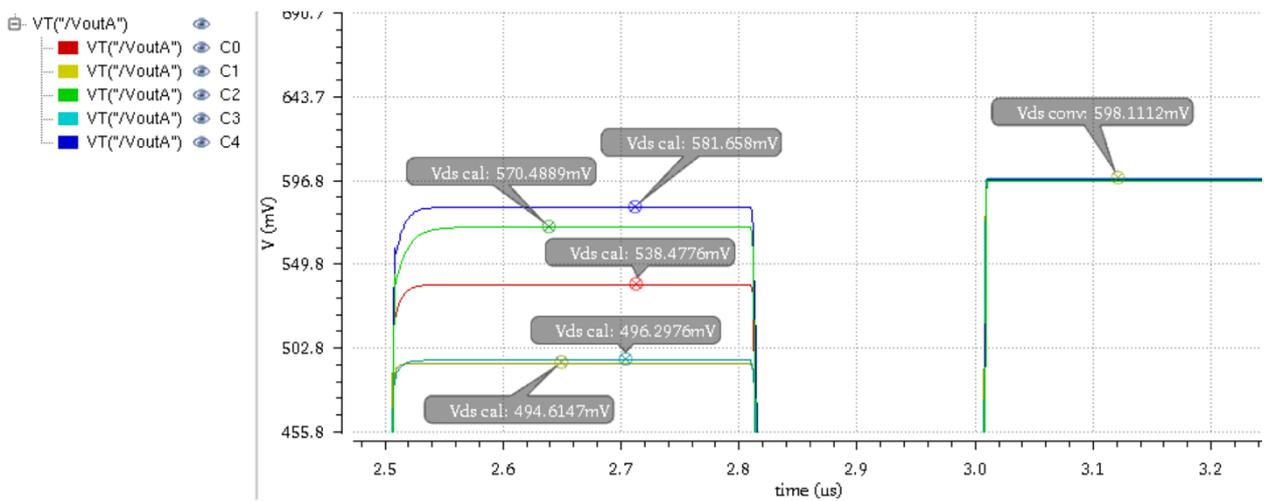
Figura 32 Análisis transitorio de la tensión en el drenador de los esquemas reales: convencional, con cascode y con cascode activo

Como se puede apreciar en la simulación, el valor de la tensión en el drenador varía significativamente entre la fase de conversión y la fase de calibración tanto en el esquema convencional como en el esquema con cascode. Sin embargo, en el esquema con cascode activo esta diferencia es mucho menor. Como ya se ha explicado anteriormente esto se debe al uso del amplificador, que ayuda a forzar un voltaje en el drenador igual a V_{ref} durante la fase de calibración y a disminuir los errores que aparecen debido tanto al factor de modulación de la longitud del canal como al acople capacitivo.

Se llevará a cabo un análisis de esquinas FEOL para ver como varía el comportamiento de los esquemas.

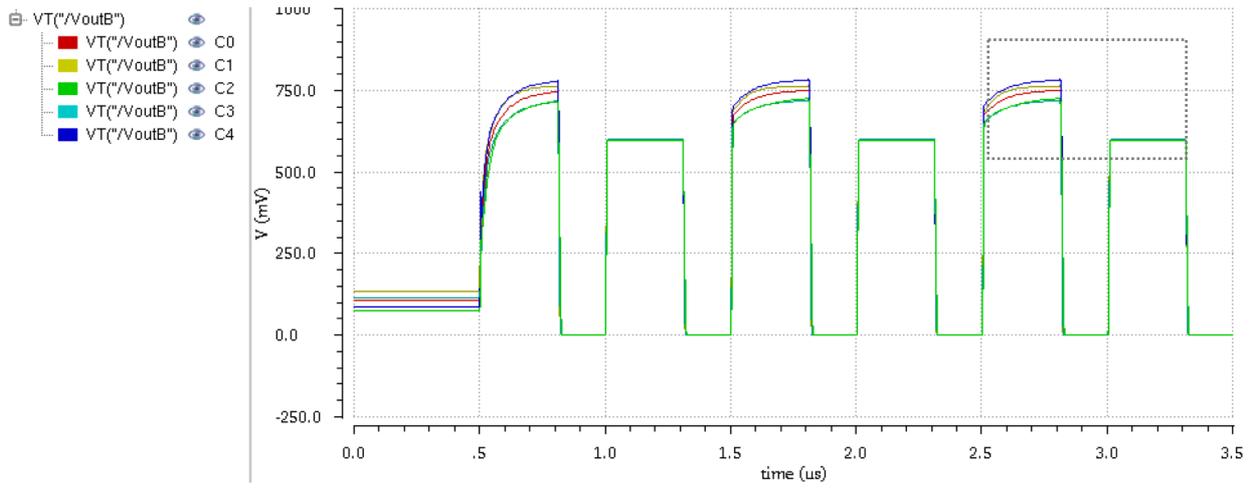


a)

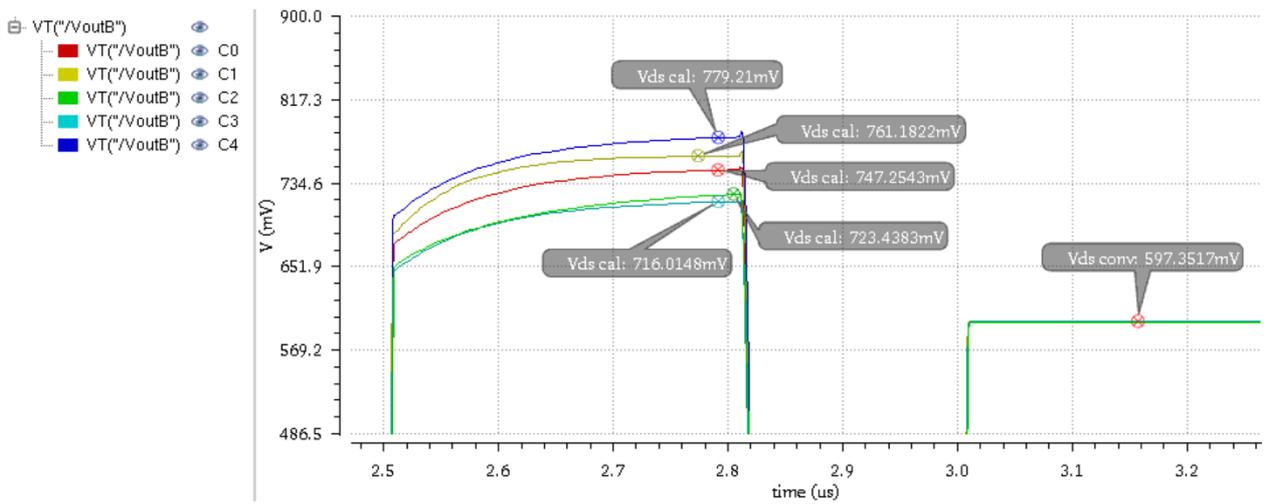


b)

Figura 33 Análisis de esquinas FEOL de la tensión en el drenador del esquema convencional a) varios ciclos b) detalle del análisis

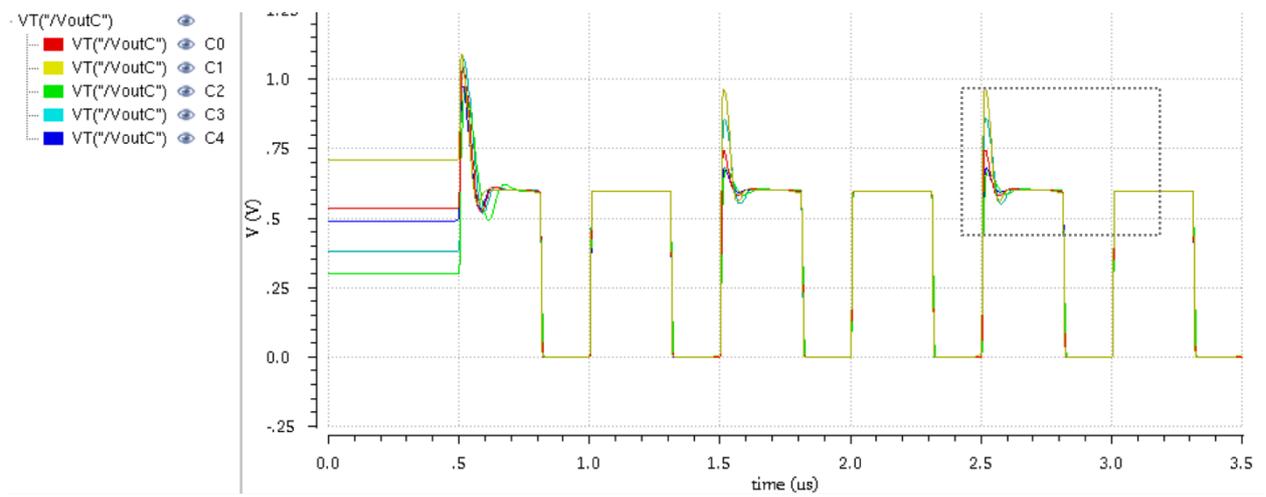


a)

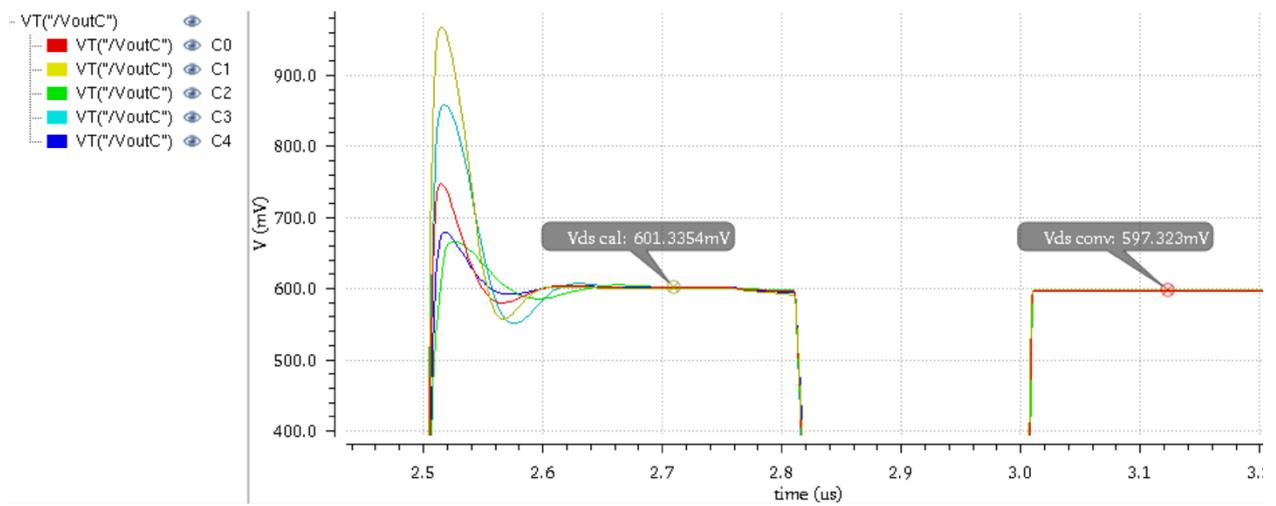


b)

Figura 34 Análisis de esquinas FEOL de la tensión en el drenador del esquema con cascodo a) varios ciclos b) detalle del análisis



a)



b)

Figura 35 Análisis de esquinas FEOL de la tensión en el drenador del esquema con cascode activo a) varios ciclos b) detalle del análisis

Tabla 9 Análisis FEOL de V_{DS} en el circuito real

Análisis de esquinas FEOL (Front-End Of Line) en el circuito real						
		<i>C0 - TT</i> (típica-típica)	<i>C1 - FF</i> (rápida-rápida)	<i>C2 - SS</i> (lenta-lenta)	<i>C3 - FS</i> (rápida-lenta)	<i>C4 - SF</i> (lenta-rápida)
Esquema convencional	V_{DS} cal (mV)	538.478	494.615	570.489	496.298	581.658
	V_{DS} conv (mV)	598.111	598.111	598.111	598.111	598.111
Esquema con cascodo	V_{DS} cal (mV)	747.254	761.182	723.438	716.015	779.210
	V_{DS} conv (mV)	597.352	597.352	597.352	597.352	597.352
Esquema con cascodo activo	V_{DS} cal (mV)	601.335	601.335	601.335	601.335	601.335
	V_{DS} conv (mV)	597.324	597.324	597.324	597.324	597.324

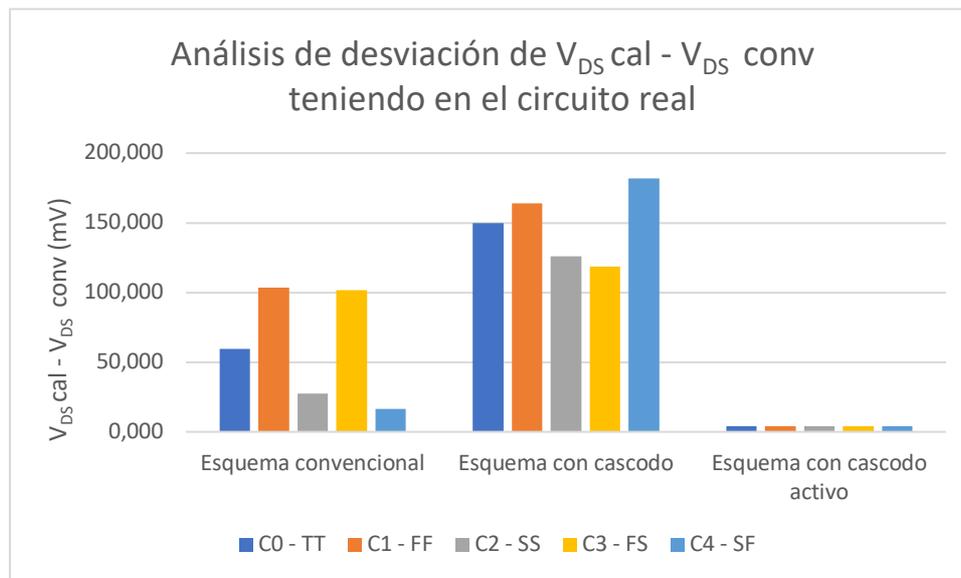
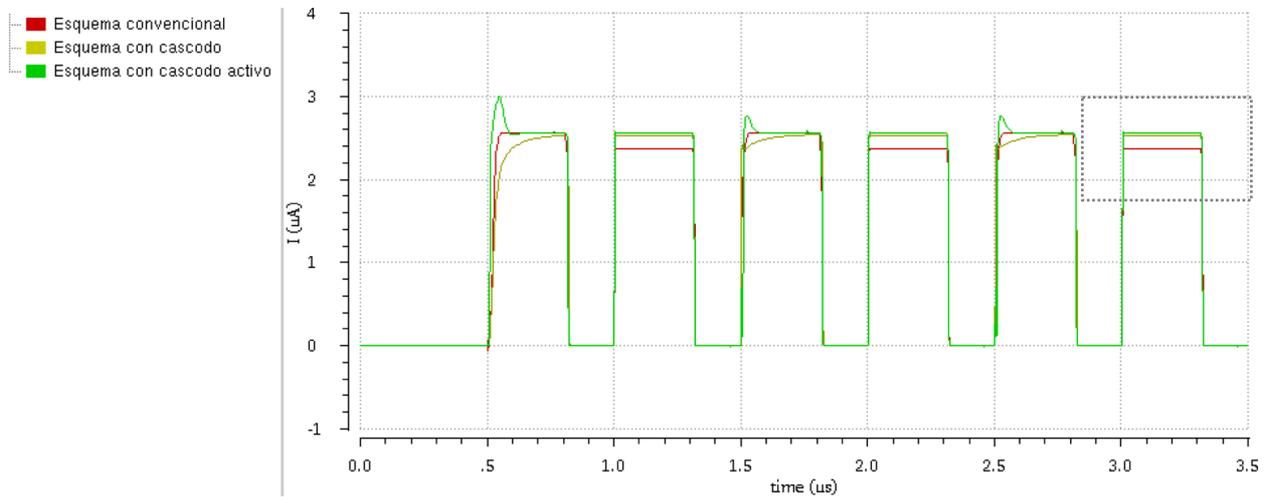


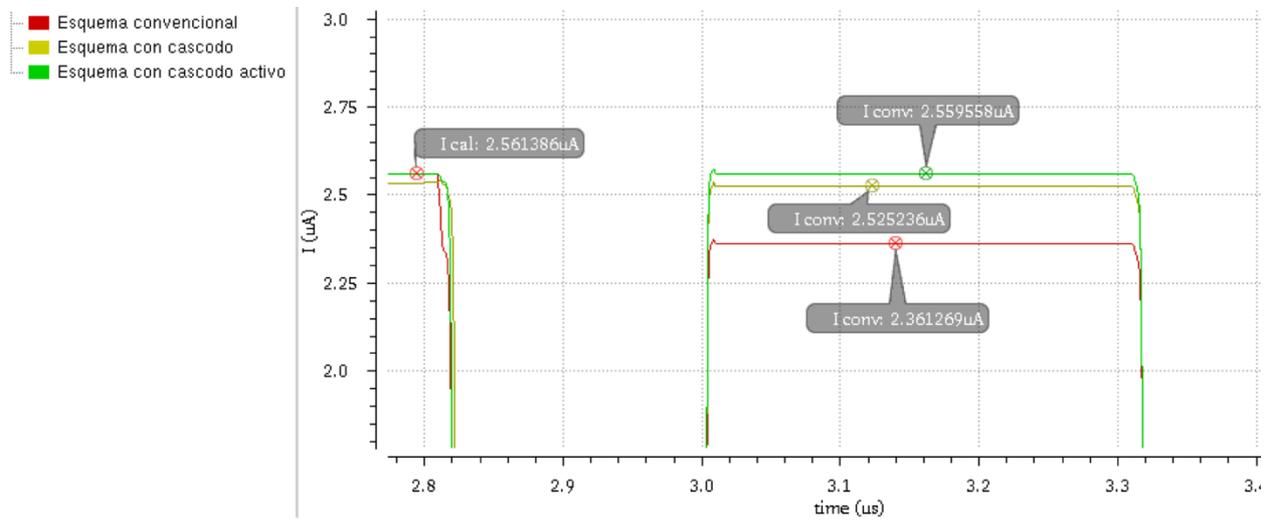
Figura 36 Análisis de desviación de V_{DS} cal - V_{DS} conv en el circuito real

En el análisis de esquinas FEOL realizado a los tres esquemas y en el análisis de desviación de la figura anterior se puede observar la apreciable variación entre las simulaciones del circuito real y el circuito en el que sólo se ha tenido en cuenta la inyección de carga. Mientras que en el segundo la mejora es progresiva entre el esquema convencional, el esquema con cascodo y el esquema con cascodo activo, en el circuito real la influencia de ciertas variaciones en el esquema convencional puede hacer que su funcionamiento se vea favorecido y no sea el que aporte peores resultados. Vemos que en el peor caso el esquema convencional tendrá un error de 100 mV mientras que el esquema con cascodo, en el caso menos favorable, tendrá un error de 180 mV. Sin embargo, el esquema con cascodo activo sigue siendo el que ofrece una mejor respuesta, con un error de 4mV aproximadamente en cualquiera de los casos.

Ahora se llevarán a cabo los mismos análisis, pero se estudiará el comportamiento la corriente en el drenador en vez del de la tensión.



a)



b)

Figura 37 Análisis transitorio de la corriente en el drenador para los esquemas: convencional, con cascode y con cascode activo a) varios ciclos b) detalle del análisis

En el análisis transitorio de la corriente en el drenador de los esquemas reales es notable la influencia del resto de errores, el debido al factor de modulación de la longitud del canal y el causado por el acople capacitivo. Tanto en el esquema convencional como el esquema con cascodo se puede observar la presencia de estos, ya que es apreciable diferencia del valor de I_{conv} entre este análisis transitorio y el que se ha realizado teniendo en cuenta solo la inyección de carga. Sin embargo, en el resultado del esquema con cascodo activo no existe dicha influencia y se consigue el objetivo principal, aislar los posibles errores y que no afecten a la corriente I_{conv} .

También se llevará a cabo un análisis de esquinas FEOL que ayudará a visualizar el funcionamiento de los esquemas.

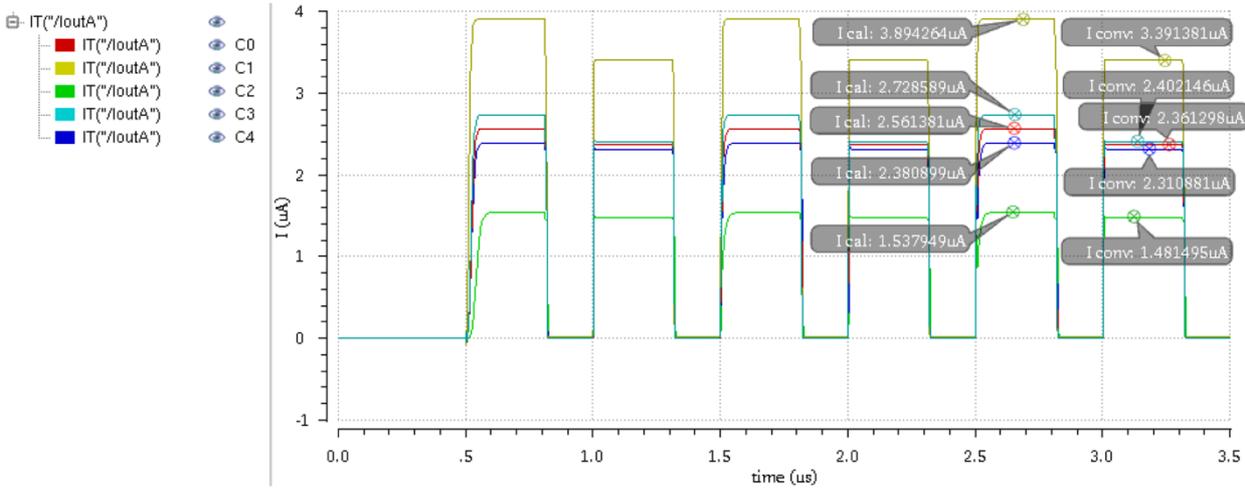


Figura 38 Análisis de esquinas FEOL de la corriente en el drenador del esquema convencional

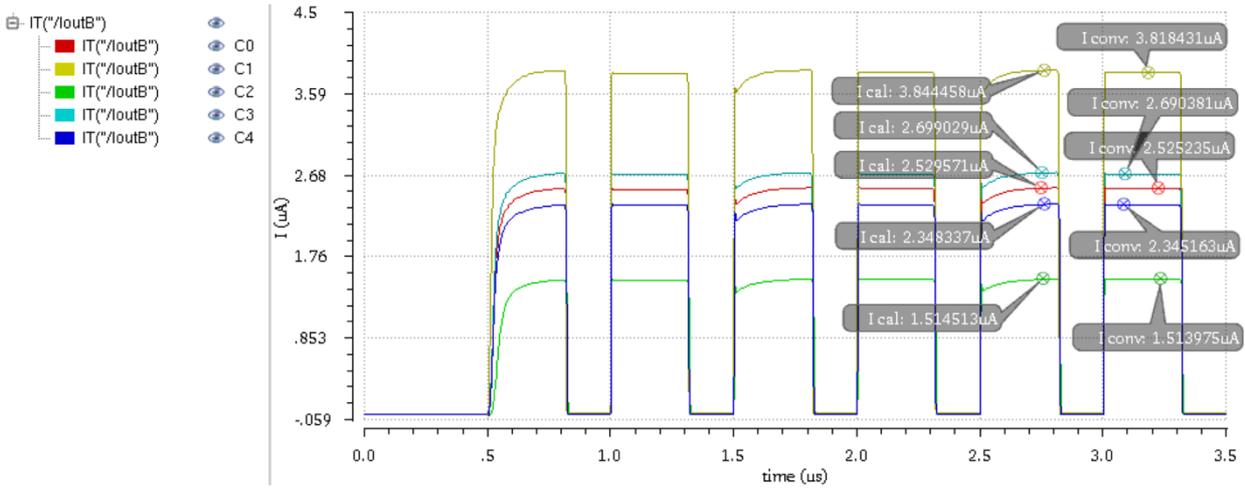


Figura 39 Análisis de esquinas FEOL de la corriente en el drenador del esquema con cascodo

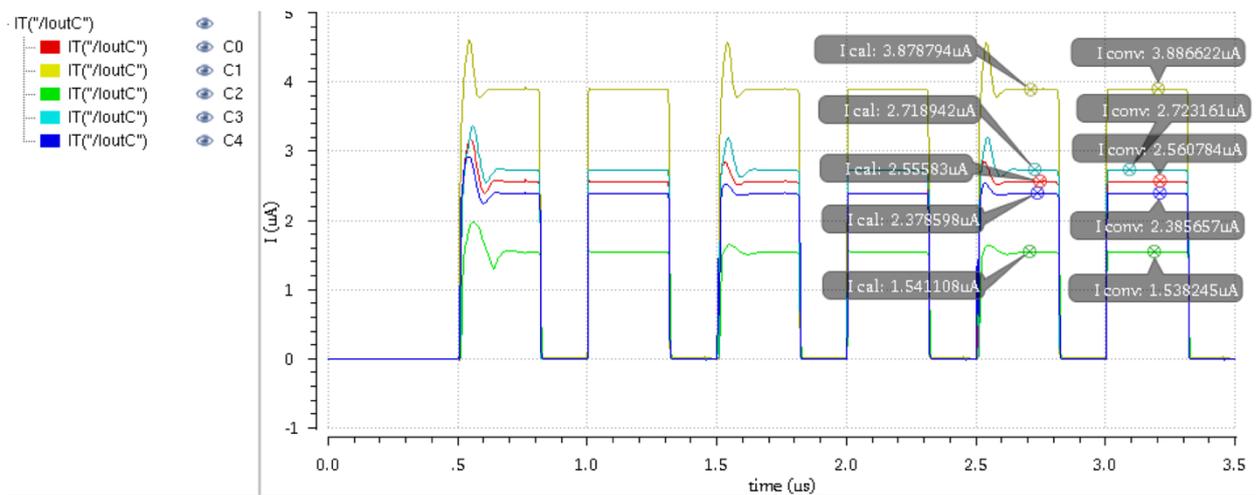


Figura 40 Análisis de esquinas FEOL de la corriente en el drenador del esquema con cascode activo

Tabla 10 Análisis FEOL de I en el circuito real

Análisis de esquinas FEOL(Front-End Of Line) en el circuito real						
		$C0 - TT$ (típica-típica)	$C1 - FF$ (rápida-rápida)	$C2 - SS$ (lenta-lenta)	$C3 - FS$ (rápida-lenta)	$C4 - SF$ (lenta-rápida)
Esquema convencional	$I_{cal} (\mu A)$	2.561	3.894	1.538	2.729	2.381
	$I_{conv} (\mu A)$	2.361	3.391	1.481	2.402	2.311
Esquema con cascode	$I_{cal} (\mu A)$	2.530	3.845	1.515	2.699	2.348
	$I_{conv} (\mu A)$	2.525	3.818	1.514	2.690	2.345
Esquema con cascode activo	$I_{cal} (\mu A)$	2.556	3.879	1.541	2.719	2.379
	$I_{conv} (\mu A)$	2.561	3.887	1.538	2.723	2.386

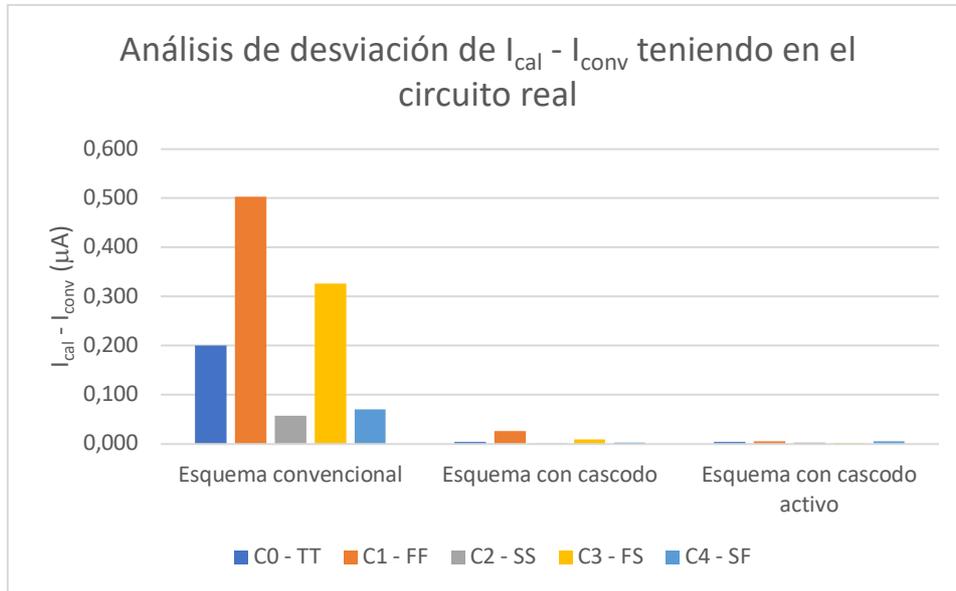
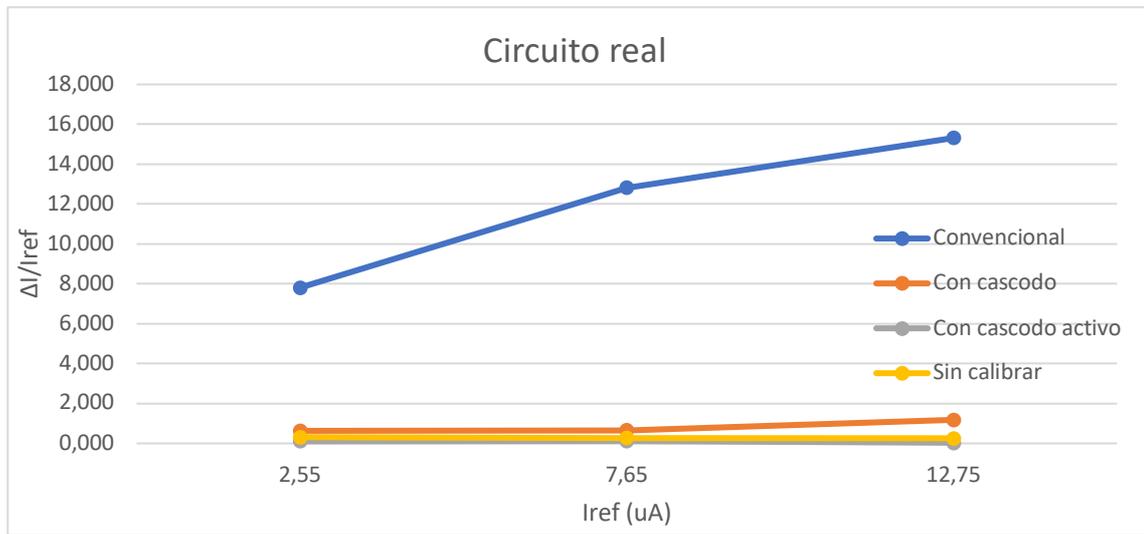


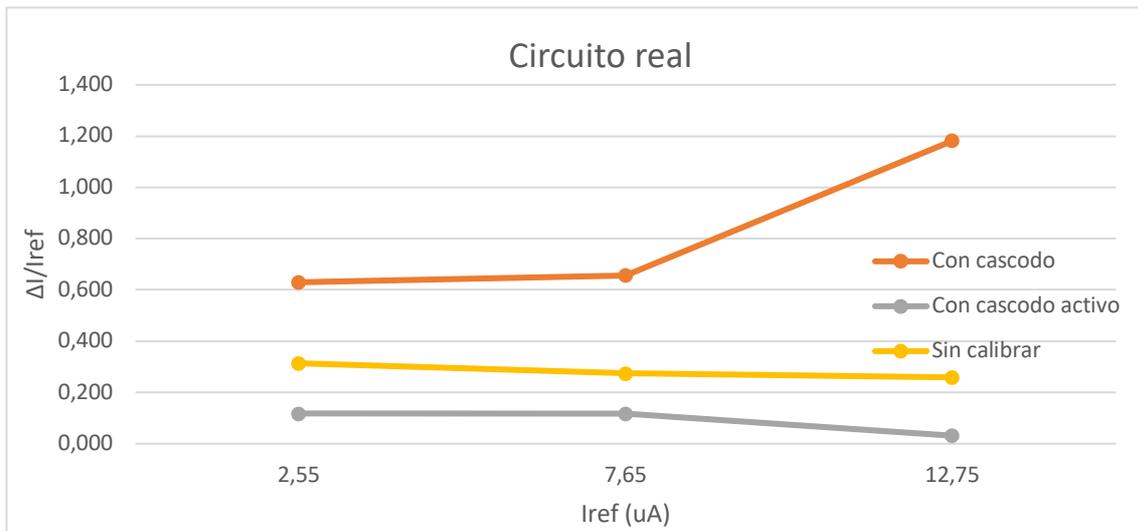
Figura 41 Análisis de desviación de $I_{cal} - I_{conv}$ en el circuito real

Tras estos análisis podemos decir que es totalmente visible la diferencia entre los esquemas con cascodos y el esquema convencional. Con los dos primeros se consigue el objetivo de que la intensidad no se vea afectada considerablemente por la inyección de carga, mientras que con el esquema convencional esto no es posible. En el peor caso obtenemos para este último un error de $0.5\mu A$, para el esquema con cascodo un error de $0.03\mu A$ y para el esquema con cascodo activo un error de $0.005\mu A$ aproximadamente.

A continuación, se llevará a cabo un estudio de la respuesta de los tres esquemas de calibración propuestos y del uso de la fuente de corriente sin calibrar teniendo en cuenta todos los errores. Se realizarán las pruebas correspondientes para ver el error que se produce en la corriente en condiciones normales, con un 10% de mismatch geométrico y con un 5% de mismatch en V_{th} , tal y como se hizo en el apartado anterior teniendo en cuenta solo la inyección de carga.



a)



b)

Figura 42 Variación de la intensidad de salida respecto a la de referencia ($\Delta I/I_{ref}$) en tanto por ciento (%) en el circuito real a) todos los esquemas b) esquemas con menor error

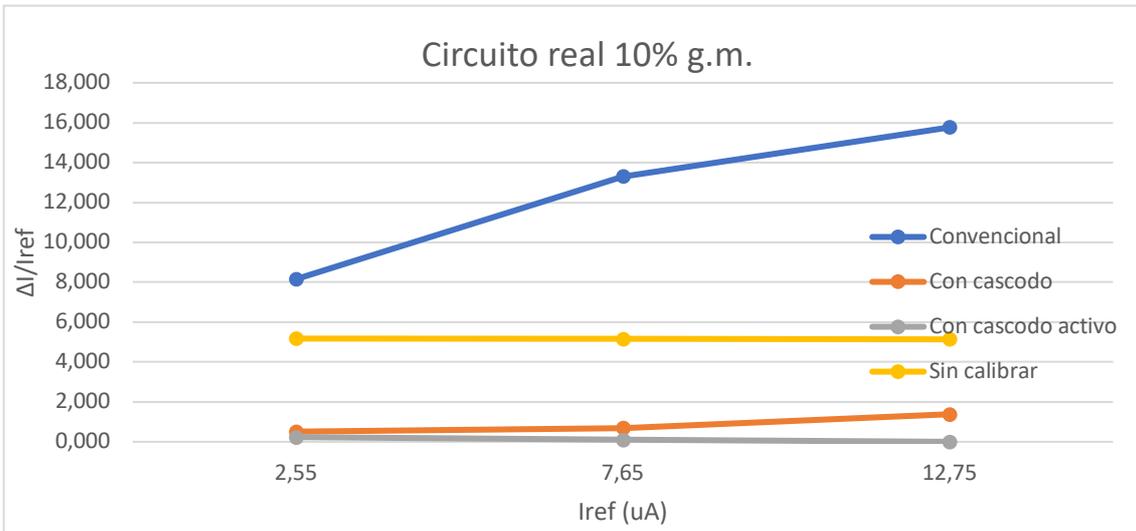


Figura 43 Variación de la intensidad de salida respecto a la de referencia ($\Delta I/I_{ref}$) en tanto por ciento (%) en el circuito real con un 10% de mismatch geométrico

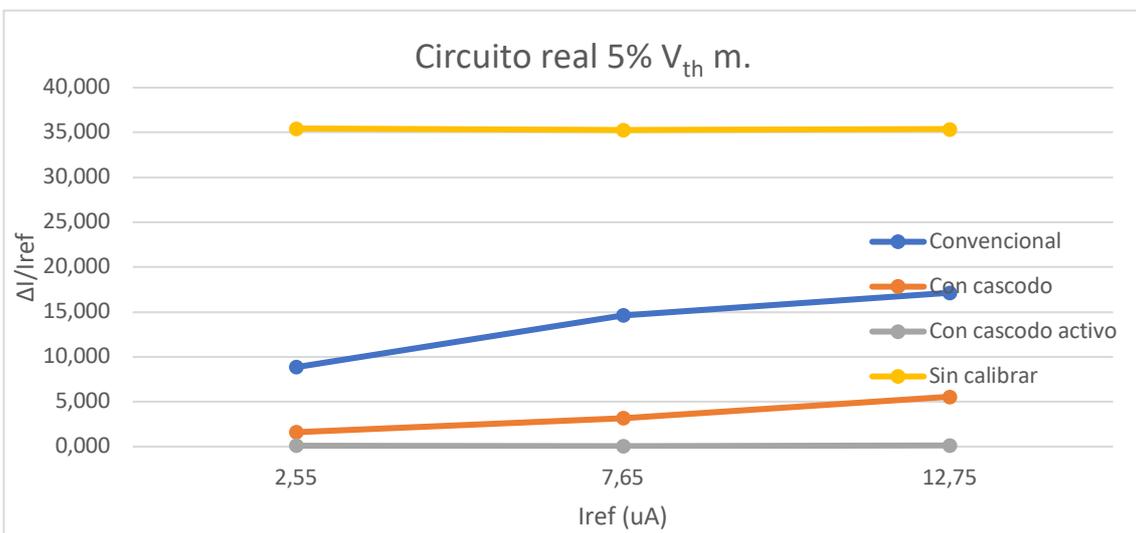


Figura 44 Variación de la intensidad de salida respecto a la de referencia ($\Delta I/I_{ref}$) en tanto por ciento (%) en el circuito real con un 5% de mismatch en V_{th}

Tabla 11 Variación de la intensidad de salida respecto a la de referencia en el circuito real

Variación de la intensidad de salida respecto a la de referencia ($\Delta I/I_{ref}$) en tanto por ciento (%) en el circuito real									
	Sin variaciones			10% de mismatch geométrico			5% de mismatch en V_{th}		
Intensidad en amperios (aprox.) A	2.55	7.65	12.75	2.55	7.65	12.75	2.55	7.65	12.75
Sin calibrar	0.314	0.275	0.259	5.176	5.163	5.137	35.451	35.281	35.373
Convencional	7.809	12.821	15.314	8.158	13.300	15.766	8.853	14.616	17.143
Con cascode	0.630	0.656	1.181	0.511	0.694	1.383	1.605	3.171	5.559
Con cascode activo	0.117	0.117	0.031	0.117	0.104	0.000	0.117	0.052	0.133

Estos resultados siguen verificando que los esquemas con cascodos propuestos tienen mucha menor sensibilidad a los errores debidos a la inyección de carga. El error en el esquema con cascode aumenta con el valor de I_{ref} , al igual que en el estudio anterior. En este caso los cambios en la tensión del drenador entre la fase de uso y la fase de calibración son mayores, aunque igualmente incrementan a medida que I_{ref} aumenta.

Este aumento se debe a la existencia de los errores causados por el factor de modulación de la longitud del canal y el acople capacitivo.

El esquema con cascode activo mantiene el mismo error, de 0.1% aproximadamente, independientemente de las condiciones.

Cabe destacar que, como en el apartado anterior, para el esquema sin calibrar en el caso de poseer un 10% de mismatch geométrico el error esperado es de un 10% en la corriente. Sin embargo, debido a la geometría del transistor, esta desviación del 10% no se cumple y el resultado es de un 5% de error.

5 CONCLUSIONES Y TRABAJO FUTURO

Este trabajo fin de grado se ha tenido como objetivo el estudio y propuesta de dos esquemas de calibración dinámica para fuentes de corriente de alta precisión. El modelado y la implementación a nivel esquemático han sido llevados a cabo en una tecnología CMOS de 65 nm.

Teniendo en cuenta los resultados obtenidos, es posible concluir que se consigue disminuir el error entre la etapa de calibración y de conversión, el cual afecta a la intensidad de salida del sistema. Tanto con el primer esquema de calibración con cascode como con el segundo esquema de calibración con cascode activo se consigue reducir el error debido a la inyección de carga y al acoplamiento capacitivo. Además, gracias al amplificador auxiliar del segundo también se ha conseguido reducir la variación en el voltaje del drenador del transistor cascode entre las fases de conversión y de calibración. En este último se ha llegado a conseguir un error de la intensidad de salida que no supera el 0.12% respecto a la de referencia.

No obstante, se debe tener en cuenta el estado del amplificador del esquema con cascode activo, el cual se encuentra en saturación, pero no llega a cumplir $V_{\text{eff}}=0.1\text{V}$ debido a la especificación de $V_{\text{ref}} = \frac{V_{\text{dd}}}{2}$.

Para mejoras futuras debería estudiarse lo mencionado con anterioridad y tratar de conseguir un diseño óptimo con transistores en inversión fuerte que cumplan una $V_{\text{eff}}=0.1\text{V}$, es decir, con una V_{ref} por debajo de 600m para entradas de tipo PMOS y con una V_{ref} por encima de 600mV para transistores tipo NMOS.

Entre otros trabajos futuros, quizás el más relevante, se encuentra la realización del layout de todos los circuitos diseñados, así sería posible la validación de los resultados obtenidos mediante simulación con resultados experimentales. Para ello, sería necesario llevar a cabo el diseño y la fabricación del setup de medidas para la caracterización experimental.

En tercer lugar, sería interesante el diseño de DACs basados en las técnicas de calibración de las fuentes de corriente estudiadas. Esta propuesta tendría el fin de realizar una comparación entre dichos DACs y los DACs sin calibrar, con el objetivo de comprobar que es posible el aumento de la precisión de los convertidores y de ver hasta dónde podría llegar su mejora.

Por último, la posibilidad de extender las técnicas estudiadas para aplicarlas a fuentes de corriente calibradas de tipo N y de tipo P. De este modo, sería posible llevar a cabo el diseño de DACs diferenciales de polaridad dual.

Referencias

- [1] The Information Society, Knowledge Society and Learning Society. Referring to their training
Dra.C. Ileana R. Alfonso Sánchez
- [2] Kofi Annan, discurso inaugural de la primera fase de la WSIS (Ginebra, 2003)
- [3] M. Clara, High-Performance D/A-Converters, Springer Series in Advanced Microelectronics
36, DOI 10.1007/978-3-642-31229-8, © Springer-Verlag Berlin Heidelberg 2013
- [4] SISTEMAS DIGITALES: PRINCIPIOS Y APLICACIONES por Ronald J. Tocci, Neal S.
Widmer
- [5] <https://www.arrow.com/es-mx/research-and-events/articles/linear-technologys-high-speed-dacs-generate-signals-with-industry-leading-spectral-purity>
- [6] http://www.imse-cnm.csic.es/es/lineas/tic026_hig.php
- [7] <https://elpuig.xeill.net/Members/vcarceler/c1/didactica/apuntes/ud1/na5>
- [8] Pallavi G. Darji, Chetan D Parikh, Novel Analog Calibration Technique for Current - Steering
DACs, Springer Science Business Media New York 2015
- [9] T. Guy, L. Trythall, A. Brodersen, A sixteen-bit monolithic bipolar DAC. IEEE J. Solid-State
Circ. **17**(6), 1127–1132 (1982)
- [10] J.R. Naylor, A complete high-speed voltage output 16-bit monolithic DAC. IEEE J. Solid-
State Circ. **18**(6), 729–735 (1982)
- [11] R. Craven, An integrated circuit 12-bit D/A converter. IEEE International Solid-State Circuits
Conference 1975, Digest of Technical Papers, pp. 40–41, 1975

- [12] D. Comer, A monolithic 12-bit DAC. *IEEE Trans. Circ. Syst. II: Analog and Digital Signal Process.* **25**(7), 504–509 (1978)
- [13] C.-H. Yang, C.-M. Su, Method of forming a metal fuse on semiconductor devices, U.S. Patent 6,835,642, 28 Dec 2004
- [14] J. Fellner, P. Boesmueller, H. Reiter, Lifetime study for a poly fuse in a 0.35 μm polycide CMOS process. *IEEE International Reliability Physics Symposium*, pp. 17–21, 2005
- [15] P. Pessl, R. Gaggl, J. Hohl, D. Giotta, J. Hauptmann, A four-channel ADSL2+ analog front-end for CO applications with 75 mW per channel, built in 0.13 μm CMOS. *IEEE J. Solid-State Circ.* **39**(12), 2371–2378 (2004)
- [16] Y. Cong, R.L. Geiger, A 1.5-V 14-bit 100-MS/s self-calibrated DAC. *IEEE J. Solid-State Circ.* **38**(12), 2051–2060 (2003)
- [17] Q. Huang, P.A. Francese, C. Martelli, J. Nielsen, A 200MS/s 14b 97mW DAC in 0.18 μm CMOS. *IEEE International Solid-State Circuits Conference 2004, Digest of Technical Papers*, pp. 364–532, 2004
- [18] A. Bugeja, B.-S. Song, A Self-Trimming 14-b 100-MS/s CMOS DAC. *IEEE J. Solid-State Circ.* **34**(12), 1841–1852 (2000)
- [19] G. Wegmann, E. Vittoz, Very accurate dynamic current mirrors. *Electron. Lett.* **25**, 644–646 (1989)
- [20] G. Wegmann, E.A. Vittoz, Analysis and improvements of accurate dynamic current mirrors. *IEEE J. Solid-State Circ.* **25**(3), 699–706 (1990)
- [21] G. Wegmann, E. Vittoz, F. Rahali, Charge injection in analog MOS switches. *IEEE J. Solid-State Circ.* **22**(6), 1091–1097 (1987)
- [22] W. Groeneveld, H. Schouwenaars, H. Termeer, A self calibration technique for monolithic high-resolution D/A converters. *IEEE J. Solid-State Circ.* **24**(6), 1517–1522 (1989)

Glosario

ADC	
Analog to Digital Converter	1
DAC	
Digital to Analog Converter	1
FEOL	
Front-End Of Line	25
I-V	
de Intensidad a Voltaje.....	2
mismatch	
desviación del valor del elemento de referencia	5
SAR	
Successive Approximation Register.....	2
TIC	
Tecnologías de la Información y la Comunicación	1
W	
Anchura del transistor.....	15