Proyecto Fin de Grado
Grado en Ingeniería de las Tecnologías de la Telecomunicación

ESTUDIO Y MODELADO DE AMPLIFICADORES OPERACIONALES PARA DISEÑO ANALÓGICO

Autor: Rocío Macías Ollega
Tutor: Clara Isabel Luján Martínez

Departamento de Ingeniería Electrónica
Escuela Técnica Superior de Ingeniería
Universidad de Sevilla

Sevilla, 2018

Proyecto Fin de Grado
Grado en Ingeniería de las Tecnologías de la Telecomunicación

ESTUDIO Y MODELADO DE AMPLIFICADORES OPERACIONALES PARA DISEÑO ANALÓGICO

Autor:
Rocío Macías Ollega

Tutor:
Clara Isabel Luján Martínez
Profesora Contratada Doctora

Departamento de Ingeniería Electrónica
Escuela Técnica Superior de Ingeniería
Universidad de Sevilla
Sevilla, 2018

Proyecto Fin de Grado: ESTUDIO Y MODELADO DE AMPLIFICADORES OPERACIONALES PARA DISEÑO ANALÓGICO

Autor: Rocío Macías Ollega

Tutor: Clara Isabel Luján Martínez

El tribunal nombrado para juzgar el Proyecto arriba indicado, compuesto por los siguientes miembros:

Presidente:

Vocales:

Secretario:

Acuerdan otorgarle la calificación de:

Sevilla, 2018

El Secretario del Tribunal

A mi familia

Agradecimientos

Este Proyecto Fin de Grado pone punto y final a una etapa llena de esfuerzo y trabajo. Durante este tiempo, han sido muchas las personas que han estado a mi lado, de una forma u otra, ayudándome a superarla y apoyándome en cada momento. Son estas personas las que se merecen todo mi agradecimiento.

Gracias a mis compañeros y amigos de Facultad, por los momentos compartidos, las clases, las prácticas interminables, los laboratorios, las horas de estudio y, sobre todo, por vuestro continuo apoyo. Gracias a mis amigas, por haberme escuchado y comprendido en cada bajón y en cada alegría. Por vuestra paciencia, cariño y ánimos, gracias.

Gracias a mi familia. En especial, gracias a mis padres, pues son los grandes responsables de que haya llegado hasta aquí, por la educación que me han dado, su cariño, su fe en mi y su apoyo constante en los momentos difíciles, que sé que han sido muchos. Gracias a mi hermana, por estar siempre ahí, por animarme con su risa cada día y por tenerme como un ejemplo para ella.

Y gracias a mi abuela, mi pilar fundamental, por darme las fuerzas necesarias para no rendirme nunca y hacerme ver que si me lo propongo soy capaz de lo que sea.

Os quiero.

Rocío Macías Ollega

Sevilla, 2018

Resumen

Este proyecto tiene como objetivo el desarrollo de una librería de modelos de amplificadores operacionales que servirá de herramienta de apoyo al diseñador de microelectrónica analógica y señal mixta.

Cada uno de los modelos propuestos describirá el comportamiento de un amplificador operacional desde el caso más sencillo donde el amplificador se comportaría como una fuente de tensión controlada por tensión, hasta un modelo completo donde se modelan efectos de 2º orden.

Abstract

The objective of this project is the development of a library of models of operational amplifiers that will serve as a support tool for the designer of analog microelectronics and mixed signal.

Each of the proposed models describes the behavior of an operational amplifier from the simplest case when the amplifier behaves as a tension controlled voltage source, to a complete model where second order effects are modeled.

Índice

Agradecimientos **ix**

Resumen **xi**

Abstract **xii**

Índice **xiii**

Índice de Figuras **xv**

1 INTRODUCCIÓN **11**
1.1 ANTECEDENTES *11*
1.2 ESTADO DEL ARTE *11*
1.3 OBJETIVOS Y ALCANCE *14*
1.4 ORGANIZACIÓN DEL DOCUMENTO *14*

2 PARÁMETROS DE INTERÉS DE UN AMPLIFICADOR OPERACIONAL **15**
2.1 GANANCIA DE TENSIÓN DIFERENCIAL EN LAZO ABIERTO Y ANCHO DE BANDA FINITO *15*
2.2 IMPEDANCIA DE ENTRADA *15*
2.3 IMPEDANCIA DE SALIDA *16*
2.4 TENSIÓN Y CORRIENTE DE OFFSET DE ENTRADA *16*
2.5 SLEW-RATE *16*
2.6 RUIDO *16*

3 DISEÑO Y RESULTADOS OBTENIDOS **18**
3.1 MODELOS DE AMPLIFICADOR DE UNA ETAPA *19*
3.1.1 MODELO SIMPLE DE UN AMPLIFICADOR CON GANANCIA FINITA 19
3.1.2 MODELO DE AMPLIFICADOR DE UNA ETAPA CON GANANCIA Y ANCHO DE BANDA FINITOS (MODELO DE UN POLO) Y RESISTENCIA DE SALIDA 20
3.1.3 MODELO DE AMPLIFICADOR DE UNA ETAPA CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA Y TENSIÓN DE OFFSET 24
3.1.4 MODELO DE AMPLIFICADOR DE UNA ETAPA CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET Y LIMITACIÓN DE SLEW-RATE 28
3.1.5 MODELO DE AMPLIFICADOR DE UNA ETAPA CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET, LIMITACIÓN DE SLEW-RATE Y RUIDO 34
3.2 MODELOS DE AMPLIFICADOR DE DOS ETAPAS *40*
3.2.1 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA Y COMPENSACIÓN MILLER 40
3.2.2 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA Y TENSIÓN DE OFFSET 45
3.2.3 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET Y LIMITACIÓN DE SLEW-RATE 49
3.2.4 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET, LIMITACIÓN DE SLEW-RATE Y RUIDO 55

3.3 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET, LIMITACIÓN DE RANGO DE ENTRADA Y RUIDO *63*

4 CONCLUSIONES Y FUTURAS LÍNEAS DE TRABAJO **70**

Referencias **72**

Anexo: GUIA DE USO DE AMPLIFICADORES OPERACIONALES DE UNA Y DOS ETAPAS MODELADOS EN VERILOG-A **73**

ÍNDICE DE FIGURAS

Figura 1: Metodología de diseño Bottom Up 12

Figura 2: Metodología de diseño Top Down 12

Figura 3: Celda básica de un amplificador operacional 13

Figura 4: Tipos de Ruido distinguibles en la función de densidad espectral raíz: a) ruido blanco, b) ruido rosa en baja frecuencia y blanco en alta frecuencia. 16

Figura 5: Macromodelo equivalente al modelo Verilog-A de un amplificador con ganancia finita 19

Figura 6: Simulación TRAN de un modelo simple de amplificador con ganancia finita 20

Figura 7: Macromodelo equivalente al modelo Verilog-a de un amplificador de una etapa con ganancia y ancho de banda finitos (modelo de un polo) y resistencia de salida 20

Figura 8: El test bench para la simulación de bucle abierto 21

Figura 9: Simulación AC del modelo de un amplificador de una etapa con ganancia y ancho de banda finitos (modelo de un polo) y resistencia de salida 22

Figura 10: Simulación TRAN del modelo de un amplificador de una etapa con ganancia y ancho de banda finitos (modelo de un polo) y resistencia de salida 23

Figura 11: Ampliación para ver la función de seguidor del amplificador 23

Figura 12: Macromodelo equivalente al modelo Verilog-a de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset 24

Figura 13: Simulación AC de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset 26

Figura 14: Configuración de la fuente pwl para generar un pulso 26

Figura 15: Simulación TRAN de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset 27

Figura 16: Efecto de la tensión de offset a la entrada del amplificador 27

Figura 17: Macromodelo equivalente al modelo Verilog-A de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate 28

Figura 18: Simulación AC de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate 30

Figura 19: Configuración de la fuente pwl para generar un pulso 31

Figura 20: Simulación TRAN de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate 31

Figura 21: Efecto de la tensión de offset a la entrada del amplificador 32

Figura 22: Efecto del slew-rate a la subida y bajada del pulso 32

Figura 23: Valores para el cálculo teórico del slew-rate 33

Figura 24: Resultado del slew-rate de la simulación 33

Figura 25: Macromodelo equivalente al modelo Verilog-A de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido 34

Figura 26: Simulación AC de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido 36

Figura 27: Configuración de la fuente pwl para generar un pulso 37

Figura 28: Simulación TRAN de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido 37

Figura 29: Efecto de la tensión de offset a la entrada del amplificador 38

Figura 30: Efecto del slew-rate a la subida y bajada del pulso 38

Figura 31: Parámetros de ruido obtenidos de la simulación 39

Figura 32: Resultados obtenidos del ruido blanco y el ruido flicker 39

Figura 33: El test bench para la simulación de bucle abierto 40

Figura 34: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida y compensación Miller 41

Figura 35: Simulación AC de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida y compensación Miller 43

Figura 36: Simulación TRAN de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida y compensación Miller 44

Figura 37: Ampliación para ver la función de seguidor del amplificador 44

Figura 38: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset 45

Figura 39: Simulación AC de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset 47

Figura 40: Configuración de la fuente pwl para generar un pulso 48

Figura 41: Simulación TRAN de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset 48

Figura 42: Efecto de la tensión de offset a la entrada del amplificador 49

Figura 43: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate 50

Figura 44: Simulación AC de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate 52

Figura 45: Configuración de la fuente pwl para generar un pulso 53

Figura 46: Simulación TRAN de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate 53

Figura 47: Efecto de la tensión de offset a la entrada del amplificador 54

Figura 48: Efecto del slew-rate en la subida y bajada del pulso 54

Figura 49: Valores para el cálculo teórico del slew-rate 55

Figura 50: Resultado del slew-rate de la simulación 55

Figura 51: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido 56

Figura 52: Simulación AC de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido 59

Figura 53: Configuración de la fuente pwl para generar un pulso 59

Figura 54: Simulación TRAN de un amplificador de dos etapas con ganancia y ancho de banda finitos,

resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido 60

Figura 55: Efecto de la tensión de offset a la entrada del amplificador 60

Figura 56: Efecto del slew-rate a la subida y bajada del pulso 61

Figura 57: Parámetros de ruido obtenidos de la simulación 61

Figura 58: Resultados obtenidos del ruido blanco y el ruido flicker 62

Figura 59: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de rango de entrada y ruido 63

Figura 60: Simulación AC de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de rango de entrada y ruido 66

Figura 61: Configuración de la fuente pwl para generar un pulso 66

Figura 62: Simulación TRAN de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de rango de entrada y ruido 67

Figura 63: Efecto de la tensión de offset a la entrada del amplificador 67

Figura 64: Efecto del slew-rate a la subida y bajada del pulso 68

Figura 65: Parámetros de ruido obtenidos de la simulación 68

Figura 66: Resultados obtenidos del ruido blanco y el ruido flicker 69

1 INTRODUCCIÓN

1.1 ANTECEDENTES

En las últimas décadas se ha despertado un gran interés por el desarrollo de las comunicaciones y más en concreto de las comunicaciones inalámbricas. Este desarrollo ha supuesto un cambio patente en muchos ámbitos de la sociedad, tanto a nivel comercial como en la educación, investigación, relaciones sociales, medicina, etc.

A lo largo de estos últimos años, la mayoría de los avances que se han producido en el campo de las comunicaciones han ido orientados al desarrollo de sistemas de comunicación inalámbrica a través de señales de radio frecuencia (RF), tales como la telefonía móvil y teléfonos inalámbricos, sistemas de GPS, radio y televisión digitales, etc. Para todo ello se necesitan diseñar conversores de señal que la modelen según el uso que se desee. Estos conversores analógicos-digitales se basan en el diseño de filtros, que a su vez emplean amplificadores operacionales mediante los cuales se controlan estos circuitos con los parámetros deseados para cada aplicación.

Para muchas de las aplicaciones de baja frecuencia e instrumentación, los amplificadores operaciones que actualmente se fabrican tienen un comportamiento muy parecido al ideal. Sin embargo, cuando se los aplica a situaciones de mayor precisión o requisitos más restrictivos se necesita considerar modelos mas detallados de su comportamiento [1].

En cualquier caso, conocer las características específicas del amplificador operacional que se utiliza, es necesario para comprobar si el comportamiento ideal es válido y estimar si puede ser utilizado en la aplicación que se está desarrollando o debe ser sustituido por otro. La forma habitual de analizar un circuito que se basa en un amplificador operacional, parte de considerar inicialmente un comportamiento ideal, y luego, partiendo de este estudio se analizan las limitaciones que sobre el mismo introducen las diferentes características reales específicas del amplificador. El resultado de este análisis es, bien la validación del amplificador operacional, o la propuesta de su sustitución por otro tipo de amplificador operacional con características más adecuadas.

1.2 ESTADO DEL ARTE

Actualmente existen dos metodologías de diseño a la hora de orientar la forma de abordar un proyecto o la elaboración de un trabajo. Se tiene una metodología de diseño tradicional, el *Bottom Up;* que consiste en reunir diferentes sistemas que conformarán un todo. Los elementos individuales son especificados en gran detalle, los componentes se van uniendo unos con otros hasta conformar un sistema final, que se logra al llegar al nivel superior.

Figura 1: Metodología de diseño Bottom Up

En el Bottom Up [2] no se necesita tener una imagen clara del estado final del proyecto, sino que para empezar basta con una característica en particular. Es así como se van juntando las pequeñas piezas que luego conformarán un gran sistema, formado por subsistemas.

Esta metodología tiene desventajas como:

- Necesita mucha intuición para decidir la funcionalidad que se le va a dar a cada módulo. Por esto si se está trabajando con un sistema existente es más fácil desarrollar el proyecto que si se empieza desde cero.
- La verificación a través del proceso se hace muy difícil una vez que se está trabajando con grandes ensambles, con lo cual, el tiempo de revisión es mucho mayor.
- No hay fluidez en esta metodología, lo que lleva a que el diseñador no esté seguro de que los bloques de diseño vayan a funcionar una vez este el diseño completo.

Por otro lado, se puede hablar de la tendencia actual: la metodología *Top Down*.

Esta metodología es una estratégia para procesar información y conocimiento. Se emplea en diferentes áreas como el diseño de circuitos, desarrollo de productos y de software.

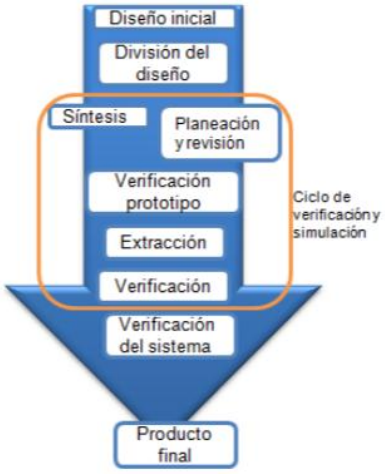

Figura 2: Metodología de diseño Top Down

Esta metodología se inicia por un nivel superior y se va emigrando a los niveles inferiores, buscando establecer las funciones entre las partes del producto para finalmente unir los detalles. De esta manera, las especificaciones se establecen desde el principio y se transfieren a todo el sistema. Al desarrollar de esta manera, el diseño se va trabajando en partes cada vez más pequeñas, lo que permite a los diseñadores trabajar de manera más productiva, tendiendo a reducir el tiempo total requerido para completar el diseño. También disminuye el impacto de los cambios que aparecen más adelante en el ciclo de diseño.

El lenguaje estándar de modelado de dispositivos electrónicos ha sido el lenguaje-C desde 1985, coincidiendo con la migración realizada del código fuente del simulador SPICE (Simulation Program with Integrated Circuit Emphasis) desde el lenguaje original escrito en FORTRAN a lenguaje C. Desde entonces se ha utilizado el lenguaje C como herramienta para el desarrollo de modelos compactos. Sin embargo, en la actualidad, se recomienda la implementación de modelos en leguaje Verilog-A para modelos de dispositivos electrónicos [3].

Sin entrar en detalles, las razones que han motivado que Verilog-A se convierta en un estándar para el desarrollo e implementación de modelos compactos han sido:

1. Los desarrolladores ha descubierto la facilidad y potencia de uso como lenguaje de descripción.
2. Los simuladores comerciales han incluido las extensiones necesarias para permitir el uso de modelos implementados en Verilog-A con la misma velocidad y fiabilidad que los tradicionales modelos descritos con código fuente en lenguaje-C.
3. Verilog-A es muy sencillo de usar y puede ser incorporado también en paquetes software de extracción de parámetros de dispositvos.

El amplificador operacional ideal es un amplificador diferencial de ganancia muy alta que se utiliza como bloque [4] constructivo para el diseño de una amplia gama de circuitos electrónicos. Se representa mediante un triangulo y las características que lo definen son,

- Ganancia diferencial infinita.
- Ganancia en modo común nula.
- Impedancia de entrada infinita: $i+ = i- = 0$
- Impedancia de salida nula: v_o independiente de i_o

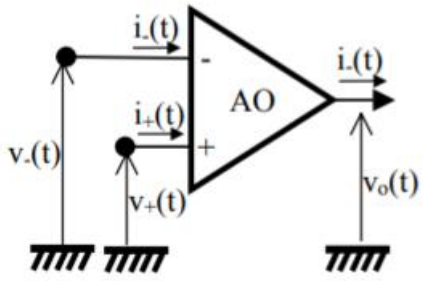

Figura 3: Celda básica de un amplificador operacional

La importancia del amplificador operacional en la electrónica actual es que permite diseñar bloques funcionales con un comportamiento que es independiente de las características del elemento amplificador. Con él se consigue diseñar circuito electrónico muy preciso y estable aun cuando se utilice tecnología semiconductora que en sí es imprecisa e inestable.

En este proyecto se estudian:

- Los fenómenos que diferencian el comportamiento de los amplificadores operacionales reales del comportamiento ideal.
- Los parámetros que los fabricantes utilizan para describir ese comportamiento específico.
- Las técnicas de análisis cuantitativo de los efectos no ideales de los amplificadores operacionales

sobre el comportamiento de los circuitos que lo utilizan.

1.3 OBJETIVOS Y ALCANCE

Este proyecto tiene como objetivo el desarrollo de una librería de modelos de amplificadores operacionales que servirá de herramienta de apoyo al diseñador de microelectrónica analógica y señal mixta.

Cada uno de los modelos propuestos describirá el comportamiento de un amplificador operacional desde el caso más sencillo donde el amplificador se comportaría como una fuente de tensión controlada por tensión, hasta un modelo completo donde se modelan efectos de 2º orden.

1.4 ORGANIZACIÓN DEL DOCUMENTO

El objetivo principal de este trabajo será detallar el diseño y modelado de amplificadores operacionales de una y dos etapas en lenguaje Verilog-A para ayudar al diseñador a controlar los parámetros de su filtro.

En el **Capítulo 1** se comienza dando una breve introducción teórica sobre los circuítos analógicos, las metodologías de diseño y el modelado.

En el **Capítulo 2** se hará una explicación teórica sobre las principales características de los amplificadores operacionales que utilizaremos en nuestros modelos, sus parámetros de diseño más importantes y su papel en el diseño de filtros.

En el **Capítulo 3** se analizarán los casos que nos ocupan; se empezará desde un modelo simple de amplificador de una sola etapa hasta modelos más complejos con varias etapas. Se estudiarán las implicaciones de los efectos de las características vistas en el capítulo anterior en el comportamiento de los diferentes modelos. Se realizarán diferentes simulaciones de los circuitos para cada modelo.

Por último, en el **Capítulo 4**, se presentan los resultados obtenidos de cada modelo. También se expondrán las conclusiones obtenidas y se propondrán varias tareas a modo de trabajo futuro.

2 PARÁMETROS DE INTERÉS DE UN AMPLIFICADOR OPERACIONAL

Para trabajar con amplificadores operacionales reales se requiere tomar en cuenta aspectos de tipo práctico, pues, aunque el modelo ideal se asemeja bastante al real, éste no se comporta exactamente igual al ideal. Se debe conocer esta diferencia, ya que de ello depende el comportamiento final de un circuito diseñado con un amplificador operacional.

Un amplificador operacional ideal se define por:

- Ganancia en tensión en modo diferencial infinita (en lazo abierto)
- Ancho de banda finito
- Impedancia de entrada infinita
- Impedancia de salida nula
- Tensión y corrientes de entrada de offset
- Slew-Rate
- Ruido Blanco y ruido Flicker

2.1 GANANCIA DE TENSIÓN DIFERENCIAL EN LAZO ABIERTO Y ANCHO DE BANDA FINITO

Se define, bajo este supuesto, la ganancia en modo diferencial en lazo abierto como la relación entre la tensión de salida del amplificador y la tensión diferencial de entrada al mismo:

$$A_v = \frac{V_o}{V_d} \qquad A_{v|dB} = 20log\frac{V_o}{V_d}$$

La ganancia de tensión se especifica en decibélios.

Esta ganancia diferencial no es un parámetro constante, sino que varía con la frecuencia de la señal diferencial de entrada y alcanzará su máximo valor a frecuencias bajas al que se denota como A_o.

El amplificador operacional real no tiene ancho de banda (BW) infinito. En los amplificadores operacionales reales, el ancho de banda comienza en la frecuencia cero y llega hasta la frecuencia de corte superior fc (frecuencia a la cual la ganancia disminuye en 3dB). Ésta depende del tipo de amplificador operacional y de la ganancia de lazo cerrado.

2.2 IMPEDANCIA DE ENTRADA

Se trata de la resistencia medida entre los dos terminales de entrada del amplificador operacional. Su función es determinar la magnitud de corriente de entrada consumida por el amplificador operacional cuando se le aplica una tensión de entrada diferencial. Idealmente su valor es infinito por lo que su valor ha de ser lo más alto posible para evitar que el amplificador actúe como carga de posibles etapas anteriores.

2.3 IMPEDANCIA DE SALIDA

Es la resistencia vista desde el terminal de salida. Este parámetro se define bajo condiciones de pequeña señal con frecuencias por encima de algunos cientos de Hertz. Esta resistencia reduce la tensión de salida que proporciona el amplificador cuando se conecta una resistencia de carga por lo que su valor ha de ser lo más pequeño posible.

2.4 TENSIÓN Y CORRIENTE DE OFFSET DE ENTRADA

Idealmente un amplificador operacional ha de tener 0V a su salida cuando en la entrada se tienen 0V. En amplificadores reales no es así y aparecen tensiones de salida añadidas, del orden de decenas a centenas de mV, en ausencia de señal de entrada. Este efecto se debe a las corrientes de entrada y posibles asimetrías de la etapa diferencial. El modelado de este comportamiento se hace a través de los siguientes parámetros:

- Tensión off-set de entrada: Vin_offset

2.5 SLEW-RATE

La respuesta debida a un escalón no es ideal. Si se quiere llevar la salida entre dos extremos, la respuesta del amplificador no es instantánea. La velocidad que toma la salida en ir desde un extremo a otro es la que se conoce como razón de cambio o slew rate y está medida en $^{V}/_{\mu s}$.

Se trata de un parámetro que mide la capacidad del amplificador operacional para manejar señales variables en el tiempo. Se define como la máxima variación de la tensión de salida con el tiempo que puede proporcionar la etapa de salida del amplificador operacional.

2.6 RUIDO

Atendiendo a la forma de la densidad espectral de ruido podemos distinguir distintos varios tipos de ruido. Aquí tan sólo consideraremos los más importantes en el análisis de circuitos electrónicos.

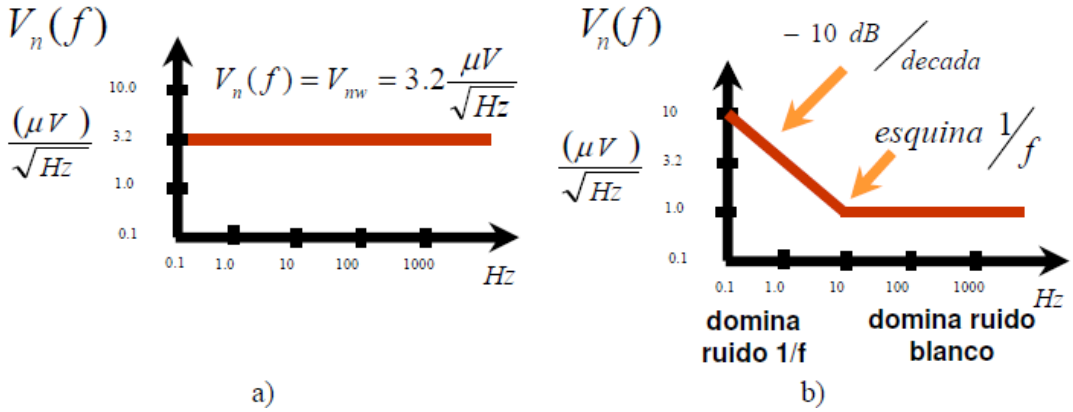

Figura 4: Tipos de Ruido distinguibles en la función de densidad espectral raíz: a) ruido blanco, b) ruido rosa en baja frecuencia y blanco en alta frecuencia.

Se denomina *ruido blanco* a aquél cuya densidad espectral es constante, independiente de la frecuencia (Figura 4a). Por supuesto como la potencia de la señal no puede ser infinita, la densidad espectral no podrá mantenerse constante hasta el infinito. No obstante, en nuestro caso las frecuencias a las que la densidad espectral pierde su característica plana están fuera de nuestro interés [4].

Se denomina *ruido rosa (o ruido Flicker)* a aquél cuya densidad espectral varía de manera inversamente proporcional a la frecuencia. También recibe el nombre de ruido 1/f.

En la práctica se superponen varias fuentes de ruido dando lugar a densidades espectrales como la mostrada en la figura 4b (en este caso, densidad espectral raíz), que combinan ruido rosa en baja frecuencia y ruido blanco en alta frecuencia. A la frecuencia a la que ambos tipos de ruido se igualan se denomina esquina 1/f.

3 DISEÑO Y RESULTADOS OBTENIDOS

En este capítulo, se abordarán cada uno de los modelos realizados en el presente proyecto. Para ello se detallará, por un lado, los parámetros que se implementan en cada uno de ellos, así como su macromodelo equivalente. Por otro lado, se comentará el código Verilog-A correspondiente y aquellas simulaciones que validan los modelos propuestos.

En cuanto a modelos de una etapa se dispondrá de:

- Modelo simple de un amplificador con ganancia finita.
- Modelo de amplificador de una etapa con ganancia y ancho de banda finitos (modelo de un polo) y resistencia de salida
- Modelo de amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset
- Modelo de amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate
- Modelo de amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido

Y en los modelos de dos etapas:

- Modelo de amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida y compensación Miller
- Modelo de amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset
- Modelo de amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate
- Modelo de amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido
- Modelo de amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de rango de entrada y ruido

3.1 MODELOS DE AMPLIFICADOR DE UNA ETAPA

En este apartado se detallan los diferentes modelos de una etapa basados en un equivalente Norton [6].

3.1.1 MODELO SIMPLE DE UN AMPLIFICADOR CON GANANCIA FINITA

Este será el modelo más simple de amplificador donde tan solo se incluirá el parámetro de ganancia que podrá seleccionarse al instanciar la celda. El macromodelo equivalente será el siguiente:

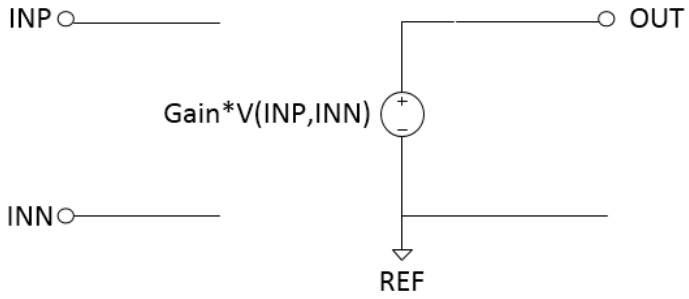

Figura 5: Macromodelo equivalente al modelo Verilog-A de un amplificador con ganancia finita

Mientras que su modelo en Verilog-a será:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal, veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal(OUT, INP, INN, REF);

   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;

   //Parámetros y variables

     parameter real gain = 300;      // Ganancia del amplificador en unidades
naturales


analog begin

   V(OUT,REF) <+ -gain*V(INP,INN);  // Tensión de salida del amplificador en función
de la ganancia y la tensión de entrada

end

endmodule
```

Mediante un análisis transitorio con una señal senoidal de 1KHz de frecuencia podemos observar como la salida del modelo es la que esperamos:

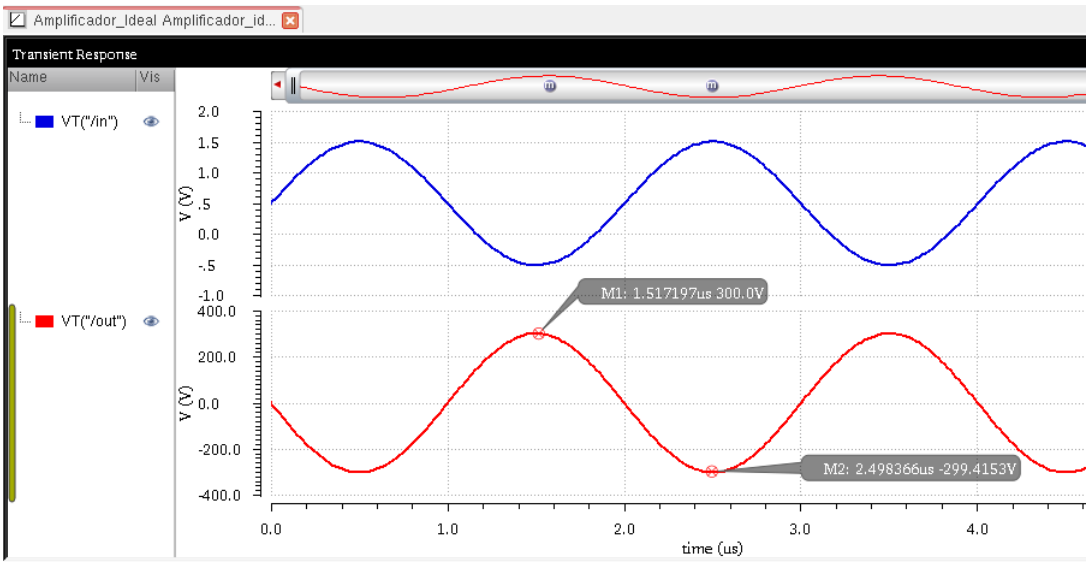

Figura 6: Simulación TRAN de un modelo simple de amplificador con ganancia finita

3.1.2 MODELO DE AMPLIFICADOR DE UNA ETAPA CON GANANCIA Y ANCHO DE BANDA FINITOS (MODELO DE UN POLO) Y RESISTENCIA DE SALIDA

Este modelo básico modela, por un lado, de forma directa y seleccionable por parte el diseñador, el producto de ganancia por ancho de banda, la ganancia y la capacidad de carga. Y, por otro lado, de forma indirecta, la resistencia de salida en función de los parámetros anteriores.

```
//Parámetros y variables

    parameter real GBW = 150M;      // Producto Ganancia·Ancho de Banda (en Hz)
    parameter real gain = 300;      // Ganancia del amplificador (unidades naturales)
    parameter real CL = 5p;         // Capacidad de carga (en F)
```

A continuación, se muestra un macromodelo equivalente al modelo Verilog-A desarrollado para el amplificador. En este caso se ha optado por un modelo equivalente tipo Norton. Para todos los modelos, se utiliza una referencia (REF) que será un nodo accesible al instanciar el modelo.

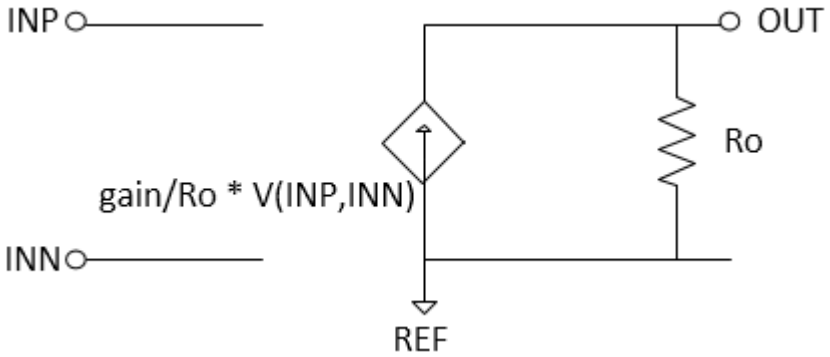

Figura 7: Macromodelo equivalente al modelo Verilog-a de un amplificador de una etapa con ganancia y ancho de banda finitos (modelo de un polo) y resistencia de salida

En él, la ganancia se modela a través del producto gm·Ro donde la resistencia de salida (Ro) será, por tanto,

$$Ro = gain/gm$$

y la transconductancia

$$gm = 2\pi \cdot C_L \cdot GBW$$

El test bench para la simulación de bucle abierto es el siguiente, donde la R=10GΩ, la capacidad C=1F, y la capacidad de carga CL=5pF. La resistencia de retroalimentación R y el amplificador operacional forman un lazo de retroalimentación cerrado. Cuando la resistencia R se omite el amplificador entrega su máxima ganancia, en este caso la salida permuta de completamente abierto a completamente cerrado o viceversa para muy pequeños cambios de la señal de entrada. La entrada además tiene una impedancia determinada por la capacidad C.

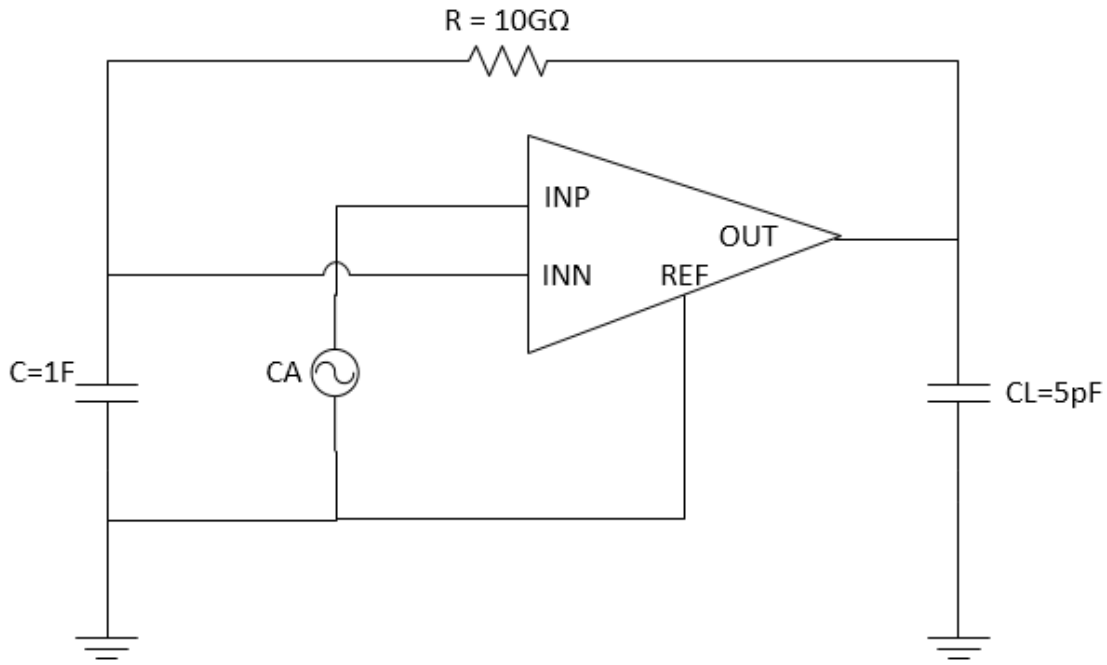

Figura 8: El test bench para la simulación de bucle abierto

El código Verilog-A que modela dicho amplificador es el siguiente:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal_1_polo, veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal_1_polo(OUT, INP, INN, REF);

   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;

   //Parámetros y variables

     parameter real GBW = 150M;       // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain = 300;       // Ganancia del amplificador (unidades naturales)
     parameter real CL = 5p;          // Capacidad de carga (en F)

     real Ro;
     real fc;
     real polo;
```

```
     real gm;


analog begin

   @(initial_step) begin

      fc = GBW/gain;              // Frecuencia del polo del amplificador
      gm = 2*`M_PI*CL*GBW;        // Transconductancia dependiente de la capacidad de
carga y de GBW
      Ro = gain/gm;               // Resistencia de salida dependiente de la ganancia
del circuito y la gm

   end

      I(OUT,REF) <+ -gm*V(INP,INN);  // Contribución de corriente que genera gm
      I(OUT,REF) <+ V(OUT,REF)/Ro;   // Contribución debido a la resistencia de salida


end

endmodule
```

Los resultados obtenidos mediante las simulaciones podemos verlos en las siguientes imágenes;

Simulación en AC:

La gráfica con la respuesta en frecuencia que presenta este modelo se muestra en la figura:

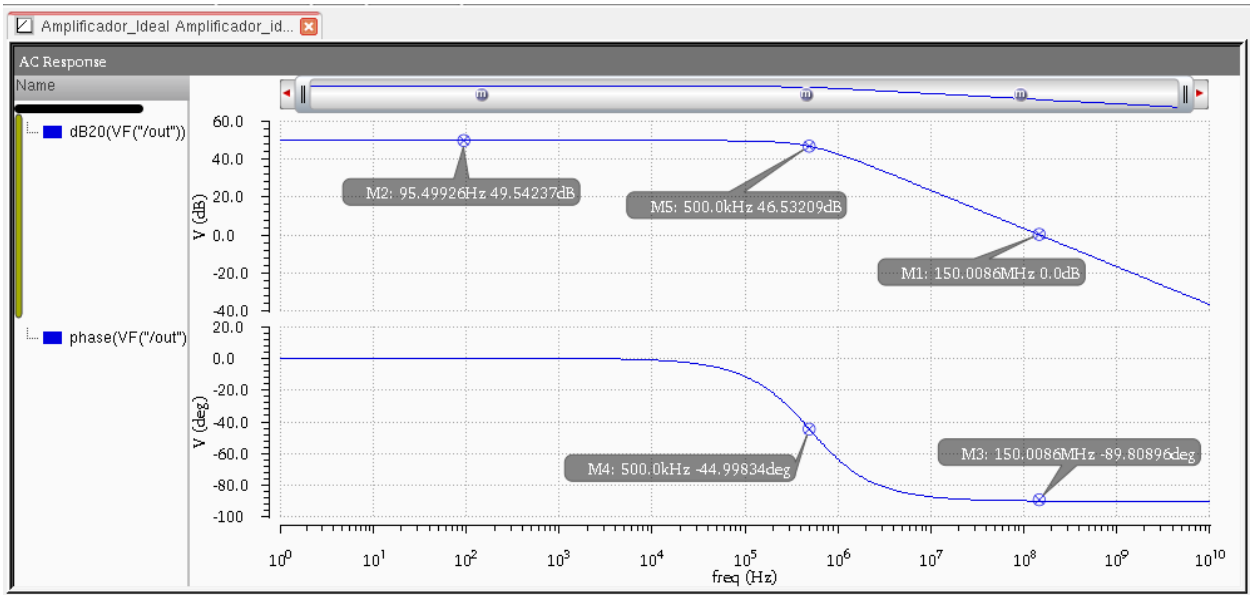

Figura 9: Simulación AC del modelo de un amplificador de una etapa con ganancia y ancho de banda finitos (modelo de un polo) y resistencia de salida

Como puede observarse, el polo se encuentra dónde teóricamente debe estar polo = GBW/gain = 150M/300 = 500Khz; la ganancia del amplificador en dB es 20*log(gain) = 20*log(300) = 49.5424dB; el producto GBW también puede verse como sale a la frecuencia especificada cuando la magnitud es 0dB; y el margen de fase también cumple con las especificaciones requeridas: MF = 180° − 89.98° = 90.02°

Simulación en TRANSITORIO:

Analizando el amplificador como seguidor de tensión, vemos que para una fuente con amplitud de 1V y frecuencia de 500Khz, la salida se corresponde con la entrada.

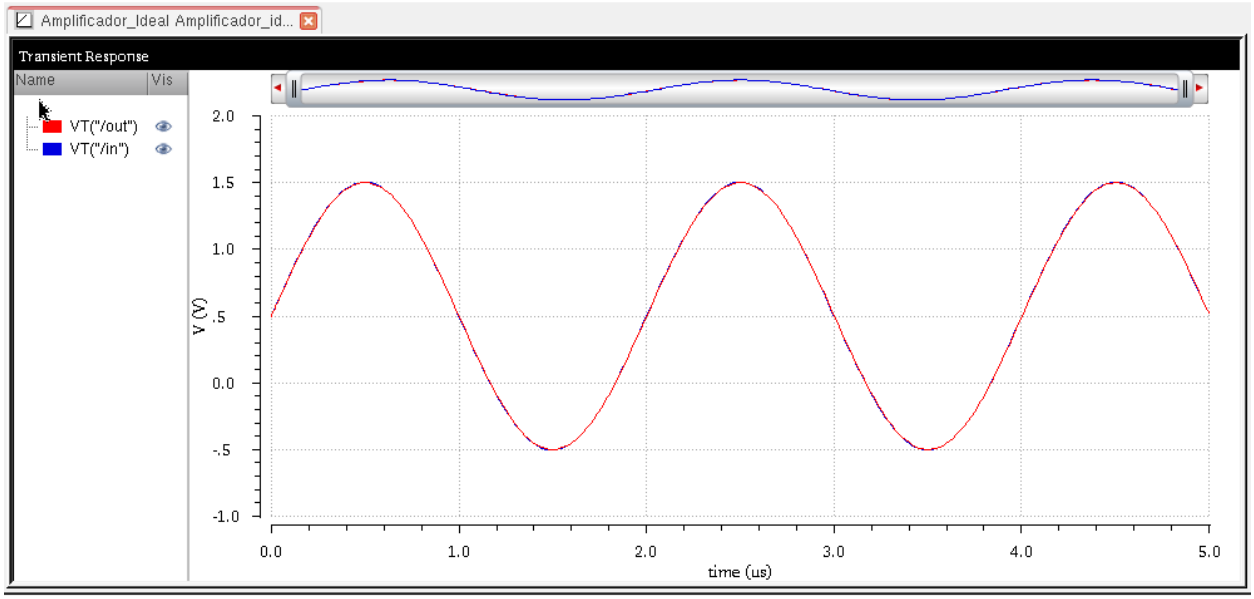

Figura 10: Simulación TRAN del modelo de un amplificador de una etapa con ganancia y ancho de banda finitos (modelo de un polo) y resistencia de salida

Donde si hacemos zoom se puede ver como hace la función de un seguidor:

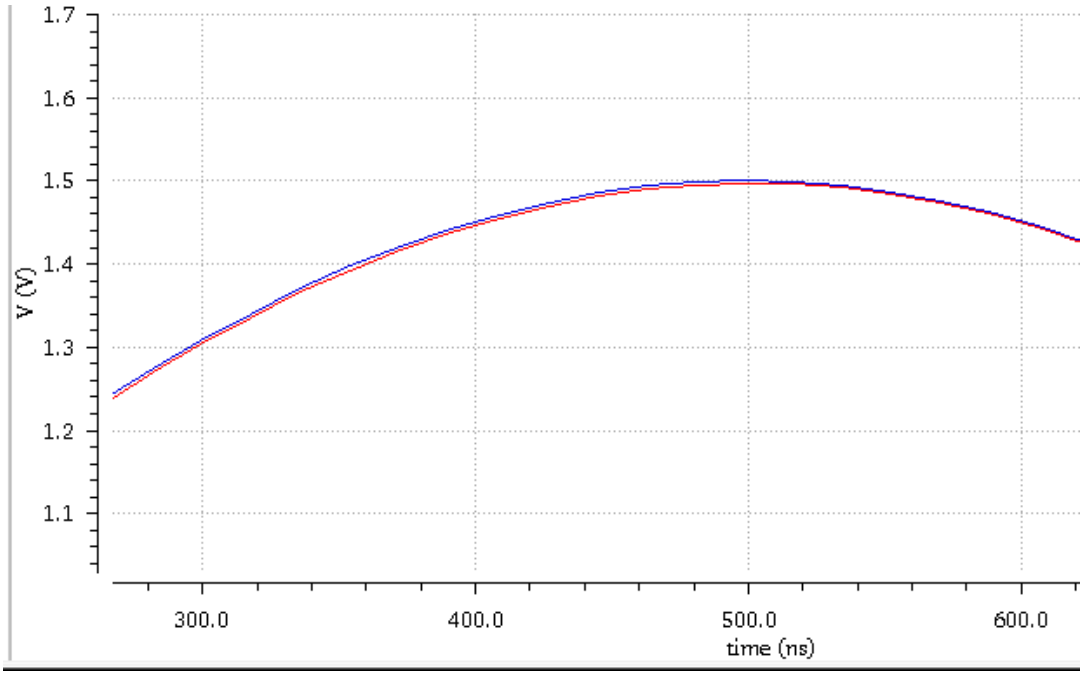

Figura 11: Ampliación para ver la función de seguidor del amplificador

3.1.3 MODELO DE AMPLIFICADOR DE UNA ETAPA CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA Y TENSIÓN DE OFFSET

En este modelo, el diseñador además de controlar el producto ganancia-ancho de banda y la ganancia, también podrá controlar la resistencia que quiere que su modelo tenga a la entrada y la tensión de offset añadida. Los valores de los parámetros por defecto que se usan en este modelo son los siguientes:

```
//Parámetros y variables

  parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
  parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
  parameter real gain = 300;          // Ganancia (unidades naturales)
  parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
  parameter real CL = 5p;             // Capacidad de carga (en F)
```

La imagen con el macromodelo equivalente es la siguiente. Al modelo anterior se añade una tensión de offset (Vin_offset) que se modelará como una caída de tensión entre el terminal positivo de entrada del amplificador (INP) y el nodo intermedio VINP_off , mientras que la resistencia de entrada (Rin) irá en serie con con dicha fuente y conectada a la entrada negativa del amplificador (INN). En este modelo se añade un bloque a la entrada que actúa como buffer; de esta forma, se ve con más claridad la adaptación de la referencia de un bloque a otro.

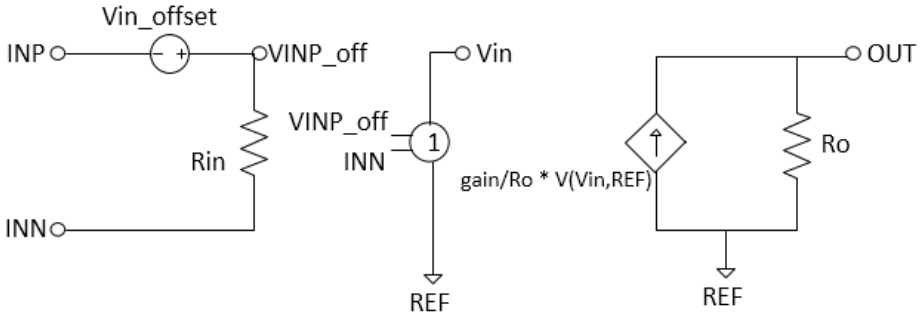

Figura 12: Macromodelo equivalente al modelo Verilog-a de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset

El test bench de simulación que se utiliza para este modelo es el mismo que el del anterior apartado.

El código Verilog-A utilizado para modelar este apartado es el siguiente:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal_1_polo_offset, veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal_1_polo_offset(OUT, INP, INN, REF);

  inout INN, INP,OUT, REF;
  electrical OUT, INN, INP, REF;

  //Parámetros y variables

    parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
    parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
    parameter real gain = 300;          // Ganancia (unidades naturales)
    parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
    parameter real CL = 5p;             // Capacidad de carga (en F)
```

```
      real Ro;
      real fc;
      real polo;
      real gm;

   //Nodos internos

      electrical Vin;
      electrical VINP_off;

analog begin

   @(initial_step) begin

       fc = GBW/gain;                    // Frecuencia del polo del amplificador
       gm = 2*`M_PI*CL*GBW;              // Transconductancia dependiente de la
capacidad de carga y de GBW
       Ro = gain/gm;                     // Resistencia de salida dependiente de la
ganancia del circuito y la gm

   end

   //Etapa de Entrada

     V(VINP_off,REF) <+ V(INP,REF) + Vin_offset;   // Sumamos la tensión de offset a
la de entrada
     I(VINP_off,INN) <+ V(VINP_off,INN)/Rin;       // Contribución de corriente debido
a la resistencia de entrada

   // Cambio de referencia

     V(Vin,REF) <+ V(VINP_off,INN);

   // Etapa de Salida

     I(OUT,REF) <+ -gm*V(Vin,REF);       // Contribución de corriente que genera gm
     I(OUT,REF) <+ V(OUT,REF)/Ro;        // Contribución debido a la resistencia de
salida

end

endmodule
```

Los resultados obtenidos mediante las simulaciones se pueden ver en las siguientes imágenes:

Simulación en AC:

La gráfica con la respuesta en frecuencia que presenta este modelo se muestra en la figura:

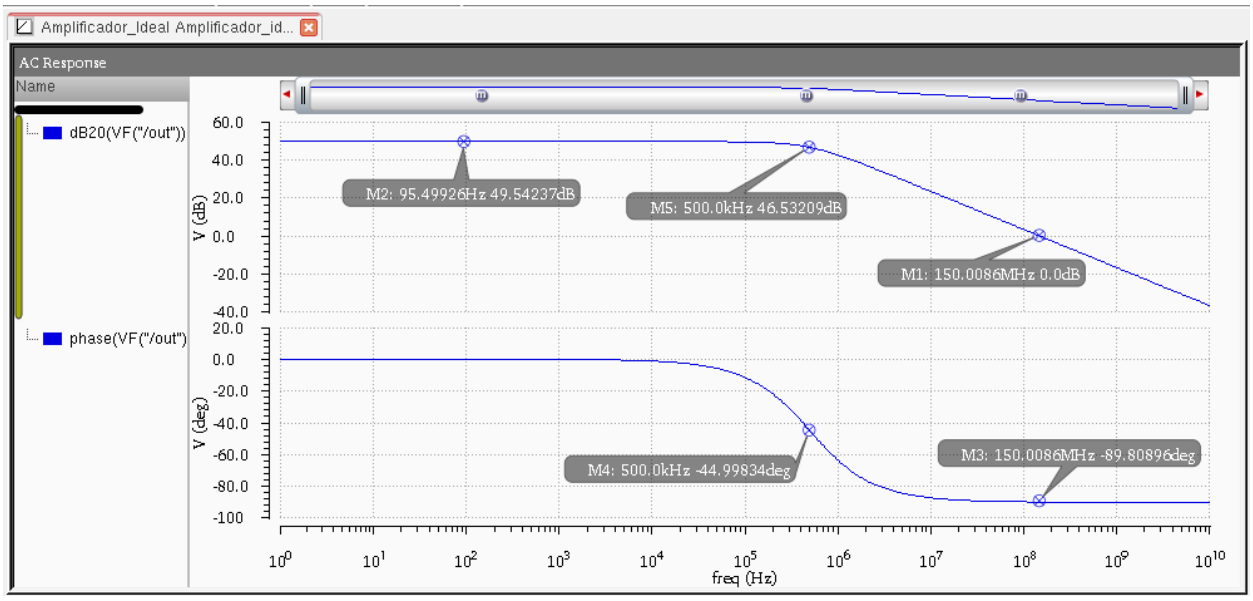

Figura 13: Simulación AC de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset

Las características son las mismas que en el apartado anterior, puesto que lo que ha cambiado es la resistencia de entrada y la tensión de offset, de las cuales se verá el efecto en la siguiente imagen.

Simulación en TRANSITORIO:

Se configura el amplificador en seguidor de tensión con una fuente *pwl*, generando un pulso que empieza en 0.5V, con las siguientes características:

CDF Parameter	Value
Frequency name for 1/period	
Number of pairs of points	6
Time 1	0 s
Voltage 1	500.0m V
Time 2	1n s
Voltage 2	1 V
Time 3	1.001u s
Voltage 3	1 V
Time 4	1.002u s
Voltage 4	0 V
Time 5	2.002u s
Voltage 5	0 V
Time 6	2.003u s
Voltage 6	1 V
Noise file name	
Number of noise/freq pairs	0
DC voltage	
AC magnitude	
AC phase	0

Figura 14: Configuración de la fuente pwl para generar un pulso

Y cuyo resultado en la simulación es el siguiente:

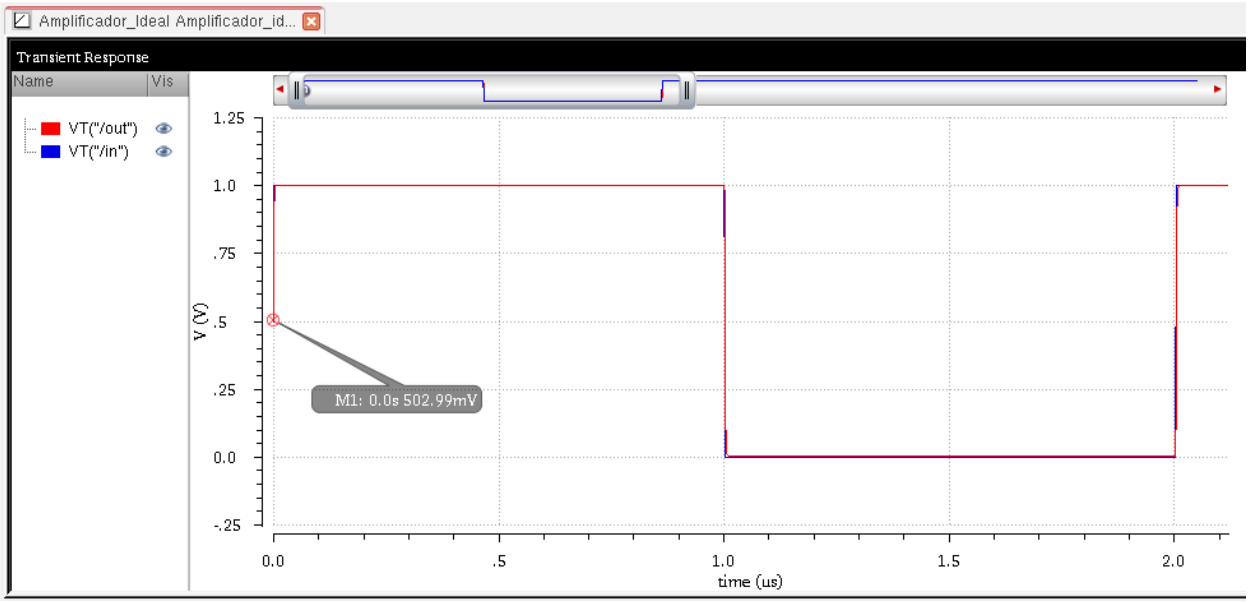

Figura 15: Simulación TRAN de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset

Como puede observarse, el amplificador actúa bien en seguidor y se aprecia el efecto de la tensión de offset de entrada:

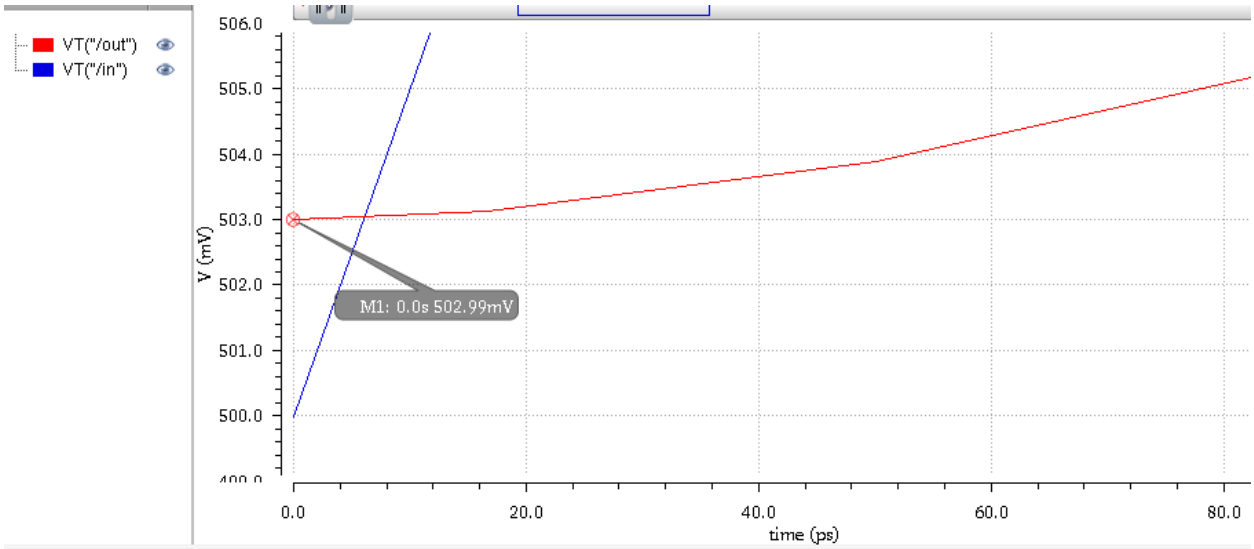

Figura 16: Efecto de la tensión de offset a la entrada del amplificador

3.1.4 MODELO DE AMPLIFICADOR DE UNA ETAPA CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET Y LIMITACIÓN DE SLEW-RATE

En este modelo el diseñador puede fijar un determinado slew-rate para el ampflicador. Dicha limitación se puede hacer utilizando directamente la función *slew()* de Verilog-A sobre un modelo en equivalente Thèvenin o de forma indirecta limitando la amplitud de entrada a aquella que genera el máximo desbalanceo de corriente en el amplificador en su versión Norton o Thevenin.

Los parámetros que el diseñador puede controlar en este modelo son los siguientes:

```
   //Parámetros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain = 300;          // Ganancia (unidades naturales)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
     parameter real C1 = 5p;             // Capacidad de carga de la primera etapa (en
F)
     parameter real slew_rate = 200e6;   // Tasa de variación máxima (V/us) permitida
en la salida
```

La imagen con el macromodelo equivalente es la que se ve a continuación. Se añade un bloque a la entrada donde se realiza el modelado de la limitación del slew-rate. Además de la resistencia de salida, entrada, ganancia, offset y resistencia de salida, aquí se modela también la corriente de entrada máxima en función del slew-rate fijado y de la capacidad de carga, iin_max,

$$iin_{max} = slew_{rate} \cdot C_L$$

y la amplitud máxima de entrada que proporciona dicha corriente, A_max,

$$A_{max} = {iin_{max}}/{gm}$$

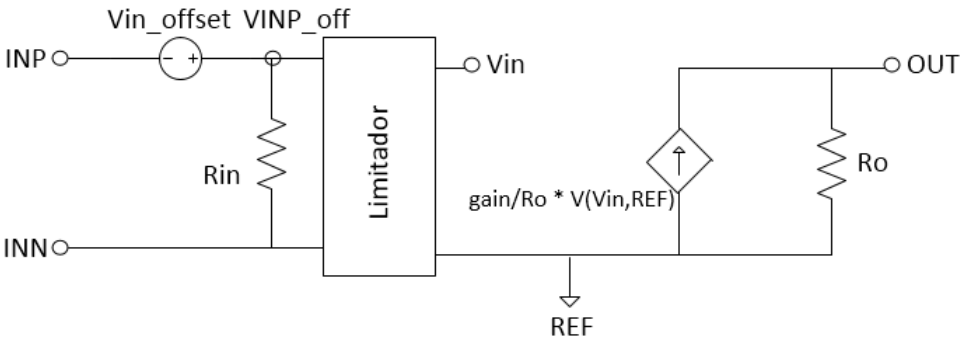

Figura 17: Macromodelo equivalente al modelo Verilog-A de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate

El código Verilog-A de diseño de este modelo es el siguiente:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal_1_polo_offset_slewRate1,
veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal_1_polo_offset_slewRate1(OUT, INP, INN, REF);
```

```
   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;

   //Parámetros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain = 300;          // Ganancia (unidades naturales)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
     parameter real C1 = 5p;             // Capacidad de carga de la primera etapa (en
F)
     parameter real slew_rate = 200e6;   // Tasa de variación máxima (V/us) permitida
en la salida

     real Ro;
     real fc;
     real polo;
     real gm;
     real A_max;
     real iin_max;
     real Voffset;
     real Vinref;

   //Nodos internos

     electrical Vin;
     electrical VINP_off;

analog begin

   @(initial_step) begin

      fc = GBW/gain;             // Frecuencia del polo del amplificador
      gm = 2*`M_PI*C1*GBW;       // Transconductancia dependiente de la capacidad de
carga y de GBW
      Ro = gain/gm;              // Resistencia de salida dependiente de la ganancia
del circuito y la gm
      iin_max = slew_rate*C1;    // Corriente máxima debida al slew-rate y la capacidad
de carga
      A_max = iin_max/gm;        // Tensión máxima debida al slew-rate

   end

   //Etapa de Entrada

     V(VINP_off, REF) <+ V(INP,REF) + Vin_offset;  // Sumamos la tensión de offset a
la de entrada
     I(VINP_off, INN)<+ V(VINP_off,INN)/Rin;       // Contribución de corriente debido
a la resistencia de entrada

   Voffset = V(VINP_off,INN);


   //Limitación de Slew-rate

     if (Voffset > A_max)
       Vinref = A_max;              // Si la tensión a la entrada es mayor que la
tensión que nos proporciona la corriente
                                    // del Slew-rate, cambiamos la tensión que llega a
la salida por dicha tensión.
     else if (Voffset < -A_max)
       Vinref = -A_max;             // Si la tensión a la entrada es menor que la
tensión que nos proporciona la corriente
                                    // del Slew-rate negativa, cambiamos la tensión que
llega a la salida por dicha tensión en negativa.
     else
       Vinref = Voffset;            // Si no, la dejamos igual
```

```
    V(Vin,REF) <+ Vinref;

   //Etapa de salida

     I(OUT,REF) <+ -gm*V(Vin,REF);       // Contribución de corriente que genera gm
     I(OUT,REF) <+ V(OUT,REF)/Ro;        // Contribución debido a la resistencia de
salida


end

endmodule
```

Los resultados obtenidos mediante las simulaciones se pueden ver en las siguientes imágenes:

Simulación en AC:

La gráfica con la respuesta en frecuencia que presenta este modelo se muestra en la figura:

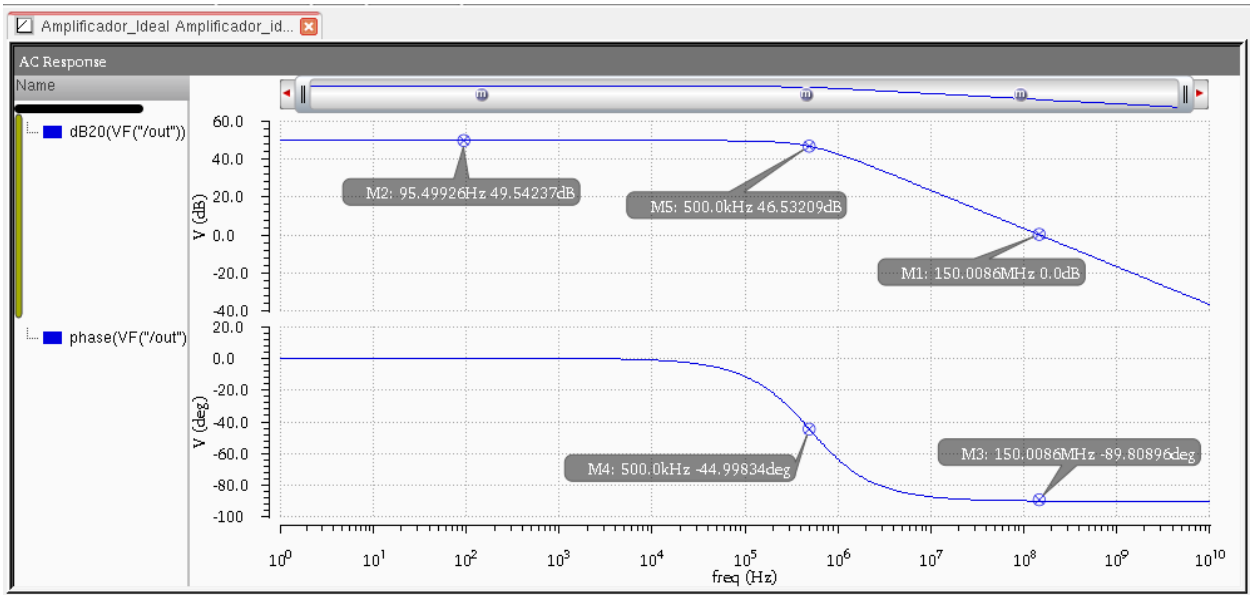

Figura 18: Simulación AC de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate

Las características siguen siendo las mismas que en los apartados anteriores, aunque ahora se ha añadido el efecto de la limitación a la entrada mediante el Slew-Rate, del cual se ve el efecto en las siguientes imagenes.

Simulación en TRANSITORIO:

Se configura el amplificador en seguidor de tensión con una fuente *pwl*, generando un pulso que empieza en 0.5V, con las siguientes características:

CDF Parameter	Value
Frequency name for 1/period	
Number of pairs of points	6
Time 1	0 s
Voltage 1	500.0m V
Time 2	1n s
Voltage 2	1 V
Time 3	1.001u s
Voltage 3	1 V
Time 4	1.002u s
Voltage 4	0 V
Time 5	2.002u s
Voltage 5	0 V
Time 6	2.003u s
Voltage 6	1 V
Noise file name	
Number of noise/freq pairs	0
DC voltage	
AC magnitude	
AC phase	0

Figura 19: Configuración de la fuente pwl para generar un pulso

Y cuyo resultado en la simulación es el siguiente:

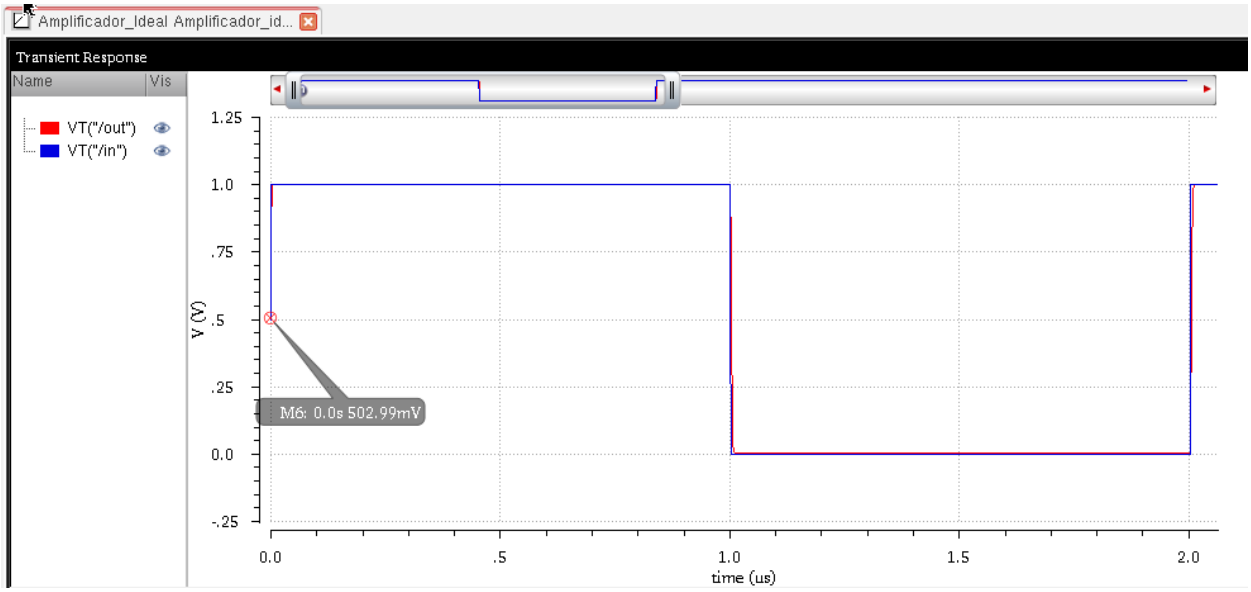

Figura 20: Simulación TRAN de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate

Como puede observarse, el amplificador actúa bien en seguidor y se aprecia el efecto de la tensión de offset de entrada:

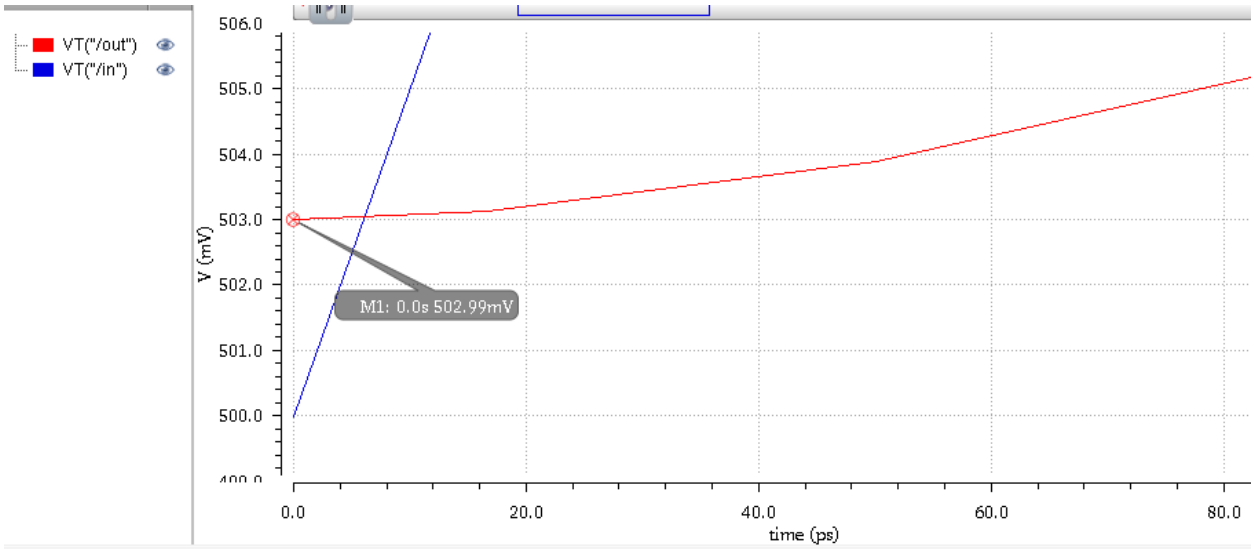

Figura 21: Efecto de la tensión de offset a la entrada del amplificador

El efecto del Slew-rate se ve en haciendo zoom:

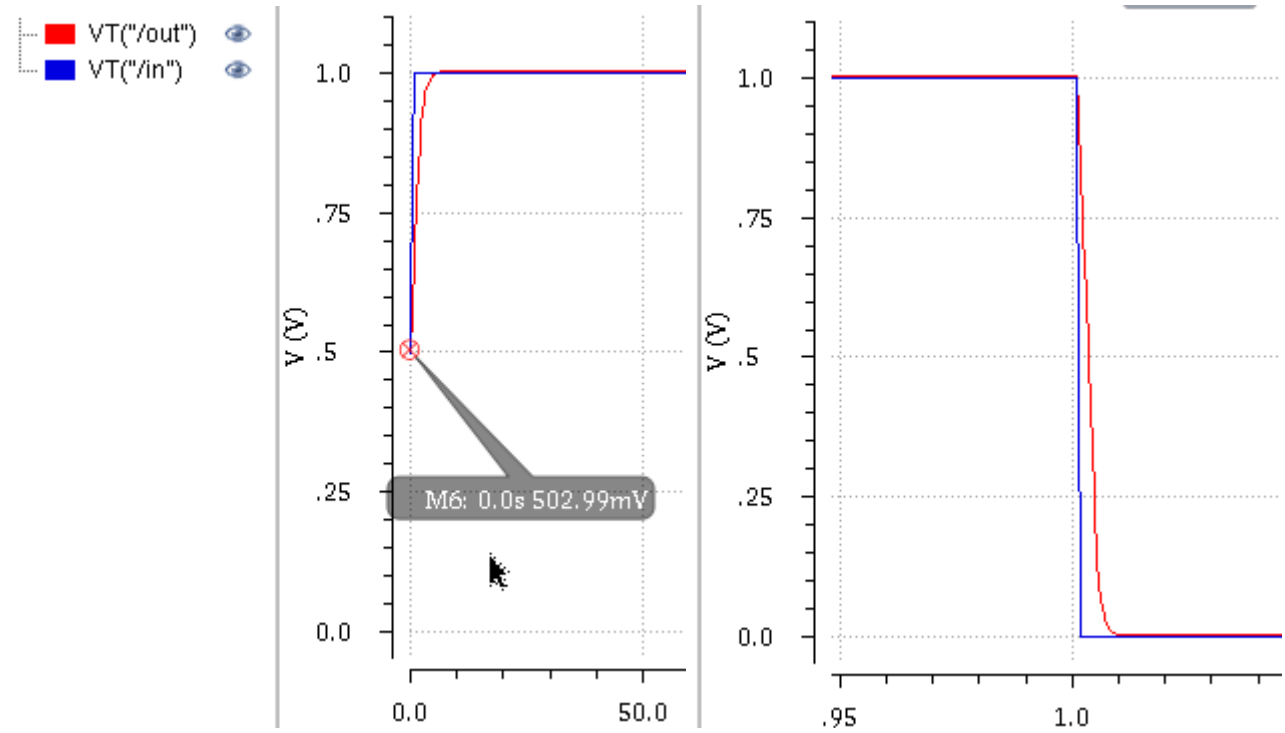

Figura 22: Efecto del slew-rate a la subida y bajada del pulso

En el valor teórico de las especificaciones que se le han dado al amplificador, se ha puesto un Slew-Rate de 200V/µs. Usando la herramienta Calculadora de Cadence6, se observa como el valor que sale es muy aproximado:

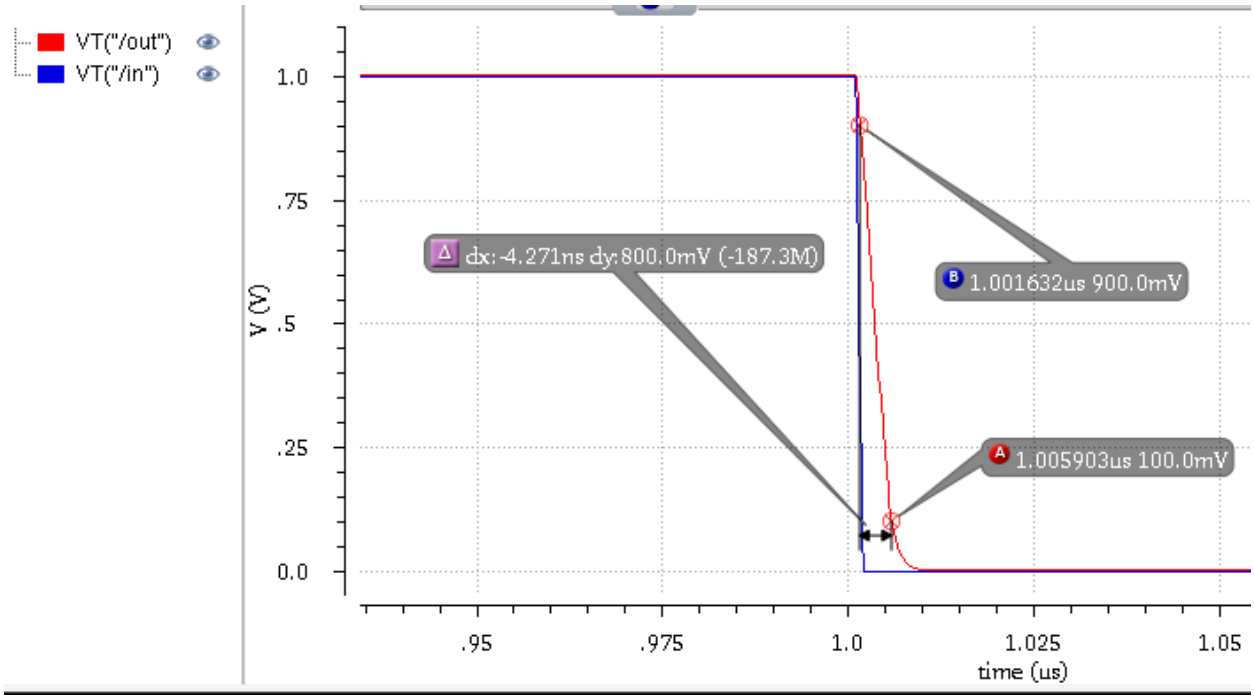

Figura 23: Valores para el cálculo teórico del slew-rate

slewRate(VT("/out)' 4.651175m nil 1.001325 nil 10 90 nil 'time")

Figura 24: Resultado del slew-rate de la simulación

3.1.5 MODELO DE AMPLIFICADOR DE UNA ETAPA CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET, LIMITACIÓN DE SLEW-RATE Y RUIDO

Existen tres fuentes de ruido en Verilog-A: *white_noise*: para modelar fuentes de ruido blanco; *flicker_noise*: fuente de ruido flicker 1/f; y *noise_table*: para definir la densidad espectral de potencia interpolando entre puntos proporcionados en una tabla.

En este apartado se modelarán dos de ellos, el ruido blanco y el ruido flicker, de esta forma, el diseñador puede elegir cuál es el ruido máximo que desea que tenga su amplificador.

Las funciones que se utilizan solo tendrán efecto en simulaciones de ruido, que son simulaciones de pequeña señal. Es decir, las fuentes de ruido se añaden al modelo linealizado. En este caso, se añade la contribución de ruido a la salida del amplificador de la siguiente forma:

```
I(OUT,REF) <+ -gm*V(Vin_dist,REF);          // Contribución de corriente que genera gm
V(Vnoise,REF) <+ white_noise(whitenoise) + flicker_noise(flickernoise, 1.0); //
Fuentes de ruido
I(OUT,REF) <+ (V(OUT,REF) + V(Vnoise,REF))/Ro;  // Contribucion debido a la
resistencia de salida y el ruido
```

donde *whitenoise* es igual *a 23e-6,* que es valor de densidad espectral de potencia del ruido blanco y es un valor que el diseñador elige; y los parámetros del ruido flicker son la densidad espectral de potencia igual a *25e-6* a frecuencia 1Hz y una dependencia con la frecuencia de $1/f^{1.0}$.

Los parámetros que en este modelo controla el diseñador además del ruido son los siguientes:

```
//Parámetros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain = 300;          // Ganancia (unidades naturales)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
     parameter real C1 = 5p;              // Capacidad de carga de la primera etapa
(en F)
     parameter real slew_rate = 200e6;    // Tasa de variación máxima (V/us) permitida
en la salida
     parameter real whitenoise = 23e-6;   // Valor del ruido blanco
     parameter real flickernoise = 25e-6; // Valor del ruido flicker
```

La imagen con el macromodelo equivalente es la misma que la de apartados anteriores.

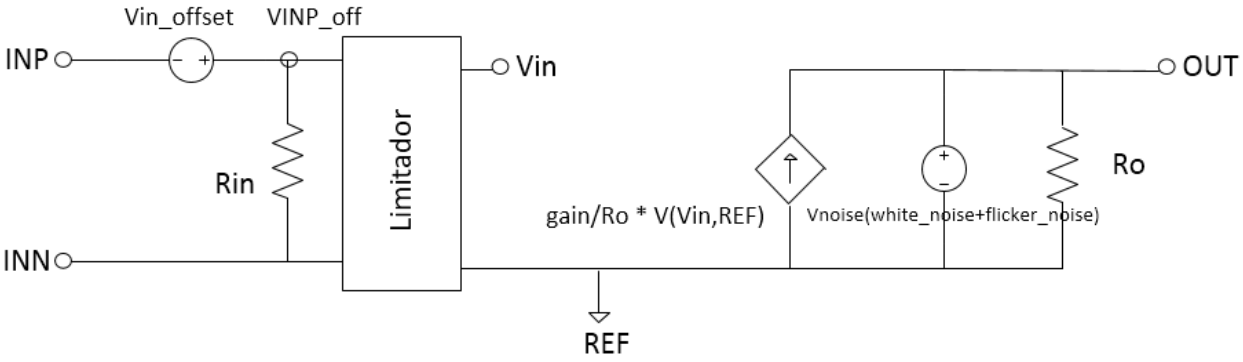

Figura 25: Macromodelo equivalente al modelo Verilog-A de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido

El código Verilog-A de diseño de este modelo es el siguiente:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal_1_polo_offset_slewRate1_ruido,
veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal_1_polo_offset_slewRate1_ruido(OUT, INP, INN, REF);

   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;

   //Parametros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda
     parameter real gain = 300;          // Ganancia
     parameter real Rin = 1G;            // Resistencia de entrada
     parameter real C1 = 5p;             // Capacidad de carga de la primera etapa
     parameter real slew_rate = 200e6;   // Tasa de variación máxima (V/us) permitida
en la salida
     parameter real whitenoise = 23e-6; // Valor del ruido blanco
     parameter real flickernoise = 25e-6; // Valor del ruido flicker


     real Ro;
     real fc;
     real polo;
     real gm;
     real A_max;
     real iin_max;
     real Voffset;
     real Vinref;


   //Nodos internos

     electrical Vin;
     electrical VINP_off;
     electrical Vnoise;

analog begin

   @(initial_step) begin

      fc = GBW/gain;           // Frecuencia del polo del amplificador
      gm = 2*`M_PI*C1*GBW;     // Transconductancia dependiente de la capacidad de
carga y de GBW
      Ro = gain/gm;            // Resistencia de salida dependiente de la ganancia del
circuito y la gm
      iin_max = slew_rate*C1;  // Corriente máxima debida al slew-rate y la capacidad
de carga
      A_max = iin_max/gm;      // Tensión máxima debida al slew-rate

   end

   //Etapa de Entrada

     V(VINP_off, REF) <+ V(INP,REF) + Vin_offset;  // Sumamos la tensión de offset a
la de entrada
     I(VINP_off, INN)<+ V(VINP_off,INN)/Rin;       // Contribución de corriente debido
a la resistencia de entrada

   Voffset = V(VINP_off,INN);


   //Limitación de Slew-rate
```

```
      if (Voffset > A_max)
        Vinref = A_max;              // Si la tensión a la entrada es mayor que la
tensión que nos proporciona la corriente
                                     // del Slew-rate, cambiamos la tensión que llega a
la salida por dicha tensión.
      else if (Voffset < -A_max)
        Vinref = -A_max;             // Si la tensión a la entrada es menor que la
tensión que nos proporciona la corriente
                                     // del Slew-rate negativa, cambiamos la tensión que
llega a la salida por dicha tensión en negativa.
      else
        Vinref = Voffset;            // Si no, la dejamos igual


    V(Vin,REF) <+ Vinref;


   //Etapa de salida

      I(OUT,REF) <+ -gm*V(Vin,REF);          // Contribución de corriente que genera gm
      V(Vnoise,REF) <+ white_noise(whitenoise) + flicker_noise(flickernoise, 1.0); //
Fuentes de ruido
      I(OUT,REF) <+ (V(OUT,REF) + V(Vnoise,REF))/Ro;  // Contribucion debido a la
resistencia de salida y el ruido


end

endmodule
```

Para este apartado, y como se puede ver, los resultados no varían de los anteriores.

Simulación en AC:

La gráfica con la respuesta en frecuencia que presenta este modelo se muestra en la figura:

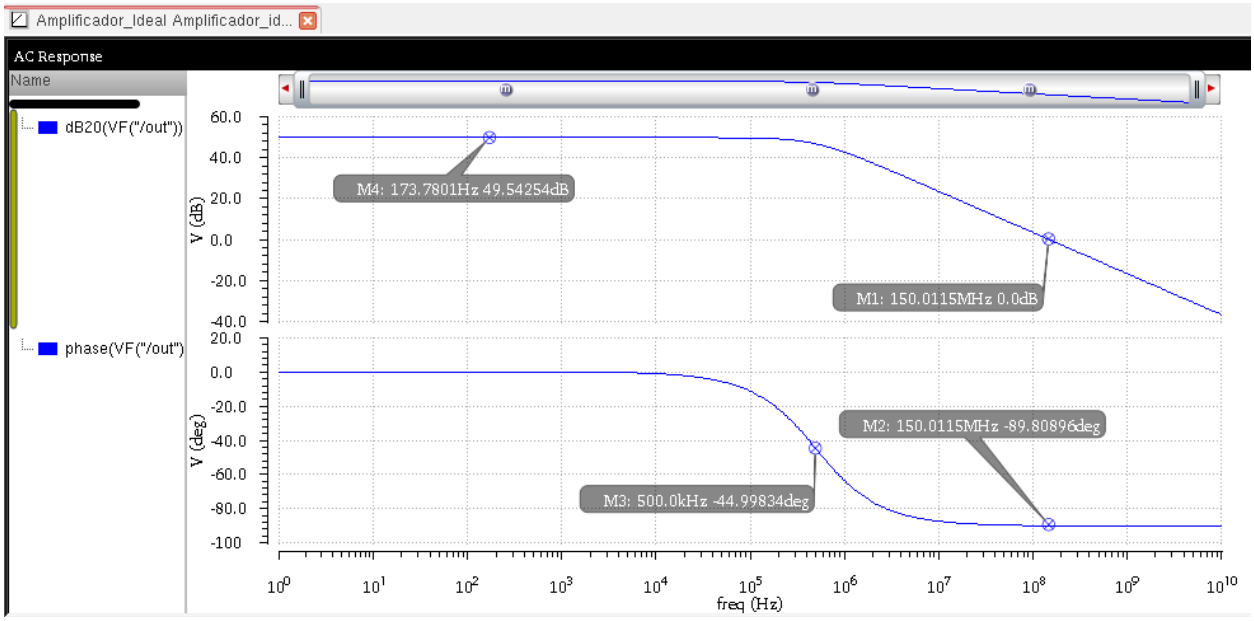

Figura 26: Simulación AC de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido

Simulación en TRANSITORIO:

Se configura el amplificador en seguidor de tensión con una fuente *pwl*, generando un pulso que empieza en 0.5V, con las siguientes características:

CDF Parameter	Value
Frequency name for 1/period	
Number of pairs of points	6
Time 1	0 s
Voltage 1	500.0m V
Time 2	1n s
Voltage 2	1 V
Time 3	1.001u s
Voltage 3	1 V
Time 4	1.002u s
Voltage 4	0 V
Time 5	2.002u s
Voltage 5	0 V
Time 6	2.003u s
Voltage 6	1 V
Noise file name	
Number of noise/freq pairs	0
DC voltage	
AC magnitude	
AC phase	0

Figura 27: Configuración de la fuente pwl para generar un pulso

Y cuyo resultado en la simulación es el siguiente:

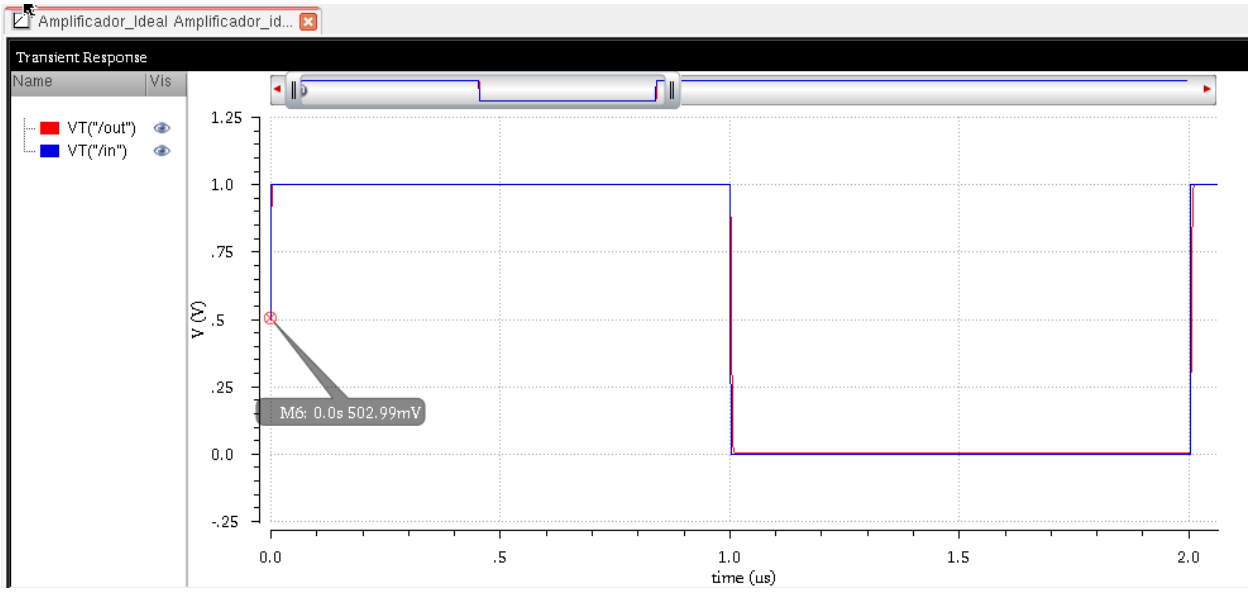

Figura 28: Simulación TRAN de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido

Como puede observarse, el amplificador actúa bien en seguidor y se aprecia el efecto de la tensión de offset de entrada:

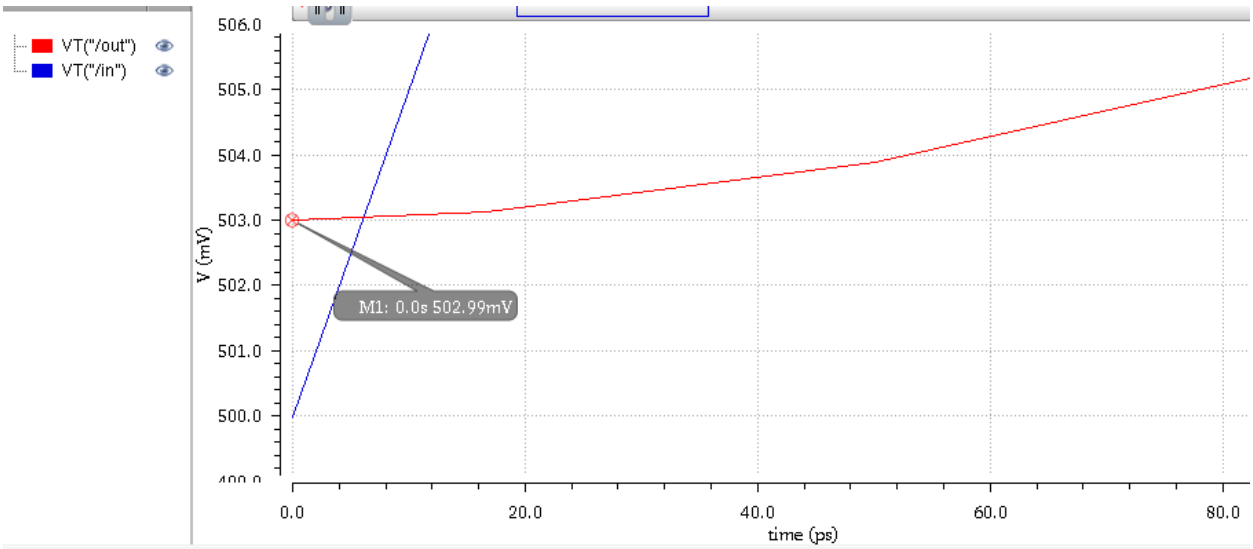

Figura 29: Efecto de la tensión de offset a la entrada del amplificador

El efecto del Slew-rate se ve en haciendo zoom:

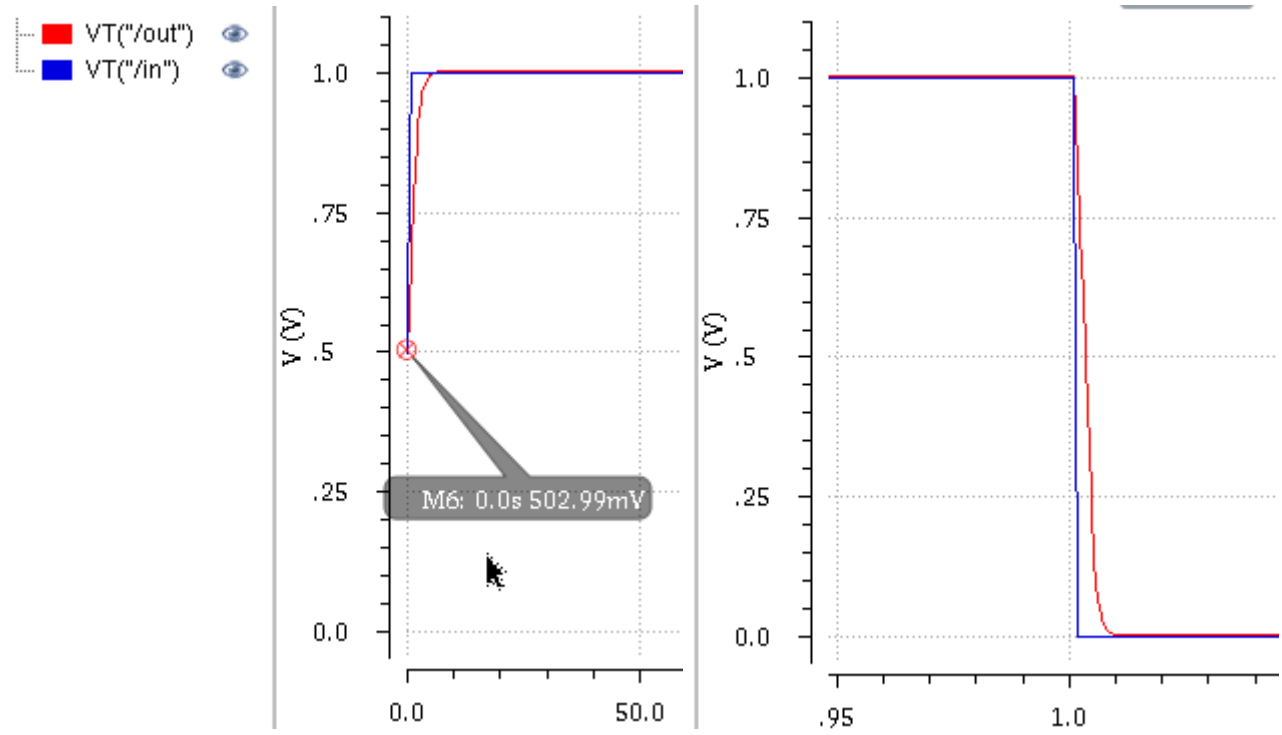

Figura 30: Efecto del slew-rate a la subida y bajada del pulso

Simulación de ruido:

Con la contribución del ruido blanco y el ruido flicker al modelo, se ve como para una etapa, los parámetros obtenidos de la simulación son los siguientes:

Device	Param	Noise Contribution	% Of Total
/I3	thermal_noise	2.29996e-05	99.89
/I3	flicker_noise	2.49996e-08	0.11

Spot Noise Summary (in V^2/Hz) at 1K Hz Sorted By Noise Contributors
Total Summarized Noise = 2.30246e-05
Total Input Referred Noise = 1.79769e+308
The above noise summary info is for noise data

Figura 31: Parámetros de ruido obtenidos de la simulación

Donde, mostrados en una gráfica, se observa como el ruido flicker actua de forma exponencial a la frecuencia ($1/f^{1.0}$) y el ruido blanco no varía con la frecuencia. Los datos han sido tomados para valores de frecuencia de 1Hz, 10Hz, 100Hz y 1KHz. Los valores obtenidos para el ruido se miden en V^2/Hz.

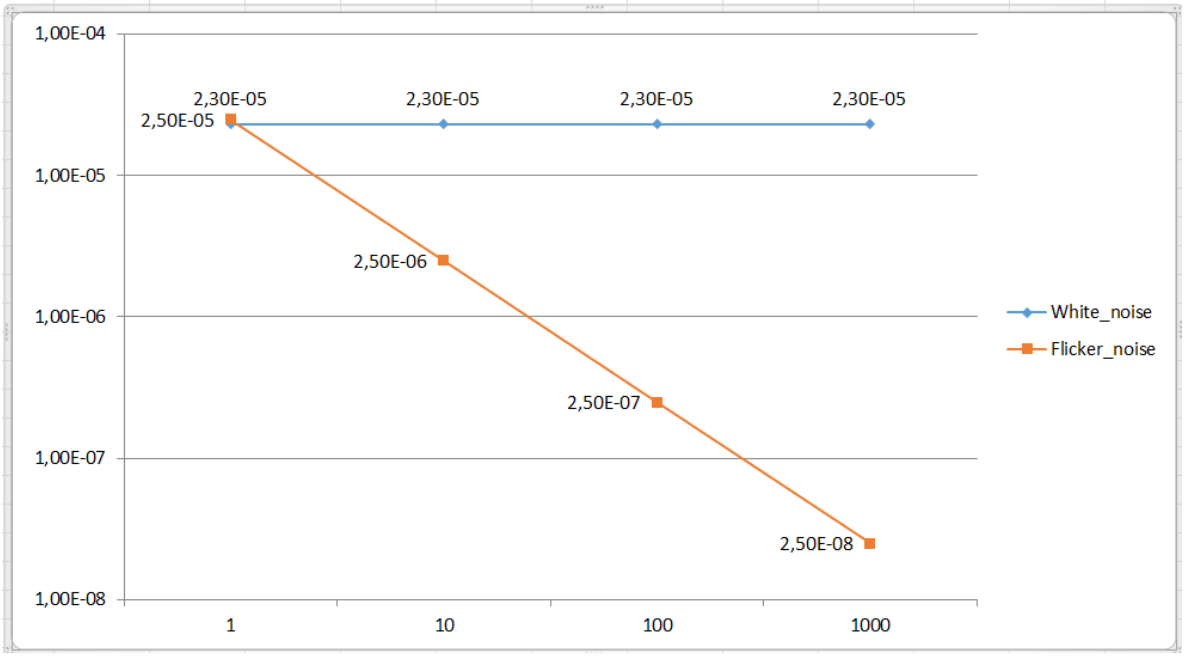

Figura 32: Resultados obtenidos del ruido blanco y el ruido flicker

3.2 MODELOS DE AMPLIFICADOR DE DOS ETAPAS

En este apartado, se introduce un modelo de dos etapas, la primera modelada con equivalente Norton y la segunda con equivalente Thèvenin.

El test bench de simulación en bucle abierto que se utiliza para los modelos siguientes es el mismo que para los modelos de apartados anteriores.

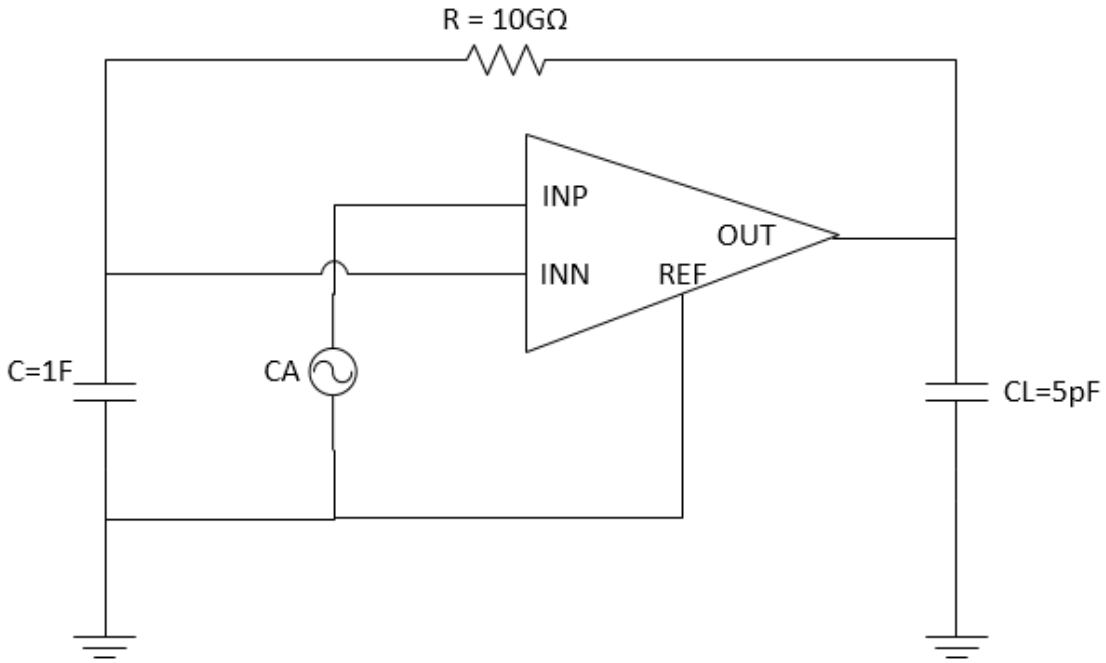

Figura 33: El test bench para la simulación de bucle abierto

3.2.1 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA Y COMPENSACIÓN MILLER

En este modelo se diseña el amplificador básico de dos etapas con una resistencia y una capacidad para hacer la compensación Miller. La capacidad de compensación se pondrá del mismo valor que la capacidad de carga (Cc=5pF), que en este caso estaría fuera del modelo; y a la resistencia de compensación se le da un valor calculado para que el segundo polo y el zero salgan en la misma frecuencia y se anulen. Se calcularía de la siguiente forma:

$$\frac{-gm2}{2\pi CL} = \frac{1}{2\pi Cc\left(\frac{1}{gm2} - Rc\right)} \rightarrow Rc = \frac{2}{gm2} = 66.67\Omega \approx 70\Omega$$

Los parámetros que el diseñador puede controlar en este modelo son los siguientes:

```
//Parámetros y variables

     parameter real GBW = 150M;       // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain1 = 30;       // Ganancia primera etapa (unidades naturales)
     parameter real gain2 = 30;       // Ganancia segunda etapa (unidades naturales)
     parameter real CL = 5p;          // Capacidad de carga (en F)
     parameter real Rout = 1K;        // Resistencia de salida (en Ω)
     parameter real Rc = 70;          // Resistencia de compensación (en Ω)
     parameter real Cc = 5p;          // Capacidad de compensación (en F)
```

A continuación, se muestra el macromodelo equivalente al modelo Verilog-A desarrollado para el amplificador. En este caso se ha optado por un modelo equivalente tipo Norton para la primera etapa y un equivalente tipo Thèvenin para la segunda etapa. Para todos los modelos, como en los casos anteriores, se utiliza una referencia (REF) que será un nodo accesible al instanciar el modelo.

Se modelará la ganancia de la primera etapa mediante su equivalente Norton, donde gm1 dependerá de la capacidad de compensación Miller y del producto Ganancia-Ancho de banda, y R1 la resistencia de salida de la primera etapa, la cual se modela con la ganacia y la transconductancia de esta primera etapa.

$$gm1 = 2\pi \cdot Cc \cdot GBW$$

$$R1 = {gain1}/{gm1}$$

La segunda etapa, modelada mediante su equivalente Thèvenin, se conectará a la primera etapa con una resistencia y una capacidad de compensación Miller en serie.

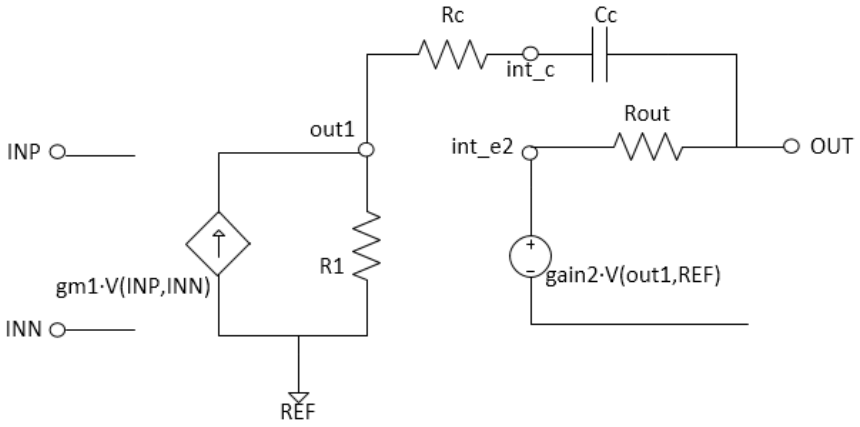

Figura 34: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida y compensación Miller

El código Verilog-A utilizado para modelar este apartado es el siguiente:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal_2_polos, veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal_2_polos(OUT, INP, INN, REF);

   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;

   //Parámetros y variables

     parameter real GBW = 150M;       // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain1 = 30;       // Ganancia primera etapa (unidades naturales)
     parameter real gain2 = 30;       // Ganancia segunda etapa (unidades naturales)
     parameter real CL = 5p;          // Capacidad de carga (en F)
     parameter real Rout = 1K;        // Resistencia de salida (en Ω)
     parameter real Rc = 70;          // Resistencia de compensación (en Ω)
     parameter real Cc = 5p;          // Capacidad de compensación (en F)

     real C1;
     real R1;
     real Vin_off;
     real gm1;
     real gm2;
```

```
      real polo1;
      real polo2;
      real zero;

   //Nodos internos

      electrical out1;
      electrical int_c;
      electrical int_e2;
      electrical out2;


analog begin

   @(initial_step) begin

       gm1 = 2*`M_PI*Cc*GBW;          // Transconductancia dependiente de la capacidad
de carga y de GBW
       gm2 = gain2/Rout;              // Transconductancia dependiente de la ganancia de
la segunda etapa y de Rout
       R1 = (gain1*gain2)/(gm1*gm2*Rout);   // Resistencia de la primera etapa
dependiente de las ganancias, las transconductancias de ambas etapas y la resistencia
de salida

   end

   //Primera Etapa: Norton

      I(out1,REF) <+ gm1*V(INP,INN);         // Contribucion de corriente que genera gm1
      I(out1,REF) <+ V(out1,REF)/R1;         // Contribucion de corriente que genera R1

      I(out1,int_c) <+ V(out1,int_c)/Rc;     // Contribucion de corriente que genera la
capacidad de compensacin
      I(int_c,OUT) <+ Cc*ddt(V(int_c,OUT)); // Compensacion Miller


    //Etapa de Salida: Thevenin

      V(int_e2,REF) <+ -gain2*V(out1,REF);  // Contribucion debido a la ganancia de la
segunda etapa
      I(int_e2,OUT) <+ V(int_e2,OUT)/Rout;  // Contribucion debido a la resistencia de
salida


end

endmodule
```

Ahora se van a detallar los resultados de las simulaciones. Haciendo un análisis *pz*, se compara la situación teórica de los polos y el zero con la situación real del amplificador que nos ocupa. Teóricamente, se calculan los polos mediante las siguientes expresiones:

$$polo1 = \frac{1}{2 \cdot \pi \cdot gain2 \cdot R1 \cdot Cc} = \frac{1}{2 \cdot \pi \cdot 30 \cdot 6{,}366K \cdot 5p} = 166{,}671KHz$$

$$polo2 = \frac{gm2}{2 \cdot \pi \cdot CL} = \frac{0{,}03}{2 \cdot \pi \cdot 5p} = 954{,}929MHz$$

$$zero = \frac{1}{2 \cdot \pi \cdot Cc \cdot (\frac{1}{gm2} - Rc)} = \frac{1}{2 \cdot \pi \cdot 5p \cdot (\frac{1}{0{,}03} - 70)} = 868{,}117MHz$$

El resultado del análisis es el siguiente:

```
                    Poles (Hz)

        Real                    Imaginary               Qfactor

1   -1.59642e+05                0.00000e+00             5.00000e-01
2   -9.86106e+08                0.00000e+00             5.00000e-01

                    Zeros (Hz)
                    at V(out,0)/V0

        Real                    Imaginary               Qfactor

1   -8.68118e+08                0.00000e+00             5.00000e-01
```

Como puede observarse, los resultados no son exactos, pero sí muy aproximados. Con lo cual se puede decir, que el modelo es bastante preciso.

Simulación en AC:

La gráfica con la respuesta en frecuencia que presenta este modelo se muestra en la figura:

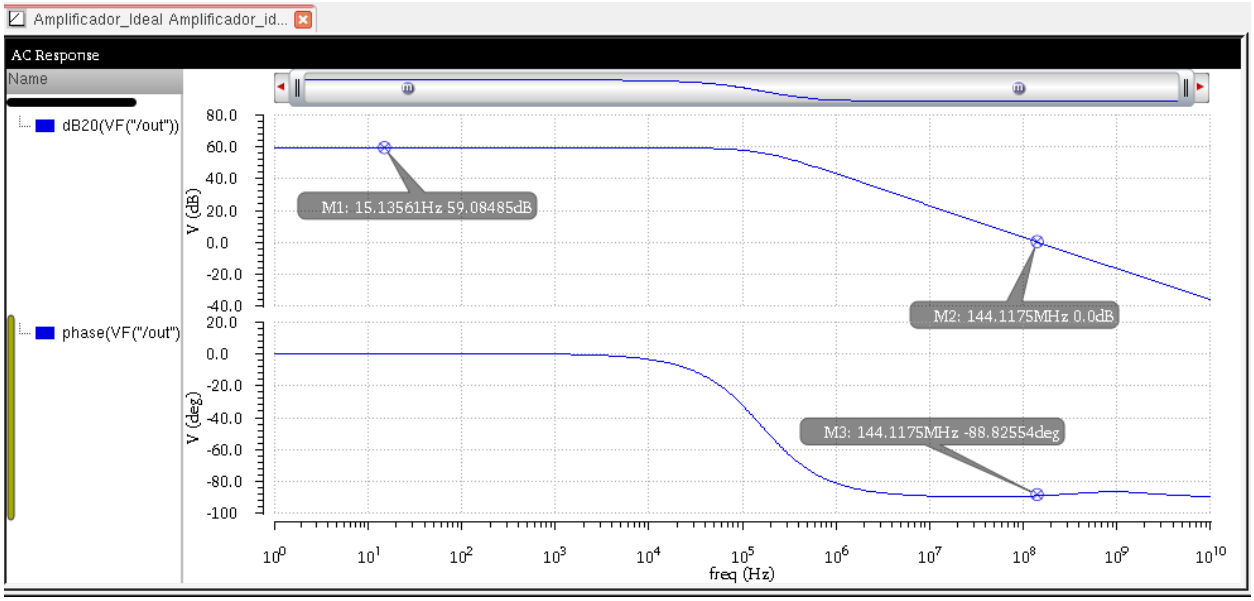

Figura 35: Simulación AC de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida y compensación Miller

Se puede ver como se cumplen las especificaciones requeridas: la ganancia del amplificador en dB es 20*log(gain1*gain2) = 20*log(30*30) = 59.08485dB; el producto GBW también puede verse como sale, de forma aproximada, a la frecuencia especificada cuando la magnitud es 0dB; y el margen de fase MF = 180° − 88.82554° = 91.17446°.

Como se ha comentado anteriormente, los valores están calculados para que el segundo polo se anule con el zero; de esta forma, como se puede ver en la simulación como en torno a 10e8 Hz, que es donde deberían caer el segundo polo y el zero existe como una pequeña curva, ya que el modelo es aproximado.

Simulación en TRANSITORIO:

Analizando el amplificador como seguidor de tensión, vemos que para una fuente con amplitud de 1V y frecuencia de 500Khz, la salida se corresponde con la entrada.

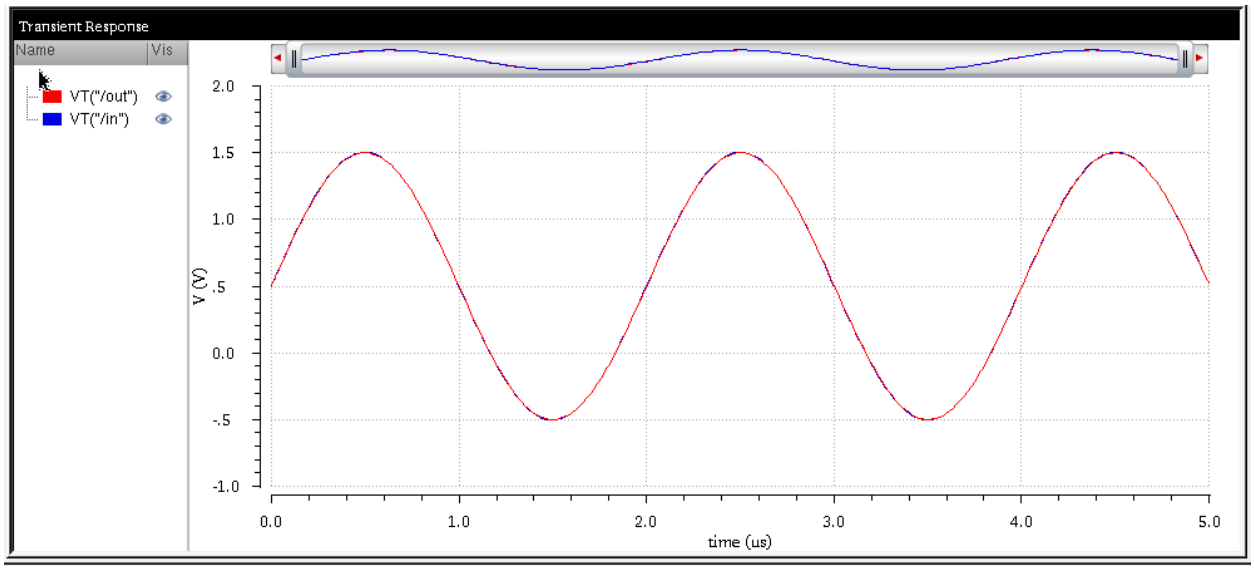

Figura 36: Simulación TRAN de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida y compensación Miller

Donde si hacemos zoom se puede ver como hace la función de un seguidor:

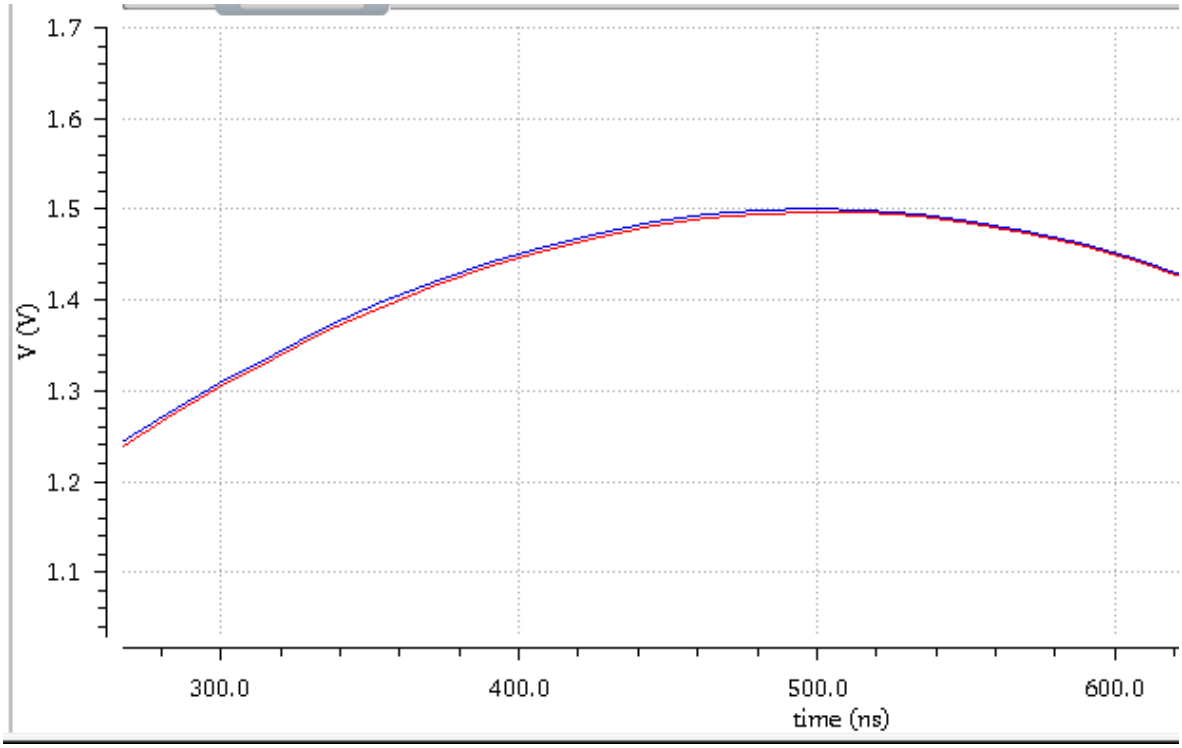

Figura 37: Ampliación para ver la función de seguidor del amplificador

3.2.2 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA Y TENSIÓN DE OFFSET

En este apartado, como se vió para el modelo de una etapa, se añade a la etapa de entrada una fuente de tensión de offset y una resistencia de entrada en serie con dicha fuente. Los valores de los parámetros que se usan en este modelo son los siguientes:

```
//Parámetros y variables

  parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
  parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
  parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
  parameter real gain1 = 30;          // Ganancia primera etapa(unidades naturales)
  parameter real gain2 = 30;          // Ganancia segunda etapa(unidades naturales)
  parameter real CL = 5p;             // Capacidad de carga (en F)
  parameter real Rout = 1K;           // Resistencia de salida (en Ω)
  parameter real Rc = 70;             // Resistencia de compensación (en Ω)
  parameter real Cc = 5p;             // Capacidad de compensación (en F)
```

La imagen con el macromodelo equivalente es la siguiente. Como se vió para el modelo de una etapa, se añade una tensión de offset (Vin_offset) que se modelará como una caída de tensión entre el terminal positivo de entrada del amplificador (INP) y el nodo intermedio VINP_off , mientras que la resistencia de entrada (Rin) irá en serie con con dicha fuente y conectada a la entrada negativa del amplificador (INN). En este modelo también se añade un bloque a la entrada que actúa como buffer; de esta forma, se ve con más claridad la adaptación de la referencia de un bloque a otro. El modelado de la segunda etapa será igual que en el apartado anterior.

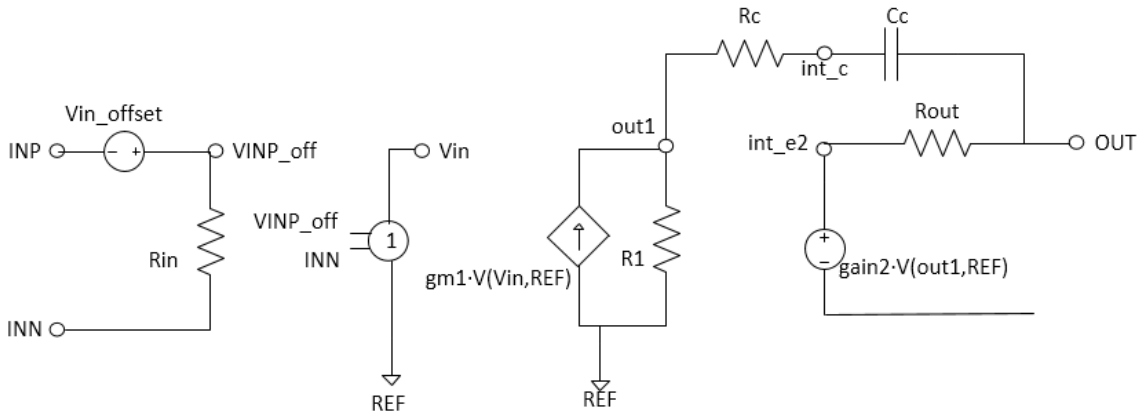

Figura 38: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset

El código Verilog-A que se utiliza para modelar este apartado es el siguiente:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal_2_polos_offset, veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal_2_polos_offset(OUT, INP, INN, REF);

   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;

   //Parametros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
```

```
      parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
      parameter real gain1 = 30;          // Ganancia primera etapa(unidades naturales)
      parameter real gain2 = 30;          // Ganancia segunda etapa(unidades naturales)
      parameter real CL = 5p;             // Capacidad de carga (en F)
      parameter real Rout = 1K;           // Resistencia de salida (en Ω)
      parameter real Rc = 70;             // Resistencia de compensación (en Ω)
      parameter real Cc = 5p;             // Capacidad de compensación (en F)

      real C1;
      real R1;
      real Vin_off;
      real gm1;
      real gm2;
      real polo1;
      real polo2;
      real zero;

   //Nodos internos

      electrical VINP_off;
      electrical Vin;
      electrical out1;
      electrical int_c;
      electrical int_e2;
      electrical out2;


analog begin

   @(initial_step) begin

       gm1 = 2*`M_PI*Cc*GBW;    // Transconductancia dependiente de la capacidad de
carga y de GBW
       gm2 = gain2/Rout;           // Transconductancia dependiente de la ganancia de
la segunda etapa y de Rout
       R1 =  (gain1*gain2)/(gm1*gm2*Rout); // Resistencia de la primera etapa
dependiente de las ganancias, las transconductancias de ambas etapas y la resistencia
de salida
   end


   //Etapa de Entrada

      V(VINP_off,REF) <+ V(INP,REF) + Vin_offset;   // Sumamos la tensión de offset a
la de entrada
      I(VINP_off,INN) <+ V(VINP_off,INN)/Rin;       // Contribución de corriente debido
a la resistencia de entrada

   // Cambio de referencia

      V(Vin,REF) <+ V(VINP_off,INN);


   //Primera Etapa: Norton

      I(out1,REF) <+ gm1*V(Vin,REF);      // Contribución de corriente que genera gm1
      I(out1,REF) <+ V(out1,REF)/R1;      // Contribución de corriente que genera R1

      I(out1,int_c) <+ V(out1,int_c)/Rc;  // Contribución de corriente que genera la
capacidad de compensación
      I(int_c,OUT) <+ Cc*ddt(V(int_c,OUT));  // compensación Miller


    //Etapa de Salida: Thevenin

      V(int_e2,REF) <+ -gain2*V(out1,REF);    // Contribución debido a la ganancia de
la segunda etapa
      I(int_e2,OUT) <+ V(int_e2,OUT)/Rout;    // Contribución debido a la resistencia
de salida
```

```
end

endmodule
```

Los resultados obtenidos mediante las simulaciones se pueden ver en las siguientes imágenes:

Simulación en AC:

La gráfica con la respuesta en frecuencia que presenta este modelo se muestra en la figura:

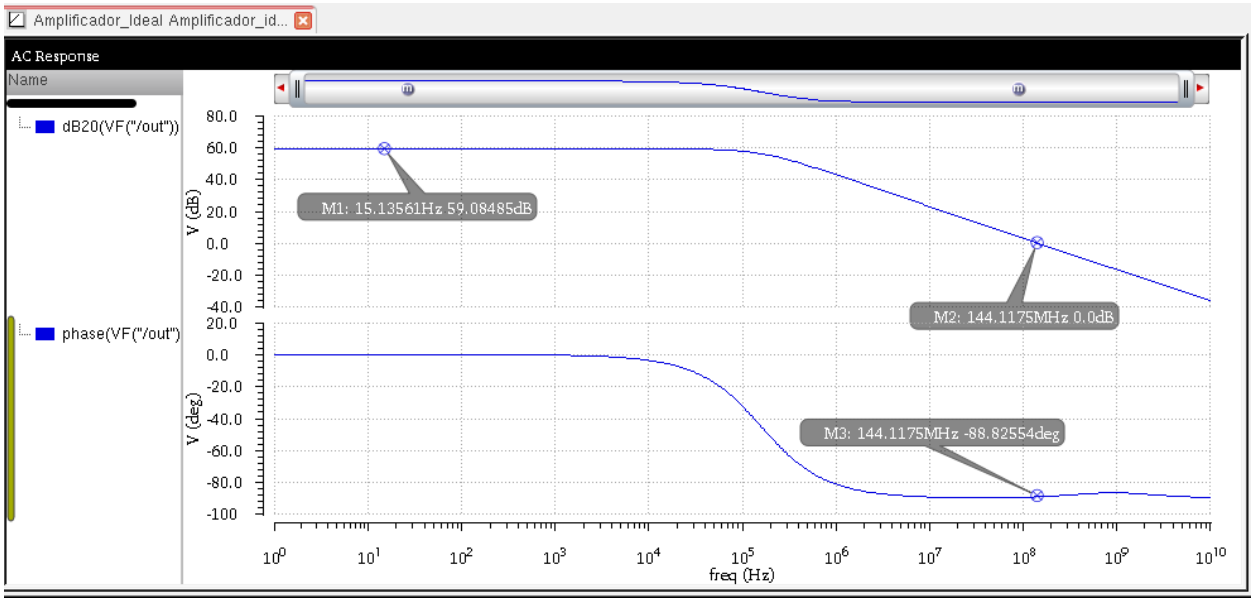

Figura 39: Simulación AC de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset

Las características son las mismas que en el apartado anterior, puesto que lo que ha cambiado es la resistencia de entrada y la tensión de offset, de las cuales se verá el efecto con la siguiente simulación.

Simulación en TRANSITORIO:

Se configura el amplificador en seguidor de tensión con una fuente *pwl*, generando un pulso que empieza en 0.5V, con las siguientes características:

CDF Parameter	Value
Frequency name for 1/period	
Number of pairs of points	6
Time 1	0 s
Voltage 1	500.0m V
Time 2	1n s
Voltage 2	1 V
Time 3	1.001u s
Voltage 3	1 V
Time 4	1.002u s
Voltage 4	0 V
Time 5	2.002u s
Voltage 5	0 V
Time 6	2.003u s
Voltage 6	1 V
Noise file name	
Number of noise/freq pairs	0
DC voltage	
AC magnitude	
AC phase	0

Figura 40: Configuración de la fuente pwl para generar un pulso

Y cuyo resultado en la simulación es el siguiente:

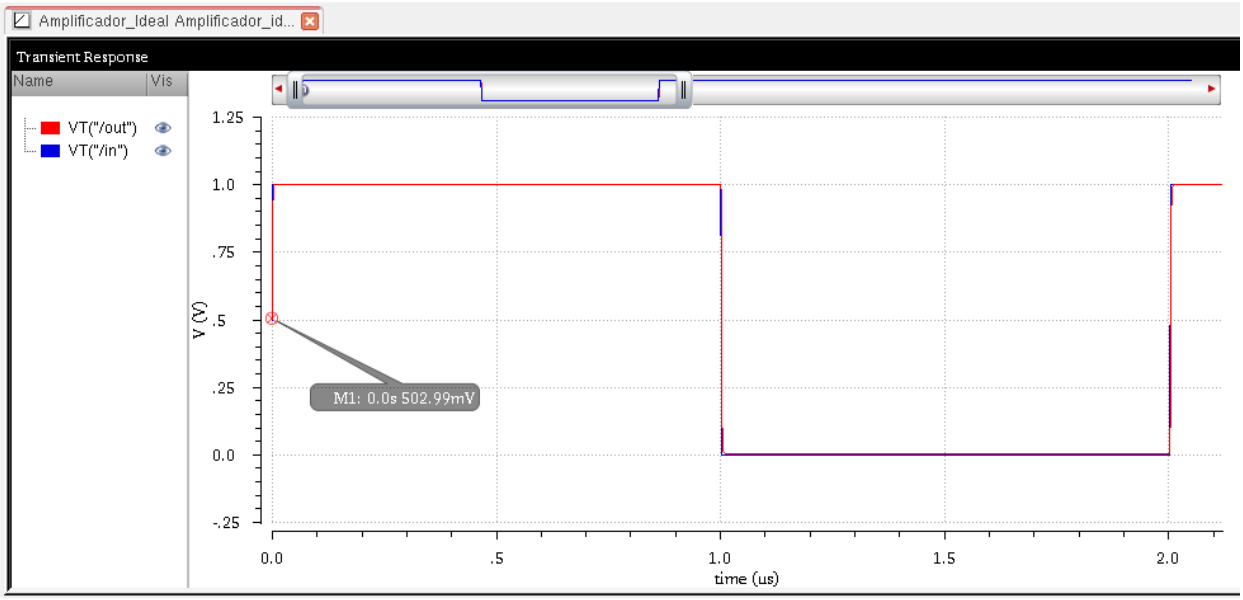

Figura 41: Simulación TRAN de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset

Como puede observarse, el amplificador actúa bien en seguidor y se aprecia el efecto de la tensión de offset de entrada:

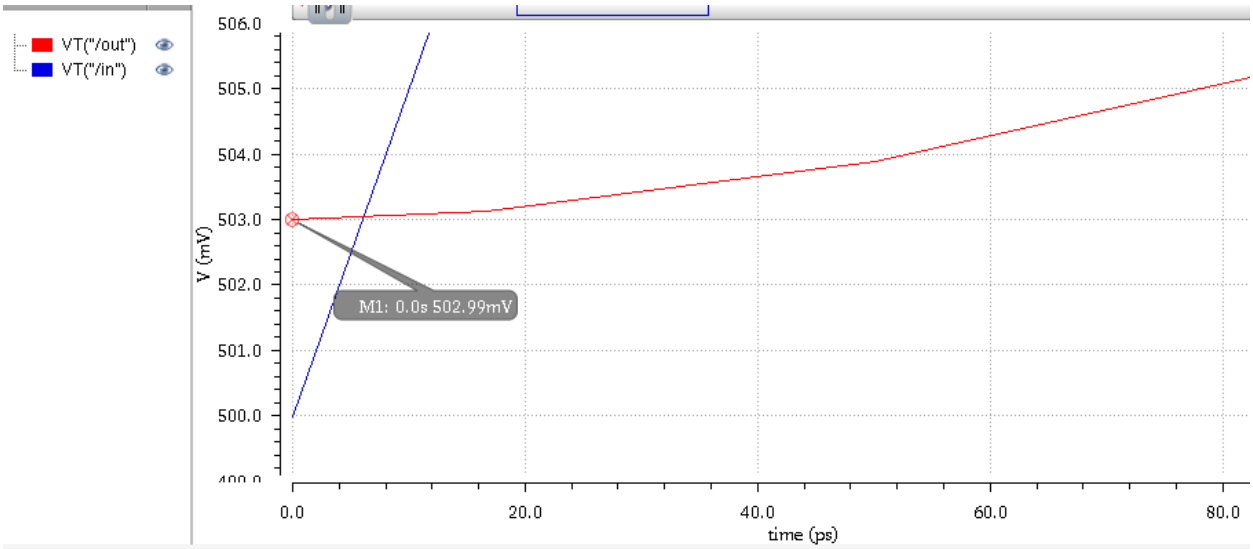

Figura 42: Efecto de la tensión de offset a la entrada del amplificador

3.2.3 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET Y LIMITACIÓN DE SLEW-RATE

Se introduce en este modelo un valor de slew-rate. Como se detalló en apartados anteriores, se añade un bloque a la entrada donde se realiza el modelado de la limitación del slew-rate. La corriente de entrada máxima se modelará en función del slew-rate fijado y de la capacidad de la primera etapa, iin_max,

$$iin_{max} = slew_{rate} \cdot C1$$

que a su vez se define como C1,

$$C1 = Cc \cdot gain2$$

dependiendo así de la capacidad de carga y de la ganancia de la segunda etapa; y la tensión máxima que proporciona dicha corriente, A_max,

$$A_{max} = {iin_{max}}/{gm1}$$

Los valores de los parámetros que se usan en este modelo son los siguientes:

```
   //Parámetros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain1 = 30;          // Ganancia primera etapa(unidades naturales)
     parameter real gain2 = 30;          // Ganancia segunda etapa(unidades naturales)
     parameter real CL = 5p;             // Capacidad de carga (en F)
     parameter real Rout = 1K;           // Resistencia de salida (en Ω)
     parameter real Rc = 70;             // Resistencia de compensación (en Ω)
     parameter real Cc = 5p;             // Capacidad de compensación (en F)
     parameter real slew_rate = 200e6;   // Tasa de variación máxima (V/us) permitida
en la salida
```

La imagen con el macromodelo equivalente es la que se ve a continuación. Además de la resistencia de salida,

entrada, ganancia, offset y resistencia de salida, aquí se modela también los parámetros que hemos indicado anteriormente.

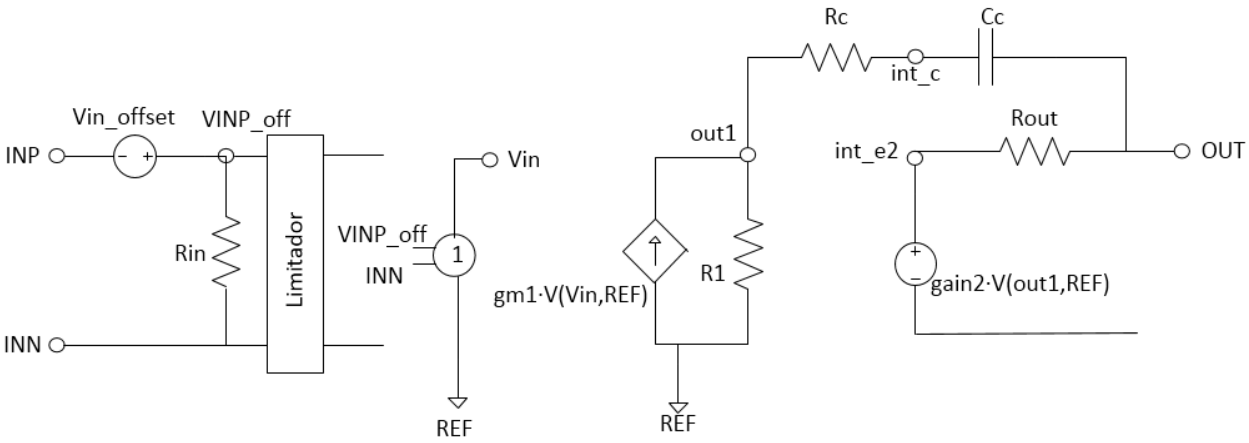

Figura 43: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate

El código Verilog-A que se utiliza para modelar este apartado es el siguiente:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal_2_polos_offset_slewRate1,
veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal_2_polos_offset_slewRate1(OUT, INP, INN, REF);

   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;

   //Parametros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain1 = 30;          // Ganancia primera etapa(unidades naturales)
     parameter real gain2 = 30;          // Ganancia segunda etapa(unidades naturales)
     parameter real CL = 5p;             // Capacidad de carga (en F)
     parameter real Rout = 1K;           // Resistencia de salida (en Ω)
     parameter real Rc = 70;             // Resistencia de compensación (en Ω)
     parameter real Cc = 5p;             // Capacidad de compensación (en F)
     parameter real slew_rate = 200e6;   // Tasa de variación máxima (V/us) permitida
en la salida

     real C1;
     real R1;
     real Vin_off;
     real gm1;
     real gm2;
     real polo1;
     real polo2;
     real zero;
     real iin_max;
     real A_max;
     real Voffset;
     real Vinref;

   //Nodos internos

     electrical VINP_off;
```

```
      electrical Vin;
      electrical out1;
      electrical int_c;
      electrical int_e2;
      electrical out2;


analog begin

   @(initial_step) begin

       gm1 = 2*`M_PI*Cc*GBW;              // Transconductancia dependiente de la
capacidad de carga y de GBW
       gm2 = gain2/Rout;                  // Transconductancia dependiente de la
ganancia de la segunda etapa y de Rout
       R1 =  (gain1*gain2)/(gm1*gm2*Rout); // Resistencia de la primera etapa
dependiente de las ganancias, las transconductancias de ambas etapas y la resistencia
de salida
       C1 = Cc*gain2;                     // Capacidad de la primera etapa
       iin_max = slew_rate*C1;            // Corriente máxima debida al slew-rate y la
capacidad de carga
       A_max = iin_max/gm1;               // Tensión máxima debida al slew-rate

   end

   //Etapa de Entrada

     V(VINP_off,REF) <+ V(INP,REF) + Vin_offset;   // Sumamos la tensión de offset a
la de entrada
      I(VINP_off,INN) <+ V(VINP_off,INN)/Rin;       // Contribución de corriente debido
a la resistencia de entrada

   Voffset = V(VINP_off,INN);


   //Limitación de Slew-rate

     if (Voffset > A_max)
       Vinref = A_max;                  // Si la tensión a la entrada es mayor que la
tensión que nos proporciona la corriente
                                        // del Slew-rate, cambiamos la tensión que
llega a la salida por dicha tensión.
     else if (Voffset < -A_max)
       Vinref = -A_max;                 // Si la tensión a la entrada es menor que la
tensión que nos proporciona la corriente
                                        // del Slew-rate negativa, cambiamos la tensión
que llega a la salida por dicha tensión en negativa.
     else
       Vinref = Voffset;                // Si no, la dejamos igual


    V(Vin,REF) <+ Vinref;


   //Primera Etapa: Norton

     I(out1,REF) <+ gm1*V(Vin,REF);       // Contribución de corriente que genera gm1
     I(out1,REF) <+ V(out1,REF)/R1;       // Contribución de corriente que genera R1

     I(out1,int_c) <+ V(out1,int_c)/Rc;       // Contribución de corriente que genera
la capacidad de compensacin
     I(int_c,OUT) <+ Cc*ddt(V(int_c,OUT));    // Compensación Miller


    //Etapa de Salida: Thevenin

     V(int_e2,REF) <+ -gain2*V(out1,REF);     // Contribución debido a la ganancia de
la segunda etapa
```

```
     I(int_e2,OUT) <+ V(int_e2,OUT)/Rout;     // Contribución debido a la resistencia
de salida


end

endmodule
```

Los resultados obtenidos mediante las simulaciones se pueden ver en las siguientes imágenes;

Simulación en AC:

La gráfica con la respuesta en frecuencia que presenta este modelo se muestra en la figura:

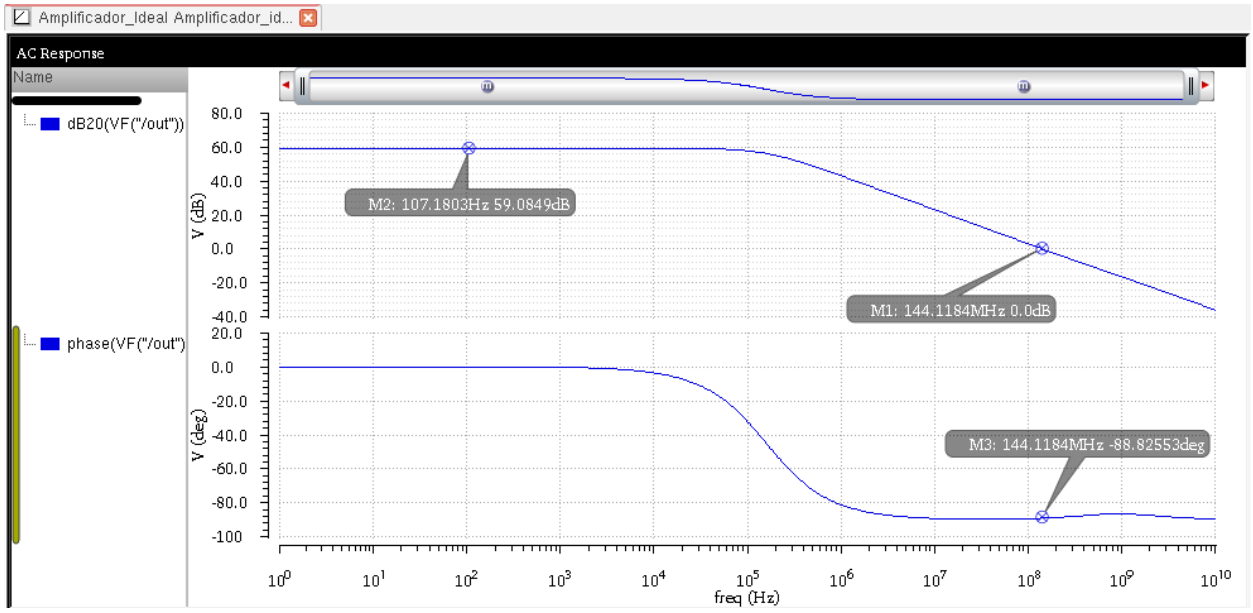

Figura 44: Simulación AC de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate

Las características siguen siendo las mismas que en los apartados anteriores, aunque ahora se ha añadido el efecto de la limitación a la entrada mediante el Slew-Rate, del cual se ve el efecto en la siguiente imagen.

Simulación en TRANSITORIO:

Se configura el amplificador en seguidor de tensión con una fuente *pwl*, generando un pulso que empieza en 0.5V, con las siguientes características:

CDF Parameter	Value
Frequency name for 1/period	
Number of pairs of points	6
Time 1	0 s
Voltage 1	500.0m V
Time 2	1n s
Voltage 2	1 V
Time 3	1.001u s
Voltage 3	1 V
Time 4	1.002u s
Voltage 4	0 V
Time 5	2.002u s
Voltage 5	0 V
Time 6	2.003u s
Voltage 6	1 V
Noise file name	
Number of noise/freq pairs	0
DC voltage	
AC magnitude	
AC phase	0

Figura 45: Configuración de la fuente pwl para generar un pulso

Y cuyo resultado en la simulación es el siguiente:

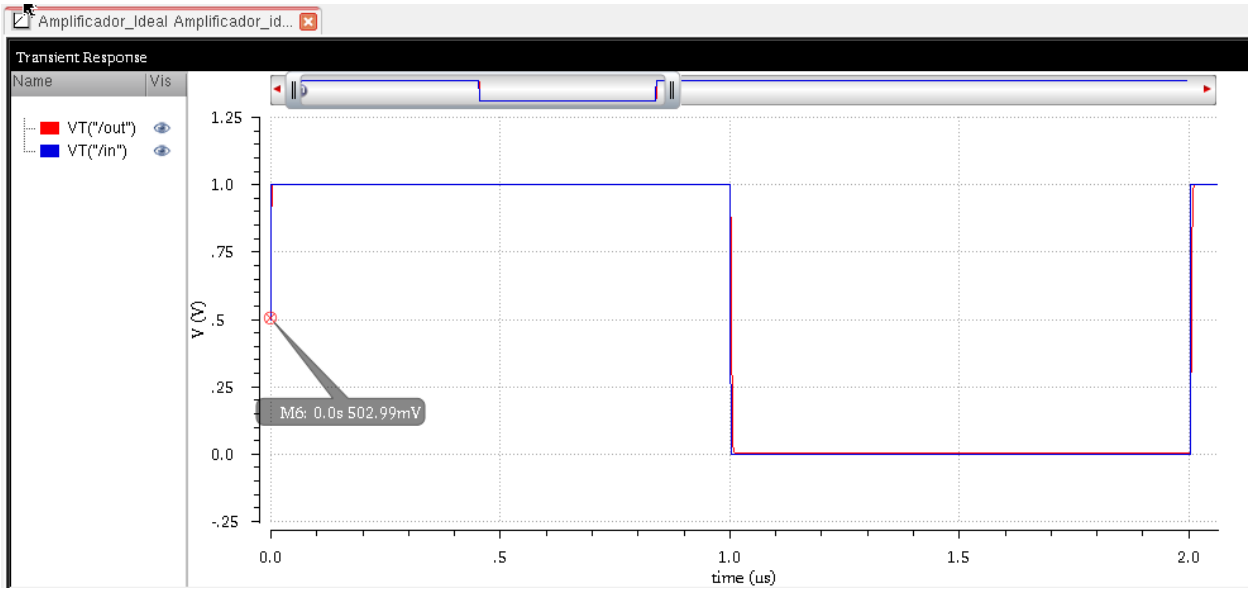

Figura 46: Simulación TRAN de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate

Como puede observarse, el amplificador actúa bien en seguidor y se aprecia el efecto de la tensión de offset de entrada:

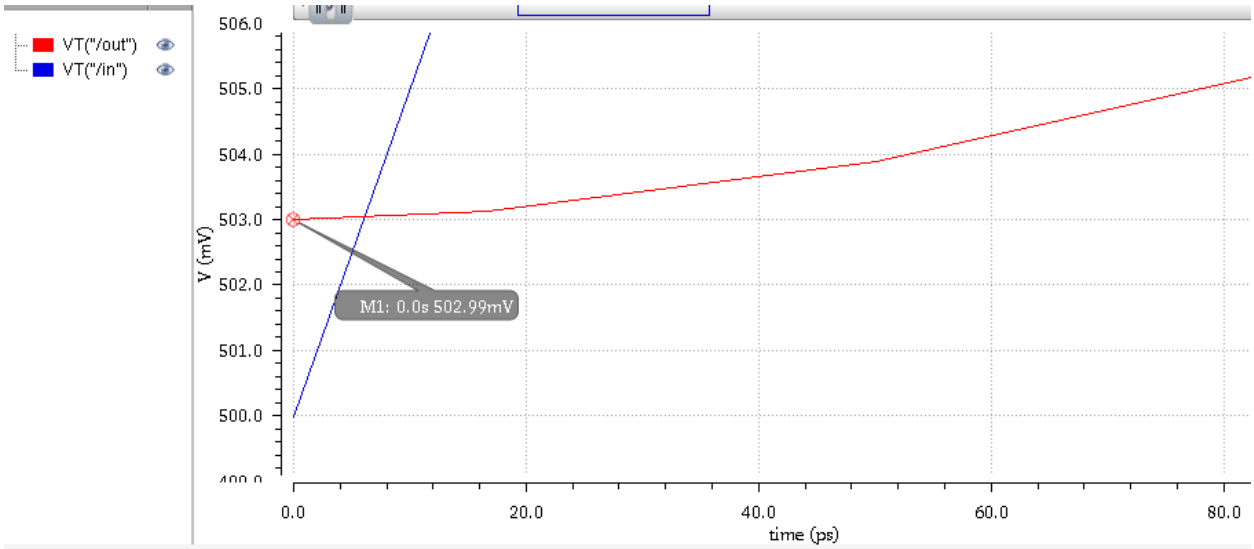

Figura 47: Efecto de la tensión de offset a la entrada del amplificador

El efecto del Slew-rate se ve en haciendo zoom:

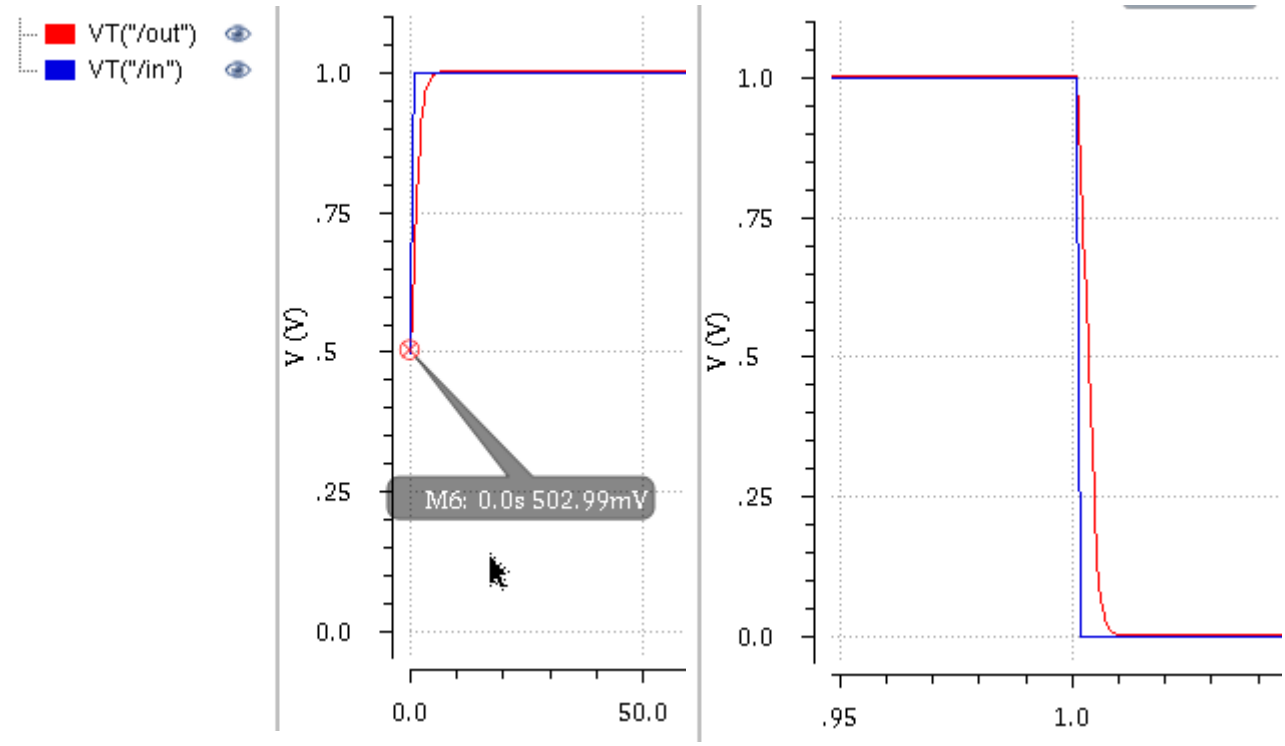

Figura 48: Efecto del slew-rate en la subida y bajada del pulso

En el valor teórico de las especificaciones que se le han dado al amplificador, se ha puesto un Slew-Rate de 200V/µs. Usando la herramienta Calculadora de Cadence6, se observa como el valor que sale es muy aproximado:

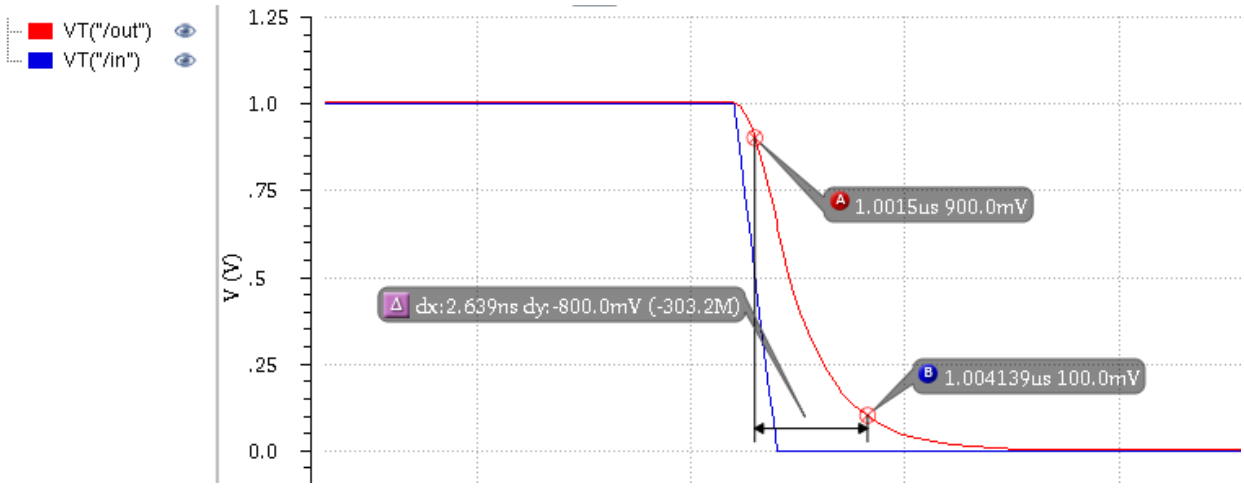

Figura 49: Valores para el cálculo teórico del slew-rate

slewRate(VT("/out)' 3.551609m nil 1.002442 nil 10 90 nil 'time")

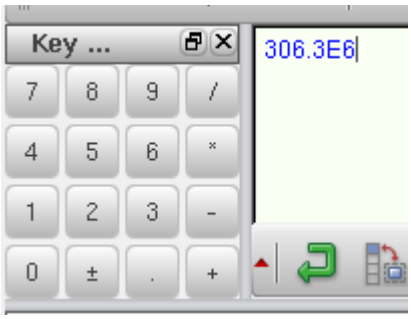

Figura 50: Resultado del slew-rate de la simulación

3.2.4 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET, LIMITACIÓN DE SLEW-RATE Y RUIDO

A continuación, se modela el ruido para un amplificador de dos etapas siguiendo el mismo método que para el modelado de una etapa. En este caso, también se hace con contribuciones a la tensión de salida del amlificador.

```
 V(int_e2,REF) <+ -gain2*V(out1,REF)+ white_noise(whitenoise) +
flicker_noise(flickernoise, 1.0);    // Contribución debido a la ganancia de la
segunda etapa mas el ruido
 I(int_e2,OUT) <+ V(int_e2,OUT)/Rout;    // Contribución debido a la resistencia de
salida
```

donde *23e-6* a es valor de densidad espectral de potencia del ruido blanco y es un valor que el diseñador elige; y los parámetros del ruido flicker son la densidad espectral de potencia igual a *25e-6* a frecuencia 1Hz y una dependencia con la frecuencia de $1/f^{1.0}$.

Los parámetros que en este modelo controla el diseñador además del ruido son los siguientes:

```
//Parametros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
```

```
    parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
    parameter real gain1 = 30;          // Ganancia primera etapa(unidades naturales)
    parameter real gain2 = 30;          // Ganancia segunda etapa(unidades naturales)
    parameter real CL = 5p;             // Capacidad de carga (en F)
    parameter real Rout = 1K;           // Resistencia de salida (en Ω)
    parameter real Rc = 70;             // Resistencia de compensación (en Ω)
    parameter real Cc = 5p;             // Capacidad de compensación (en F)
    parameter real slew_rate = 200e6;   // Tasa de variación máxima (V/us) permitida
en la salida
    parameter real whitenoise = 23e-6; // Valor del ruido blanco
    parameter real flickernoise = 25e-6; // Valor del ruido flicker
```

También se modela de igual forma que en los apartados anteriores tanto la R1, gm1, gm2, C1, iin_max y A_max.

$$gm1 = 2\pi \cdot Cc \cdot GBW$$

$$gm2 = {gain2}/{Rout}$$

$$R1 = {gain1 \cdot gain2}/{gm1 \cdot gm2 \cdot Rout}$$

$$iin_{max} = slew_{rate} \cdot C1$$

$$C1 = Cc \cdot gain2$$

$$A_{max} = {iin_{max}}/{gm1}$$

La imagen con el macromodelo equivalente es la que se muestra a continuación:

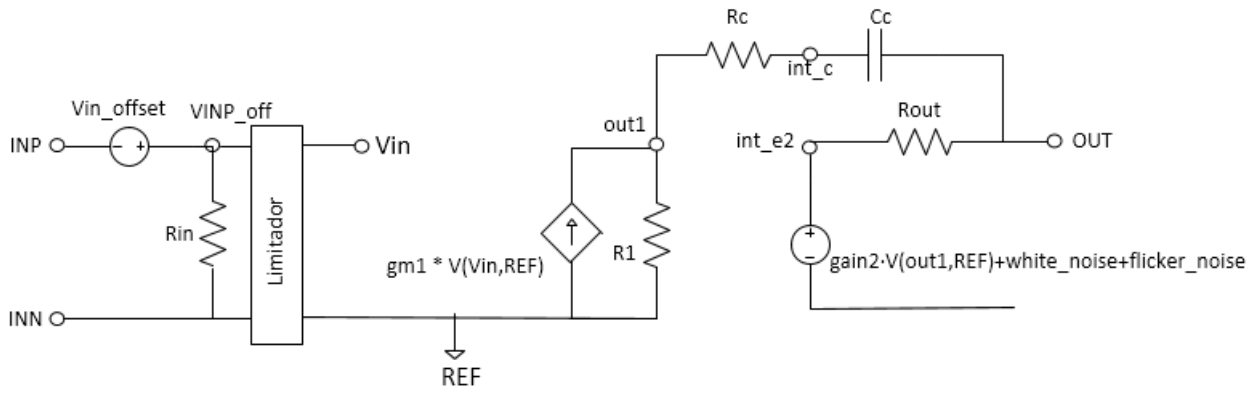

Figura 51: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido

El código Verilog-A de diseño de este modelo es el siguiente:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal_2_polos_offset_slewRate1_Ruido,
veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal_2_polos_offset_slewRate1_Ruido(OUT, INP, INN, REF);

   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;
```

```
   //Parametros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain1 = 30;          // Ganancia primera etapa(unidades naturales)
     parameter real gain2 = 30;          // Ganancia segunda etapa(unidades naturales)
     parameter real CL = 5p;             // Capacidad de carga (en F)
     parameter real Rout = 1K;           // Resistencia de salida (en Ω)
     parameter real Rc = 70;             // Resistencia de compensación (en Ω)
     parameter real Cc = 5p;             // Capacidad de compensación (en F)
     parameter real slew_rate = 200e6;   // Tasa de variación máxima (V/us) permitida
en la salida
     parameter real whitenoise = 23e-6; // Valor del ruido blanco
     parameter real flickernoise = 25e-6; // Valor del ruido flicker


     real C1;
     real R1;
     real Vin_off;
     real gm1;
     real gm2;
     real polo1;
     real polo2;
     real zero;
     real iin_max;
     real A_max;
     real Voffset;
     real Vinref;

   //Nodos internos

     electrical VINP_off;
     electrical Vin;
     electrical out1;
     electrical int_c;
     electrical int_e2;
     electrical out2;


analog begin

   @(initial_step) begin

      gm1 = 2*`M_PI*Cc*GBW;              // Transconductancia dependiente de la
capacidad de carga y de GBW
      gm2 = gain2/Rout;                  // Transconductancia dependiente de la
ganancia de la segunda etapa y de Rout
      R1 =  (gain1*gain2)/(gm1*gm2*Rout); // Resistencia de la primera etapa
dependiente de las ganancias, las transconductancias de ambas etapas y la resistencia
de salida
      C1 = Cc*gain2;                     // Capacidad de la primera etapa
      iin_max = slew_rate*C1;            // Corriente máxima debida al slew-rate y la
capacidad de carga
      A_max = iin_max/gm1;               // Tensión máxima debida al slew-rate
      //$display("Fc = %e y Ro = %e",fc,Ro);

   end

   //Etapa de Entrada

     V(VINP_off,REF) <+ V(INP,REF) + Vin_offset;   // Sumamos la tensión de offset a
la de entrada
     I(VINP_off,INN) <+ V(VINP_off,INN)/Rin;       // Contribución de corriente debido
a la resistencia de entrada

   Voffset = V(VINP_off,INN);
```

```
   //Limitación de Slew-rate

     if (Voffset > A_max)
       Vinref = A_max;             // Si la tensión a la entrada es mayor que la
tensión que nos proporciona la corriente
                                   // del Slew-rate, cambiamos la tensión que llega a
la salida por dicha tensión.
     else if (Voffset < -A_max)
       Vinref = -A_max;            // Si la tensión a la entrada es menor que la
tensión que nos proporciona la corriente
                                   // del Slew-rate negativa, cambiamos la tensión que
llega a la salida por dicha tensión en negativa.
     else
       Vinref = Voffset;   // Si no, la dejamos igual


    V(Vin,REF) <+ Vinref;



   //Primera Etapa: Norton

     I(out1,REF) <+ gm1*V(Vin,REF);    // Contribución de corriente que genera gm1
     I(out1,REF) <+ V(out1,REF)/R1;         // Contribución de corriente que genera R1

     I(out1,int_c) <+ V(out1,int_c)/Rc;     // Contribución de corriente que genera la
capacidad de compensacin
     I(int_c,OUT) <+ Cc*ddt(V(int_c,OUT));  // Compensación Miller


    //Etapa de Salida: Thevenin

     V(int_e2,REF) <+ -gain2*V(out1,REF)+ white_noise(whitenoise) +
flicker_noise(flickernoise, 1.0);    // Contribución debido a la ganancia de la
segunda etapa mas el ruido
     I(int_e2,OUT) <+ V(int_e2,OUT)/Rout;    // Contribución debido a la resistencia
de salida


end

endmodule
```

Para este apartado, y como se puede ver, los resultados no varían de los anteriores.

Simulación en AC:

La gráfica con la respuesta en frecuencia que presenta este modelo se muestra en la figura:

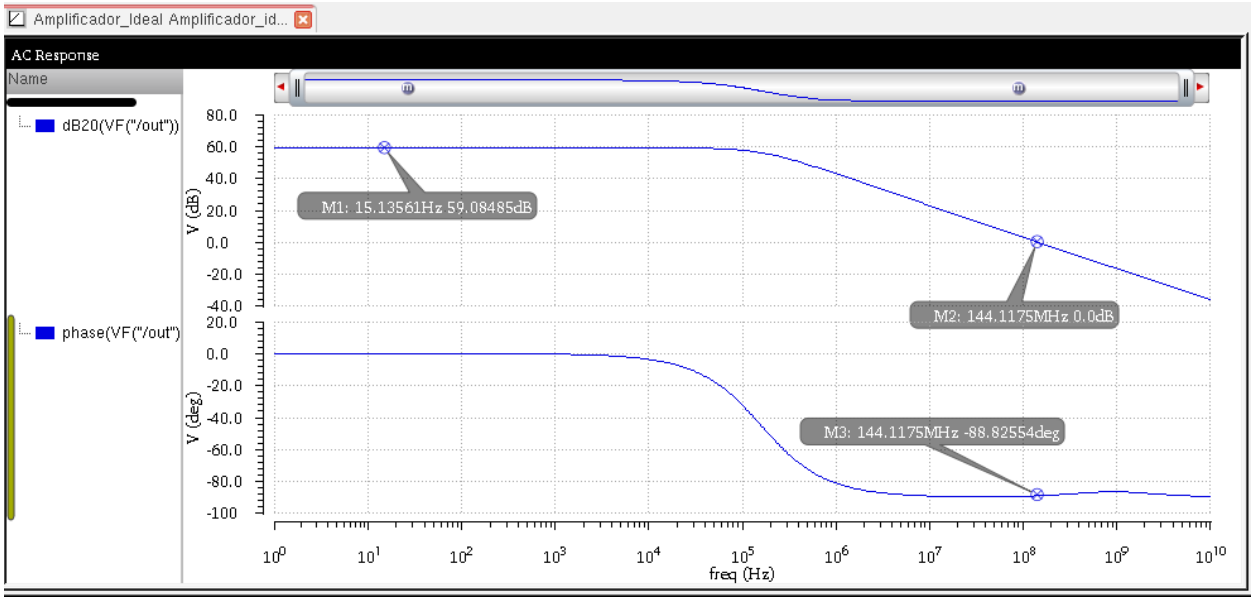

Figura 52: Simulación AC de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido

Simulación en TRANSITORIO:

Se configura el amplificador en seguidor de tensión con una fuente *pwl*, generando un pulso que empieza en 0.5V, con las siguientes características:

CDF Parameter	Value
Frequency name for 1/period	
Number of pairs of points	6
Time 1	0 s
Voltage 1	500.0m V
Time 2	1n s
Voltage 2	1 V
Time 3	1.001u s
Voltage 3	1 V
Time 4	1.002u s
Voltage 4	0 V
Time 5	2.002u s
Voltage 5	0 V
Time 6	2.003u s
Voltage 6	1 V
Noise file name	
Number of noise/freq pairs	0
DC voltage	
AC magnitude	
AC phase	0

Figura 53: Configuración de la fuente pwl para generar un pulso

Y cuyo resultado en la simulación es el siguiente:

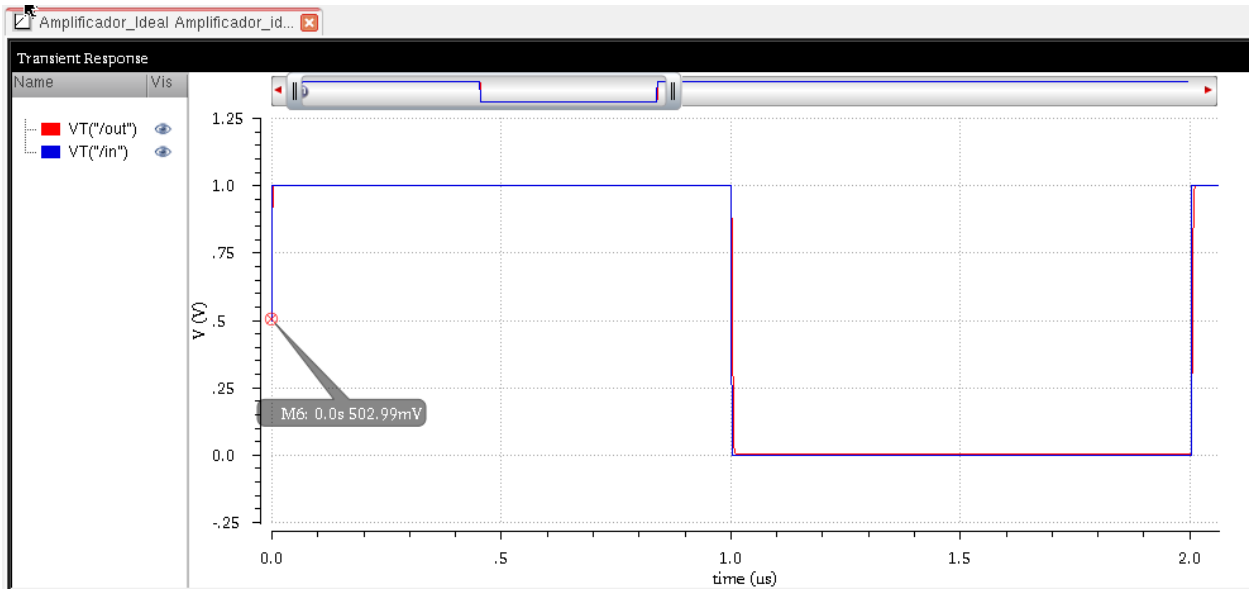

Figura 54: Simulación TRAN de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido

Como puede observarse, el amplificador actúa bien en seguidor y se aprecia el efecto de la tensión de offset de entrada:

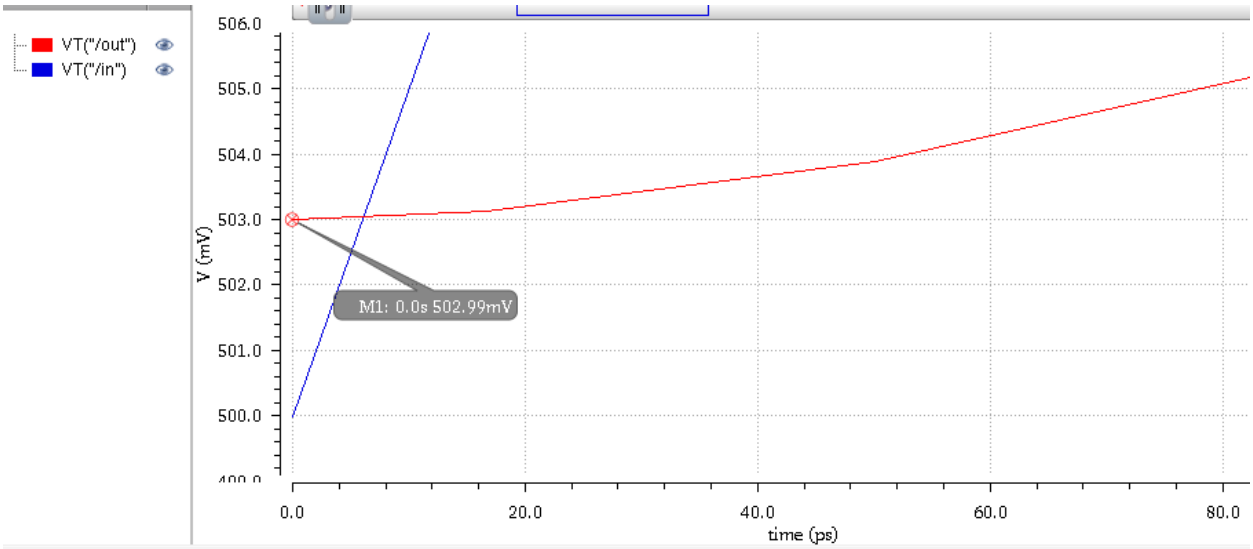

Figura 55: Efecto de la tensión de offset a la entrada del amplificador

El efecto del Slew-rate se ve en haciendo zoom:

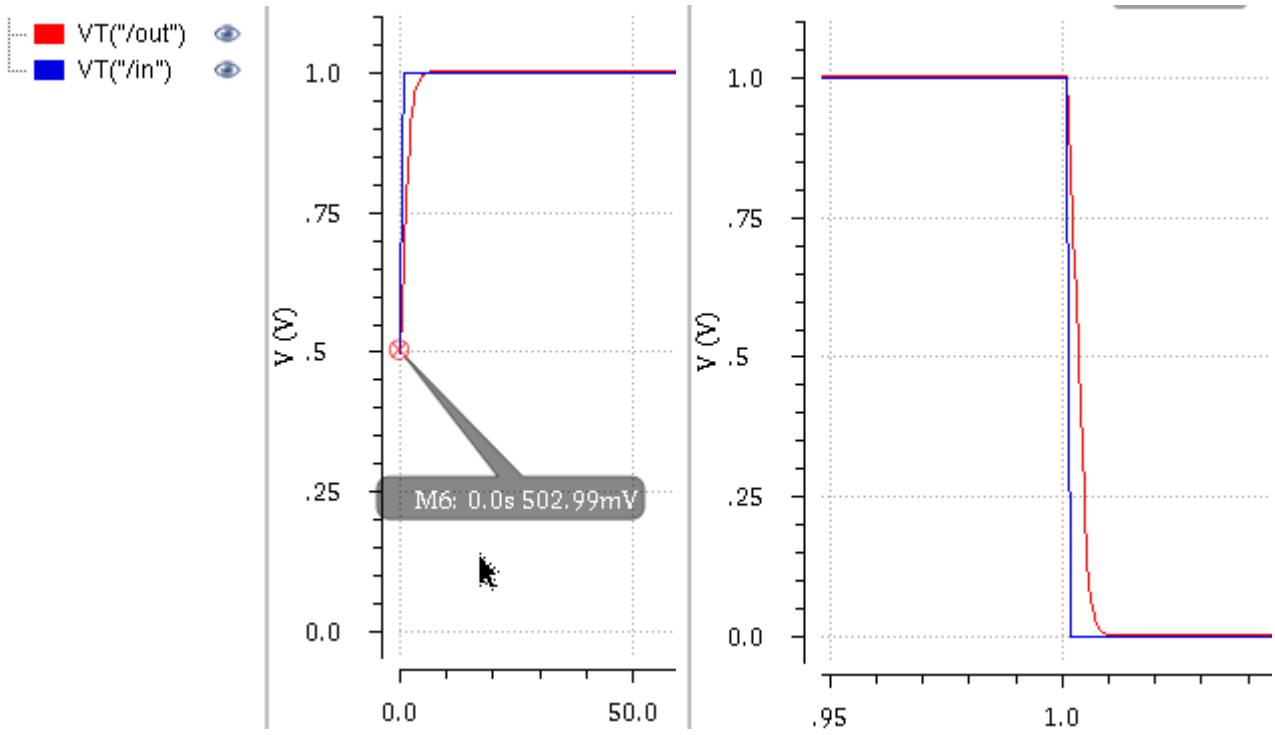

Figura 56: Efecto del slew-rate a la subida y bajada del pulso

Simulación de ruido:

Con la contribución del ruido blanco y el ruido flicker al modelo, se ve como para una etapa, los parámetros obtenidos de la simulación son los siguientes:

Device	Param	Noise Contribution	% Of Total
/I0	thermal_noise	2.29991e-05	99.89
/I0	flicker_noise	2.4999e-08	0.11

Spot Noise Summary (in V^2/Hz) at 1K Hz Sorted By Noise Contributors
Total Summarized Noise = 2.30241e-05
Total Input Referred Noise = 2.84259e-11
The above noise summary info is for noise data

Figura 57: Parámetros de ruido obtenidos de la simulación

Donde, mostrados en una gráfica, se observa como el ruido flicker actua de forma exponencial a la frecuencia ($1/f^{1.0}$) y el ruido blanco no varía con la frecuencia. Los datos han sido tomados para valores de frecuencia de 1Hz, 10Hz, 100Hz y 1KHz. Los valores obtenidos para el ruido se miden en V^2/Hz.

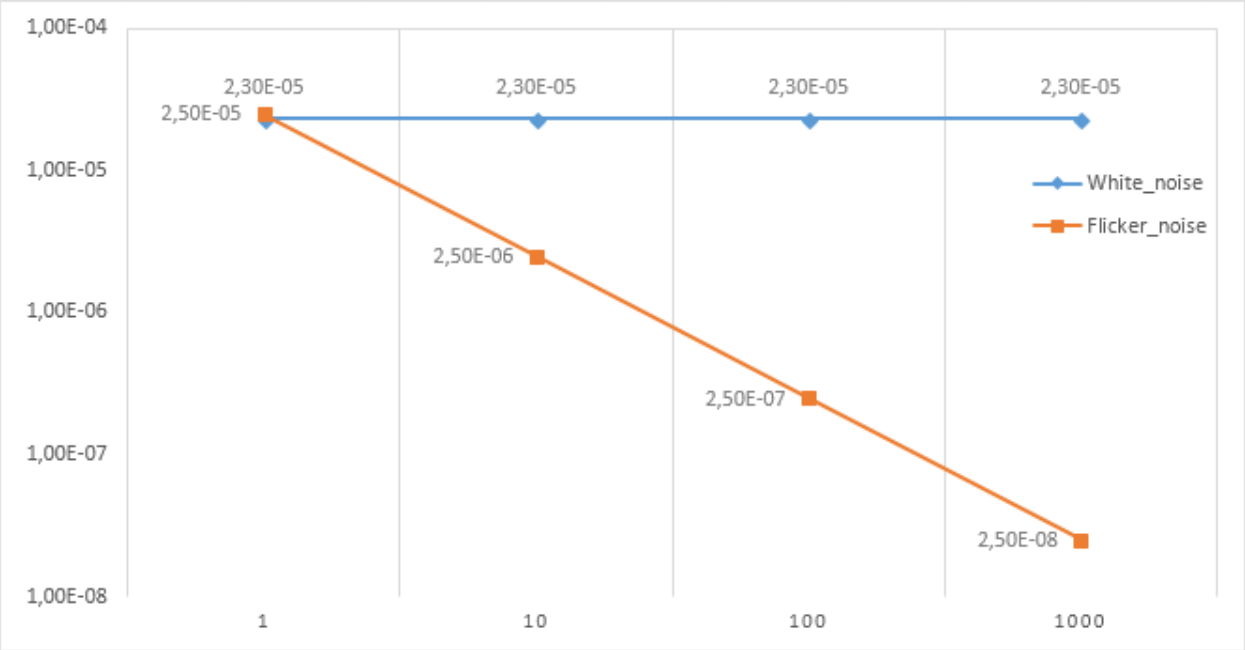

Figura 58: Resultados obtenidos del ruido blanco y el ruido flicker

3.3 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET, LIMITACIÓN DE RANGO DE ENTRADA Y RUIDO

En este último apartado, se cambia el modelado de la limitación. Antes se ha hecho mediante el control del Slew-Rate, a partir del cual se limitaba la corriente de carga de la capacidad de carga y obteníamos la tensión máxima que daba esta corriente, teniendo así este valor como referencia para hacer la limitación. Ahora, se utiliza la corriente máxima de carga de la capacidad de compensación para hacer la limitación. El diseñador podrá controlar la iin_max junto con los siguientes parámetros:

```
   //Parametros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain1 = 30;          // Ganancia primera etapa(unidades naturales)
     parameter real gain2 = 30;          // Ganancia segunda etapa(unidades naturales)
     parameter real CL = 5p;             // Capacidad de carga (en F)
     parameter real Rout = 1K;           // Resistencia de salida (en Ω)
     parameter real Rc = 70;             // Resistencia de compensación (en Ω)
     parameter real Cc = 5p;             // Capacidad de compensación (en F)
     parameter real iin_max = 3e-2;      // Corriente maxima de carga de la capacidad
de compensacion
     parameter real whitenoise = 23e-6; // Valor del ruido blanco
     parameter real flickernoise = 25e-6; // Valor del ruido flicker
```

La imagen con el macromodelo equivalente es la que se ve a continuación. Además de la resistencia de salida, entrada, ganancia, offset, resistencia de salida, aquí se modela también la amplitud máxima de entrada que proporciona la corriente de entrada máxima, iin_max

$$A_{max} = {iin_{max}}/{gm1}$$

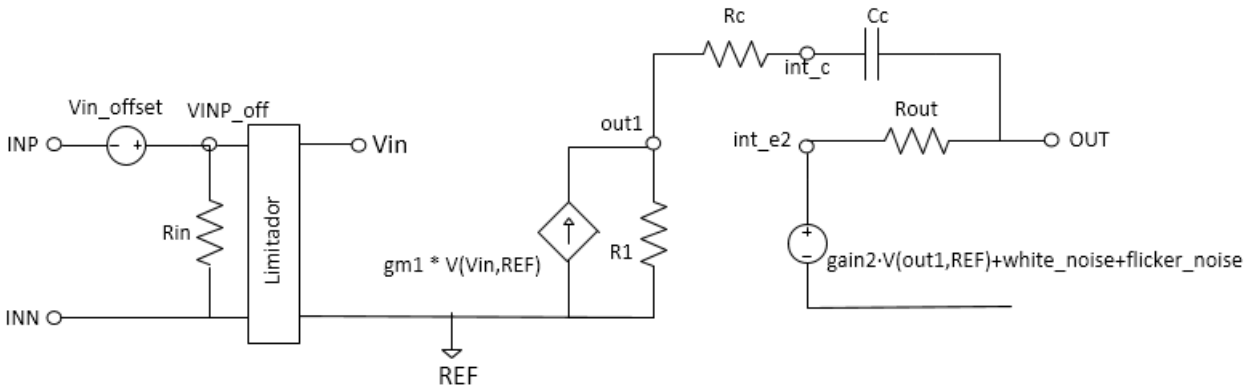

Figura 59: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de rango de entrada y ruido

El código Verilog-A de diseño de este modelo es el siguiente:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal_2_polos_parametro_iinmax,
veriloga

`include "constants.vams"
`include "disciplines.vams"
```

```
module Amplificador_ideal_2_polos_parametro_iinmax(OUT, INP, INN, REF);

   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;

   //Parametros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain1 = 30;          // Ganancia primera etapa(unidades naturales)
     parameter real gain2 = 30;          // Ganancia segunda etapa(unidades naturales)
     parameter real CL = 5p;             // Capacidad de carga (en F)
     parameter real Rout = 1K;           // Resistencia de salida (en Ω)
     parameter real Rc = 70;             // Resistencia de compensación (en Ω)
     parameter real Cc = 5p;             // Capacidad de compensación (en F)
     parameter real iin_max = 3e-2;      // Corriente maxima de carga de la capacidad
de compensacion
     parameter real whitenoise = 23e-6; // Valor del ruido blanco
     parameter real flickernoise = 25e-6; // Valor del ruido flicker


     real C1;
     real R1;
     real Vin_off;
     real gm1;
     real gm2;
     real polo1;
     real polo2;
     real zero;
     real A_max;
     real Voffset;
     real Vinref;

   //Nodos internos

     electrical VINP_off;
     electrical Vin;
     electrical out1;
     electrical int_c;
     electrical int_e2;
     electrical out2;


analog begin

   @(initial_step) begin

      gm1 = 2*`M_PI*Cc*GBW;     // Transconductancia dependiente de la capacidad de
carga y de GBW
      gm2 = gain2/Rout;         // Transconductancia dependiente de la ganancia de la
segunda etapa y de Rout
      R1 =  (gain1*gain2)/(gm1*gm2*Rout); // Resistencia de la primera etapa
dependiente de las ganancias, las transconductancias de ambas etapas y la resistencia
de salida
      C1 = Cc*gain2;            // Capacidad de la primera etapa
      A_max = iin_max/gm1;      // Tensión máxima debida al slew-rate

   end

   //Etapa de Entrada

     V(VINP_off,REF) <+ V(INP,REF) + Vin_offset;   // Sumamos la tensin de offset a la
de entrada
     I(VINP_off,INN) <+ V(VINP_off,INN)/Rin;       // Contribución de corriente debido
a la resistencia de entrada

   Voffset = V(VINP_off,INN);
```

```
   //Limitación de Slew-rate

     if (Voffset > A_max)
       Vinref = A_max;             // Si la tensión a la entrada es mayor que la
tensión que nos proporciona la corriente
                                   // del Slew-rate, cambiamos la tensión que llega a
la salida por dicha tensión.
     else if (Voffset < -A_max)
       Vinref = -A_max;            // Si la tensión a la entrada es menor que la
tensión que nos proporciona la corriente
                                   // del Slew-rate negativa, cambiamos la tensión que
llega a la salida por dicha tensión en negativa.
     else
       Vinref = Voffset;   // Si no, la dejamos igual


    V(Vin,REF) <+ Vinref;



   //Primera Etapa: Norton

     I(out1,REF) <+ gm1*V(Vinref,REF);    // Contribución de corriente que genera gm1
     I(out1,REF) <+ V(out1,REF)/R1;         // Contribución de corriente que genera R1

     I(out1,int_c) <+ V(out1,int_c)/Rc;     // Contribución de corriente que genera la
capacidad de compensacin
     I(int_c,OUT) <+ Cc*ddt(V(int_c,OUT));  // Compensación Miller


    //Etapa de Salida: Thevenin

     V(int_e2,REF) <+ -gain2*V(out1,REF)+ white_noise(whitenoise) +
flicker_noise(flickernoise, 1.0);    // Contribución debido a la ganancia de la
segunda etapa mas el ruido
     I(int_e2,OUT) <+ V(int_e2,OUT)/Rout;    // Contribución debido a la resistencia
de salida


end

endmodule
```

En este modelo, se puede ver como aunque se cambie la forma de modelar el slew-rate y la corriente de entrada máxima, el amplificador sigue funcionando correctamente.

Simulación en AC:

La gráfica con la respuesta en frecuencia que presenta este modelo se muestra en la figura:

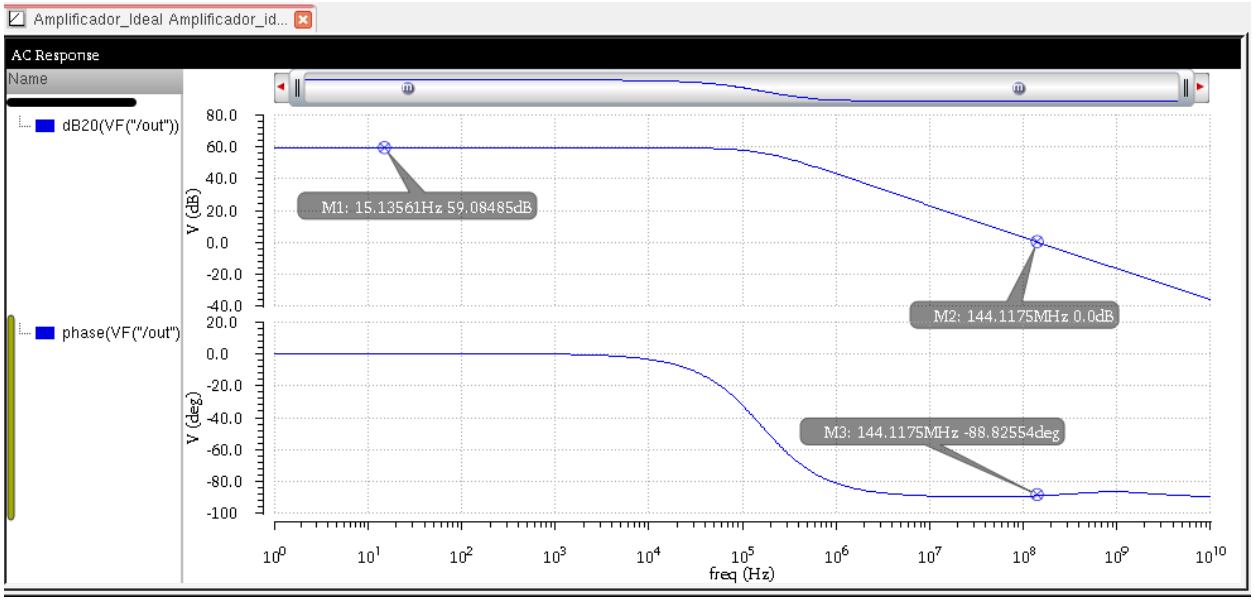

Figura 60: Simulación AC de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de rango de entrada y ruido

Simulación en TRANSITORIO:

Se configura el amplificador en seguidor de tensión con una fuente *pwl*, generando un pulso que empieza en 0.5V, con las siguientes características:

CDF Parameter	Value
Frequency name for 1/period	
Number of pairs of points	6
Time 1	0 s
Voltage 1	500.0m V
Time 2	1n s
Voltage 2	1 V
Time 3	1.001u s
Voltage 3	1 V
Time 4	1.002u s
Voltage 4	0 V
Time 5	2.002u s
Voltage 5	0 V
Time 6	2.003u s
Voltage 6	1 V
Noise file name	
Number of noise/freq pairs	0
DC voltage	
AC magnitude	
AC phase	0

Figura 61: Configuración de la fuente pwl para generar un pulso

Y cuyo resultado en la simulación es el siguiente:

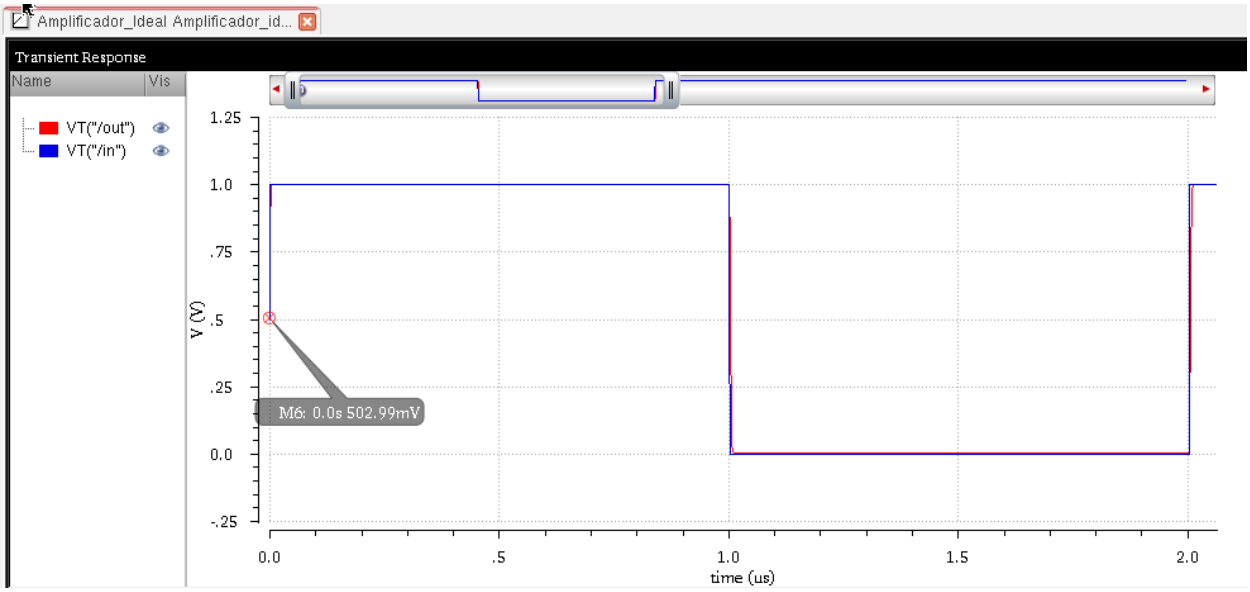

Figura 62: Simulación TRAN de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de rango de entrada y ruido

Como puede observarse, el amplificador actúa bien en seguidor y se aprecia el efecto de la tensión de offset de entrada:

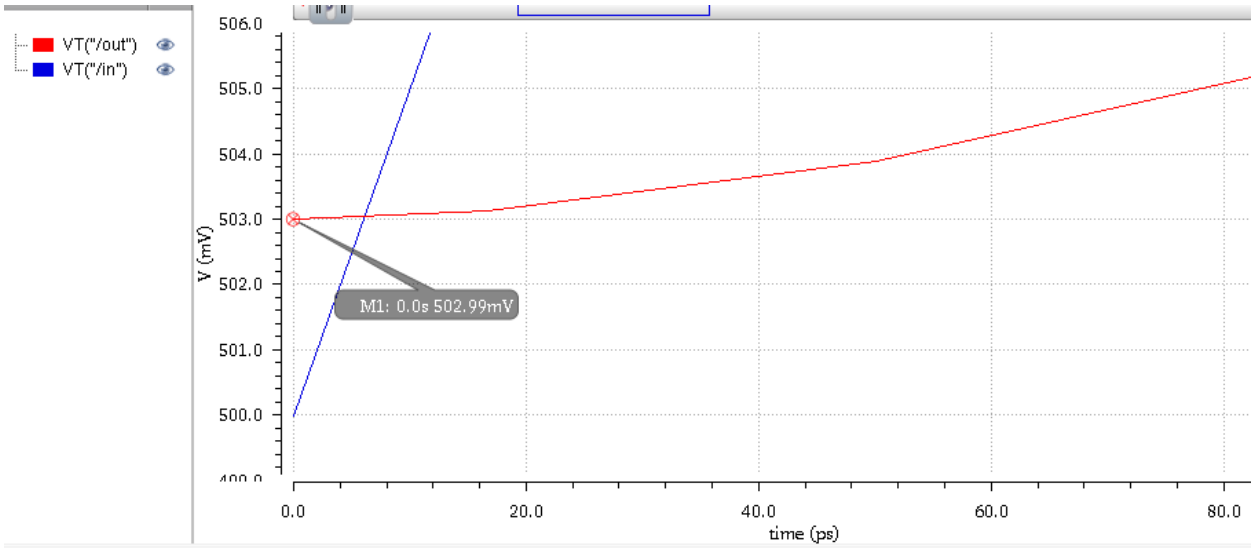

Figura 63: Efecto de la tensión de offset a la entrada del amplificador

El efecto del Slew-rate se ve en haciendo zoom:

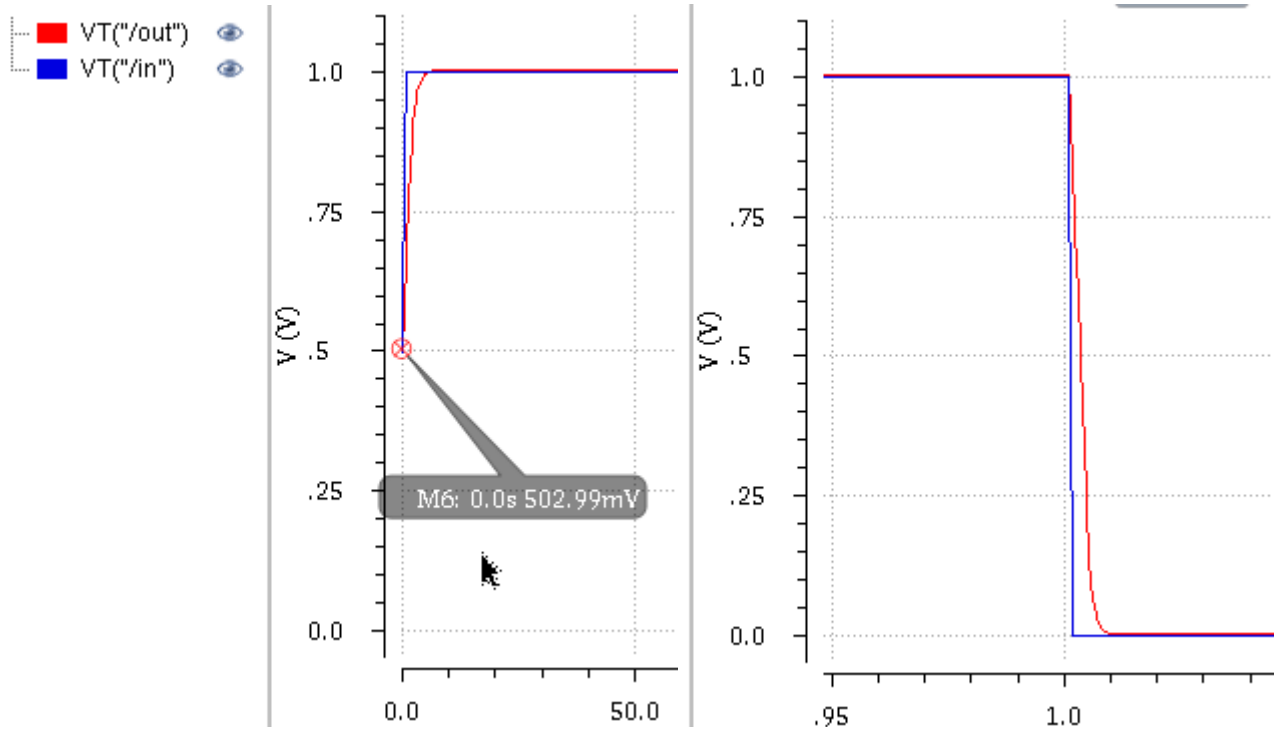

Figura 64: Efecto del slew-rate a la subida y bajada del pulso

Simulación de ruido:

Con la contribución del ruido blanco y el ruido flicker al modelo, se ve como para una etapa, los parámetros obtenidos de la simulación son los siguientes:

Device	Param	Noise Contribution	% Of Total
/I0	thermal_noise	2.29991e-05	99.89
/I0	flicker_noise	2.4999e-08	0.11

Spot Noise Summary (in V^2/Hz) at 1K Hz Sorted By Noise Contributors
Total Summarized Noise = 2.30241e-05
Total Input Referred Noise = 2.84259e-11
The above noise summary info is for noise data

Figura 65: Parámetros de ruido obtenidos de la simulación

Donde, mostrados en una gráfica, se observa como el ruido flicker actua de forma exponencial a la frecuencia ($1/f^{1.0}$) y el ruido blanco no varía con la frecuencia. Los datos han sido tomados para valores de frecuencia de 1Hz, 10Hz, 100Hz y 1KHz. Los valores obtenidos para el ruido se miden en V^2/Hz.

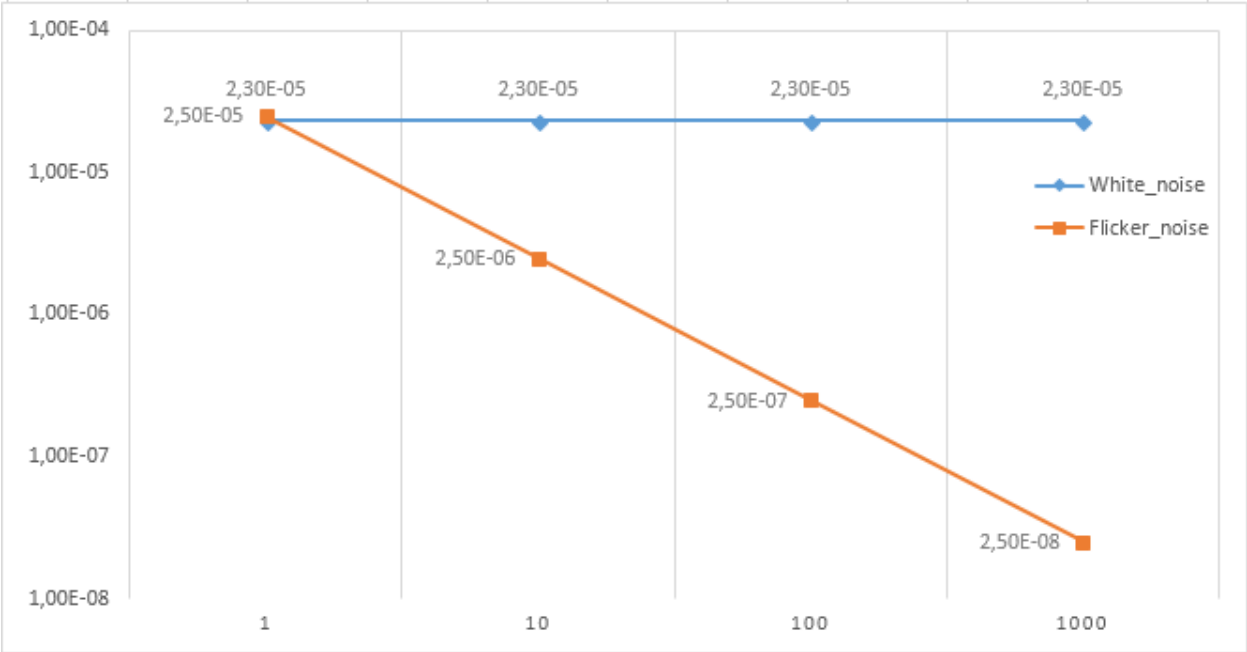

Figura 66: Resultados obtenidos del ruido blanco y el ruido flicker

4 CONCLUSIONES Y FUTURAS LÍNEAS DE TRABAJO

Este Proyecto Fin de Grado ha presentado el desarrollo de una serie de diseños de amplificadores operacionales de una y dos etapas modelados en lenguaje Verilog-A. En cada uno de ellos se ha podido ver cúales serán los parámetros que el diseñador puede establecer en función de las características que quiere que presente su circuito. Todos estos modelos han sido validados y se ha comprobado su correcta respuesta ante diversas senales de entrada. Esto nos ha ayudado a realizar distintas simulaciones a nivel de sistema en Verilog-A.

Durante el desarrollo de este proyecto nos hemos encontrado con diferentes problemáticas, como por ejemplo, que no existen modelos anteriores disponibles en este lenguaje. Así, se ha tenido que verificar las correctas soluciones mediante simulaciones de *ensayo-error*, lo que ha permitido que se entienda mejor el funcionamiento tanto del lenguaje como del propio amplificador.

A continuación, se presenta una tabla a modo resumen de los resultados más significativos que se han obtenido de cada modelo.
Para los modelos de una etapa son los siguientes:

	GBW(Hz)	MF(º)	SR(V/µs)	WHITE NOISE(V^2/Hz)	FLICKER NOISE(V^2/Hz)	POLO1(Hz)
1 ETAPA + Ro	150,0086M	90,19	-	-	-	500KHz
1 ETAPA + Ro + Rin + Voffset	150,0086M	90,19	-	-	-	500KHz
1 ETAPA + Ro + Rin + Voffset + SR	150,0086M	90,19	188M	-	-	500,003KHz
1 ETAPA + Ro + Rin + Voffset + SR + Ruido	150,0115M	90,19	233,5M	22,9991µ	24,9991µ	500,003KHz

Para los modelos de dos etapas tenemos los siguientes:

	GBW(Hz)	MF(º)	SR(V/µs)	WHITE NOISE(V^2/Hz)	FLICKER NOISE(V^2/Hz)	POLO1(Hz)	POLO2(Hz)	ZERO(Hz)
2 ETAPAS	144M	91,17446	-	-	-	159,642K	986,106M	868,118M
2 ETAPAS + Ro + Rin + Voffset	144M	91,17446	-	-	-	159,642K	986,106M	868,118M
2 ETAPAS + Ro + Rin + Voffset + SR	144M	91,17446	306,3M	-	-	159,642K	986,106M	868,118M
2 ETAPAS + Ro + Rin + Voffset + SR + Distorsión + Ruido	144M	91,17446	306,3M	22,9991µ	24,999µ	159,642K	986,106M	868,118M

2 ETAPAS + INN_MAX	144M	91,17446	306,3M	22,9991µ	24,999µ	159,642K	986,106M	868,118M

En cuanto al trabajo futuro, se podrían abrir varias líneas.
Siguiendo con las estructuras dadas en este proyecto, se podrían analizar nuevos modelos añadiendo más etapas en la estructura de los amplificadores. De esta forma, se verían más comportamientos de los amplificadores operacionales.
Otra idea interesante sería incluir nuevos parámetros de diseño, como pueden ser la relación de rechazo al modo comun (CMRR) y la relación de rechazo a variaciones de la fuente de alimentacion (PSRR).
Con todo lo indicado, incluso con los modelos que se presentan en este proyecto, se podrían incluir en estructuras de filtros más complejas y estudiar su comportamiento. De esta forma, el diseñador puede tener tanto una visión a nivel general de un filtro como a nivel interna sobre las estructuras en las que se basan.
Se deja abierto la continuidad del proyecto incluyendo la distorsión no lineal como elemento a modelar. En este trabajo se ha intentado hacer tanto en el modelo de una etapa como en el de dos etapas, pero el resultado no ha sido el esperado. Se entiende así, que en lugar de utilizar equivalente Norton se podría hacer en equivalente Thévenin. Se podría modelar la linealidad como una ecuación de la serie de Taylor de la siguiente forma:

$$Vo = G \cdot (a1' \cdot Vin + a2' \cdot Vin^2 + a3' \cdot Vin^3)$$

Donde, $a1' = 1$, $a2' = {a2}/{G}$ y $a3' = {a3}/{G}$. y G corresponderán a la ganancia del amplificador.

Pero como se ha indicado, se deja abierto a futuros proyectos.

REFERENCIAS

[1] http://www.ifent.org/temas/amplificadores_operacionales.asp.

[2] http://moodle2.unid.edu.mx/dts_cursos_mdl/lic/IC/EA/AM/06/Metodologias_de_diseno.pdf.

[3] http://edii.uclm.es/~miniesta/intro%20hdl.pdf.

[4] https://www.ctr.unican.es/asignaturas/instrumentacion_5_IT/IEC_2.pdf.

[5] www.dinel.us.es/util/bajar.php?file=eJwLq4qsrpjDrXXW52S...x=9&y=8&r....

[6] «MODELING AND SIMULATION OF OPERATIONAL AMPLIFIER USING VERILOG -AMS,» *Journal of Theoretical and Applied Information Technology,* p. Vol. 50 No.3, 2013.

ANEXO: GUIA DE USO DE AMPLIFICADORES OPERACIONALES DE UNA Y DOS ETAPAS MODELADOS EN VERILOG-A

GUIA DE USO DE AMPLIFICADORES OPERACIONALES DE UNA Y DOS ETAPAS MODELADOS EN VERILOG-A

Autor: Rocío Macías Ollega

Tutora: Clara Isabel Luján Martínez

Departamento de Ingeniería Electrónica
Escuela Técnica Superior de Ingeniería
Universidad de Sevilla

Sevilla, 2018

Índice

Índice **3**

Índice de Figuras **5**

1 **INTRODUCCIÓN Y OBJETIVO** **6**

2 MODELOS DE AMPLIFICADOR DE UNA ETAPA **7**

2.1 MODELO SIMPLE DE UN AMPLIFICADOR CON GANANCIA FINITA *7*

2.2 MODELO DE AMPLIFICADOR DE UNA ETAPA CON GANANCIA Y ANCHO DE BANDA FINITOS (MODELO DE UN POLO) Y RESISTENCIA DE SALIDA *7*

2.3 MODELO DE AMPLIFICADOR DE UNA ETAPA CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA Y TENSIÓN DE OFFSET *10*

2.4 MODELO DE AMPLIFICADOR DE UNA ETAPA CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET Y LIMITACIÓN DE SLEW-RATE *12*

2.5 MODELO DE AMPLIFICADOR DE UNA ETAPA CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET, LIMITACIÓN DE SLEW-RATE Y RUIDO *14*

3 MODELOS DE AMPLIFICADOR DE DOS ETAPAS **17**

3.1 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA Y COMPENSACIÓN MILLER *17*

3.2 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA Y TENSIÓN DE OFFSET *20*

3.3 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET Y LIMITACIÓN DE SLEW-RATE *22*

3.4 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET, LIMITACIÓN DE SLEW-RATE Y RUIDO *25*

3.5 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET, LIMITACIÓN DE RANGO DE ENTRADA Y RUIDO *28*

ÍNDICE DE FIGURAS

Figura 1: Macromodelo equivalente al modelo Verilog-A de un amplificador con ganancia finita 7

Figura 2: Macromodelo equivalente al modelo Verilog-a de un amplificador de una etapa con ganancia y ancho de banda finitos (modelo de un polo) y resistencia de salida 8

Figura 3: El test bench para la simulación de bucle abierto 9

Figura 4: Macromodelo equivalente al modelo Verilog-a de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset 10

Figura 5: Macromodelo equivalente al modelo Verilog-A de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate 12

Figura 6: Macromodelo equivalente al modelo Verilog-A de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido 15

Figura 7: El test bench para la simulación de bucle abierto 17

Figura 8: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida y compensación Miller 18

Figura 9: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset 20

Figura 10: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate 23

Figura 11: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido 26

Figura 12: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de rango de entrada y ruido 29

1 INTRODUCCIÓN Y OBJETIVO

El presente manual ofrece una guía de uso para una serie de modelos de amplificadores desarrollados con el objetivo de dotar al diseñador de herramientas de apoyo para el diseño analógico y mixto. Dichos modelos van desde un modelo simple de amplificador de un solo polo hasta modelos más complejos con varias etapas y que incluye parámetros más avanzados como el ruido y la distorsión.

En cuanto a modelos de una etapa se dispondrá de:

- Modelo simple de un amplificador con ganancia finita.
- Modelo de amplificador de una etapa con ganancia y ancho de banda finitos (modelo de un polo) y resistencia de salida
- Modelo de amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset
- Modelo de amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate
- Modelo de amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido

Y en los modelos de dos etapas:

- Modelo de amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida y compensación Miller
- Modelo de amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset
- Modelo de amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate
- Modelo de amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido
- Modelo de amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de rango de entrada y ruido

2 MODELOS DE AMPLIFICADOR DE UNA ETAPA

En este apartado se detallan los diferentes modelos de una etapa basados en un equivalente Norton.

2.1 MODELO SIMPLE DE UN AMPLIFICADOR CON GANANCIA FINITA

Este será el modelo más simple de amplificador donde tan solo se incluirá el parámetro de ganancia que podrá seleccionarse al instanciar la celda. El macromodelo equivalente será el siguiente:

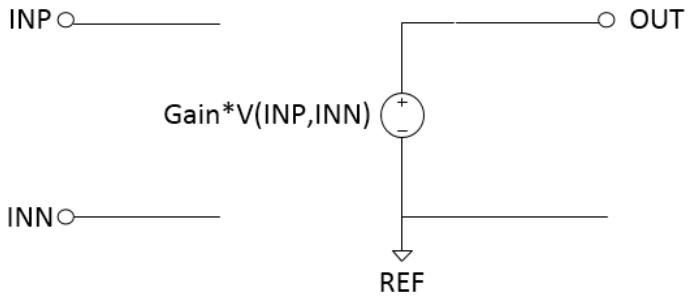

Figura 1: Macromodelo equivalente al modelo Verilog-A de un amplificador con ganancia finita

Mientras que su modelo en Verilog-a será:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal, veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal(OUT, INP, INN, REF);

   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;

   //Parámetros y variables

     parameter real gain = 300;      // Ganancia del amplificador en unidades
naturales


analog begin

   V(OUT,REF) <+ -gain*V(INP,INN);  // Tensión de salida del amplificador en función
de la ganancia y la tensión de entrada

end

endmodule
```

2.2 MODELO DE AMPLIFICADOR DE UNA ETAPA CON GANANCIA Y ANCHO DE BANDA FINITOS (MODELO DE UN POLO) Y RESISTENCIA DE SALIDA

Este modelo básico modela, por un lado, de forma directa y seleccionable por parte el diseñador, el producto de ganancia por ancho de banda, la ganancia y la capacidad de carga. Y, por otro lado, de forma indirecta, la resistencia de salida en función de los parámetros anteriores.

```
//Parámetros y variables

     parameter real GBW = 150M;       // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain = 300;       // Ganancia del amplificador (unidades naturales)
     parameter real CL = 5p;          // Capacidad de carga (en F)
```

A continuación, se muestra un macromodelo equivalente al modelo Verilog-A desarrollado para el amplificador. En este caso se ha optado por un modelo equivalente tipo Norton. Para todos los modelos, se utiliza una referencia (REF) que será un nodo accesible al instanciar el modelo.

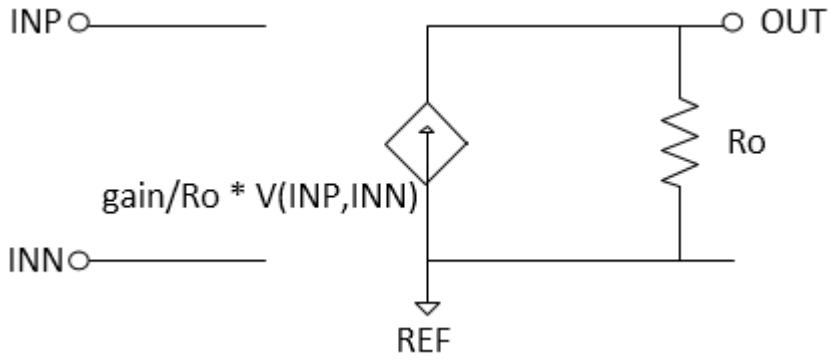

Figura 2: Macromodelo equivalente al modelo Verilog-a de un amplificador de una etapa con ganancia y ancho de banda finitos (modelo de un polo) y resistencia de salida

En él, la ganancia se modela a través del producto gm·Ro donde la resistencia de salida (Ro) será, por tanto,

$$Ro = gain/gm$$

y la transconductancia

$$gm = 2\pi \cdot C_L \cdot GBW$$

El test bench para la simulación de bucle abierto es el siguiente, donde la R=10GΩ, la capacidad C=1F, y la capacidad de carga CL=5pF. La resistencia de retroalimentación R y el amplificador operacional forman un lazo de retroalimentación cerrado. Cuando la resistencia R se omite el amplificador entrega su máxima ganancia, en este caso la salida permuta de completamente abierto a completamente cerrado o viceversa para muy pequeños cambios de la señal de entrada. La entrada además tiene una impedancia determinada por la capacidad C.

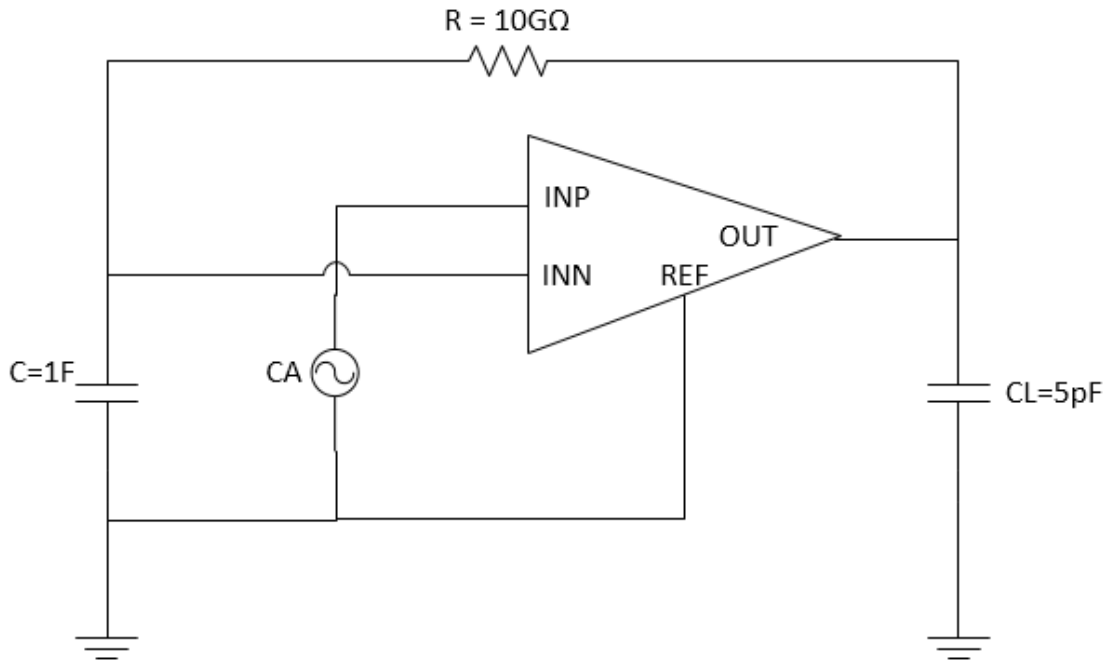

Figura 3: El test bench para la simulación de bucle abierto

El código Verilog-A que modela dicho amplificador es el siguiente:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal_1_polo, veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal_1_polo(OUT, INP, INN, REF);

   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;

   //Parámetros y variables

     parameter real GBW = 150M;       // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain = 300;       // Ganancia del amplificador (unidades naturales)
     parameter real CL = 5p;          // Capacidad de carga (en F)

     real Ro;
     real fc;
     real polo;
     real gm;


analog begin

   @(initial_step) begin

      fc = GBW/gain;              // Frecuencia del polo del amplificador
      gm = 2*`M_PI*CL*GBW;        // Transconductancia dependiente de la capacidad de
carga y de GBW
      Ro = gain/gm;               // Resistencia de salida dependiente de la ganancia
del circuito y la gm

   end

      I(OUT,REF) <+ -gm*V(INP,INN);  // Contribución de corriente que genera gm
      I(OUT,REF) <+ V(OUT,REF)/Ro;   // Contribución debido a la resistencia de salida
```

```
end

endmodule
```

2.3 MODELO DE AMPLIFICADOR DE UNA ETAPA CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA Y TENSIÓN DE OFFSET

En este modelo, el diseñador además de controlar el producto ganancia-ancho de banda y la ganancia, también podrá controlar la resistencia que quiere que su modelo tenga a la entrada y la tensión de offset añadida. Los valores de los parámetros por defecto que se usan en este modelo son los siguientes:

```
//Parámetros y variables

  parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
  parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
  parameter real gain = 300;          // Ganancia (unidades naturales)
  parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
  parameter real CL = 5p;             // Capacidad de carga (en F)
```

La imagen con el macromodelo equivalente es la siguiente. Al modelo anterior se añade una tensión de offset (Vin_offset) que se modelará como una caída de tensión entre el terminal positivo de entrada del amplificador (INP) y el nodo intermedio VINP_off , mientras que la resistencia de entrada (Rin) irá en serie con con dicha fuente y conectada a la entrada negativa del amplificador (INN).. En este modelo se añade un bloque a la entrada que actúa como buffer; de esta forma, se ve con más claridad la adaptación de la referencia de un bloque a otro.

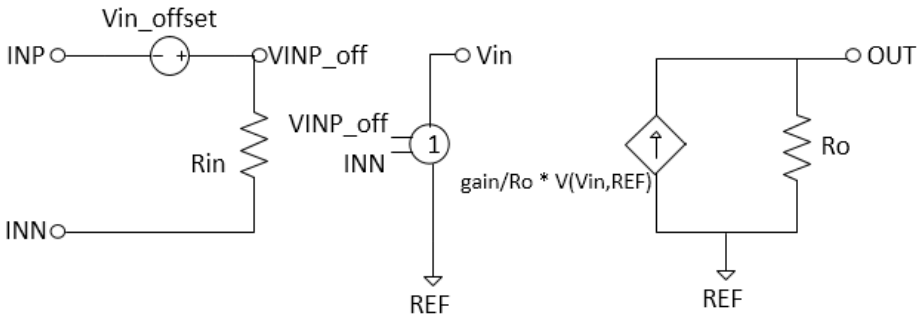

Figura 4: Macromodelo equivalente al modelo Verilog-a de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset

El test bench de simulación que se utiliza para este modelo es el mismo que el del anterior apartado.

El código Verilog-A utilizado para modelar este apartado es el siguiente:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal_1_polo_offset, veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal_1_polo_offset(OUT, INP, INN, REF);

   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;
```

```
   //Parámetros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain = 300;          // Ganancia (unidades naturales)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
     parameter real CL = 5p;             // Capacidad de carga (en F)

     real Ro;
     real fc;
     real polo;
     real gm;

   //Nodos internos

     electrical Vin;
     electrical VINP_off;

analog begin

   @(initial_step) begin

      fc = GBW/gain;                    // Frecuencia del polo del amplificador
      gm = 2*`M_PI*CL*GBW;              // Transconductancia dependiente de la
capacidad de carga y de GBW
      Ro = gain/gm;                     // Resistencia de salida dependiente de la
ganancia del circuito y la gm

   end

   //Etapa de Entrada

     V(VINP_off,REF) <+ V(INP,REF) + Vin_offset;   // Sumamos la tensión de offset a
la de entrada
     I(VINP_off,INN) <+ V(VINP_off,INN)/Rin;       // Contribución de corriente debido
a la resistencia de entrada

   // Cambio de referencia

     V(Vin,REF) <+ V(VINP_off,INN);

   // Etapa de Salida

     I(OUT,REF) <+ -gm*V(Vin,REF);       // Contribución de corriente que genera gm
     I(OUT,REF) <+ V(OUT,REF)/Ro;        // Contribución debido a la resistencia de
salida

end
endmodule
```

2.4 MODELO DE AMPLIFICADOR DE UNA ETAPA CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET Y LIMITACIÓN DE SLEW-RATE

En este modelo el diseñador puede fijar un determinado slew-rate para el ampflicador. Dicha limitación se puede hacer utilizando directamente la función *slew()* de Verilog-A sobre un modelo en equivalente Thèvenin o de forma indirecta limitando la amplitud de entrada a aquella que genera el máximo desbalanceo de corriente en el amplificador en su versión Norton o Thevenin.

Los parámetros que el diseñador puede controlar en este modelo son los siguientes:

```
   //Parámetros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain = 300;          // Ganancia (unidades naturales)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
     parameter real C1 = 5p;             // Capacidad de carga de la primera etapa (en
F)
     parameter real slew_rate = 200e6;   // Tasa de variación máxima (V/us) permitida
en la salida
```

La imagen con el macromodelo equivalente es la que se ve a continuación. Se añade un bloque a la entrada donde se realiza el modelado de la limitación del slew-rate. Además de la resistencia de salida, entrada, ganancia, offset y resistencia de salida, aquí se modela también la corriente de entrada máxima en función del slew-rate fijado y de la capacidad de carga, iin_max,

$$iin_{max} = slew_{rate} \cdot C_L$$

y la amplitud máxima de entrada que proporciona dicha corriente, A_max,

$$A_{max} = {iin_{max}}/{gm}$$

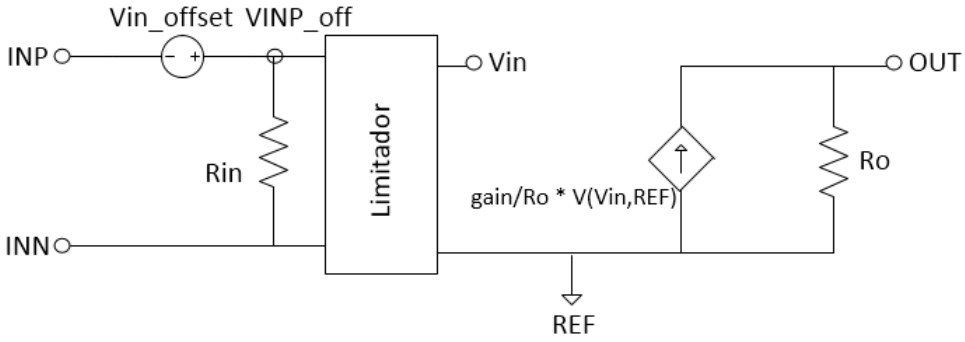

Figura 5: Macromodelo equivalente al modelo Verilog-A de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate

El código Verilog-A de diseño de este modelo es el siguiente:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal_1_polo_offset_slewRate1,
veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal_1_polo_offset_slewRate1(OUT, INP, INN, REF);
```

```
   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;

   //Parámetros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain = 300;          // Ganancia (unidades naturales)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
     parameter real C1 = 5p;             // Capacidad de carga de la primera etapa (en
F)
     parameter real slew_rate = 200e6;   // Tasa de variación máxima (V/us) permitida
en la salida

     real Ro;
     real fc;
     real polo;
     real gm;
     real A_max;
     real iin_max;
     real Voffset;
     real Vinref;

   //Nodos internos

     electrical Vin;
     electrical VINP_off;

analog begin

   @(initial_step) begin

      fc = GBW/gain;             // Frecuencia del polo del amplificador
      gm = 2*`M_PI*C1*GBW;       // Transconductancia dependiente de la capacidad de
carga y de GBW
      Ro = gain/gm;              // Resistencia de salida dependiente de la ganancia
del circuito y la gm
      iin_max = slew_rate*C1;    // Corriente máxima debida al slew-rate y la capacidad
de carga
      A_max = iin_max/gm;        // Tensión máxima debida al slew-rate

   end

   //Etapa de Entrada

     V(VINP_off, REF) <+ V(INP,REF) + Vin_offset;  // Sumamos la tensión de offset a
la de entrada
     I(VINP_off, INN)<+ V(VINP_off,INN)/Rin;       // Contribución de corriente debido
a la resistencia de entrada

   Voffset = V(VINP_off,INN);


   //Limitación de Slew-rate

     if (Voffset > A_max)
       Vinref = A_max;              // Si la tensión a la entrada es mayor que la
tensión que nos proporciona la corriente
                                    // del Slew-rate, cambiamos la tensión que llega a
la salida por dicha tensión.
     else if (Voffset < -A_max)
       Vinref = -A_max;             // Si la tensión a la entrada es menor que la
tensión que nos proporciona la corriente
                                    // del Slew-rate negativa, cambiamos la tensión que
llega a la salida por dicha tensión en negativa.
     else
       Vinref = Voffset;            // Si no, la dejamos igual
```

```
    V(Vin,REF) <+ Vinref;

   //Etapa de salida

     I(OUT,REF) <+ -gm*V(Vin,REF);       // Contribución de corriente que genera gm
     I(OUT,REF) <+ V(OUT,REF)/Ro;        // Contribución debido a la resistencia de
salida


end
endmodule
```

2.5 MODELO DE AMPLIFICADOR DE UNA ETAPA CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET, LIMITACIÓN DE SLEW-RATE Y RUIDO

Existen tres fuentes de ruido en Verilog-A: *white_noise*: para modelar fuentes de ruido blanco; *flicker_noise*: fuente de ruido flicker 1/f; y *noise_table*: para definir la densidad espectral de potencia interpolando entre puntos proporcionados en una tabla.

En este apartado se modelarán dos de ellos, el ruido blanco y el ruido flicker, de esta forma, el diseñador puede elegir cuál es el ruido máximo que desea que tenga su amplificador.

Las funciones que se utilizan solo tendrán efecto en simulaciones de ruido, que son simulaciones de pequeña señal. Es decir, las fuentes de ruido se añaden al modelo linealizado. En este caso, se añade la contribución de ruido a la salida del amplificador de la siguiente forma:

```
I(OUT,REF) <+ -gm*V(Vin_dist,REF);          // Contribución de corriente que genera gm
V(Vnoise,REF) <+ white_noise(whitenoise) + flicker_noise(flickernoise, 1.0); //
Fuentes de ruido
I(OUT,REF) <+ (V(OUT,REF) + V(Vnoise,REF))/Ro;  // Contribucion debido a la
resistencia de salida y el ruido
```

donde *whitenoise* es igual *a 23e-6,* que es valor de densidad espectral de potencia del ruido blanco y es un valor que el diseñador elige; y los parámetros del ruido flicker son la densidad espectral de potencia igual a *25e-6* a frecuencia 1Hz y una dependencia con la frecuencia de $1/f^{1.0}$.

Los parámetros que en este modelo controla el diseñador además del ruido son los siguientes:

```
//Parámetros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain = 300;          // Ganancia (unidades naturales)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
     parameter real C1 = 5p;              // Capacidad de carga de la primera etapa
(en F)
     parameter real slew_rate = 200e6;    // Tasa de variación máxima (V/us) permitida
en la salida
     parameter real whitenoise = 23e-6;   // Valor del ruido blanco
     parameter real flickernoise = 25e-6; // Valor del ruido flicker
```

La imagen con el macromodelo equivalente es la misma que la de apartados anteriores.

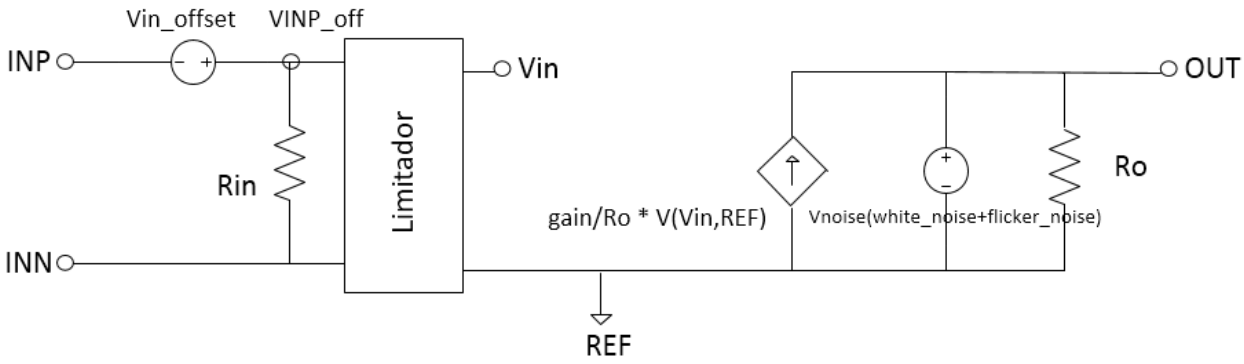

Figura 6: Macromodelo equivalente al modelo Verilog-A de un amplificador de una etapa con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido

El código Verilog-A de diseño de este modelo es el siguiente:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal_1_polo_offset_slewRate1_ruido,
veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal_1_polo_offset_slewRate1_ruido(OUT, INP, INN, REF);

   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;

   //Parametros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda
     parameter real gain = 300;          // Ganancia
     parameter real Rin = 1G;            // Resistencia de entrada
     parameter real C1 = 5p;             // Capacidad de carga de la primera etapa
     parameter real slew_rate = 200e6;   // Tasa de variación máxima (V/us) permitida
en la salida
     parameter real whitenoise = 23e-6; // Valor del ruido blanco
     parameter real flickernoise = 25e-6; // Valor del ruido flicker


     real Ro;
     real fc;
     real polo;
     real gm;
     real A_max;
     real iin_max;
     real Voffset;
     real Vinref;


   //Nodos internos

     electrical Vin;
     electrical VINP_off;
     electrical Vnoise;

analog begin

   @(initial_step) begin

      fc = GBW/gain;            // Frecuencia del polo del amplificador
      gm = 2*`M_PI*C1*GBW;      // Transconductancia dependiente de la capacidad de
carga y de GBW
      Ro = gain/gm;             // Resistencia de salida dependiente de la ganancia del
circuito y la gm
```

```
      iin_max = slew_rate*C1;  // Corriente máxima debida al slew-rate y la capacidad
de carga
      A_max = iin_max/gm;      // Tensión máxima debida al slew-rate

   end

   //Etapa de Entrada

     V(VINP_off, REF) <+ V(INP,REF) + Vin_offset;  // Sumamos la tensión de offset a
la de entrada
     I(VINP_off, INN)<+ V(VINP_off,INN)/Rin;       // Contribución de corriente debido
a la resistencia de entrada

   Voffset = V(VINP_off,INN);


   //Limitación de Slew-rate

     if (Voffset > A_max)
       Vinref = A_max;             // Si la tensión a la entrada es mayor que la
tensión que nos proporciona la corriente
                                   // del Slew-rate, cambiamos la tensión que llega a
la salida por dicha tensión.
     else if (Voffset < -A_max)
       Vinref = -A_max;            // Si la tensión a la entrada es menor que la
tensión que nos proporciona la corriente
                                   // del Slew-rate negativa, cambiamos la tensión que
llega a la salida por dicha tensión en negativa.
     else
       Vinref = Voffset;           // Si no, la dejamos igual


    V(Vin,REF) <+ Vinref;


   //Etapa de salida

     I(OUT,REF) <+ -gm*V(Vin,REF);         // Contribución de corriente que genera gm
     V(Vnoise,REF) <+ white_noise(whitenoise) + flicker_noise(flickernoise, 1.0); //
Fuentes de ruido
     I(OUT,REF) <+ (V(OUT,REF) + V(Vnoise,REF))/Ro;  // Contribucion debido a la
resistencia de salida y el ruido


end

endmodule
```

3 MODELOS DE AMPLIFICADOR DE DOS ETAPAS

En este apartado, se introduce un modelo de dos etapas, la primera modelada con equivalente Norton y la segunda con equivalente Thèvenin.

El test bench de simulación en bucle abierto que se utiliza para los modelos siguientes es el mismo que para los modelos de apartados anteriores.

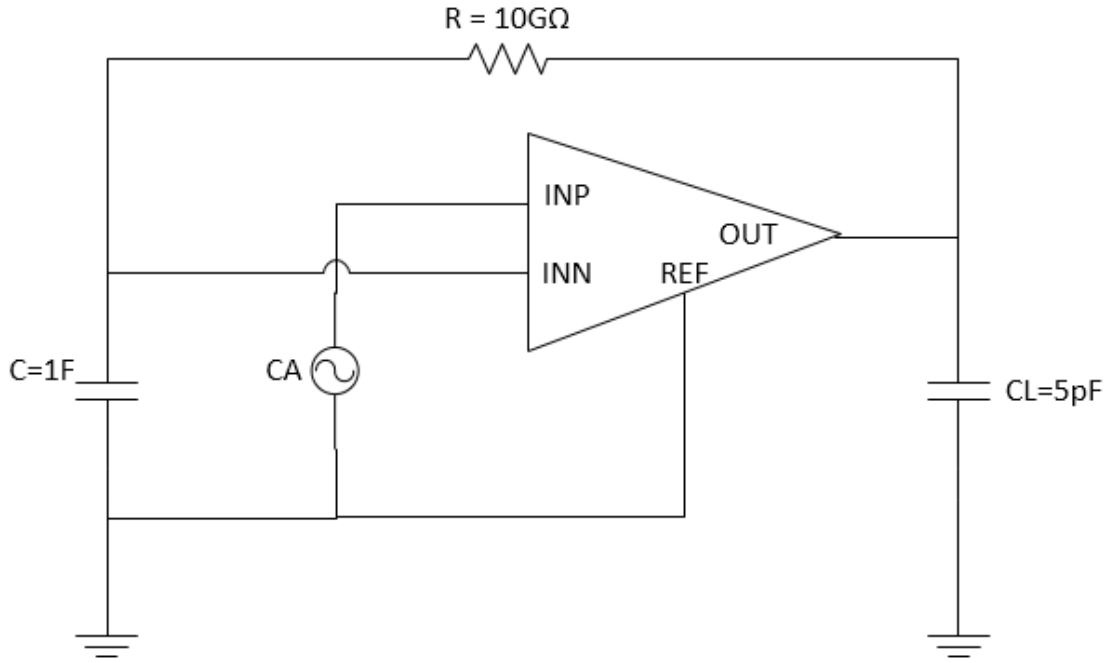

Figura 7: El test bench para la simulación de bucle abierto

3.1 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA Y COMPENSACIÓN MILLER

En este modelo se diseña el amplificador básico de dos etapas con una resistencia y una capacidad para hacer la compensación Miller. La capacidad de compensación se pondrá del mismo valor que la capacidad de carga (Cc=5pF), que en este caso estaría fuera del modelo; y a la resistencia de compensación se le da un valor calculado para que el segundo polo y el zero salgan en la misma frecuencia y se anulen. Se calcularía de la siguiente forma:

$$\frac{-gm2}{2\pi CL} = \frac{1}{2\pi Cc\left(\frac{1}{gm2} - Rc\right)} \rightarrow Rc = \frac{2}{gm2} = 66.67\Omega \approx 70\Omega$$

Los parámetros que el diseñador puede controlar en este modelo son los siguientes:

```
//Parámetros y variables

      parameter real GBW = 150M;       // Producto Ganancia·Ancho de Banda (en Hz)
      parameter real gain1 = 30;       // Ganancia primera etapa (unidades naturales)
      parameter real gain2 = 30;       // Ganancia segunda etapa (unidades naturales)
      parameter real CL = 5p;          // Capacidad de carga (en F)
      parameter real Rout = 1K;        // Resistencia de salida (en Ω)
      parameter real Rc = 70;          // Resistencia de compensación (en Ω)
      parameter real Cc = 5p;          // Capacidad de compensación (en F)
```

A continuación, se muestra el macromodelo equivalente al modelo Verilog-A desarrollado para el amplificador. En este caso se ha optado por un modelo equivalente tipo Norton para la primera etapa y un equivalente tipo Thèvenin para la segunda etapa. Para todos los modelos, como en los casos anteriores, se utiliza una referencia (REF) que será un nodo accesible al instanciar el modelo.

Se modelará la ganancia de la primera etapa mediante su equivalente Norton, donde gm1 dependerá de la capacidad de compensación Miller y del producto Ganancia-Ancho de banda, y R1 la resistencia de salida de la primera etapa, la cual se modela con la ganacia y la transconductancia de esta primera etapa.

$$gm1 = 2\pi \cdot Cc \cdot GBW$$

$$R1 = {gain1}/{gm1}$$

La segunda etapa, modelada mediante su equivalente Thèvenin, se conectará a la primera etapa con una resistencia y una capacidad de compensación Miller en serie.

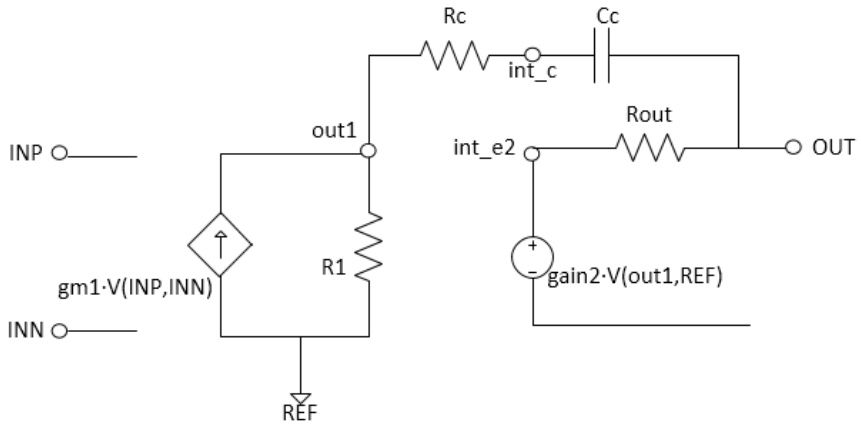

Figura 8: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida y compensación Miller

El código Verilog-A utilizado para modelar este apartado es el siguiente:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal_2_polos, veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal_2_polos(OUT, INP, INN, REF);

   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;

   //Parámetros y variables

     parameter real GBW = 150M;       // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain1 = 30;       // Ganancia primera etapa (unidades naturales)
     parameter real gain2 = 30;       // Ganancia segunda etapa (unidades naturales)
```

```
    parameter real CL = 5p;          // Capacidad de carga (en F)
    parameter real Rout = 1K;        // Resistencia de salida (en Ω)
    parameter real Rc = 70;          // Resistencia de compensación (en Ω)
    parameter real Cc = 5p;          // Capacidad de compensación (en F)

    real C1;
    real R1;
    real Vin_off;
    real gm1;
    real gm2;
    real polo1;
    real polo2;
    real zero;

  //Nodos internos

    electrical out1;
    electrical int_c;
    electrical int_e2;
    electrical out2;


analog begin

  @(initial_step) begin

      gm1 = 2*`M_PI*Cc*GBW;          // Transconductancia dependiente de la capacidad
de carga y de GBW
      gm2 = gain2/Rout;              // Transconductancia dependiente de la ganancia de
la segunda etapa y de Rout
      R1 = (gain1*gain2)/(gm1*gm2*Rout);   // Resistencia de la primera etapa
dependiente de las ganancias, las transconductancias de ambas etapas y la resistencia
de salida

  end

  //Primera Etapa: Norton

    I(out1,REF) <+ gm1*V(INP,INN);         // Contribucion de corriente que genera gm1
    I(out1,REF) <+ V(out1,REF)/R1;         // Contribucion de corriente que genera R1

    I(out1,int_c) <+ V(out1,int_c)/Rc;     // Contribucion de corriente que genera la
capacidad de compensacin
    I(int_c,OUT) <+ Cc*ddt(V(int_c,OUT)); // Compensacion Miller


   //Etapa de Salida: Thevenin

    V(int_e2,REF) <+ -gain2*V(out1,REF);  // Contribucion debido a la ganancia de la
segunda etapa
    I(int_e2,OUT) <+ V(int_e2,OUT)/Rout;  // Contribucion debido a la resistencia de
salida


end

endmodule
```

3.2 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA Y TENSIÓN DE OFFSET

En este apartado, como se vió para el modelo de una etapa, se añade a la etapa de entrada una fuente de tensión de offset y una resistencia de entrada en serie con dicha fuente. Los valores de los parámetros que se usan en este modelo son los siguientes:

```
//Parámetros y variables

  parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
  parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
  parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
  parameter real gain1 = 30;          // Ganancia primera etapa(unidades naturales)
  parameter real gain2 = 30;          // Ganancia segunda etapa(unidades naturales)
  parameter real CL = 5p;             // Capacidad de carga (en F)
  parameter real Rout = 1K;           // Resistencia de salida (en Ω)
  parameter real Rc = 70;             // Resistencia de compensación (en Ω)
  parameter real Cc = 5p;             // Capacidad de compensación (en F)
```

La imagen con el macromodelo equivalente es la siguiente. Como se vió para el modelo de una etapa, se añade una tensión de offset (Vin_offset) que se modelará como una caída de tensión entre el terminal positivo de entrada del amplificador (INP) y el nodo intermedio VINP_off , mientras que la resistencia de entrada (Rin) irá en serie con con dicha fuente y conectada a la entrada negativa del amplificador (INN). En este modelo también se añade un bloque a la entrada que actúa como buffer; de esta forma, se ve con más claridad la adaptación de la referencia de un bloque a otro. El modelado de la segunda etapa será igual que en el apartado anterior.

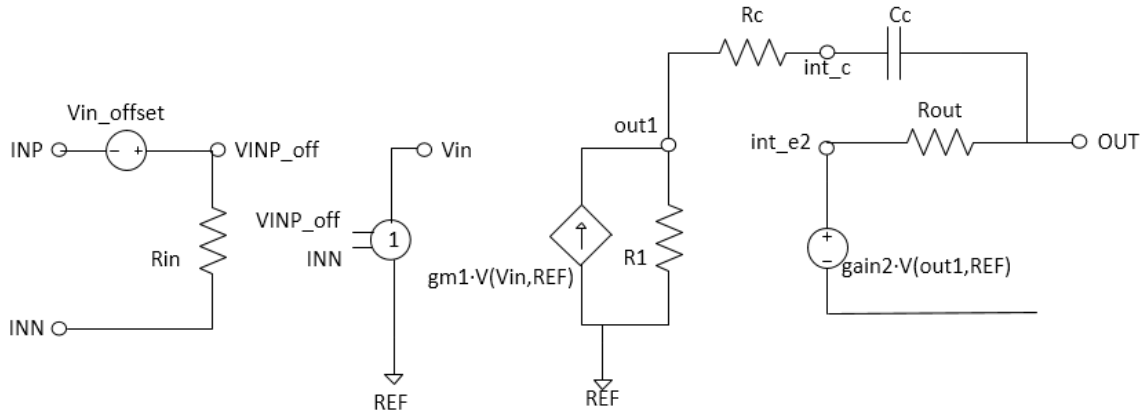

Figura 9: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada y tensión de offset

El código Verilog-A que se utiliza para modelar este apartado es el siguiente:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal_2_polos_offset, veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal_2_polos_offset(OUT, INP, INN, REF);

   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;

   //Parametros y variables
```

```
    parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
    parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
    parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
    parameter real gain1 = 30;          // Ganancia primera etapa(unidades naturales)
    parameter real gain2 = 30;          // Ganancia segunda etapa(unidades naturales)
    parameter real CL = 5p;             // Capacidad de carga (en F)
    parameter real Rout = 1K;           // Resistencia de salida (en Ω)
    parameter real Rc = 70;             // Resistencia de compensación (en Ω)
    parameter real Cc = 5p;             // Capacidad de compensación (en F)

    real C1;
    real R1;
    real Vin_off;
    real gm1;
    real gm2;
    real polo1;
    real polo2;
    real zero;

  //Nodos internos

    electrical VINP_off;
    electrical Vin;
    electrical out1;
    electrical int_c;
    electrical int_e2;
    electrical out2;


analog begin

  @(initial_step) begin

     gm1 = 2*`M_PI*Cc*GBW;    // Transconductancia dependiente de la capacidad de
carga y de GBW
     gm2 = gain2/Rout;           // Transconductancia dependiente de la ganancia de
la segunda etapa y de Rout
     R1 =  (gain1*gain2)/(gm1*gm2*Rout); // Resistencia de la primera etapa
dependiente de las ganancias, las transconductancias de ambas etapas y la resistencia
de salida
  end


  //Etapa de Entrada

    V(VINP_off,REF) <+ V(INP,REF) + Vin_offset;   // Sumamos la tensión de offset a
la de entrada
    I(VINP_off,INN) <+ V(VINP_off,INN)/Rin;       // Contribución de corriente debido
a la resistencia de entrada

  // Cambio de referencia

    V(Vin,REF) <+ V(VINP_off,INN);


  //Primera Etapa: Norton

    I(out1,REF) <+ gm1*V(Vin,REF);      // Contribución de corriente que genera gm1
    I(out1,REF) <+ V(out1,REF)/R1;      // Contribución de corriente que genera R1

    I(out1,int_c) <+ V(out1,int_c)/Rc;  // Contribución de corriente que genera la
capacidad de compensación
    I(int_c,OUT) <+ Cc*ddt(V(int_c,OUT));  // compensación Miller


   //Etapa de Salida: Thevenin

    V(int_e2,REF) <+ -gain2*V(out1,REF);    // Contribución debido a la ganancia de
la segunda etapa
```

```
    I(int_e2,OUT) <+ V(int_e2,OUT)/Rout;    // Contribución debido a la resistencia
de salida

end
endmodule
```

3.3 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET Y LIMITACIÓN DE SLEW-RATE

Se introduce en este modelo un valor de slew-rate. Como se detalló en apartados anteriores, se añade un bloque a la entrada donde se realiza el modelado de la limitación del slew-rate. La corriente de entrada máxima se modelará en función del slew-rate fijado y de la capacidad de la primera etapa, iin_max,

$$iin_{max} = slew_{rate} \cdot C1$$

que a su vez se define como C1,

$$C1 = Cc \cdot gain2$$

dependiendo así de la capacidad de carga y de la ganancia de la segunda etapa; y la tensión máxima que proporciona dicha corriente, A_max,

$$A_{max} = {iin_{max}}/{gm1}$$

Los valores de los parámetros que se usan en este modelo son los siguientes:

```
   //Parámetros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain1 = 30;          // Ganancia primera etapa(unidades naturales)
     parameter real gain2 = 30;          // Ganancia segunda etapa(unidades naturales)
     parameter real CL = 5p;             // Capacidad de carga (en F)
     parameter real Rout = 1K;           // Resistencia de salida (en Ω)
     parameter real Rc = 70;             // Resistencia de compensación (en Ω)
     parameter real Cc = 5p;             // Capacidad de compensación (en F)
     parameter real slew_rate = 200e6;   // Tasa de variación máxima (V/us) permitida
en la salida
```

La imagen con el macromodelo equivalente es la que se ve a continuación. Además de la resistencia de salida, entrada, ganancia, offset y resistencia de salida, aquí se modela también los parámetros que hemos indicado anteriormente.

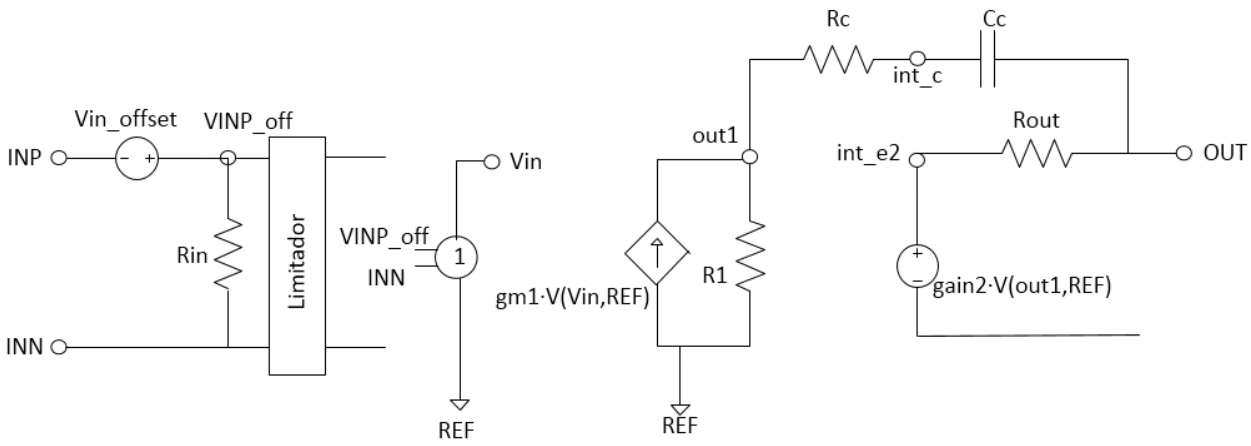

Figura 10: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset y limitación de slew-rate

El código Verilog-A que se utiliza para modelar este apartado es el siguiente:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal_2_polos_offset_slewRate1,
veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal_2_polos_offset_slewRate1(OUT, INP, INN, REF);

   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;

   //Parametros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain1 = 30;          // Ganancia primera etapa(unidades naturales)
     parameter real gain2 = 30;          // Ganancia segunda etapa(unidades naturales)
     parameter real CL = 5p;             // Capacidad de carga (en F)
     parameter real Rout = 1K;           // Resistencia de salida (en Ω)
     parameter real Rc = 70;             // Resistencia de compensación (en Ω)
     parameter real Cc = 5p;             // Capacidad de compensación (en F)
     parameter real slew_rate = 200e6;   // Tasa de variación máxima (V/us) permitida
en la salida

     real C1;
     real R1;
     real Vin_off;
     real gm1;
     real gm2;
     real polo1;
     real polo2;
     real zero;
     real iin_max;
     real A_max;
     real Voffset;
     real Vinref;

   //Nodos internos

     electrical VINP_off;
     electrical Vin;
     electrical out1;
     electrical int_c;
     electrical int_e2;
     electrical out2;
```

```
analog begin

   @(initial_step) begin

      gm1 = 2*`M_PI*Cc*GBW;              // Transconductancia dependiente de la
capacidad de carga y de GBW
      gm2 = gain2/Rout;                  // Transconductancia dependiente de la
ganancia de la segunda etapa y de Rout
      R1 =  (gain1*gain2)/(gm1*gm2*Rout); // Resistencia de la primera etapa
dependiente de las ganancias, las transconductancias de ambas etapas y la resistencia
de salida
      C1 = Cc*gain2;                     // Capacidad de la primera etapa
      iin_max = slew_rate*C1;            // Corriente máxima debida al slew-rate y la
capacidad de carga
      A_max = iin_max/gm1;               // Tensión máxima debida al slew-rate

   end

   //Etapa de Entrada

     V(VINP_off,REF) <+ V(INP,REF) + Vin_offset;   // Sumamos la tensión de offset a
la de entrada
     I(VINP_off,INN) <+ V(VINP_off,INN)/Rin;       // Contribución de corriente debido
a la resistencia de entrada

   Voffset = V(VINP_off,INN);


   //Limitación de Slew-rate

     if (Voffset > A_max)
       Vinref = A_max;                  // Si la tensión a la entrada es mayor que la
tensión que nos proporciona la corriente
                                        // del Slew-rate, cambiamos la tensión que
llega a la salida por dicha tensión.
     else if (Voffset < -A_max)
       Vinref = -A_max;                 // Si la tensión a la entrada es menor que la
tensión que nos proporciona la corriente
                                        // del Slew-rate negativa, cambiamos la tensión
que llega a la salida por dicha tensión en negativa.
     else
       Vinref = Voffset;                // Si no, la dejamos igual


    V(Vin,REF) <+ Vinref;


   //Primera Etapa: Norton

     I(out1,REF) <+ gm1*V(Vin,REF);      // Contribución de corriente que genera gm1
     I(out1,REF) <+ V(out1,REF)/R1;      // Contribución de corriente que genera R1

     I(out1,int_c) <+ V(out1,int_c)/Rc;      // Contribución de corriente que genera
la capacidad de compensacin
     I(int_c,OUT) <+ Cc*ddt(V(int_c,OUT));   // Compensación Miller


    //Etapa de Salida: Thevenin

     V(int_e2,REF) <+ -gain2*V(out1,REF);    // Contribución debido a la ganancia de
la segunda etapa
     I(int_e2,OUT) <+ V(int_e2,OUT)/Rout;    // Contribución debido a la resistencia
de salida

end

endmodule
```

3.4 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET, LIMITACIÓN DE SLEW-RATE Y RUIDO

A continuación, se modela el ruido para un amplificador de dos etapas siguiendo el mismo método que para el modelado de una etapa. En este caso, también se hace con contribuciones a la tensión de salida del amlificador.

```
 V(int_e2,REF) <+ -gain2*V(out1,REF)+ white_noise(whitenoise) +
flicker_noise(flickernoise, 1.0);    // Contribución debido a la ganancia de la
segunda etapa mas el ruido
 I(int_e2,OUT) <+ V(int_e2,OUT)/Rout;    // Contribución debido a la resistencia de
salida
```

donde *23e-6* a es valor de densidad espectral de potencia del ruido blanco y es un valor que el diseñador elige; y los parámetros del ruido flicker son la densidad espectral de potencia igual a *25e-6* a frecuencia 1Hz y una dependencia con la frecuencia de $1/f^{1.0}$.

Los parámetros que en este modelo controla el diseñador además del ruido son los siguientes:

```
//Parametros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain1 = 30;          // Ganancia primera etapa(unidades naturales)
     parameter real gain2 = 30;          // Ganancia segunda etapa(unidades naturales)
     parameter real CL = 5p;             // Capacidad de carga (en F)
     parameter real Rout = 1K;           // Resistencia de salida (en Ω)
     parameter real Rc = 70;             // Resistencia de compensación (en Ω)
     parameter real Cc = 5p;             // Capacidad de compensación (en F)
     parameter real slew_rate = 200e6;   // Tasa de variación máxima (V/us) permitida
en la salida
     parameter real whitenoise = 23e-6; // Valor del ruido blanco
     parameter real flickernoise = 25e-6; // Valor del ruido flicker
```

También se modela de igual forma que en los apartados anteriores tanto la R1, gm1, gm2, C1, iin_max y A_max.

$$gm1 = 2\pi \cdot Cc \cdot GBW$$

$$gm2 = {gain2}/{Rout}$$

$$R1 = {gain1 \cdot gain2}/{gm1 \cdot gm2 \cdot Rout}$$

$$iin_{max} = slew_{rate} \cdot C1$$

$$C1 = Cc \cdot gain2$$

$$A_{max} = {iin_{max}}/{gm1}$$

La imagen con el macromodelo equivalente es la que se muestra a continuación:

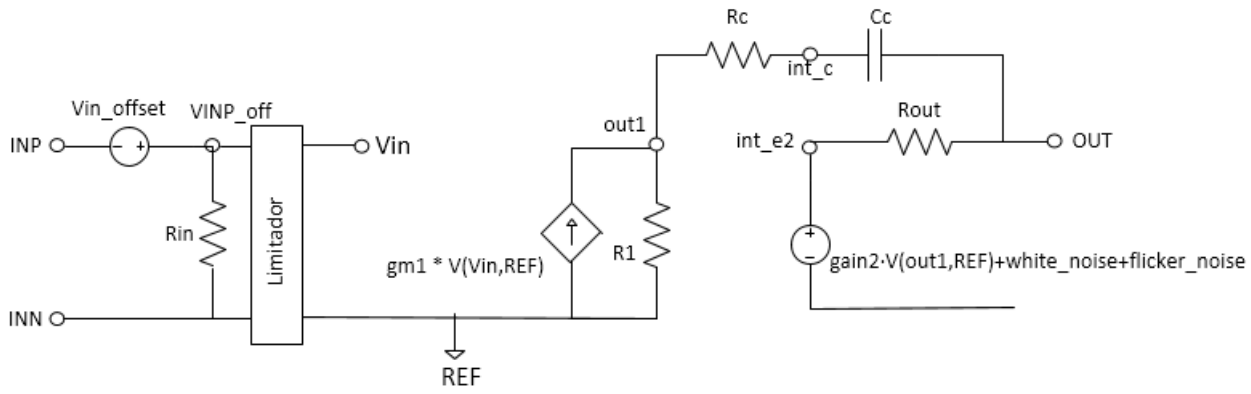

Figura 11: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de slew-rate y ruido

El código Verilog-A de diseño de este modelo es el siguiente:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal_2_polos_offset_slewRate1_Ruido,
veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal_2_polos_offset_slewRate1_Ruido(OUT, INP, INN, REF);

   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;

   //Parametros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain1 = 30;          // Ganancia primera etapa(unidades naturales)
     parameter real gain2 = 30;          // Ganancia segunda etapa(unidades naturales)
     parameter real CL = 5p;             // Capacidad de carga (en F)
     parameter real Rout = 1K;           // Resistencia de salida (en Ω)
     parameter real Rc = 70;             // Resistencia de compensación (en Ω)
     parameter real Cc = 5p;             // Capacidad de compensación (en F)
     parameter real slew_rate = 200e6;   // Tasa de variación máxima (V/us) permitida
en la salida
     parameter real whitenoise = 23e-6; // Valor del ruido blanco
     parameter real flickernoise = 25e-6; // Valor del ruido flicker


     real C1;
     real R1;
     real Vin_off;
     real gm1;
     real gm2;
     real polo1;
     real polo2;
     real zero;
     real iin_max;
     real A_max;
     real Voffset;
     real Vinref;

   //Nodos internos

     electrical VINP_off;
     electrical Vin;
     electrical out1;
```

```
     electrical int_c;
     electrical int_e2;
     electrical out2;


analog begin

   @(initial_step) begin

      gm1 = 2*`M_PI*Cc*GBW;              // Transconductancia dependiente de la
capacidad de carga y de GBW
      gm2 = gain2/Rout;                  // Transconductancia dependiente de la
ganancia de la segunda etapa y de Rout
      R1 =  (gain1*gain2)/(gm1*gm2*Rout); // Resistencia de la primera etapa
dependiente de las ganancias, las transconductancias de ambas etapas y la resistencia
de salida
      C1 = Cc*gain2;                     // Capacidad de la primera etapa
      iin_max = slew_rate*C1;            // Corriente máxima debida al slew-rate y la
capacidad de carga
      A_max = iin_max/gm1;               // Tensión máxima debida al slew-rate
      //$display("Fc = %e y Ro = %e",fc,Ro);

   end

   //Etapa de Entrada

     V(VINP_off,REF) <+ V(INP,REF) + Vin_offset;   // Sumamos la tensión de offset a
la de entrada
     I(VINP_off,INN) <+ V(VINP_off,INN)/Rin;       // Contribución de corriente debido
a la resistencia de entrada

   Voffset = V(VINP_off,INN);


   //Limitación de Slew-rate

     if (Voffset > A_max)
       Vinref = A_max;              // Si la tensión a la entrada es mayor que la
tensión que nos proporciona la corriente
                                    // del Slew-rate, cambiamos la tensión que llega a
la salida por dicha tensión.
     else if (Voffset < -A_max)
       Vinref = -A_max;             // Si la tensión a la entrada es menor que la
tensión que nos proporciona la corriente
                                    // del Slew-rate negativa, cambiamos la tensión que
llega a la salida por dicha tensión en negativa.
     else
       Vinref = Voffset;   // Si no, la dejamos igual


    V(Vin,REF) <+ Vinref;



   //Primera Etapa: Norton

     I(out1,REF) <+ gm1*V(Vin,REF);    // Contribución de corriente que genera gm1
     I(out1,REF) <+ V(out1,REF)/R1;          // Contribución de corriente que genera R1

     I(out1,int_c) <+ V(out1,int_c)/Rc;     // Contribución de corriente que genera la
capacidad de compensacin
     I(int_c,OUT) <+ Cc*ddt(V(int_c,OUT));  // Compensación Miller


    //Etapa de Salida: Thevenin

     V(int_e2,REF) <+ -gain2*V(out1,REF)+ white_noise(whitenoise) +
flicker_noise(flickernoise, 1.0);    // Contribución debido a la ganancia de la
segunda etapa mas el ruido
```

```
     I(int_e2,OUT) <+ V(int_e2,OUT)/Rout;     // Contribución debido a la resistencia
de salida
end

endmodule
```

3.5 MODELO DE AMPLIFICADOR DE DOS ETAPAS CON GANANCIA Y ANCHO DE BANDA FINITOS, RESISTENCIA DE SALIDA, RESISTENCIA DE ENTRADA, TENSIÓN DE OFFSET, LIMITACIÓN DE RANGO DE ENTRADA Y RUIDO

En este último apartado, se cambia el modelado de la limitación. Antes se ha hecho mediante el control del Slew-Rate, a partir del cual se limitaba la corriente de carga de la capacidad de carga y obteníamos la tensión máxima que daba esta corriente, teniendo así este valor como referencia para hacer la limitación. Ahora, se utiliza la corriente máxima de carga de la capacidad de compensación para hacer la limitación. El diseñador podrá controlar la iin_max junto con los siguientes parámetros:

```
   //Parametros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain1 = 30;          // Ganancia primera etapa(unidades naturales)
     parameter real gain2 = 30;          // Ganancia segunda etapa(unidades naturales)
     parameter real CL = 5p;             // Capacidad de carga (en F)
     parameter real Rout = 1K;           // Resistencia de salida (en Ω)
     parameter real Rc = 70;             // Resistencia de compensación (en Ω)
     parameter real Cc = 5p;             // Capacidad de compensación (en F)
     parameter real iin_max = 3e-2;      // Corriente maxima de carga de la capacidad
de compensacion
     parameter real whitenoise = 23e-6; // Valor del ruido blanco
     parameter real flickernoise = 25e-6; // Valor del ruido flicker
```

La imagen con el macromodelo equivalente es la que se ve a continuación. Además de la resistencia de salida, entrada, ganancia, offset, resistencia de salida, aquí se modela también la amplitud máxima de entrada que proporciona la corriente de entrada máxima, iin_max

$$A_{max} = {iin_{max}}/{gm1}$$

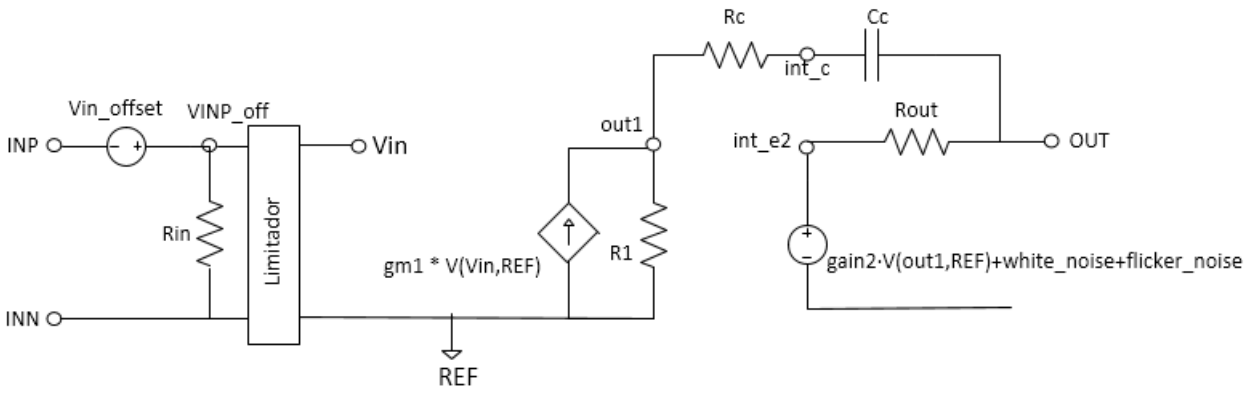

Figura 12: Macromodelo equivalente al modelo Verilog-A de un amplificador de dos etapas con ganancia y ancho de banda finitos, resistencia de salida, resistencia de entrada, tensión de offset, limitación de rango de entrada y ruido

El código Verilog-A de diseño de este modelo es el siguiente:

```
// VerilogA for Amplificador_Ideal, Amplificador_ideal_2_polos_parametro_iinmax,
veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplificador_ideal_2_polos_parametro_iinmax(OUT, INP, INN, REF);

   inout INN, INP,OUT, REF;
   electrical OUT, INN, INP, REF;

   //Parametros y variables

     parameter real Vin_offset = 0.003;  // Tensión de offset (en V)
     parameter real Rin = 1G;            // Resistencia de entrada (en Ω)
     parameter real GBW = 150M;          // Producto Ganancia·Ancho de Banda (en Hz)
     parameter real gain1 = 30;          // Ganancia primera etapa(unidades naturales)
     parameter real gain2 = 30;          // Ganancia segunda etapa(unidades naturales)
     parameter real CL = 5p;             // Capacidad de carga (en F)
     parameter real Rout = 1K;           // Resistencia de salida (en Ω)
     parameter real Rc = 70;             // Resistencia de compensación (en Ω)
     parameter real Cc = 5p;             // Capacidad de compensación (en F)
     parameter real iin_max = 3e-2;      // Corriente maxima de carga de la capacidad
de compensacion
     parameter real whitenoise = 23e-6; // Valor del ruido blanco
     parameter real flickernoise = 25e-6; // Valor del ruido flicker


     real C1;
     real R1;
     real Vin_off;
     real gm1;
     real gm2;
     real polo1;
     real polo2;
     real zero;
     real A_max;
     real Voffset;
     real Vinref;

   //Nodos internos

     electrical VINP_off;
     electrical Vin;
     electrical out1;
     electrical int_c;
     electrical int_e2;
     electrical out2;
```

```
analog begin

   @(initial_step) begin

      gm1 = 2*`M_PI*Cc*GBW;      // Transconductancia dependiente de la capacidad de
carga y de GBW
      gm2 = gain2/Rout;          // Transconductancia dependiente de la ganancia de la
segunda etapa y de Rout
      R1 =  (gain1*gain2)/(gm1*gm2*Rout); // Resistencia de la primera etapa
dependiente de las ganancias, las transconductancias de ambas etapas y la resistencia
de salida
      C1 = Cc*gain2;             // Capacidad de la primera etapa
      A_max = iin_max/gm1;       // Tensión máxima debida al slew-rate

   end

   //Etapa de Entrada

     V(VINP_off,REF) <+ V(INP,REF) + Vin_offset;   // Sumamos la tensin de offset a la
de entrada
     I(VINP_off,INN) <+ V(VINP_off,INN)/Rin;       // Contribución de corriente debido
a la resistencia de entrada

   Voffset = V(VINP_off,INN);


   //Limitación de Slew-rate

     if (Voffset > A_max)
       Vinref = A_max;             // Si la tensión a la entrada es mayor que la
tensión que nos proporciona la corriente
                                   // del Slew-rate, cambiamos la tensión que llega a
la salida por dicha tensión.
     else if (Voffset < -A_max)
       Vinref = -A_max;            // Si la tensión a la entrada es menor que la
tensión que nos proporciona la corriente
                                   // del Slew-rate negativa, cambiamos la tensión que
llega a la salida por dicha tensión en negativa.
     else
       Vinref = Voffset;   // Si no, la dejamos igual


    V(Vin,REF) <+ Vinref;




   //Primera Etapa: Norton

     I(out1,REF) <+ gm1*V(Vinref,REF);    // Contribución de corriente que genera gm1
     I(out1,REF) <+ V(out1,REF)/R1;         // Contribución de corriente que genera R1

     I(out1,int_c) <+ V(out1,int_c)/Rc;     // Contribución de corriente que genera la
capacidad de compensacin
     I(int_c,OUT) <+ Cc*ddt(V(int_c,OUT));  // Compensación Miller


    //Etapa de Salida: Thevenin

     V(int_e2,REF) <+ -gain2*V(out1,REF)+ white_noise(whitenoise) +
flicker_noise(flickernoise, 1.0);    // Contribución debido a la ganancia de la
segunda etapa mas el ruido
     I(int_e2,OUT) <+ V(int_e2,OUT)/Rout;    // Contribución debido a la resistencia
de salida

end
endmodule
```