

Trabajo Fin de Grado  
Grado en Ingeniería Electrónica, Robótica  
y Mecatrónica

Diseño de un Convertidor de Tiempo  
a Digital para la estimación del  
Tiempo de Vuelo de fotones

Autor: Manuel Piña Martínez

Tutores: Ángel Rodríguez Vázquez y Ricardo Carmona  
Galán

**Dpto. de Electrónica y Electromagnetismo**  
**Escuela Técnica Superior de Ingeniería**  
**Universidad de Sevilla**

Sevilla, 2020





Trabajo Fin de Grado  
Grado en Ingeniería Electrónica, Robótica y Mecatrónica

# **Diseño de un Convertidor de Tiempo a Digital para la estimación del Tiempo de Vuelo de fotones**

Autor:

Manuel Piña Martínez

Tutores:

Ángel Rodríguez Vázquez y Ricardo Carmona Galán

Catedrático de Universidad e Investigador de la Universidad

Dpto. de Electrónica y Electromagnetismo  
Escuela Técnica Superior de Ingeniería  
Universidad de Sevilla

Sevilla, 2020



Trabajo Fin de Grado:   Diseño de un Convertidor de Tiempo a Digital para la estimación del Tiempo de Vuelo de fotones

Autor:           Manuel Piña Martínez

Tutores:        Ángel Rodríguez Vázquez y Ricardo Carmona Galán

El tribunal nombrado para juzgar el trabajo arriba indicado, compuesto por los siguientes profesores:

Presidente:

Vocal/es:

Secretario:

acuerdan otorgarle la calificación de:

El Secretario del Tribunal

Fecha:



# Agradecimientos

---

A mi tutor Ricardo Carmona, por darme la oportunidad de embarcarme en este reto, por su orientación y confianza aportados durante el transcurso del mismo.

Al personal del IMSE, Cristina, Franco, Delia, Victor, Susana, Iñaki, Joaquín, etc. por mostrarme apoyo y ayuda en momentos difíciles.

A todos mis compañeros de piso y facultad, Juan, Balma, Ale, Luna, Rafa, Marta, Jesús, Michi, Fran y demás compañeros por estar siempre ahí cuando necesitaba algo.

A mi tocayo Manuel J.T. por ser siempre un referente, un apoyo y mejor amigo durante el transcurso de estos años.

Y por supuesto a mis padres, mis hermanos y mi familia, por ser mis pilares fundamentales y no dejar que cayera nunca.

*Manuel Piña Martínez*  
*Sevilla, 2020*





# Resumen

---

Los Convertidores de Tiempo a Digital (TDC) son dispositivos que se basan en medir la diferencia entre dos señales de entrada y proporcionar una salida digital de ésta. Estos han sido utilizados con mayor frecuencia cada vez en la última década debido a su rápida respuesta en tiempo de resolución y capacidades temporales, alcanzando valores de picosegundos.

Estas capacidades temporales han motivado la realización de este proyecto, que consiste en el diseño de un TDC con unas determinadas prestaciones. Entre otras, se prioriza que el sensor presente un bajo consumo y resolución alta. Ambos son cruciales para aplicaciones como la determinación del tiempo de vuelo (ToF) en sensores de imagen basados en diodos de avalancha sensibles a un único fotón (SPAD).

En el presente trabajo se ha llevado a cabo una revisión bibliográfica del estado del arte en TDCs, siendo introducidas distintas arquitecturas publicadas, entre las cuales se puede distinguir entre TDCs de tipo analógicos y TDCs basados en técnicas digitales. Posteriormente, se ha analizado, implementado y estudiado mediante simulación eléctrica una de las arquitecturas que ha sido considerada adecuada para los objetivos establecidos. Estos objetivos son obtener una buena resolución, linealidad y consumo. Se han alcanzado gracias a un TDC basado en líneas de retraso de Vernier de 3 bits.



# Abstract

---

**T**ime-to-digital converters are devices used to measure delay between two input signals and producing this difference as a digital output word. In the last decade, they have become popular due to their fast response in time resolution and temporal capabilities, reaching magnitudes of picoseconds.

Those temporal capabilities are the reason to carry out this project which it consists of the design of a TDC with defined features. Low-power operation and a high resolution have been prioritized, being both crucial for applications involving the measurement of the time-of-flight (ToF) with single-photon avalanche diode (SPAD) based image sensors.

This work summarized several state-of-art converters and several publications related to TDCs, introducing different architectures discerning between analogic type TDCs and digital techniques based TDCs. Afterwards, a chosen architecture, considered competent for our goals, has been analyzed, implemented and studied with electrical simulations. These goals are to obtain a good linearity, resolution and low power consumption. They are accomplished thanks to a 3-bit delay-line based Vernier TDC.



# Índice

---

<i>Resumen</i>	III
<i>Abstract</i>	V
<i>Notación</i>	IX
<b>1 Introducción</b>	<b>1</b>
1.1 Motivación del trabajo	2
1.2 Estructura del documento	3
<b>2 Convertidores de Tiempo a Digital Elementales</b>	<b>5</b>
2.1 Introducción	5
2.2 TDCs - tipo Analógicos	5
2.2.1 Primera Generación: TDC Básico	5
2.2.2 TDC de Doble Rampa	7
2.3 TDCs - basados en Técnicas Digitales	8
2.3.1 TDC completamente digital	9
2.3.2 Línea de Retraso Digital	10
2.3.3 TDC basado en Inversor	11
2.3.4 TDCs basados en FPGA	13
<b>3 Convertidores de Tiempo a Digital Avanzados</b>	<b>15</b>
3.1 Introducción	15
3.2 TDC de Vernier	15
3.3 TDC por Reducción de Pulso	17
3.4 TDC de Anillo Oscilador Controlado	19
<b>4 Diseño del TDC elegido</b>	<b>21</b>
4.1 Introducción	21
4.2 Arquitectura del TDC propuesta	21
4.3 Circuitos y elementos que componen el TDC	23
4.3.1 Inversor	23
4.3.2 Circuito de Reset y Detección de Flanco	24
4.3.3 Líneas de Retraso	28
4.3.4 Circuito Pull-Up/Down y de carga	30

<b>5</b>	<b>Simulaciones y Resultados</b>	<b>31</b>
5.1	Introducción	31
5.2	Medida de la resolución	31
5.2.1	Simulación de Monte Carlo	33
5.3	Código Termométrico	34
5.4	Errores de linealidad	36
5.4.1	Error de linealidad diferencial (DNL)	36
5.4.2	Error de linealidad integral (INL)	36
5.5	Medida de consumo	37
<b>6</b>	<b>Conclusión y Trabajo Futuro</b>	<b>39</b>
	<i>Índice de Figuras</i>	41
	<i>Bibliografía</i>	43

# Notación

---

<i>ADC</i>	Analog-to-Digital Converter
<i>DAC</i>	Digital-to-Analog Converter
<i>DNL</i>	Differential Non-Linearity
<i>GRO</i>	Gated Ring Oscillator
<i>INL</i>	Integral Non-Linearity
<i>LSB</i>	Least Significant Bit
<i>MSB</i>	Most Significant BIT
<i>PLL</i>	Phase Locked Loop
<i>SPAD</i>	Single-Photon Avalanche Diode
<i>SNR</i>	Signal-to-Noise Ratio
<i>TDC</i>	Time-to-Digital Converter
<i>TAC</i>	Time-to-Amplitude Converter
<i>TAs</i>	Time Amplifiers
<i>ToF</i>	Time-of-Flight
$T_{LSB}$	Cantidad de tiempo mínima mensurable por un TDC
$T_{max}$	Máximo intervalo de tiempo que puede ser medido





# 1 Introducción

La mayoría de la información con la que nos manejamos en el mundo físico es esencialmente analógica; sin embargo los procesadores digitales trabajan directamente con señales cuantizadas en tiempo y amplitud (discretas). Un transductor nos permite relacionar estas señales del mundo real y sus análogas eléctricas. Para hacer compatible la información con un sistema digital, se requiere de una interfaz entre ellas, que son los llamados convertidores analógico-digital (ADC- Analog to Digital Converter) y convertidores digital-analógico (DAC-Digital to Analog Converter). El objetivo básico de un ADC es transformar una señal del dominio analógico al dominio digital y viceversa, en el caso de un DAC, siendo ambas señales de naturaleza eléctrica (Fig. 1.1).

La tecnología electrónica ha ido evolucionando como ya previó Moore en 1965 a través de la conocida ley de Moore: "el número de transistores en un circuito integrado se duplica cada dos años" (Fig. 1.2). Esto se traduce en que la potencia de cómputo que tenemos en los dispositivos más pequeños es enorme en comparación con lo que teníamos hace una década. La electrónica se ha convertido en un pilar fundamental en nuestras vidas y sería imposible imaginarnos nuestras vidas sin ella ya que está presente en móviles, ordenadores, electrodomésticos, automoción y un sinfín de herramientas del día a día.

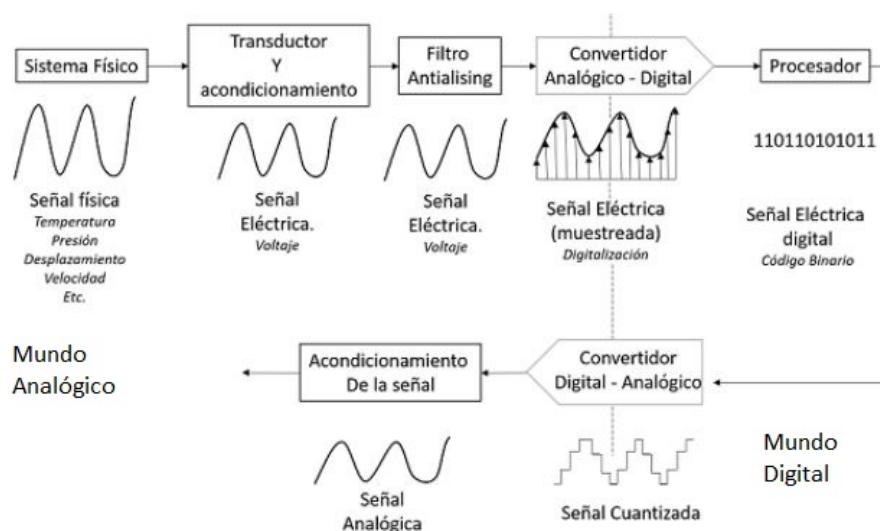


Figura 1.1 Esquema de procesamiento de una señal física [30].

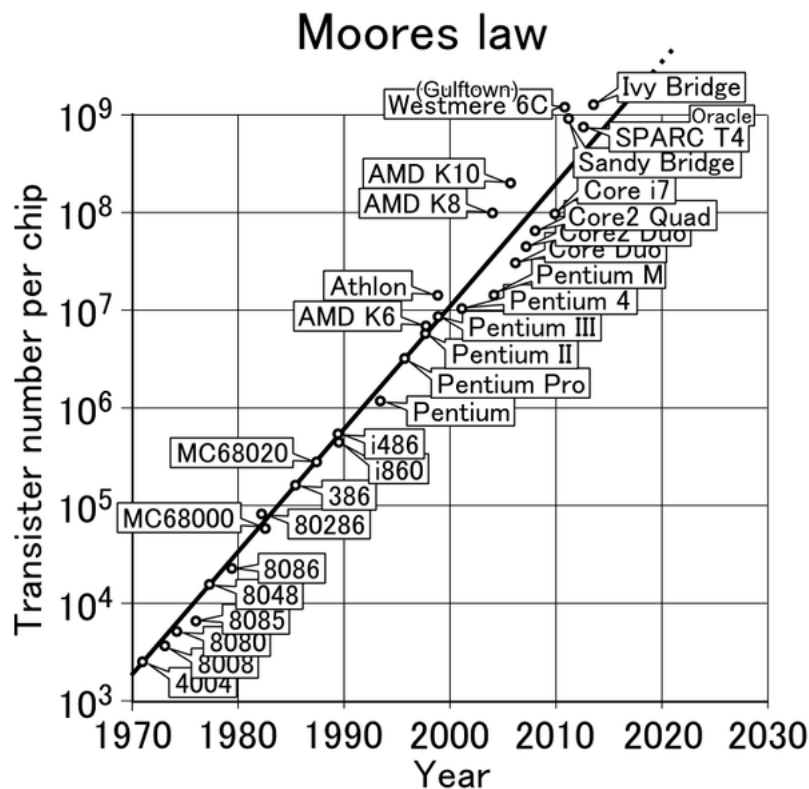


Figura 1.2 Ley de Moore [10].

## 1.1 Motivación del trabajo

Este trabajo se centra en un tipo de convertidor específico, denominado Convertidor de Tiempo a Digital (TDC -Time to Digital Converter). Se trata de un dispositivo que reconoce eventos a través de dos entradas y nos proporciona una salida digitalizada del instante de tiempo en que ocurrieron. Entre sus características destacan su tamaño y consumo de potencia, pudiendo alcanzar valores relativamente bajos. Además, cuando son fabricados con tecnología CMOS, sus características temporales pueden alcanzar magnitudes realmente pequeñas. Esto permite medir intervalos de tiempo del orden de nanosegundos y picosegundos, requerido en aplicaciones tales como lazos de seguimiento de fases (PLLs), en adquisición de imágenes biomédicas, por ejemplo, la tomografía mediante emisión de positrones (PET) [34], [9], [2], fluorescencia en tiempo real (FLIM) [12], [13], [28] y distintas aplicaciones de tiempo de vuelo (ToF) [26], [25], [3], entre ellas, la detección de fotones en sensores de imagen mediante ToF.

Esta familia de dispositivos puede clasificarse en TDCs de tipo analógicos y TDCs basados en técnicas digitales. Los del tipo analógico usan primero una conversión de tiempo-amplitud seguidos por un convertidor analógico-digital (ADC). Por otro lado, entre los TDCs fundamentados en técnicas digitales, se pueden distinguir los de líneas de retrasos digital y los basados en inversores. Además, pueden encontrarse TDCs implementados en FPGAs (Dispositivos Lógicos Reconfigurables), que utilizan su cadena de acarreo para formar líneas de retraso.

En este Trabajo Fin de Grado se propone diseñar un TDC que cumpla dos requisitos indispensables para la determinación del ToF en sensores de imagen basados en diodos de avalancha sensibles a un único fotón (SPAD): la resolución y el consumo de potencia. En medidas de ToF se trabaja con fenómenos como la velocidad de la luz y con la emisión y recepción de la misma. El objetivo que se busca en este tipo de aplicaciones es capturar ráfagas rápidas de luz dentro del orden de picosegundos. Para la captura de los fotones, uno a uno, se dispone de un fotodetector de estado sólido en el que un portador, generado por efecto fotoeléctrico, puede desencadenar una corriente de avalancha de corta duración pero en la suficiente cantidad para ser medida [35].

Por tanto, se ha procedido con una revisión de diferentes arquitecturas TDCs existentes y compatibles con los requerimientos deseados. En la tabla 1.1 se recogen las métricas de resolución y consumo de varias arquitecturas implementadas.

**Tabla 1.1** Tabla comparativa de distintas arquitecturas de un TDC.

Trabajo	Técnica	Tecnología	Consumo	Resolución
[1]	Vernier Delay Latch Chain	65 nm	1.14 mW	5.7 ps
[5]	Pulse Shrinking	350 nm	1.65 uW	40 ps
[39]	2-Level Vernier	65 nm	<2.5 mW	6.15 ps
[22]	Pipeline	65 nm	15.4 mW	578 ps
[14]	Array TAs	65 nm	0.6 mW	1.2 ps
[24]	Gated Ring Oscillator	90 nm	2.3 mW	2.2 ps
[24]	2-dimension Vernier	350 nm	1.7 mW	4.8 ps

## 1.2 Estructura del documento

El objetivo de este trabajo Fin de Grado es presentar el diseño de un TDC propuesto por considerarse apto para cumplir los requisitos temporales que se plantean en la aplicación para la estimación del tiempo de vuelo de fotones. El presente documento está dividido en 6 capítulos, siendo este primero una introducción.

- Capítulo 2: Convertidores de Tiempo a Digital Elementales. Introducción a los primeros tipos y técnicas de TDCs, distinguiendo entre TDCs analógicos y digitales.
- Capítulo 3: Convertidores de Tiempo a Digital Avanzados. Revisión de arquitecturas puramente digitales capaces de aumentar la resolución por debajo del retraso de una puerta lógica.
- Capítulo 4: Diseño del TDC elegido. Descripción y consideraciones del proceso de diseño de la arquitectura escogida.
- Capítulo 5: Simulaciones y Resultados. Presentación de los resultados de las simulaciones eléctricas.
- Capítulo 6: Conclusión y Trabajo Futuro. Reflexión sobre el trabajo desarrollado y posibles líneas de investigación futuras.



# 2 Convertidores de Tiempo a Digital Elementales

---

## 2.1 Introducción

En el presente capítulo se aborda una primera aproximación a los convertidores de tiempo a digital. Estos TDCs pueden ser clasificados en dos categorías conforme a su principal modo de operación. Las dos categorías son los TDCs de tipo analógicos y los TDCs basados en técnicas digitales. Veremos sus principales diferencias y elegiremos el que mejor se adapte a nuestras necesidades. Hablaremos más detenidamente de los basados en técnicas digitales en capítulos posteriores.

## 2.2 TDCs - tipo Analógicos

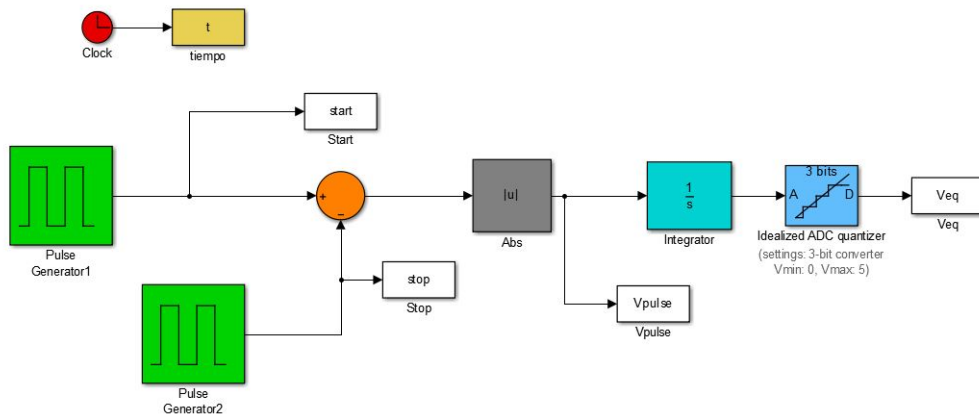
### 2.2.1 Primera Generación: TDC Básico

La primera generación de TDCs fue implementada a principios de los 90 y se basaban en circuitos puramente analógicos formados generalmente por un convertidor de tiempo a amplitud (TAC) y un sistema de adquisición ADC, de alta resolución y velocidad, encargado de digitalizar la señal convertida.

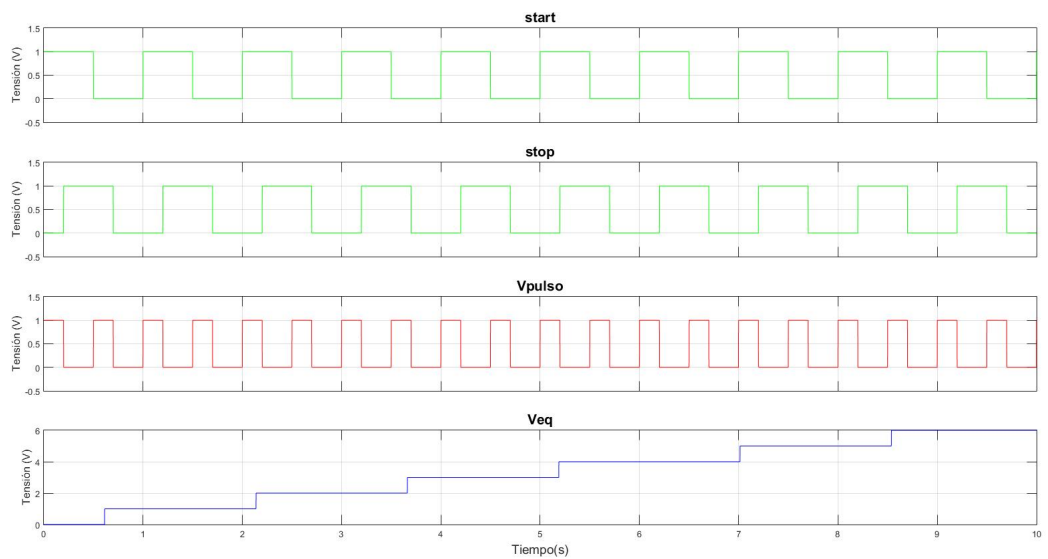
Generalmente en un convertidor TDC del tipo analógico, una fuente de corriente de valor constante va haciendo que un condensador pierda carga. Esto provocará un cambio en la tensión almacenada en el condensador, que será linealmente dependiente del tiempo que dura la descarga. Esta tensión será convertida a un valor digital por un comparador o un ADC convencional. Esta primera aproximación de un TDC analógico se puede resumir fundamentalmente en dos pasos:

- Convertir el intervalo de tiempo a una tensión
- Digitalizar esta tensión con un convertidor analógico digital (ADC)

Para mostrar el concepto detrás de esta técnica, se ha llevado a cabo la simulación de un modelo básico del convertidor, de forma similar a [19]. En este modelo, mostrado en Fig. 2.1, las señales *start* y *stop* producen un pulso con la anchura correspondiente al intervalo de tiempo a medir. Este pulso es recogido por un integrador analógico que lo transforma a una tensión continua, posteriormente digitalizada por un ADC. La Fig. 2.2 muestra las distintas señales involucradas en la simulación.



**Figura 2.1** Diagrama de bloques en Simulink del modelo de un TDC analógico.



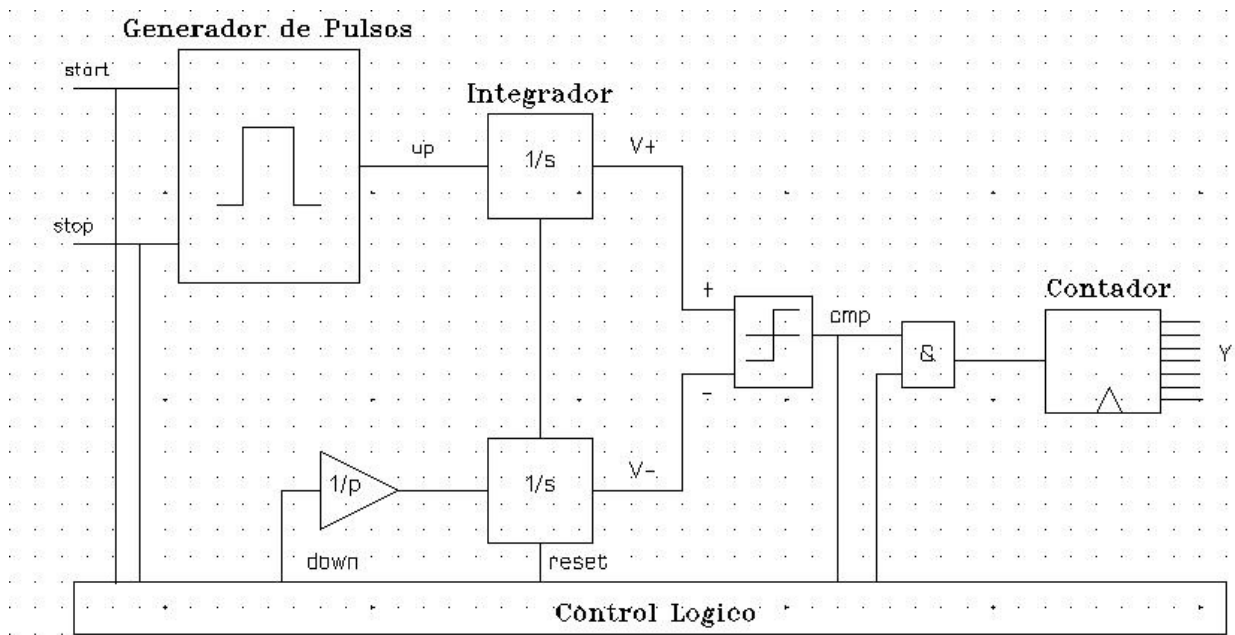
**Figura 2.2** Resultados de la simulación del modelo de TDC analógico.

Todos los bloques que componen el sistema: el integrador, el generador de pulsos y el ADC deben cumplir con la demanda de linealidad que requiere un TDC. Es de suma importancia reflexionar acerca del rango dinámico de operación, el cual va a estar vinculado a la cantidad de valores del ADC multiplicado por la resolución en términos de tiempo del mismo. El integrador, el generador de pulsos y el ADC realmente conforman una solución con pocas probabilidades de linealidad. Debido a que la resistencia de salida de la fuente de corriente del integrador es finita, en puntos de saturación rápidamente se perdería la linealidad. Para evitar esta situación, se debería utilizar un integrador RC, pero en ese caso se tendrían

limitaciones de ancho de banda.

### 2.2.2 TDC de Doble Rampa

Este segundo enfoque, más elaborado, permite una medida absoluta del tiempo sin la necesidad de conocer los valores de corriente y capacidad. Este enfoque parte, igual que en el anterior, de las señales *start* y *stop* que a su vez generan dos pulsos denominados *up* y *down*. Como muestra la Fig. 2.3, los bloques que lo componen son: el generador de pulsos, dos integradores, un elemento de retraso, un circuito de control lógico, un comparador, un bloque AND y un contador.

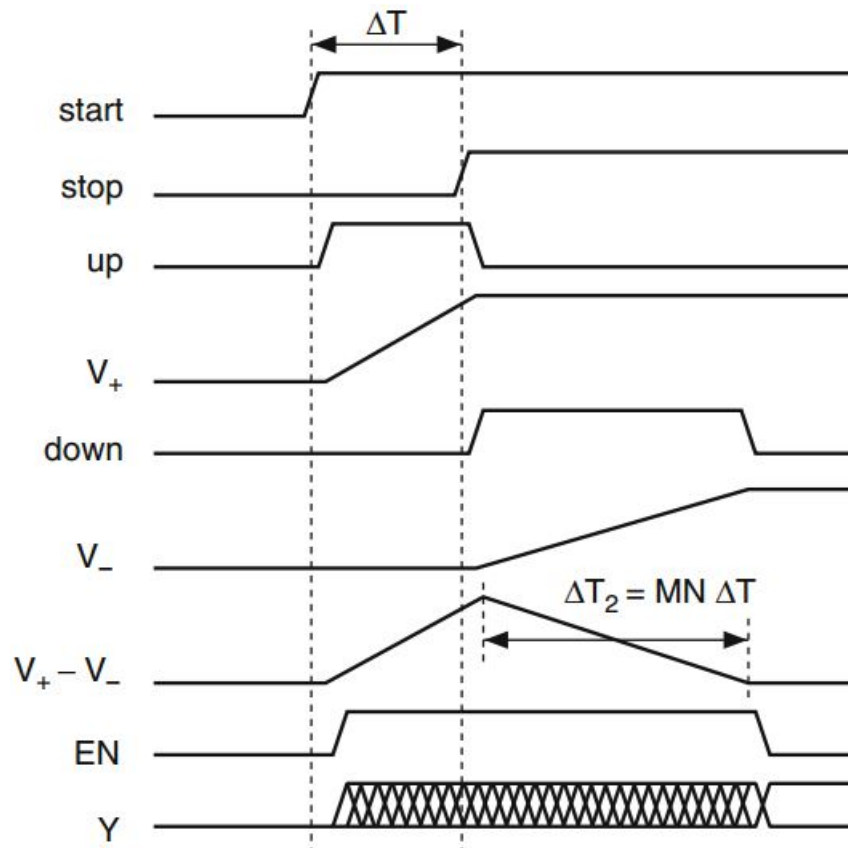


**Figura 2.3** Diagrama de bloques de un TDC de doble rampa.

La Fig. 2.4 muestra las señales que intervienen durante la operación de una conversión para este tipo de TDC analógico:

1. Las señales *start* y *stop* controlan un generador de pulsos cuya salida (*up*) permanece a nivel alto con un ancho correspondiente al intervalo de tiempo a medir.
2. La señal *up* se transforma a una tensión  $V_+$  por acción de un integrador analógico.
3. En el instante en el que la señal de *stop* cambia a nivel alto, la lógica de control activa una señal (*down*), que, de forma análoga, se integra a una tensión  $V_-$ .
4. Un comparador mide la diferencia entre estas tensiones, controlando una señal (*EN*) que habilita un contador durante el tiempo que tarde la diferencia en las entradas del comparador en reducirse.
5. Por último, la salida del contador (*Y*) corresponde al tiempo de duración del pulso.

El principio de un TDC de doble rampa es una inversión de un ADC de doble rampa. En un ADC de doble rampa una señal analógica es integrada durante un intervalo de tiempo, en



**Figura 2.4** Señales involucradas en la operación del TDC de doble rampa [19]-[32].

cambio en un TDC de doble rampa la tensión crece y se integra la carga en un condensador durante un intervalo de tiempo ( $\Delta T$ ) correspondiente a un ancho de pulso.

La ventaja de este TDC con respecto al anterior radica en que la aproximación doble rampa es más robusta en contra de las variaciones de proceso y permite una integración sin necesidad de calibración. Además, por los bloques que componen el circuito y su disposición llevan a que pueda ser implementado sin condensadores de gran tamaño.

### 2.3 TDCs - basados en Técnicas Digitales

La primera generación de TDCs, de tipo analógico, servían como herramienta para codificar información temporal al dominio analógico, que a su vez se convierte al dominio digital. En esta última conversión se requiere de un ADC o de un comparador, pudiendo suponer un impedimento en el escalado del circuito y, por tanto, conllevaría a una pérdida de robustez.

La necesidad de crear TDCs como bloques de señal mixta para diferentes aplicaciones ha llevado a rediseñarlos utilizando las últimas técnicas de escalamiento en tecnologías CMOS. Esto se debe a la capacidad de adaptación que presentan los sistemas digitales en comparación con los analógicos, lo que permite implementaciones baratas y compactas



con lógica básica, además de un procesamiento complejo y flexible de señales. Asimismo, se debe considerar el reducido consumo de potencia que suelen presentar estos sistemas.

Al hablar de sistemas flexibles se hace referencia a su capacidad de adaptación, que puede ser incluso programada. Otra de las grandes ventajas de los sistemas digitales es la amplia capacidad de almacenamiento, sin pérdidas de información. Si embargo, la principal cualidad que destaca de los diseños digitales TDCs es su estabilidad ante distorsiones como el ruido y los acoples, así como ante variaciones del proceso.

En resumen, las ventajas en un convertidor de tiempo a digital se logran evitando la conversión intermedia al dominio analógico, para lo que existen numerosas técnicas y arquitecturas de TDCs digitales.

### 2.3.1 TDC completamente digital

Para un TDC completamente digital, la técnica más simple para cuantificar un intervalo de tiempo consiste en contar los ciclos de una referencia de reloj durante el intervalo de medición [19]. Esta técnica aparece ilustrada en la Fig. 2.5 donde se muestra un intervalo de medida definido por dos señales, *start* y *stop*, junto con un reloj de referencia (*CP*) y la salida de un contador (*count*). Un biestable RS asíncrono genera a partir de *start* y *stop* una señal de habilitación que permite que el contador empiece la cuenta, incrementándose en cada flanco positivo del reloj de referencia. Cuando *stop* llega a nivel alto, la cuenta se detiene correspondiendo al valor de tiempo entre las subidas a nivel alto de las señales deseadas.

$\Delta T_{start}$  y  $\Delta T_{stop}$  son los intervalos de tiempo entre que se activan, respectivamente, las señales de *start* y *stop* y el siguiente flanco de subida de la señal de reloj, cuyo periodo es  $T_{CP}$ . Estos intervalos suponen un error en la medida puesto que no son reflejados en la salida del contador, pero pueden ser reducidos aumentando la frecuencia del reloj, a costa de un aumento del consumo. Para evitar la necesidad de aumentar la frecuencia, existen enfoques alternativos.

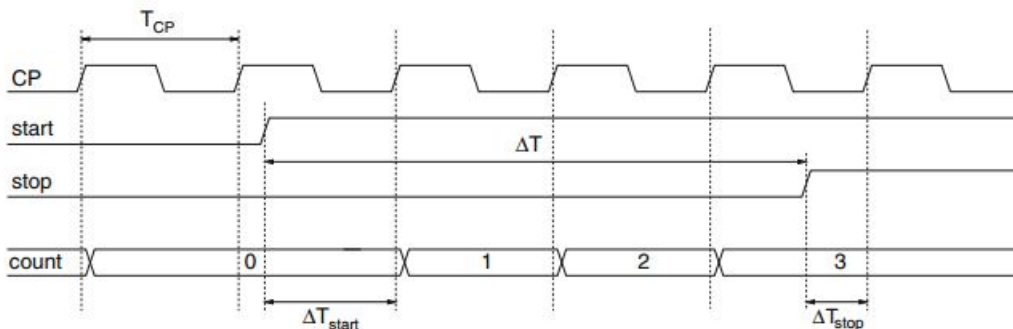
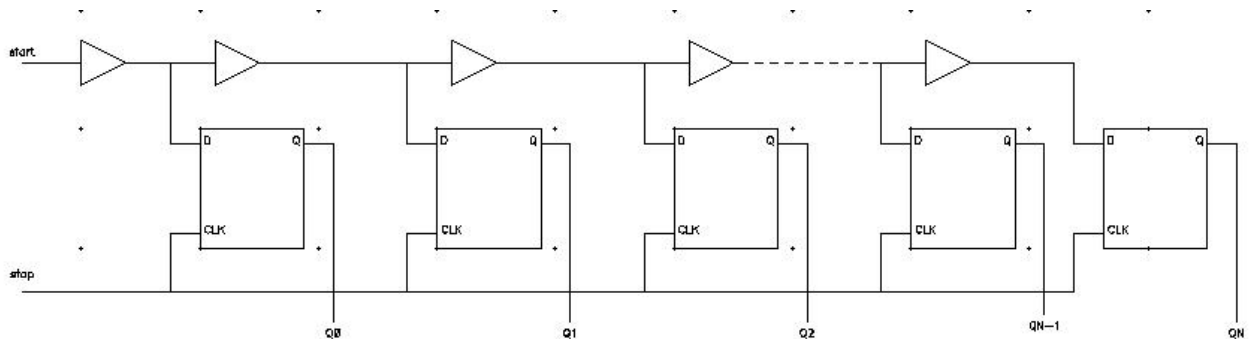


Figura 2.5 Contador empleado como TDC digital básico [32].

### 2.3.2 Línea de Retraso Digital

Estos TDCs están formados, como su nombre indica, por líneas de retraso implementadas mediante puertas digitales logrando una resolución temporal baja. Esta resolución temporal, inferior a la frecuencia máxima del reloj, viene limitada por la tecnología de fabricación de estos dispositivos lógicos.

En la Fig. 2.6 se muestra el diagrama de bloques de este tipo de TDC que se basa en retrasar la propagación de la señal *start* mediante buffers (disposición de dos inversores en serie). La salida de cada uno es utilizada como entrada a un biestable síncrono tipo D controlado por la señal de *stop*. El retraso de estos buffers, así como los retrasos asociados a los biestables, son conocidos de forma que en el momento de actualizar las salidas de los biestables es posible conocer el tiempo que ha transcurrido entre las subidas a nivel alto de las señales de *start* y *stop*.



**Figura 2.6** Diagrama de bloques de un TDC de línea de retraso digital.

En la Fig. 2.7 se muestra las formas de ondas involucradas en una operación de muestreo. En detalle, su funcionamiento es:

1. La señal de *start* se propaga a través de una cadena de buffers que producen versiones retrasadas de la señal *start*, por cada buffer que va encontrando. La salida de los buffers son entradas de una serie de flip-flops D síncronos.
2. A la llegada de la señal de *stop* (flanco de subida), las salidas de los biestables se actualizan muestreando la propagación de la señal *start*. El proceso de muestreo guarda el estado de la línea de retraso en el instante donde la señal de *stop* pasa a estar a nivel alto.
3. Las salidas de los flip-flops D forman un código termométrico que guarda relación directa con el tiempo transcurrido entre los flancos de subida de las señales *start* y *stop*.

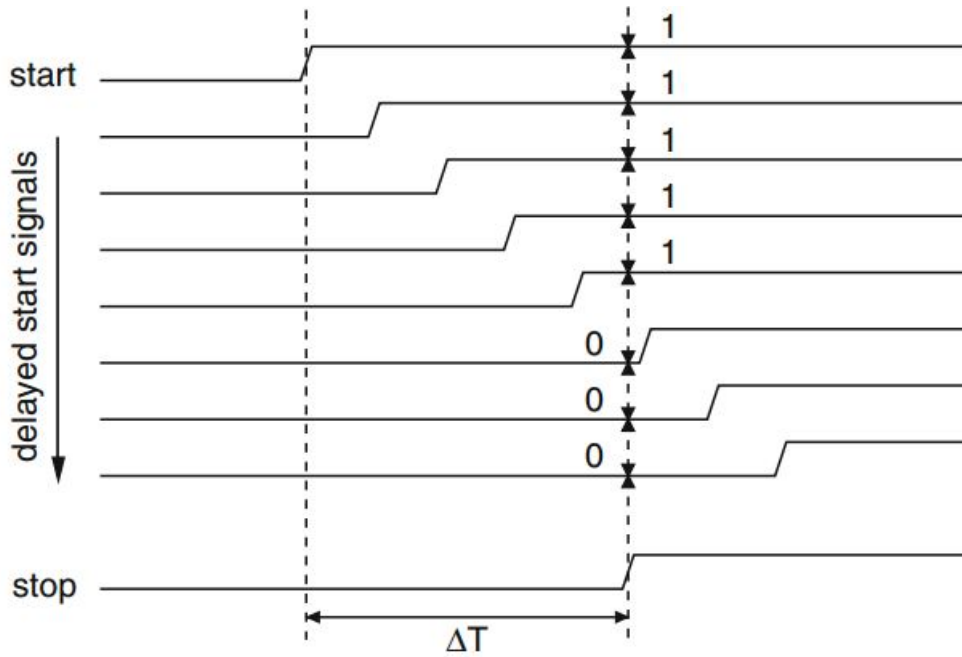


Figura 2.7 Principio de operación del TDC de línea de retraso digital [19] [7] [27].

El número de biestables con salida a nivel alto viene dado por:

$$N = \left\lfloor \frac{\Delta T}{T_{LSB}} \right\rfloor \tag{2.1}$$

donde  $T_{LSB}$  es el retraso asociado a los componentes de una etapa (esto es, de un buffer y un biestable),  $\Delta T$  es la diferencia de tiempo entre las subidas a nivel alto de *start* y *stop* y N es el número de etapas de la arquitectura. El intervalo de tiempo  $\Delta T$  puede ser calculado como:

$$\Delta T = NT_{LSB} + \epsilon \tag{2.2}$$

donde  $\epsilon$  recoge el error de cuantización que hay por no poderse determinar si la señal *start* ha terminado de propagarse por algunos de los elementos de retrasos o no.

Entre sus ventajas se pueden destacar que su diseño es conceptualmente sencillo, cuenta con todas las virtudes provenientes del diseño digital, su consumo y latencia son bajos, es de fácil control e integración. Por el contrario, entre sus desventajas se tiene que su resolución es baja y se encuentra limitada por su tecnología de fabricación.

### 2.3.3 TDC basado en Inversor

El TDC basado en línea de retraso digital compuesto por buffers presenta una resolución limitada debido a retrasos. Esta limitación puede ser disminuida empleando inversores CMOS en lugar de buffers, al tratarse estos mismos de dos inversores en serie. El uso de inversores conlleva que tanto el flanco de subida como el de bajada sean usados para la medida. Por tanto, el código termométrico a la salida de los biestables sufre una modificación

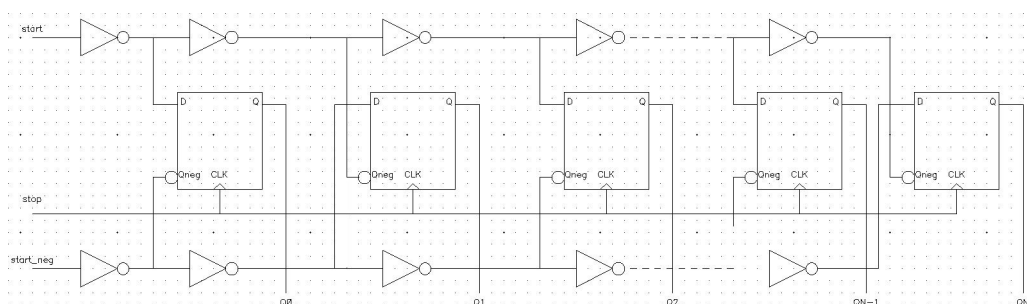
resultando en una cadena de ceros y unos, cuando el código original supone que la salida presenta una cadena de unos consecutivos al momento de detectar el pulso:

$$1111111111111111 \longrightarrow 0000000000000000$$

$$0101010101010101 \longrightarrow 1010101010101010$$

Para corregir este pseudocódigo termométrico, se emplea  $start_{neg}$  (señal negada de  $start$ ) como entrada de los flip-flops en etapas impares del conjunto. En la Fig. 2.8 se muestra un esquema de esta implementación. Su funcionamiento se resume en:

1. En las sucesivas etapas, las señales  $start$  y  $start_{neg}$  se propagan a lo largo de sus respectivas líneas de retraso de inversores.
2. La salida de cada inversor de cada una de las etapas se emplea como entrada del biestable, siendo utilizada en etapas pares la línea correspondiente a  $start$  y  $start_{neg}$  en las etapas impares.
3. La línea de la señal que no se emplea como entrada se utiliza como señal de habilitación.
4. El flanco de subida de la señal  $stop$  se encarga de actualizar las salidas de los biestables.
5. La inversión de los inversores CMOS se compensa girando las señales de entrada de los flip-flops en cada segunda etapa. Las variaciones locales pueden causar una propagación de la señal más rápida en una línea de retraso en comparación con la otra.
6. Las salidas de los flip-flops van generando un código termométrico.



**Figura 2.8** TDC de línea de retraso basado en inversor [7].

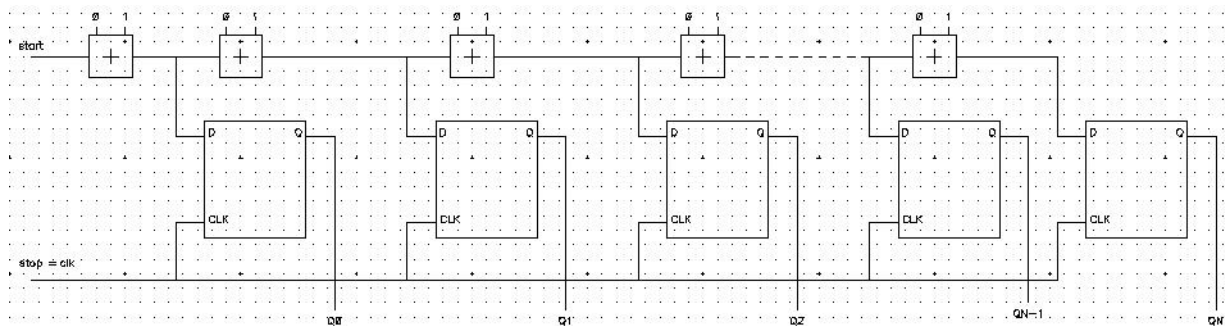
Este TDC cuenta con las mismas ventajas que el diseño anterior, basado en línea de retraso con buffers, permitiendo duplicar su resolución. Entre sus inconvenientes, requiere especial atención en el apareamiento entre ambas líneas de retraso, el doble de comparadores respecto al diseño anterior para el mismo rango dinámico y al igual que este, se ve limitado por la tecnología de fabricación.

### 2.3.4 TDCs basados en FPGA

Las FPGAs son dispositivos fundamentalmente digitales, que han ido popularizándose cada vez con más frecuencia debido a sus diferentes características como son: su bajo coste en comparación con alternativas similares, su capacidad de trabajar con un número elevado de señales en paralelo gracias al bloque DSP y muy importante también su reconfigurabilidad, es decir, podemos redefinir su hardware si la aplicación lo requiere.

Con las FPGAs se puede medir tiempos en el orden de decenas de picosegundos con múltiples técnicas [21],[36],[38],[37],[20], para conseguir realizar medidas precisas. La estructura más implementada en FPGA para fines de TDC se consigue gracias a su cadena de acarreo (carry chain). Esto se utiliza en lugar de inversores o memorias intermedias, ya que es la única estructura con un camino de enrutamiento específicamente dedicado, es decir, no depende de interruptores (switches), lo que conlleva a que tenga el menor retraso. Además, el enrutamiento es independiente del compilador permitiendo un retraso estable con cada compilación.

En la Fig. 2.9 tenemos un ejemplo de cadena de acarreo utilizada como línea de retraso. Al igual que en otras topologías, se compone de una línea de retraso y de un registro de flip-flops D. La particularidad se encuentra en que los elementos de retraso de la línea son circuitos sumadores con propagación de acarreo. De esta forma, todos comparten los mismos valores de entrada, uno a nivel alto y el otro a nivel bajo, dejando la entrada de acarreo para la conexión de la señal *start* que se propagará por esta línea de retraso gracias a la sucesión de salidas de acarreo. Cuando llegue el flanco de subida de *stop*, el registro actualizará su valor de salida codificando de forma termométrica el tiempo transcurrido entre ambas señales.



**Figura 2.9** Diagrama de bloques de cadena de acarreo como línea de retraso.



# 3 Convertidores de Tiempo a Digital Avanzados

---

## 3.1 Introducción

En el capítulo anterior, la resolución de los TDCs basados en técnicas digitales estaba limitada por su  $T_{LSB}$ , que en el mejor de los casos corresponde al retraso de un inversor. Por tanto, esta limitación viene dada por la tecnología de fabricación y se requiere el diseño de nuevas técnicas que permitan sobrepasarla [17]. Este capítulo se centra en presentar algunas de estas técnicas.

Vamos a ver tres tipos de arquitecturas que son: línea de retraso de Vernier, TDC por reducción de pulsos y TDC de anillo oscilador controlado. Son importantes la resolución, el rango dinámico, área, potencia y variabilidad. El objetivo es obtener la máxima resolución con una tecnología que nos permita un tamaño reducido del convertidor. En principio, todas las arquitecturas antes mencionadas pueden lograr una resolución alta, muy importante en aplicaciones relacionadas con tiempo de vuelo que requieren de una buena resolución. En la práctica, sin embargo la resolución está limitada por las variaciones del proceso y la robustez del circuito.

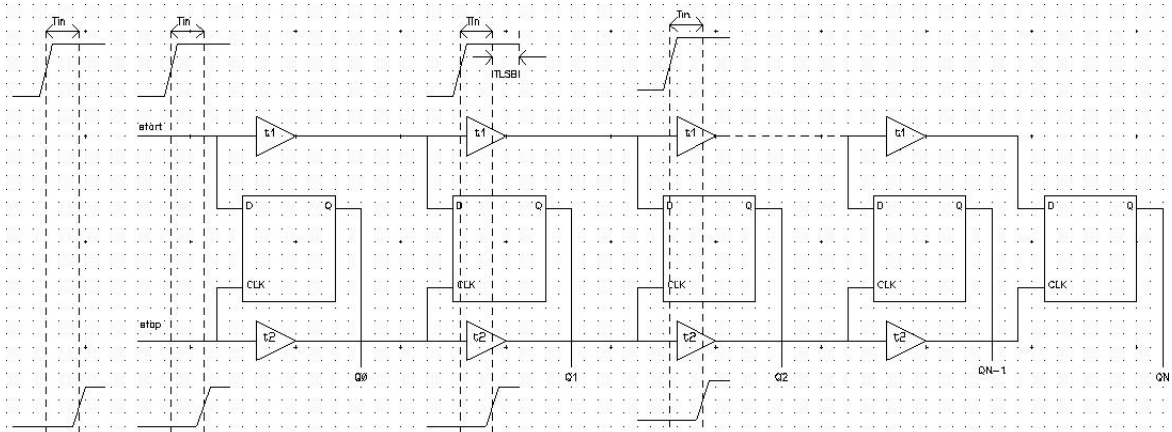
## 3.2 TDC de Vernier

Este tipo de TDC se basa en la arquitectura de retraso de línea logrando resoluciones por debajo del retraso de una puerta inversora [4],[29],[11],[8]. Esta arquitectura, mostrada en la Fig. 3.1, está implementada por dos líneas de retraso digital compuestas por unas celdas elementales de retraso. Por la línea de retraso superior se propaga la señal *start* a través de estas celdas que tienen un retraso conocido  $\tau_1$ , mientras que por la otra línea se propaga la señal *stop* acumulando retrasos con valor  $\tau_2$ .

La resolución de este TDC viene dada por la diferencia de retrasos entre la línea de retraso superior y la inferior, esta resolución es más alta si la comparamos con una única cadena

de buffers como teníamos en la arquitectura de línea de retraso digital. De esta manera la señal de *stop* sigue a la señal de *start* hasta que la alcanza en cada etapa y viene dado por:

$$\tau_{LSB} = \tau_1 - \tau_2 \quad (3.1)$$



**Figura 3.1** Arquitectura de un TDC de línea de retraso de Vernier.

La Fig. 3.2 ilustra el principio de operación a lo largo de tres etapas, el cual se puede resumir como:

1. La señal *start* se propaga a través de la línea de retraso con un retraso  $\tau_1$  introducido en cada etapa, mientras que la señal *stop* se ve retrasada por un retraso  $\tau_2$ .
2. Las celdas de retardo están diseñadas de forma que  $\tau_1$  es ligeramente mayor que  $\tau_2$ . Con esto se consigue que la diferencia de tiempos entre *start* y *stop* se reduzca tras cada etapa.
3. A la llegada del flanco de subida de la señal *stop*, las salidas de los biestables registran el estado de la línea de retraso de la señal *start* en su respectiva etapa. Esto es, si la salida de una etapa aparece a nivel alto significa que *stop* todavía no ha sobrepasado a *start*, de forma que una salida a nivel bajo determina que sí la ha sobrepasado.
4. Conociendo esto, se puede conocer la resolución dada esta relación con el número de etapas con salida a nivel alto ( $N$ ):

$$\tau_{LSB} = N(\tau_1 - \tau_2) \quad (3.2)$$

La principal ventaja que destaca en esta arquitectura es la capacidad de obtener una resolución por debajo del retraso de una puerta lógica, al igual que todas las arquitecturas mostradas en este capítulo. Junto a esto, presenta una estructura modular y otra ventaja muy importante radica en que su resolución venga dada por la diferencia de retrasos entre dos puertas lógicas, siendo por tanto independiente de la tecnología de fabricación. Por el contrario, entre sus inconvenientes presenta dos largas líneas de retraso, que el tiempo de conversión y latencia son dependientes tanto de la resolución como del intervalo de medida. Además, el circuito tiende a producir glitches en el registro de salida lo que conlleva a un aumento del consumo.



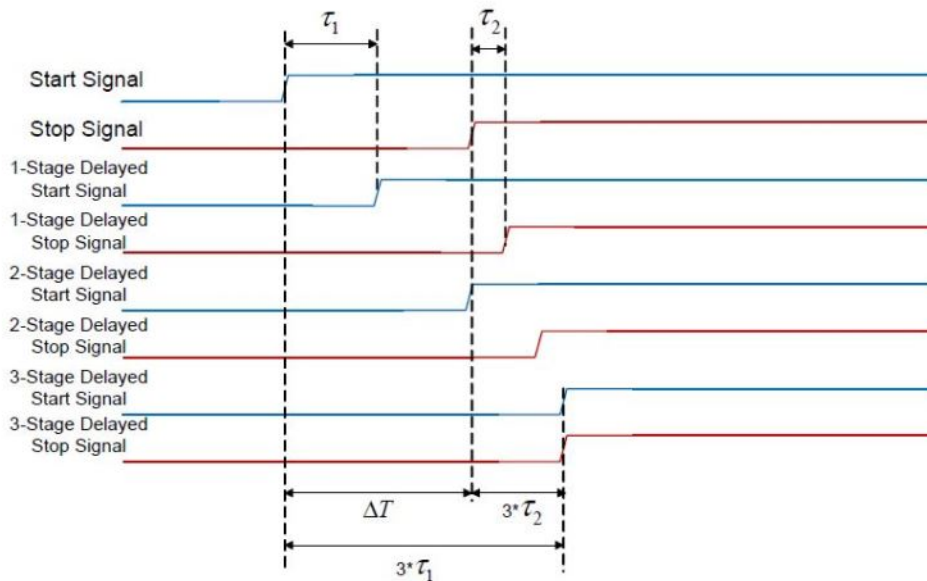


Figura 3.2 Formas de onda en un TDC de Vernier de 3 etapas.

### 3.3 TDC por Reducción de Pulso

La arquitectura de un TDC por reducción de pulso está formada por flip-flops tipo D con sus entradas constantemente con valor lógico 1 y una línea de retraso compuesta por buffers, como se muestra en la Fig. 3.3. Su principio de operación consiste en la reducción del ancho de un pulso,  $T$ , durante un intervalo de medición [6],[31],[33]. Su funcionamiento es el siguiente:

1. Un generador de pulsos crea un pulso definido por un flanco de subida dado por una señal *start* y un flanco de bajada marcado por una señal *stop*. Este circuito se puede obviar si previamente se dispone de un ancho de pulso codificado.
2. Para la conversión, el pulso se propaga por la línea de retraso que posee una asimetría intencionada en cada etapa. Debido a la diferencia entre los tiempos de carga y descarga en los dos inversores, que componen cada celda de retraso, el pulso va reduciéndose tras cada etapa hasta desaparecer por completo.
3. Los flip-flops D, con sus únicas entradas constantemente a nivel lógico alto, se inicializan antes de cada medida forzando sus salidas a 0. Estas salidas son actualizadas a la llegada del flanco de subida del pulso proveniente de la línea de retraso. Esto permite la obtención directa de un código termométrico que sirve para saber en qué etapa desaparece el pulso, a través de la transición del valor lógico 1 a 0.
4. El tiempo que reduce cada etapa el ancho del pulso está caracterizado ( $T_{LSB}$ ) y permite calcular el intervalo de tiempo  $T$  conociendo el número de etapas con salidas a valor

lógico 1.

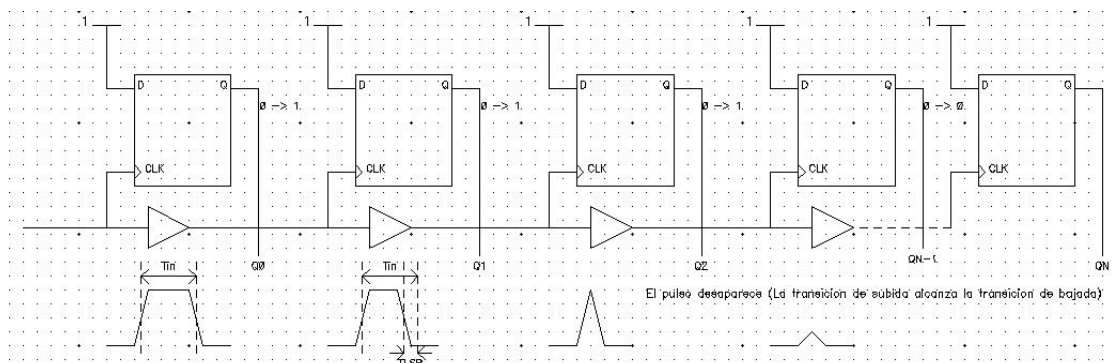


Figura 3.3 Diagrama del TDC por reducción de pulso.

La Fig. 3.4 muestra la evolución del pulso dentro de una celda de retraso. Es fácil observar las diferencias de tiempo en la subida y en la descarga de cada inversor.

Este TDC comparte las virtudes del TDC de Vernier respecto a resolución y estructura. De igual forma, comparten inconvenientes como la dependencia en el tiempo de conversión y latencia con la resolución en el intervalo de medida, la aparición de glitches y además, este convertidor carece de evento de detención (*stop*) y puede sufrir una variación del ancho de pulso mínimo.

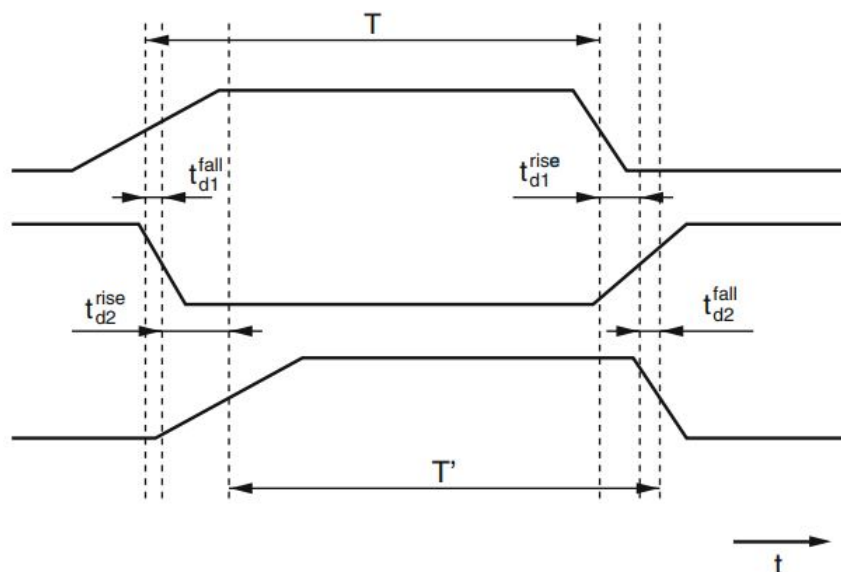
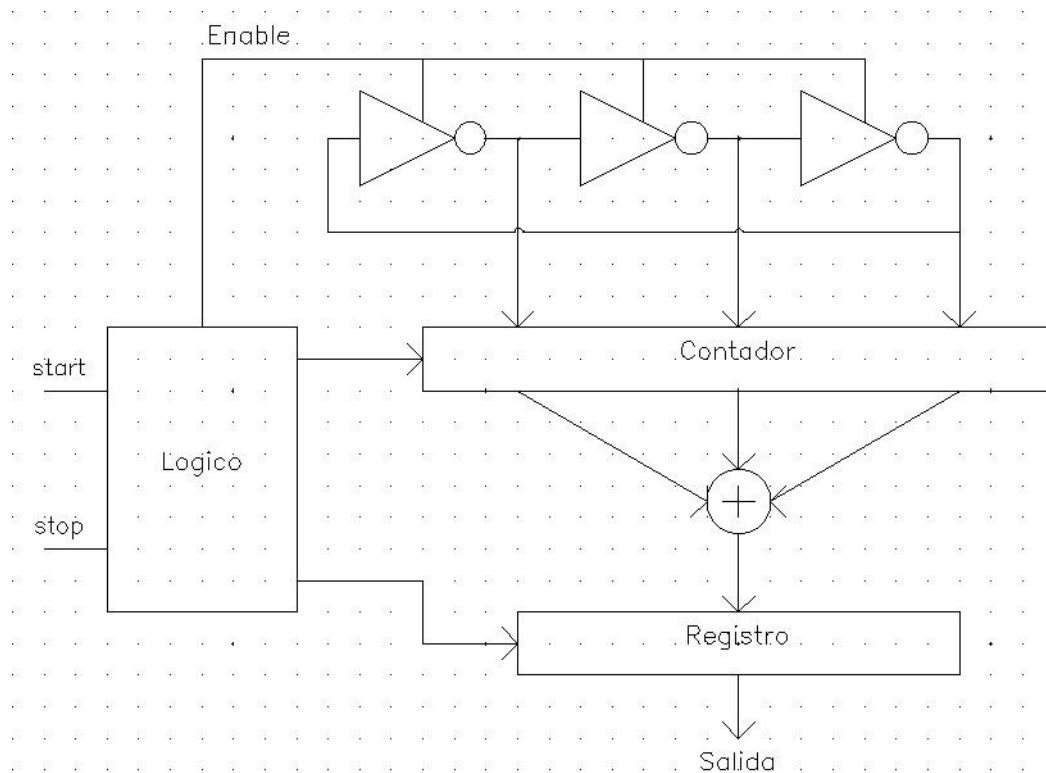


Figura 3.4 Propagación de la señal dentro de una celda de la línea de retraso [18].

### 3.4 TDC de Anillo Oscilador Controlado

Un anillo oscilador controlado (GRO - Gated Ring Oscillator) es un circuito compuesto por una cadena impar de inversores cuyas salidas son a su vez las entradas al siguiente inversor. Se dice controlado porque presenta señales de control que permiten detener la oscilación de sus fases, y además puede mantener las tensiones de sus nodos en el instante de su detención.

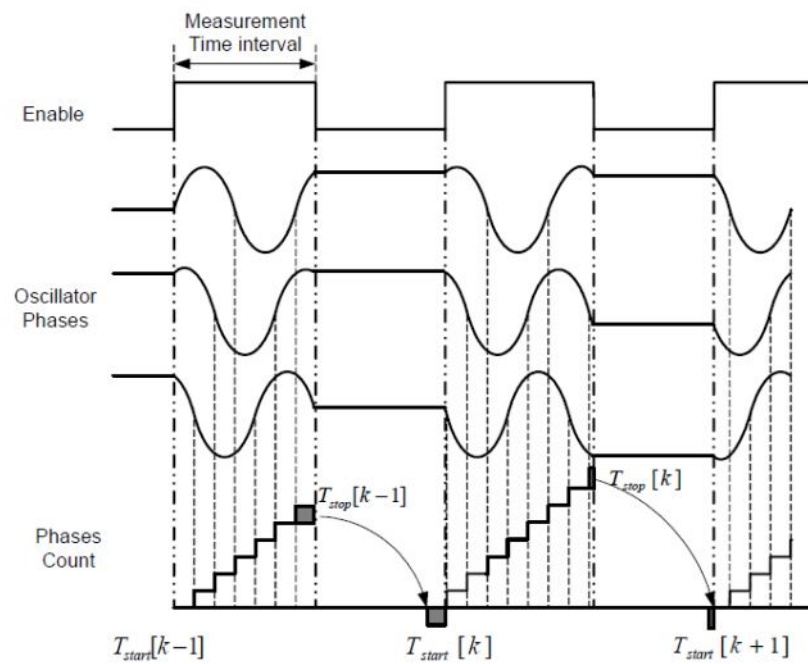
Esta topología de TDC, mostrada en la Fig. 3.5, hace uso de este circuito así como de un bloque lógico de control, un contador, un sumador y un registro formado por biestables. La señal *start* activa la circuitería de control que habilita el comienzo de la cuenta y de las oscilaciones del anillo. Durante el intervalo de medición, el bloque contador lleva la cuenta de las transiciones de cada una de las fases hasta que la señal *stop* marque el fin de la medida.



**Figura 3.5** Diagrama de bloques del TDC de anillo oscilador controlado.

La virtud de esta topología es que permite aplicar técnicas de sobremuestreo para lograr una mayor resolución [15],[16]. El sobremuestreo permite la reducción o cancelación de ruido dentro de un ancho de banda relacionado con la frecuencia de muestreo (Nyquist) convirtiendo la información deseada a una frecuencia considerablemente por encima de ésta. En esta arquitectura se encuentra un error de cuantización asociado a los comparadores que se encuentran dentro del bloque contador. Al poderse muestrear varias veces de forma 'consecutiva', dado que es posible conservar el estado del circuito oscilador, permite reducir el efecto de este error. También hace posible compensar parcialmente errores de mismatch (desapareamiento).

En la Fig. 3.6 se puede apreciar el principio de operación asociado a esta arquitectura, mostrando las fases de oscilación de un anillo oscilador de tres etapas. Al activarse la señal de control, *Enable*, que detiene la oscilación, las fases mantienen su nivel de tensión instantáneo. La señal digital que corresponde al contador muestra el incremento de este a cada transición de cada una de las fases. Cuando vuelve a producirse *Enable*, se permite seguir midiendo a partir de la misma situación en lo que respecta a las fases del anillo oscilador.



**Figura 3.6** Operación principal del TDC de anillo oscilador controlado [23].

# 4 Diseño del TDC elegido

---

## 4.1 Introducción

En este capítulo se explican los pasos seguidos durante el diseño del TDC propuesto. Este diseño está basado en la arquitectura del TDC de Vernier, la cual fue analizada en el capítulo anterior. La implementación del diseño está basada en el artículo con referencia [1]. Como se ha mencionado en el capítulo 1, se busca obtener buenos resultados en términos de resolución y consumo del circuito, cumpliendo unas especificaciones de resolución temporal concretas. En este caso, con una resolución temporal menor de 10 *ps*.

En comparación con [1], la diferencia más significativa se encuentra en la tecnología de fabricación de diseño utilizada. En [1] se utiliza una tecnología de 65 *nm* mientras que en este trabajo se emplea la tecnología LFoundry de 110 *nm*. El circuito se ha realizado en tecnologías CMOS, empleando una tensión de alimentación a 1.2 *V*, favoreciendo una reducción de área y consumo.

## 4.2 Arquitectura del TDC propuesta

Como ya sabemos hasta ahora un TDC convierte la diferencia de tiempo entre dos señales a una salida digital. En un TDC de línea de retraso, el tiempo de resolución se ve limitado por el retraso de la puerta lógica que se encuentra en la línea de retraso, en cambio, en una configuración de Vernier se puede conseguir una resolución por debajo de la misma. En resumen, un TDC de Vernier compara los retrasos en dos líneas muestreando el estado de una de ellas ante el flanco de una señal que se propaga en la otra línea de retraso en un tiempo más corto. En este caso,  $\tau_1$  y  $\tau_2$  se corresponden con las unidades de tiempo de retraso y su diferencia da como resultado la resolución para este TDC:

$$\tau_{LSB} = \tau_1 - \tau_2 \quad (4.1)$$

El TDC de Vernier empleado está compuesto por dos líneas de retraso con latches y una etapa final pull-up/down y de carga, como muestra el esquema de la Fig. 4.1. El convertidor viene controlado por un bloque previo que determina el estado de su operación: el circuito

de Reset y Detector de flanco.

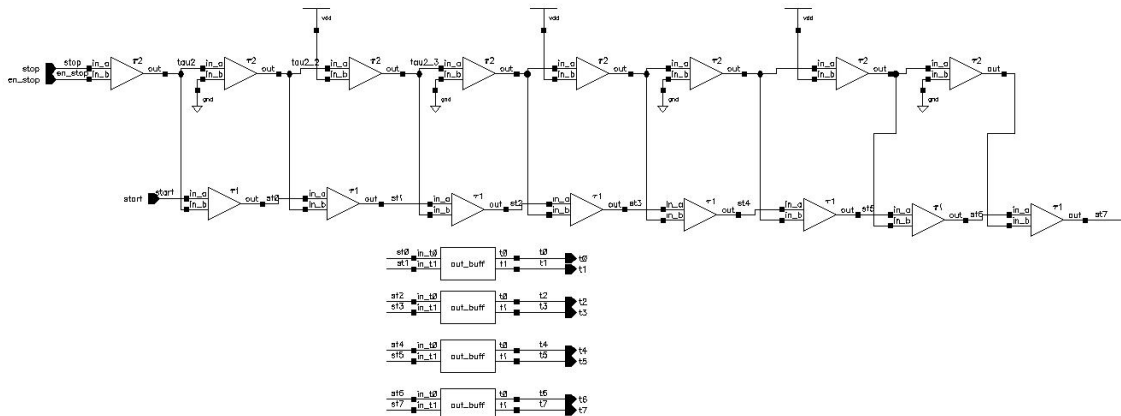


Figura 4.1 TDC propuesto de 8 etapas.

El principio de funcionamiento de este convertidor se resume de la siguiente forma:

1. El bloque de Reset y Detección de Flanco se encarga de generar las señales de control *start*, *stop* y *en\_stop*. La primera se propaga por la línea de retardo de constante  $\tau_1$ , siendo su flanco de subida la señal de comienzo del ciclo de conversión. La segunda atraviesa la otra línea de retardo con constante  $\tau_2$ , siendo su flanco de subida la señal de final de conversión. El diseño requiere para un correcto funcionamiento un valor  $\tau_1 > \tau_2$ . La señal *en\_stop* asegura la propagación de *stop* en el intervalo de tiempo adecuado.
2. Al comienzo, *start* y *stop* están a nivel bajo, permaneciendo la operación del TDC en fase de reset. En esta fase, se inicializan todas las etapas del convertidor.
3. Con el flanco de subida de la señal de *start*, se produce un cambio en la salida del latch de retardo de la primera etapa, que irá desencadenando una activación en cascada de las sucesivas etapas, propagándose así la señal a medir. Esto produce un cambio en la salida,  $t_i$ , del circuito pull-up/down y carga, lo que sirve para codificar de forma pseudo-termométrica que la señal ha pasado por la etapa  $i$ -ésima.
4. En determinado momento, tanto la señal *stop* como *en\_stop* transicionan a nivel alto, produciéndose con *stop* un recorrido análogo al recorrido por *start* pero de menor retardo a su paso.
5. A medida que cambian las salidas de los latches en la línea que recorre *stop*, su nueva tensión sirve como inhabilitación para los latches de la línea de retardo de *start*, de forma que si la señal *stop* produce la activación de una etapa por la cual *start* no ha atravesado por su equivalente, esta etapa no verá modificada su salida final respecto su valor inicial.

6. La duración del intervalo de tiempo medida se corresponderá con el código pseudo-termométrico asociado a la cantidad de salidas que se han visto cambiadas respecto su inicio ( $N$ ):

$$\Delta T \approx N\tau_1 \quad (4.2)$$

## 4.3 Circuitos y elementos que componen el TDC

### 4.3.1 Inversor

El inversor es la puerta lógica más básica presente en prácticamente todos los diseños digitales y está compuesto únicamente por un transistor tipo  $p$  y un transistor tipo  $n$ . Su esquemático se enseña en la Fig 4.2 donde se observa que tiene un puerto de entrada ( $Q_{in}$ ) y otro de salida ( $Q_{out}$ ), junto con los nodos de potencia ( $VDD$  y  $GND$ ).

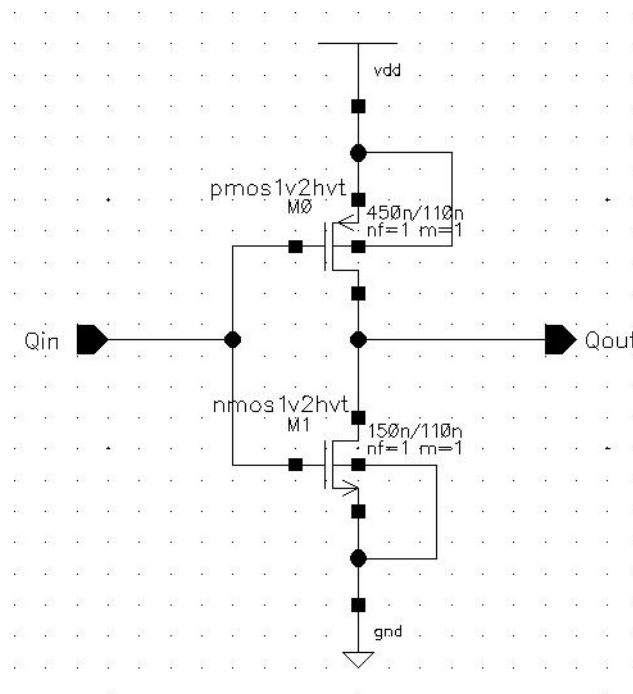


Figura 4.2 Esquemático del inversor.

Su operación consiste en la inversión de niveles de tensión asociados a unos valores lógicos alto y bajo que están relacionados respectivamente con  $VDD$  y  $GND$ . De esta forma, la salida siempre presenta el valor lógico contrario a la entrada. A nivel eléctrico, cuando se le aplica una tensión en la entrada cercana a  $VDD$  ( $GND$ ), dado que está conectada con las puertas de ambos transistores, la corriente conducida por el transistor  $p$  ( $n$ ) se reduce drásticamente, mientras que el tipo  $n$  ( $p$ ) comienza a conducir considerablemente. Esto provoca que la tensión en el nodo de salida se descargue (cargue) a niveles próximos a  $GND$  ( $VDD$ ), obteniéndose así el nivel lógico bajo (alto).

Algunas características propias de este circuito son:

- La tensión en la salida alcanza los valores de la alimentación y masa.
- La potencia disipada cuando se estabilizan los valores de entrada es prácticamente cero.
- El dimensionado de los transistores permite modificar sus características eléctricas.

En un inversor, normalmente, se dimensiona el transistor  $p$  de forma mayor que el transistor  $n$  debido a que la corriente conducida entre el drenador y la fuente de un transistor tipo  $p$  es menor que la conducida en un tipo  $n$ . Este hecho conlleva que un inversor con transistores idénticos presente tiempos de subida y bajada distintos. Por esta razón, se ha escogido un dimensionamiento que considera un ratio tres veces mayor para el transistor tipo  $p$ :

$$p = \frac{W_p}{L_p} = \frac{450}{110} \quad (4.3)$$

$$n = \frac{W_n}{L_n} = \frac{150}{110} \quad (4.4)$$

donde  $W$  y  $L$  son, respectivamente, la anchura y la longitud del transistor.

Se ha escogido un tamaño de longitud idéntico para ambos tipos y correspondiente a la longitud mínima permitida por el nodo tecnológico. De igual forma, el ancho del transistor  $n$  también es el mínimo permitido, mientras que se considera un ratio tres veces mayor para el tipo  $p$ , como ya se ha mencionado.

Se ha verificado la validez del circuito y su robustez mediante simulación eléctrica hasta nivel de layout, mostrado en la Fig. 4.3. Las formas de onda de la entrada y salida del inversor correspondientes a una simulación de Montecarlo se muestran en la Fig. 4.4. Se observa que la línea de trazado simple, que se corresponde con la entrada del inversor, presenta una evolución en el nivel de tensión contrario al de la salida de cada córner simulado.

### 4.3.2 Circuito de Reset y Detección de Flanco

Este bloque se encarga de generar las señales de control del TDC que sirven para indicar el comienzo y el fin del intervalo de medida, así como de inicializar el convertidor antes de un nuevo ciclo de operación. Para ello, hace uso de dos relojes de distinto periodo que determinan la operación del TDC.

Como se muestra en el esquemático de la Fig. 4.5, el circuito cuenta, como puertos de entrada, con las señales de reloj  $clkA$  y  $clkB$ , y como puertos de salida, con las señales  $start$ ,  $stop$  y  $en\_stop$ . El circuito requiere de cinco inversores y dos transistores  $p$  con un transistor  $n$  en serie. En el dimensionado de los transistores se ha seguido el mismo método que para los inversores, con los transistores  $p$  tres veces más grandes que el valor mínimo de los transistores  $n$ . Su funcionalidad, está ilustrada en la Fig. 4.6, es la siguiente:

- Cuando  $clkA$  está a nivel bajo, la operación se considera en fase de *reset*. La señal *start* supone una versión retrasada de  $clkA$  mientras que *stop* es la salida de un inversor conectado a un latch habilitado por  $clkB$  negado y con entrada  $clkA$ , por lo



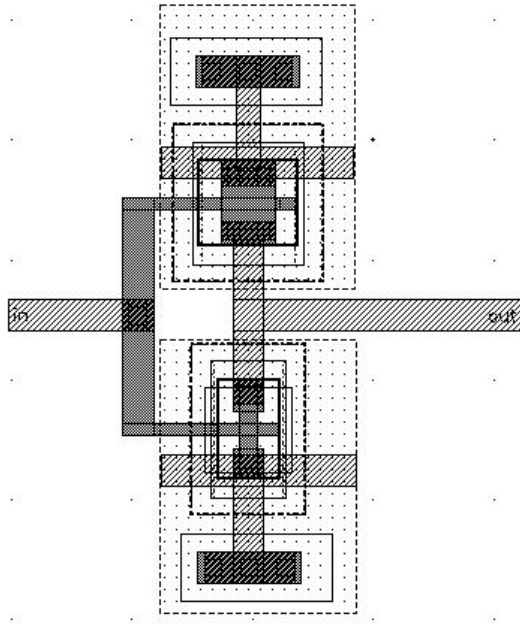


Figura 4.3 Layout del inversor.

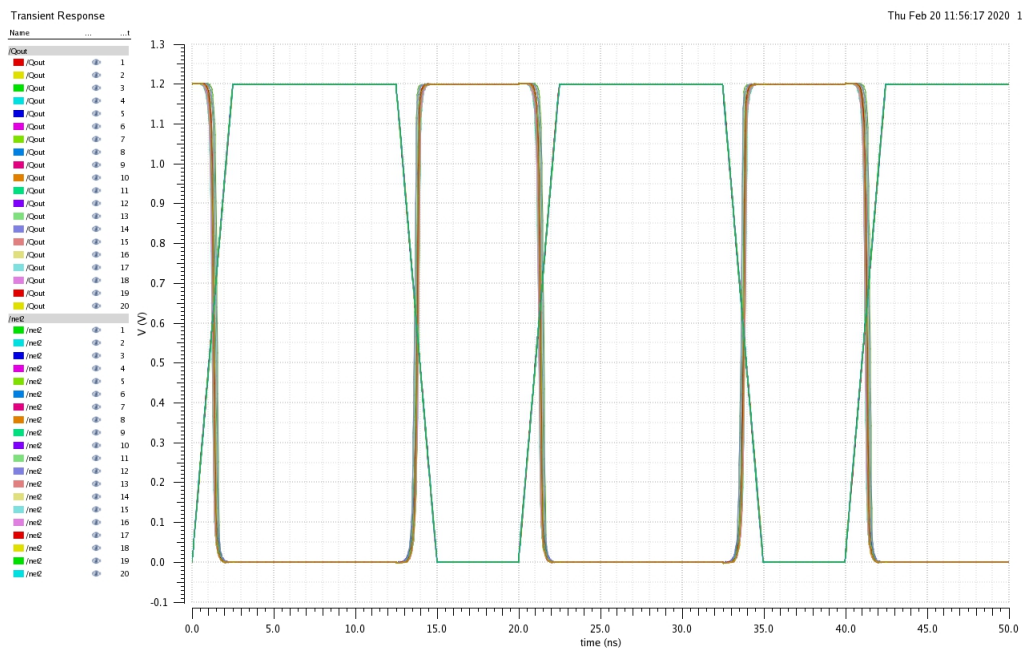


Figura 4.4 Simulación de Montecarlo para el inversor.

que en esta fase el nodo de entrada al inversor permanece cargado, esto es, a nivel alto. Por tanto, ambas líneas de retraso *start* y *stop* permanecen a nivel bajo.

- Mientras tanto, en esta fase de *reset*, el reloj *clkB*, de mayor frecuencia que *clkA*, se propaga con retraso originando la señal *en\_stop*.
- Cuando se produce el flanco de subida en *clkA*, se da comienzo al intervalo de medida al activarse *start*. Es necesario asegurar que *clkB* está a nivel bajo en este instante

para asegurar que no se active la señal *stop*, por la descarga del nodo interno del latch, antes de que termine el intervalo de medida que se desea codificar.

- Durante la fase de medida, la señal de salida *stop* se pone a nivel alto cuando *clkB* negado produce la descarga del nodo de entrada de su inversor. En este momento, *en\_stop* permite la descarga del primer latch que presenta la primera etapa del TDC.

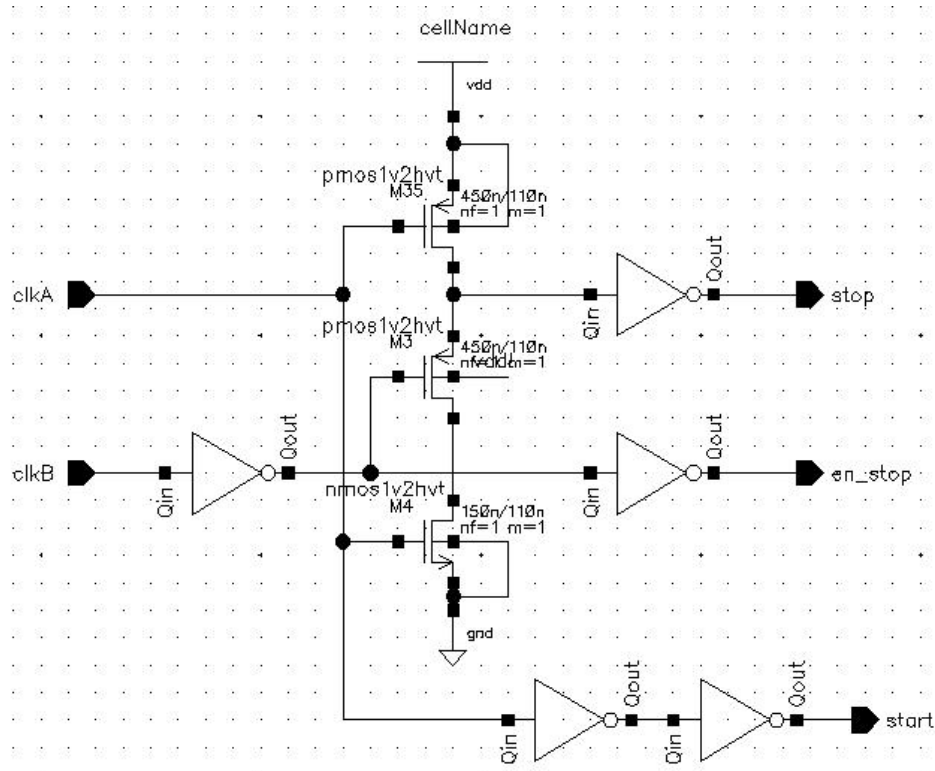


Figura 4.5 Esquemático del circuito de Reset y Detección de Flanco.

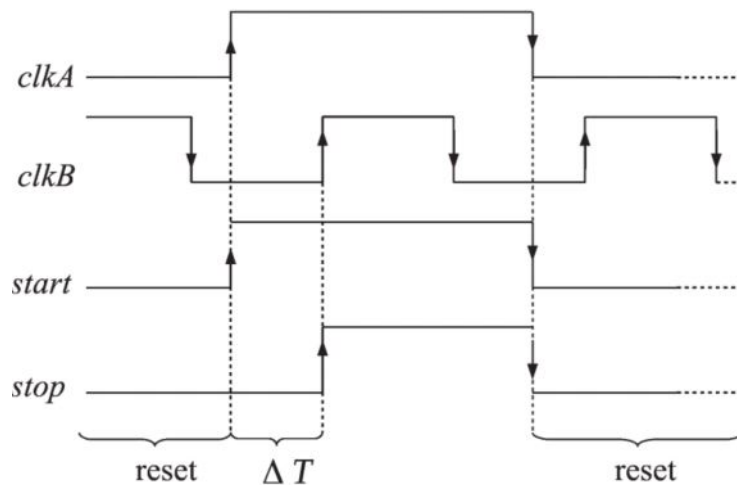


Figura 4.6 Diagrama de la operación del circuito de Reset y Detección de Flanco..

En la Fig. 4.7 aparecen representadas, de arriba a abajo, las señales de entrada *clkA* y *clkB*, las señales de salida *start*, *stop* y *en\_stop* y el nodo interno de la señal de *stop*. Se muestra la simulación de un análisis de Montecarlo ante variaciones de proceso y mismatch. Se puede apreciar que la señal de *stop* sufre variaciones para diferentes corners, asumiblemente cuando la rama que carga el nodo de salida del latch es más fuerte que la rama de descarga. Se ha calculado el valor más crítico de esta variación, también conocida como jitter, respecto con su nominal al 70 % de *VDD*, que resulta ser en el córner 9, con un valor de 4.15 ns. El jitter se ha calculado en el flanco de la subida de la señal. Para evitar esto, se ha propuesto una serie de mejoras sobre el diseño original como son:

- Aumentar la robustez, dimensionando el transistor *p* del inversor, cuya salida es la señal *stop*, con un ancho mayor de forma que facilita la subida a nivel alto al proporcionar más corriente. El ratio del transistor *p* es cuatro veces mayor que el transistor *n* para este inversor.
- Aumentar la ganancia, incorporando un par de inversores extra (buffer) para la señal de salida *stop*. Para la señal de salida *start* también se han incluido cuatro pares de inversores para compensar el retraso añadido en el camino de la señal *stop*.

El esquemático modificado aparece en la Fig. 4.8. La respuesta de la simulación de un análisis de Montecarlo de este circuito se muestra en la Fig. 4.9, donde se representan, de arriba a abajo, las señales de reloj *clkA* y *clkB*, las salidas *start*, *stop* y *en\_stop* y el nodo de salida del latch, las mismas señales que en la simulación mostrada anteriormente para su comparación.

El circuito realiza la función de una flip-flop D, el motivo de su uso es que un flip-flop D puede originar metastabilidad y las líneas de retraso digital con un flip-flop D tienen un área más grande que conlleva a una disipación de potencia mayor.

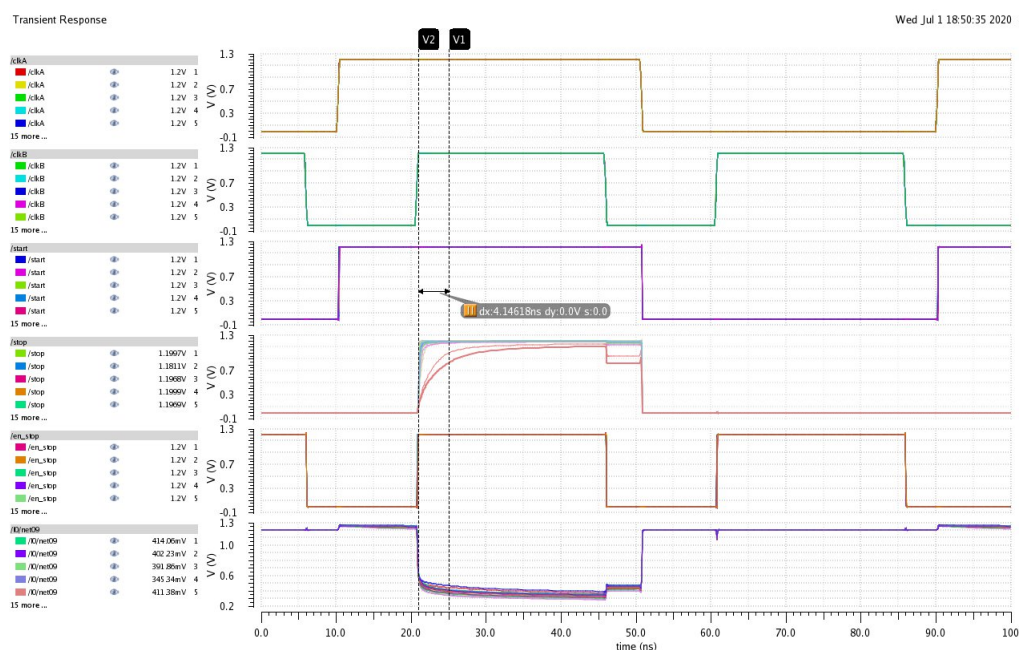


Figura 4.7 Simulación del circuito de Reset y Detección de Flanco.

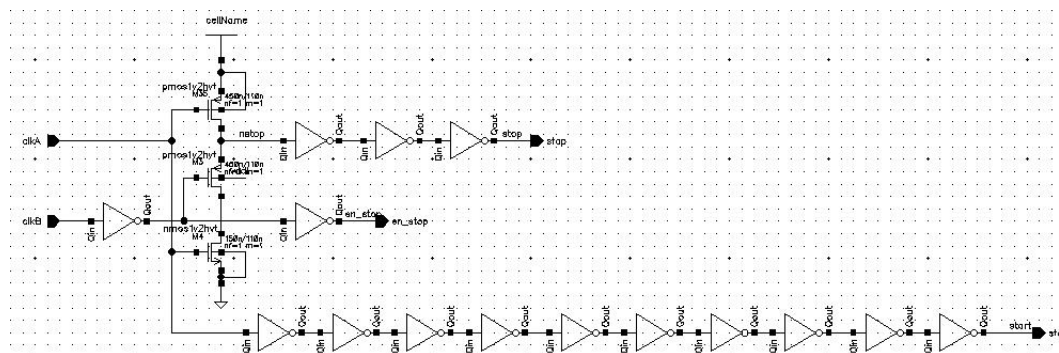


Figura 4.8 Reset y Detección de Flanco mejorado.

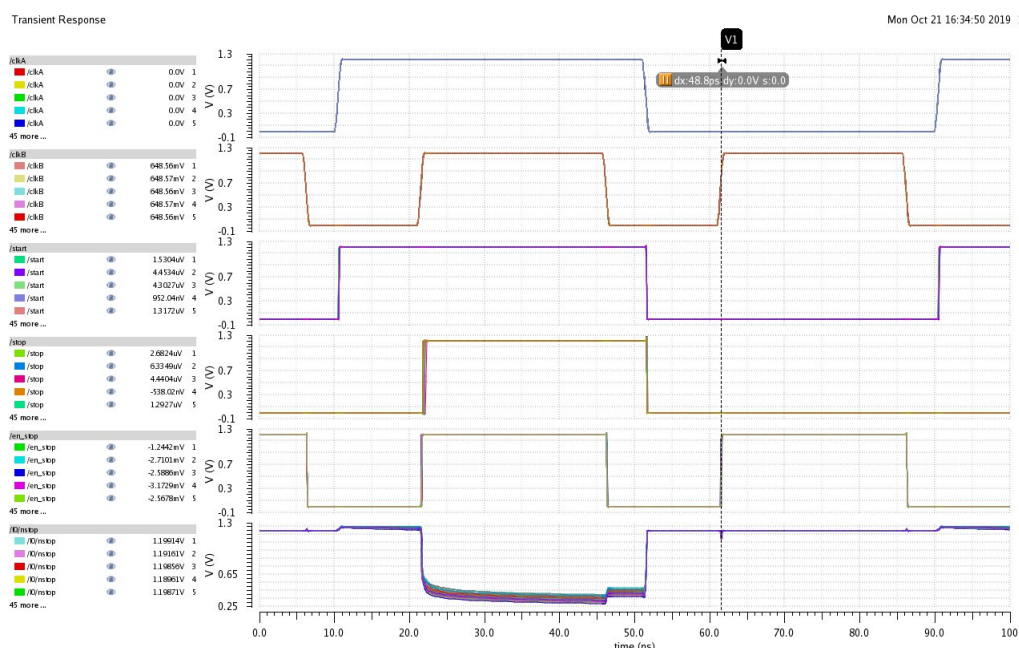


Figura 4.9 Simulación del circuito de Reset y Detección de Flanco mejorado.

### 4.3.3 Líneas de Retraso

La arquitectura del TDC propuesto se divide en varias etapas, las cuales difieren entre pares e impares como muestra la Fig. 4.10, pero, en esencia, en ambos casos se cuenta con un circuito latch, como elemento de retraso, tanto para la línea de retraso de la señal *start* como para la línea correspondiente a la señal *stop*. La cadena de latches de esta última línea tiene la particularidad de tener siempre conduciendo los transistores encargados de su habilitación, quedando restringida su funcionalidad a la de una puerta inversora. Esto se implementa así para balancear ambas líneas de retraso.

Este circuito, además de las señales *start* y *stop*, también recibe del circuito de Reset y Detección de Flanco la señal *en\_stop*. Esta señal es una de las entradas del latch de la primera etapa de la línea de retraso asociada a *stop*, suponiendo la única excepción puesto que controla la habilitación de este circuito, cuando en los posteriores ya se ha comentado que siempre permanece habilitado. Esto sirve para asegurar el funcionamiento en los intervalos de tiempo adecuados.

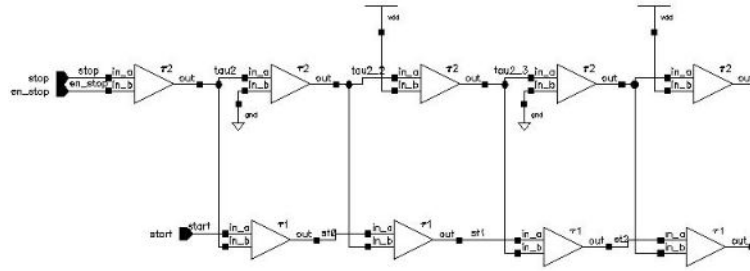


Figura 4.10 Esquemático de las líneas de retraso.

Como se ha mencionado, los latches se replican cada dos etapas mostrando un valor de salida complementario en cada etapa sucesiva. El esquemático utilizado para estos circuitos se muestra en la Fig. 5.10. Los latches de las etapas impares hacen uso de un transistor tipo  $n$  como elemento de habilitación, mientras que las etapas pares presentan un transistor tipo  $p$ .

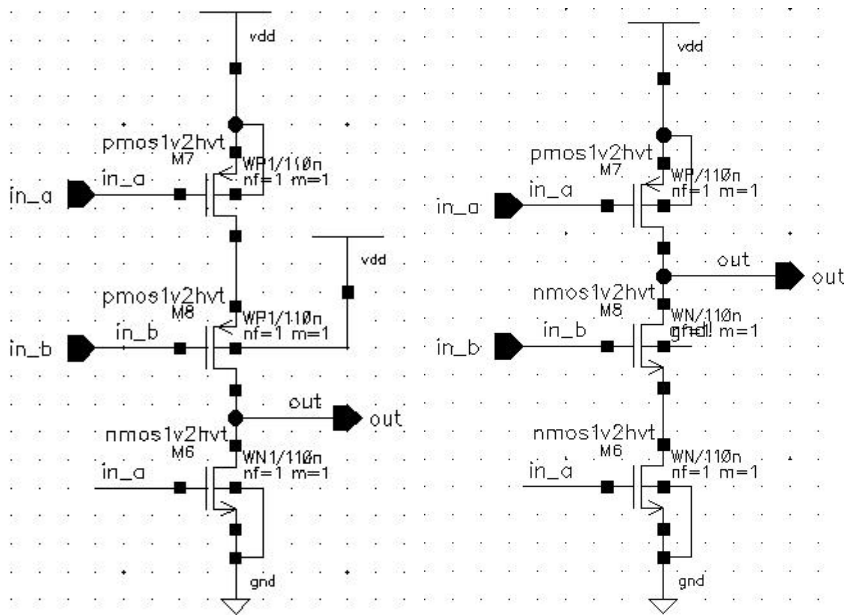


Figura 4.11 Latches de retraso en etapas pares (izquierda) e impares (derecha).

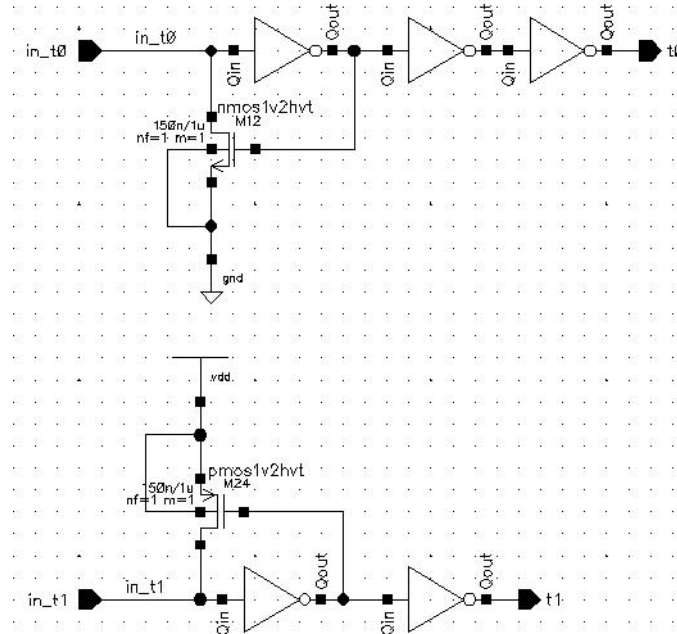
Los transistores en estos circuitos se dimensionan de la siguiente manera:

$$WN_{impar} = 300 n \quad WP_{impar} = 230 n \tag{4.5}$$

$$WN_{par} = 150 n \quad WP_{par} = 460 n \tag{4.6}$$

#### 4.3.4 Circuito Pull-Up/Down y de carga

Este circuito se localiza en la salida de cada etapa, difiriendo de igual forma las etapas pares de las impares. El circuito superior de la Fig. 4.12 se corresponde con las etapas impares y el inferior con las pares.



**Figura 4.12** Esquemático del circuito Pull-up/down y de carga.

La importancia del circuito pull-up y pull-down radica en que las salidas de los latches de la línea de retraso *start* permanecen flotantes cuando se encuentran deshabilitadas, esto es, que no hay conexión con alimentación ni tierra. Además, tiene como objetivos actuar como una carga extra que asegure cumplir con  $\tau_1 > \tau_2$  y como buffers que dan las salidas de forma adecuada en código termométrico.

# 5 Simulaciones y Resultados

## 5.1 Introducción

Terminada la explicación del diseño realizado del TDC completo, se va a proceder a describir las diferentes simulaciones realizadas, así como, presentar los resultados de las mismas. La técnica que se ha implementado en el capítulo anterior buscaba obtener unos buenos resultados de resolución temporal concretos, además de un bajo consumo.

Las simulaciones eléctricas se limitan al circuito a nivel de transistor, no habiendo sido implementado a nivel físico, esto es, son simulaciones pre-layout. La herramienta empleada para tal fin es Virtuoso ADE XL con el simulador spectre.

## 5.2 Medida de la resolución

La resolución se define como la mínima diferencia temporal entre dos señales que puede ser medida y calculada por un TDC:  $\tau_1 - \tau_2$ . Esta se corresponde con el LSB del convertidor. En la Fig. 5.1 se muestra el esquemático empleado para la simulación de 1 etapa. También se incorpora la segunda etapa para considerar la carga habitual esperada en la salida.

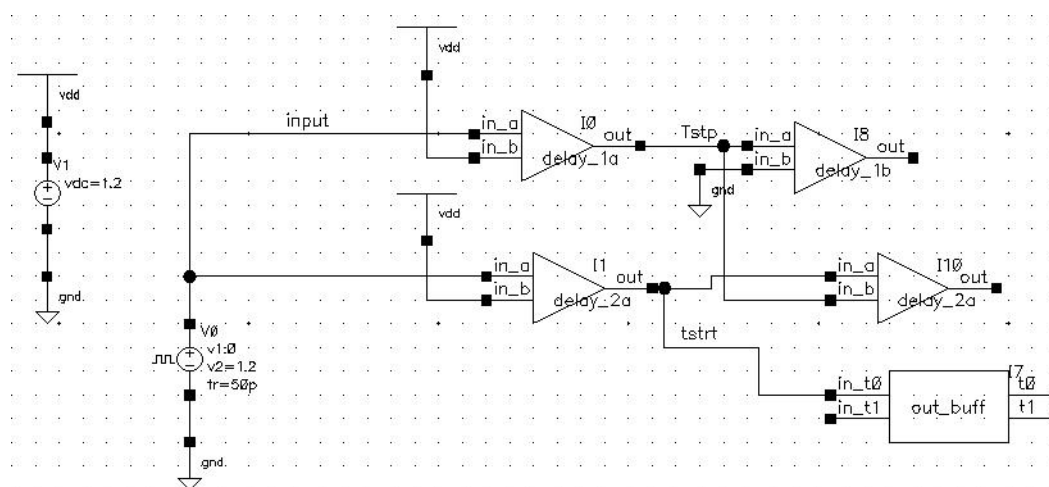


Figura 5.1 Esquemático de simulación de 1 etapa.

Para calcular este valor, se ha simulado la primera etapa de las líneas de retraso asociadas a *start* y *stop*, obteniéndose el retraso que presenta el circuito latch que constituye el elemento de retraso en dichas líneas. Ambos latches permanecen habilitados con una entrada fija a *VDD*. En la Fig. 5.2 tenemos la simulación que presenta el retraso de  $\tau_1$ , obtenido como la diferencia entra la entrada del latch y la salida de este. De forma análoga, en la Fig. 5.3 se obtiene el retraso de  $\tau_2$ .

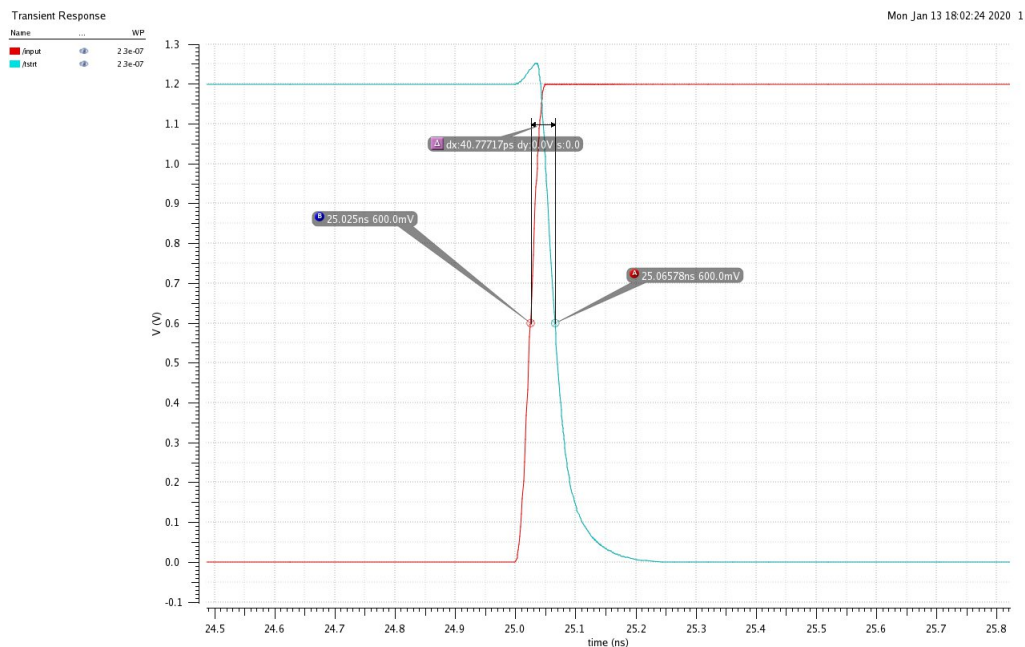


Figura 5.2 Retraso asociado a  $\tau_1$ .

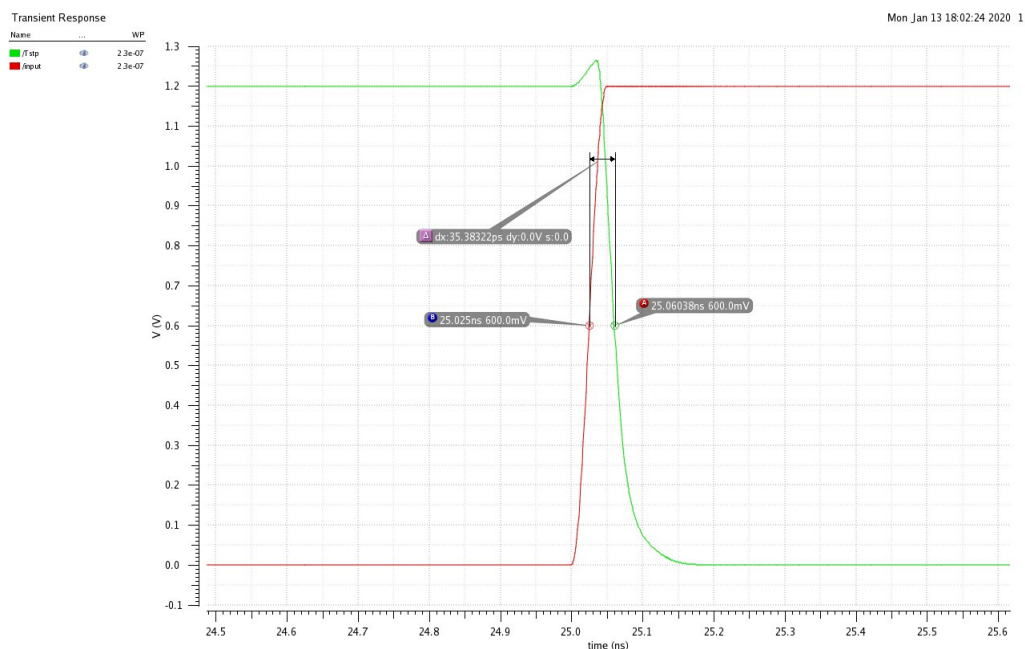


Figura 5.3 Retraso asociado a  $\tau_2$ .

Al final, con los dos datos obtenidos se obtiene la resolución como la diferencia de ambos:



$$\text{Resolucion} = \tau_1 - \tau_2 \quad (5.1)$$

$$\tau_1 = 25.06 \text{ ns} - 25.02 \text{ ns} = 40.77 \text{ ps} \quad (5.2)$$

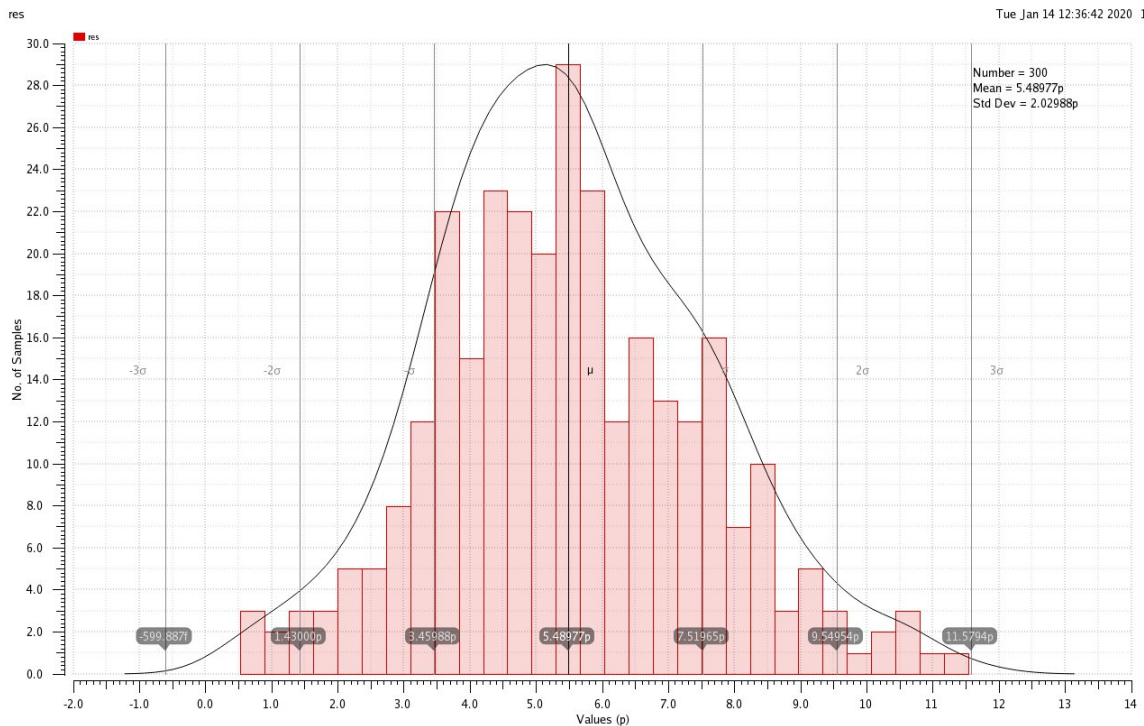
$$\tau_2 = 25.06 \text{ ns} - 25.02 \text{ ns} = 35.38 \text{ ps} \quad (5.3)$$

$$\text{Resolucion} = 5.39 \text{ ps} \quad (5.4)$$

### 5.2.1 Simulación de Monte Carlo

Se ha realizado un análisis de Monte Carlo para ver como afecta las variaciones de proceso y el mismatch a la diferencia de retrasos de  $\tau_1 - \tau_2$ . Este análisis introduce una variación estadística con distribución gaussiana, donde las variaciones de proceso afectan por igual a todos los transistores de un tipo, mientras que el mismatch o desapareamiento viene a ser una variación en las características entre transistores nominalmente idénticos.

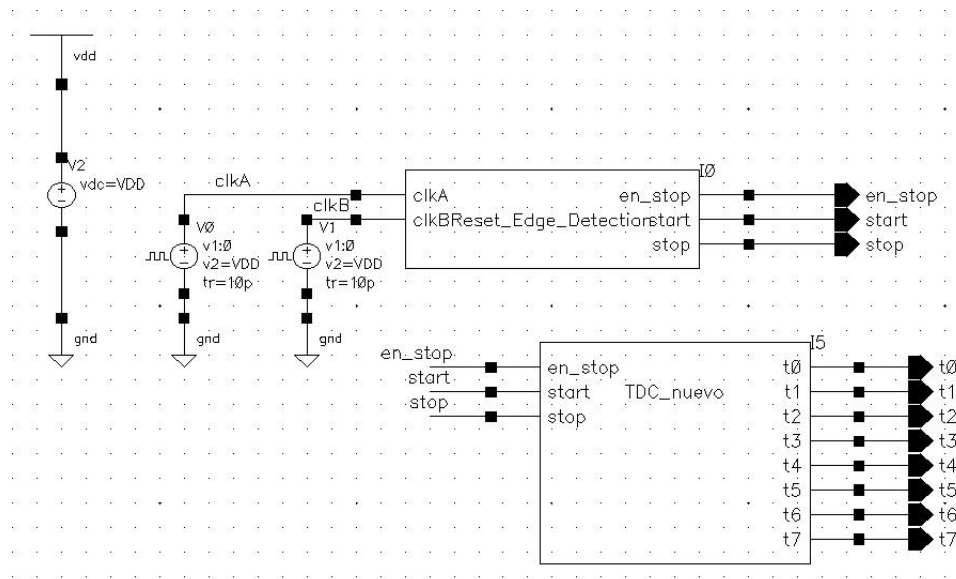
La Fig. 5.4 muestra la variación de la resolución a lo largo de este análisis representada en forma de histograma. La tensión de alimentación es de 1.2 V y el número de puntos simulados son 300, para los que se ha obtenido un valor medio del tiempo de resolución de 5.49 ps con una desviación estándar de 2.03 ps.



**Figura 5.4** Histograma de la resolución en el análisis de Monte Carlo.

### 5.3 Código Termométrico

La simulación del TDC se hace en conjunto con el circuito de Reset y Detección de Flanco usando el esquemático mostrado en la Fig. 5.5. Dado que se compone de 8 etapas, el convertidor posee una precisión de 3 bits.



**Figura 5.5** Esquemático de simulación del TDC 8 con etapas.

La Fig. 5.6 muestra una simulación correspondiente a una situación extrema en la que el intervalo de tiempo a medir excede con creces el rango medible por el TDC. Por lo tanto, todas sus salidas se encuentran activadas debido a que el intervalo de tiempo entre los flancos de subida de las señales *start* y *stop* es muy grande. Una situación típica de su operación se muestra en la Fig. 5.7, donde el intervalo a medir produce la activación de cuatro de sus etapas, dado que este caso la diferencia de tiempo entre las señales *start* y *stop* es mucho menor.

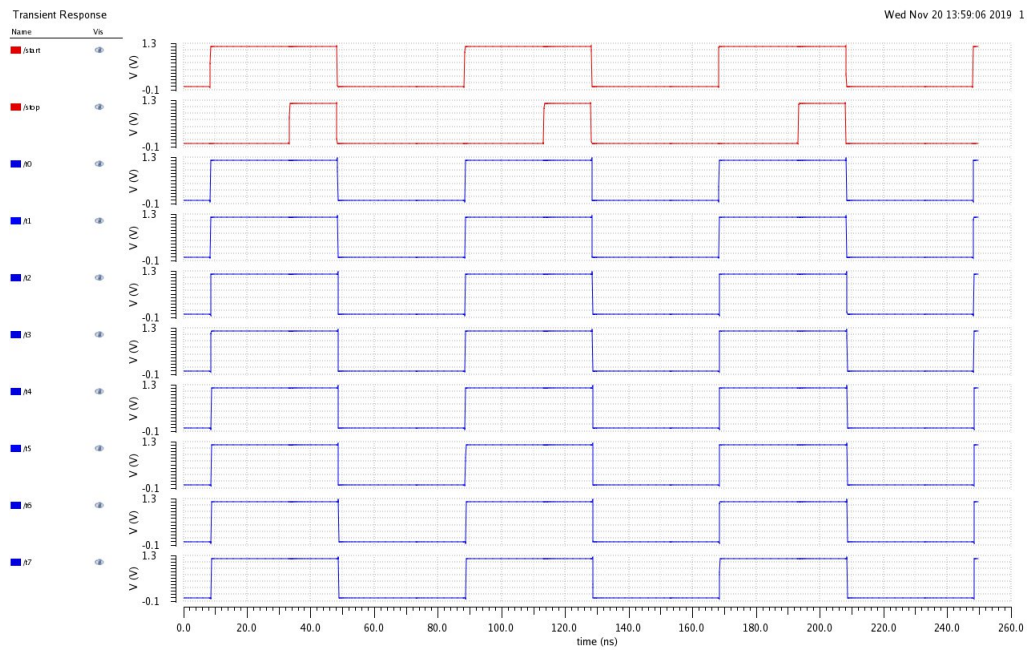


Figura 5.6 Salidas de las etapas del TDC ante un intervalo de tiempo excesivo.

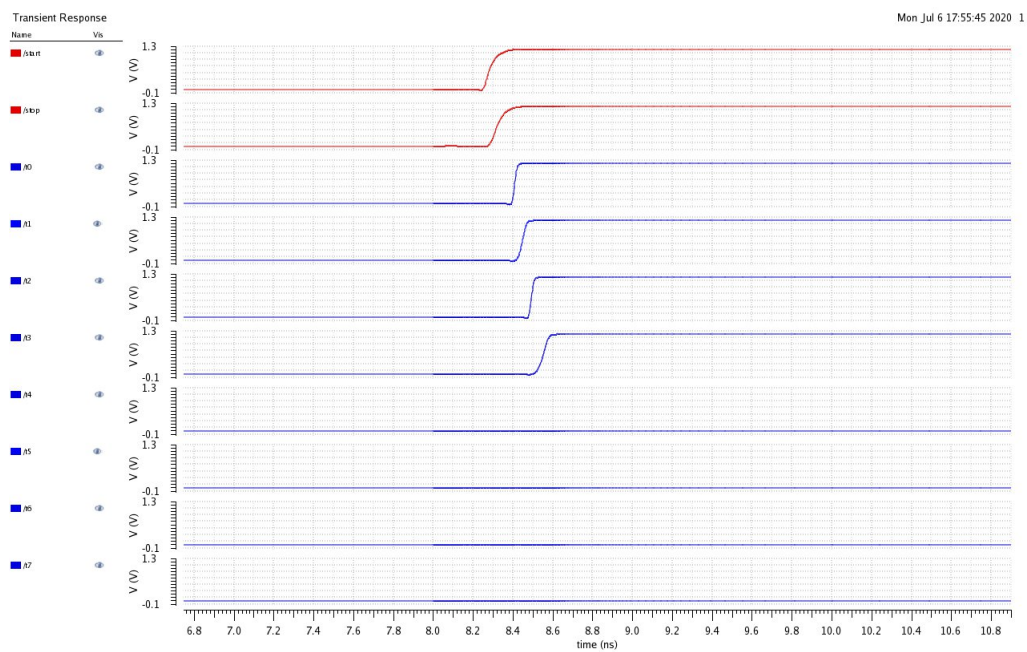
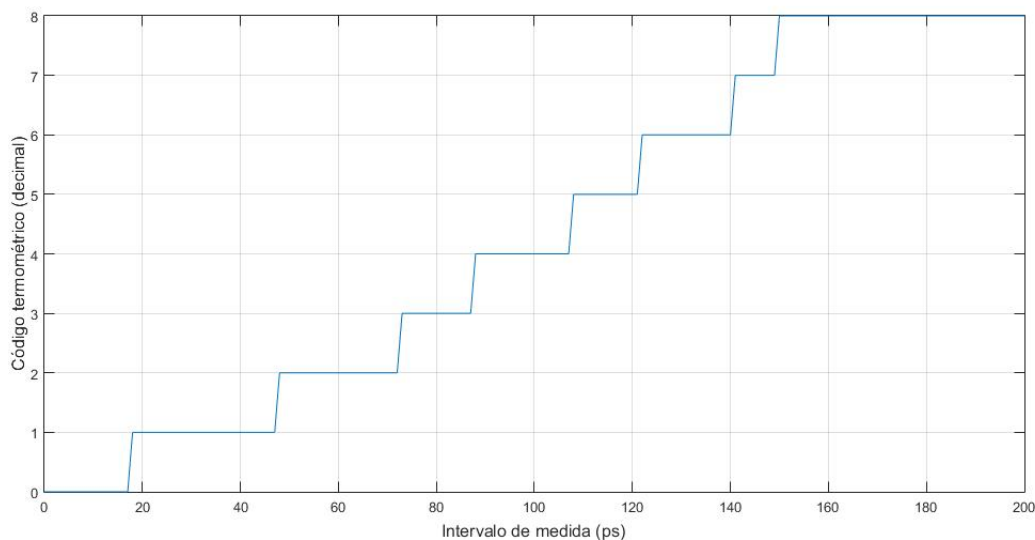


Figura 5.7 Salidas de las etapas del TDC en una operación correcta.

Se ha obtenido la salida digital, en decimal, del TDC para todo el rango medible de intervalos de tiempo, con lo que se puede mostrar su curva característica en la Fig. 5.8. Se puede observar que cumple con la condición de monotonicidad y presenta irregularidades entre un escalón y otro, no son idénticos.



**Figura 5.8** Curva característica del TDC de 3 bits.

## 5.4 Errores de linealidad

Como indica su nombre, los errores de linealidad son los causantes de las no-linealidades en la curva característica del convertidor. Se definen dos parámetros para medir la linealidad de un convertidor.

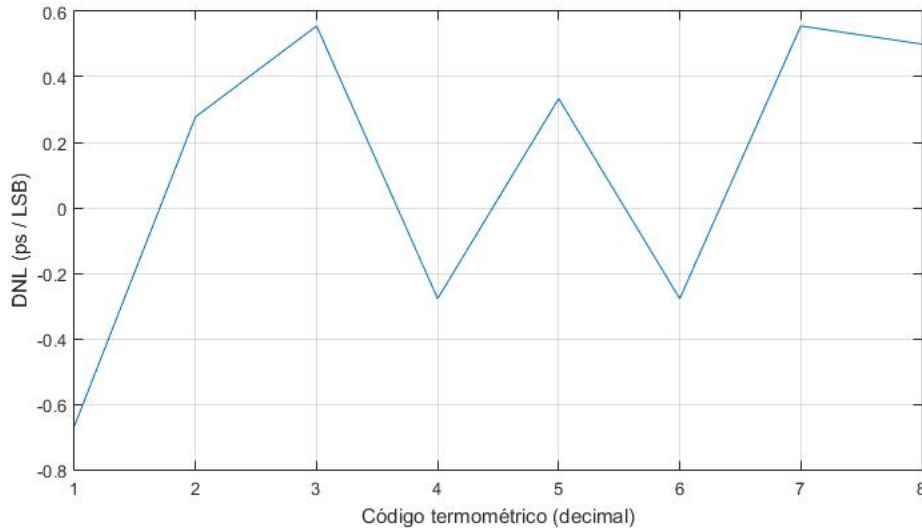
### 5.4.1 Error de linealidad diferencial (DNL)

El DNL se define como la variación entre dos niveles consecutivos de la respuesta escalonada del TDC, esto es, la diferencia entre el intervalo de tiempo que produce como salida un código determinado y el equivalente del siguiente.

En la Fig. 5.9 este error está representado para nuestro TDC, en unidades de tiempo normalizado respecto al LSB, frente al código termométrico correspondiente.

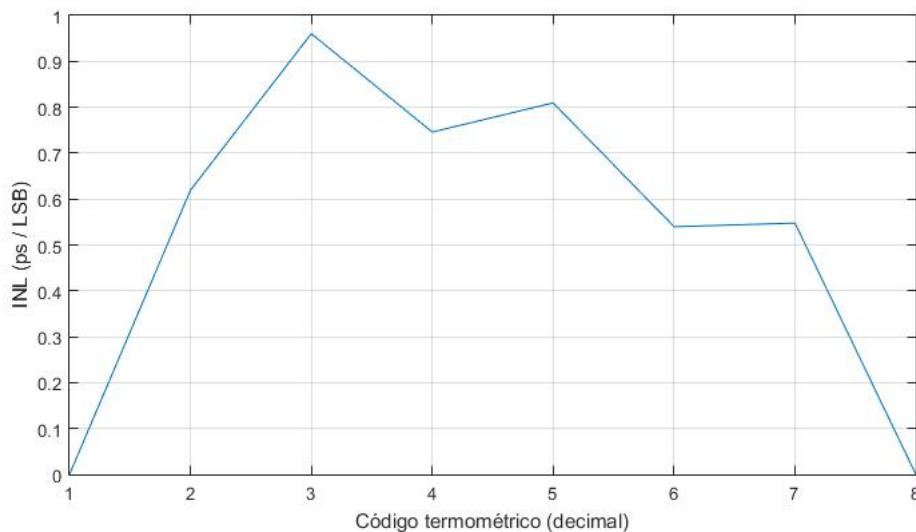
### 5.4.2 Error de linealidad integral (INL)

El INL se define como la diferencia entre el valor de entrada en el que se produce cada transición frente a una recta ideal imaginaria que une los valores asociados al LSB y al MSB.



**Figura 5.9** DNL del TDC de 3 bits .

En la Fig. 5.10 está representado para este TDC. En el eje x está representado el código termométrico en decimal, mientras que en el eje y viene dado por unidades de ps/LSB.



**Figura 5.10** INL del TDC de 3 bits.

## 5.5 Medida de consumo

Por último, se ha obtenido el consumo para el TDC de 3 bits, junto con el circuito de Reset y Detección de Flanco. Para calcularlo, se ha medido el valor medio de la corriente en el terminal de la fuente que proporciona alimentación a ambos circuitos. La media del consumo total es de  $21.05 \mu W$  para un total de 300 simulaciones con intervalos de tiempo aleatorios.



## 6 Conclusión y Trabajo Futuro

---

**F**inalizado el proyecto se exponen a continuación las conclusiones finales del mismo. Además, se exponen igualmente los posibles desarrollos futuros para poder implementar un sistema mejorado a partir de este proyecto.

A lo largo del proyecto se ha diseñado un convertidor de Tiempo a Digital, en base a lo aprendido en la revisión bibliográfica de los capítulos 2 y 3. En estos capítulos se exponen las virtudes y peculiaridades de los diferentes tipos de TDC existentes, diferenciando entre TDCs analógicos y digitales. Se ha profundizado en los TDCs digitales, especialmente en aquellos que presentan una resolución por debajo del retraso de una puerta lógica.

Posteriormente, en el capítulo 4 se ha llevado a cabo el diseño de un TDC. Este TDC se fundamenta en las líneas de retraso de Vernier, compuestas por elementos de retraso (en este caso, latches) en cada una de sus 8 etapas, lo que se corresponde con una precisión de 3 bits. Además, se ha diseñado la etapa previa encargada de generar las señales de control del TDC: circuito de Reset y Detección de Flanco. Todos los circuitos se han implementado con la librería LFoundry en un nodo tecnológico CMOS de 110 nm, a una tensión de alimentación de 1.2 V.

Las simulaciones y resultados han sido expuestos en el capítulo 6, se ha medido una resolución de 5.39 ps para nuestro convertidor, siendo verificada con un análisis de Monte Carlo. También, se ha comprobado el comportamiento del TDC de 3 bits completo, simulando su respuesta ante diversos estímulos y haciendo una simulación paramétrica en todo el rango medible de intervalos de tiempo. Esto permite obtener la curva característica, así como su consumo (del orden de decenas de  $\mu W$ ) y parámetros de error en relación a la linealidad.

En relación a otros TDCs reportados en la bibliografía (Tabla: 1.1), es importante decir que no se puede hacer una comparación justa, debido a que este trabajo no ha sido implementado en layout y, por tanto, no se cuenta con medidas experimentales. Aún así, se podría extrapolar una estimación en relación al consumo de forma que se podría esperar consumos menores a 1 mW para una precisión de 8 bits. Por otra parte, la resolución estimada en nuestro TDC está dentro del orden de las otras arquitecturas.

**Tabla 6.1** Tabla Comparativa.

Trabajo	Técnica	Tecnología	Consumo	Resolución
[1]	Vernier Delay Latch Chain	65 nm	1.14 mW	5.7 ps
[5]	Pulse Shrinking	350 nm	1.65 uW	40 ps
[39]	2-Level Vernier	65 nm	<2.5 mW	6.15 ps
[22]	Pipeline	65 nm	15.4 mW	578 ps
[14]	Two Step	65 nm	0.6 mW	1.2 ps
[24]	Gated Ring Oscillator	90 nm	2.3 mW	2.2 ps
[24]	2-dimensions Vernier	350 nm	1.7 mW	4.8 ps

Como se ha comentado, el convertidor estudiado se ha limitado a 3 bits, por lo que se considera como base de estudio para un TDC de mayor precisión que tendría mayor cabida en el ámbito de la mayoría de aplicaciones, pudiendo considerarse este trabajo como una prueba de concepto.

Además una tarea crucial a acometer, es una cuidadosa y bien optimizada implementación del layout que deberá permitir obtener los mejores resultados en términos de resolución, linealidad y consumo.

También es de interés realizar un análisis extenso en relación a posibles fuentes de error y ruido, que permita identificar los principales puntos flacos de la arquitectura.



# Índice de Figuras

---

1.1	Esquema de procesamiento de una señal física [30]	1
1.2	Ley de Moore [10]	2
2.1	Diagrama de bloques en Simulink del modelo de un TDC analógico	6
2.2	Resultados de la simulación del modelo de TDC analógico	6
2.3	Diagrama de bloques de un TDC de doble rampa	7
2.4	Señales involucradas en la operación del TDC de doble rampa [19]-[32]	8
2.5	Contador empleado como TDC digital básico [32]	9
2.6	Diagrama de bloques de un TDC de línea de retraso digital	10
2.7	Principio de operación del TDC de línea de retraso digital [19] [7] [27]	11
2.8	TDC de línea de retraso basado en inversor [7]	12
2.9	Diagrama de bloques de cadena de acarreo como línea de retraso	13
3.1	Arquitectura de un TDC de línea de retraso de Vernier	16
3.2	Formas de onda en un TDC de Vernier de 3 etapas	17
3.3	Diagrama del TDC por reducción de pulso	18
3.4	Propagación de la señal dentro de una celda de la línea de retraso [18]	18
3.5	Diagrama de bloques del TDC de anillo oscilador controlado	19
3.6	Operación principal del TDC de anillo oscilador controlado [23]	20
4.1	TDC propuesto de 8 etapas	22
4.2	Esquemático del inversor	23
4.3	Layout del inversor	25
4.4	Simulación de Montecarlo para el inversor	25
4.5	Esquemático del circuito de Reset y Detección de Flanco	26
4.6	Diagrama de la operación del circuito de Reset y Detección de Flanco.	26
4.7	Simulación del circuito de Reset y Detección de Flanco	27
4.8	Reset y Detección de Flanco mejorado	28
4.9	Simulación del circuito de Reset y Detección de Flanco mejorado	28
4.10	Esquemático de las líneas de retraso	29
4.11	Latches de retraso en etapas pares (izquierda) e impares (derecha)	29
4.12	Esquemático del circuito Pull-up/down y de carga	30
5.1	Esquemático de simulación de 1 etapa	31

5.2	Retraso asociado a $\tau_1$	32
5.3	Retraso asociado a $\tau_2$	32
5.4	Histograma de la resolución en el análisis de Monte Carlo	33
5.5	Esquemático de simulación del TDC 8 con etapas	34
5.6	Salidas de las etapas del TDC ante un intervalo de tiempo excesivo	35
5.7	Salidas de las etapas del TDC en una operación correcta	35
5.8	Curva característica del TDC de 3 bits	36
5.9	DNL del TDC de 3 bits	37
5.10	INL del TDC de 3 bits	37

# Bibliografía

---

- [1] N. U. Andersson and M. Vesterbacka, *A vernier time-to-digital converter with delay latch chain architecture*, IEEE Transactions on Circuits and Systems II: Express Briefs **61** (2014), no. 10, 773–777.
- [2] L. H. C. Braga, L. Gasparini, L. Grant, R. K. Henderson, N. Massari, M. Perenzoni, D. Stoppa, and R. Walker, *A fully digital  $8 \times 16$  sipm array for pet applications with per-pixel tdcs and real-time energy output*, IEEE Journal of Solid-State Circuits **49** (2014), no. 1, 301–314.
- [3] Y. Cao, W. De Cock, M. Steyaert, and P. Leroux, *Design and assessment of a 6 ps-resolution time-to-digital converter with 5 mgy gamma-dose tolerance for lidar application*, IEEE Transactions on Nuclear Science **59** (2012), no. 4, 1382–1389.
- [4] A. H. Chan and G. W. Roberts, *A deep sub-micron timing measurement circuit using a single-stage vernier delay line*, Proceedings of the IEEE 2002 Custom Integrated Circuits Conference (Cat. No.02CH37285), May 2002, pp. 77–80.
- [5] C. Chen, S. Lin, and C. Hwang, *An area-efficient CMOS time-to-digital converter based on a pulse-shrinking scheme*, IEEE Transactions on Circuits and Systems II: Express Briefs **61** (2014), no. 3, 163–167.
- [6] P. Chen, Shen-Luan Liu, and Jingshown Wu, *A CMOS pulse-shrinking delay element for time interval measurement*, IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing **47** (2000), no. 9, 954–958.
- [7] Kuo-Hsing Cheng, Chang-Chien Hu, Jen-Chieh Liu, and Hong-Yi Huang, *A time-to-digital converter using multi-phase-sampling and time amplifier for all digital phase-locked loop*, **0** (2010), 285–288.
- [8] Chorng-Sii Hwang, Poki Chen, and Hen-Wai Tsao, *A high-precision time-to-digital converter using a two-level conversion scheme*, IEEE Transactions on Nuclear Science **51** (2004), no. 4, 1349–1352.
- [9] Herman Dam, Giacomo Borghi, Stefan Seifert, and Dennis Schaart, *Sub-200 ps crt in monolithic scintillator pet detectors using digital sipm arrays and maximum likelihood interaction time estimation*, Physics in medicine and biology **58** (2013), 3243–3257.

- [10] E. P. DeBenedictis, *It's time to redefine moore's law again*, Computer **50** (2017), no. 2, 72–75.
- [11] P. Dudek, S. Szczepanski, and J. V. Hatfield, *A high-resolution CMOS time-to-digital converter utilizing a vernier delay line*, IEEE Journal of Solid-State Circuits **35** (2000), no. 2, 240–247.
- [12] M. Gersbach, Y. Maruyama, R. Trimananda, M. W. Fishburn, D. Stoppa, J. A. Richardson, R. Walker, R. Henderson, and E. Charbon, *A time-resolved, low-noise single-photon image sensor fabricated in deep-submicron cmos technology*, IEEE Journal of Solid-State Circuits **47** (2012), no. 6, 1394–1407.
- [13] J. Guo and S. Sonkusale, *A 65 nm cmos digital phase imager for time-resolved fluorescence imaging*, IEEE Journal of Solid-State Circuits **47** (2012), no. 7, 1731–1742.
- [14] A. Hamza, S. Ibrahim, M. El-Nozahi, and M. Dessouky, *A low-power, 9-bit, 1.2 ps resolution two-step time-to-digital converter in 65 nm CMOS*, 2015 IEEE 13th International New Circuits and Systems Conference (NEWCAS), June 2015, pp. 1–4.
- [15] B. M. Helal, M. Z. Straayer, G. Wei, and M. H. Perrott, *A low jitter 1.6 ghz multiplying dll utilizing a scrambling time-to-digital converter and digital correlation*, 2007 IEEE Symposium on VLSI Circuits, June 2007, pp. 166–167.
- [16] B. M. Helal, M. Z. Straayer, G. Wei, and M. H. Perrott, *A highly digital mdll-based clock multiplier that leverages a self-scrambling time-to-digital converter to achieve subpicosecond jitter performance*, IEEE Journal of Solid-State Circuits **43** (2008), no. 4, 855–863.
- [17] Stephan Henzler, *Applications for time-to-digital converters*, Time-to-Digital Converters, Springer, January 2010.
- [18] Stephan Henzler, *Time-to-digital converters with sub-gatedelay resolution – the third generation*, Time-to-Digital Converters, Springer, January 2010.
- [19] Stephan Henzler, *Time-to-digital converter basics*, Time-to-Digital Converters, Springer, January 2010.
- [20] Christian Hervé, J Cerrai, and T Le Caër, *High resolution time-to-digital converter (tdc) implemented in field programmable gate array (fpga) with compensated process voltage and temperature (pvt) variations*, Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment **682** (2012), 16–25.
- [21] J. Kalisz, R. Szplet, J. Pasierbinski, and A. Poniecki, *Field-programmable-gate-array-based time-to-digital converter with 200-ps resolution*, IEEE Transactions on Instrumentation and Measurement **46** (1997), no. 1, 51–55.
- [22] P. Keränen and J. Kostamovaara, *A wide range, 4.2 ps(rms) precision CMOS tdc with cyclic interpolators based on switched-frequency ring oscillators*, IEEE Transactions on Circuits and Systems I: Regular Papers **62** (2015), no. 12, 2795–2805.

- [23] Dongin Kim and Seonghwan Cho, *A hybrid pll using low-power gro-tdc for reduced in-band phase noise*, IEEE Transactions on Circuits and Systems II: Express Briefs **66** (2019), 232–236.
- [24] P. Lu, Y. Wu, and P. Andreani, *A 2.2-ps two-dimensional gated-vernier time-to-digital converter with digital calibration*, IEEE Transactions on Circuits and Systems II: Express Briefs **63** (2016), no. 11, 1019–1023.
- [25] N. Marino, F. Baronti, L. Fanucci, S. Saponara, R. Roncella, M. G. Bisogni, and A. Del Guerra, *A multichannel and compact time to digital converter for time of flight positron emission tomography*, IEEE Transactions on Nuclear Science **62** (2015), no. 3, 814–823.
- [26] Y. Maruyama, J. Blacksberg, and E. Charbon, *A  $1024 \times 8$ , 700-ps time-gated spad line sensor for planetary surface exploration with laser raman spectroscopy and libs*, IEEE Journal of Solid-State Circuits **49** (2014), no. 1, 179–189.
- [27] R. Nutt, *Digital time intervalometer.*, Rev. Sci. Instrum., 39: 1342-5(Sept. 1968). (1968).
- [28] D. Palubiak, M. M. El-Desouki, O. Marinov, M. J. Deen, and Q. Fang, *High-speed, single-photon avalanche-photodiode imager for biomedical applications*, IEEE Sensors Journal **11** (2011), no. 10, 2401–2412.
- [29] Poki Chen, Jia-Chi Zheng, and Chun-Chi Chen, *A monolithic vernier-based time-to-digital converter with dual plls for self-calibration*, Proceedings of the IEEE 2005 Custom Integrated Circuits Conference, 2005., Sep. 2005, pp. 321–324.
- [30] Max Rabiee, *Analog to digital (adc) and digital to analog (dac) converters*, 1998 Annual Conference (Seattle, Washington), ASEE Conferences, June 1998.
- [31] E. Raisanen-Ruotsalainen, T. Rahkonen, and J. Kostamovaara, *A low-power CMOS time-to-digital converter*, IEEE Journal of Solid-State Circuits **30** (1995), no. 9, 984–990.
- [32] V. Ramakrishnan and P. T. Balsara, *A wide-range, high-resolution, compact, CMOS time to digital converter*, 19th International Conference on VLSI Design held jointly with 5th International Conference on Embedded Systems Design (VLSID'06), Jan 2006, pp. 6 pp.–.
- [33] S. Tisa, A. Lotito, A. Giudice, and F. Zappa, *Monolithic time-to-digital converter with 20ps resolution*, ESSCIRC 2004 - 29th European Solid-State Circuits Conference (IEEE Cat. No.03EX705), Sep. 2003, pp. 465–468.
- [34] HT van Dam, G Borghi, S Seifert, and DR Schaart, *Sub-200 ps crt in monolithic scintillator pet detectors using digital sipm arrays and maximum likelihood interaction time estimation*, Physics in Medicine and Biology **58** (2013), no. 10, 3243–3257 (Undefined/Unknown).
- [35] I. Vornicu, R. Carmona-Galán, and A. Rodríguez-Vázquez, *Photon counting and direct tof camera prototype based on CMOS spads*, 2017 IEEE International Symposium on Circuits and Systems (ISCAS), May 2017, pp. 1–4.

- [36] J. Wang, S. Liu, Q. Shen, H. Li, and Q. An, *A fully fledged tdc implemented in field-programmable-gate-arrays*, 2009 16th IEEE-NPSS Real Time Conference, May 2009, pp. 290–294.
- [37] J. Wu, *On-chip processing for the wave union tdc implemented in fpga*, 2009 16th IEEE-NPSS Real Time Conference, May 2009, pp. 279–282.
- [38] J. Wu and Z. Shi, *The 10-ps wave union tdc: Improving fpga tdc resolution beyond its cell delay*, 2008 IEEE Nuclear Science Symposium Conference Record, Oct 2008, pp. 3440–3446.
- [39] X. Zhang, K. Cui, Z. Zou, and L. Zheng, *A low-power coarse-fine time-to-digital converter in 65nm CMOS*, 2015 International Symposium on Signals, Circuits and Systems (ISSCS), July 2015, pp. 1–4.