

Trabajo Fin de Grado
Grado en Ingeniería de las Tecnologías
Industriales.

Puesta en marcha de un convertidor DC/DC elevador
en interleaving mediante el uso de una plataforma de
rapid control prototyping

Autor: Rafael Muñoz Sánchez.

Tutores: Sergio Vázquez Pérez.

Abraham Márquez Alcaide.

**Dpto. Ingeniería Electrónica.
Escuela Técnica Superior de Ingeniería
Universidad de Sevilla**

Sevilla, 2022



Trabajo Fin de Grado
Grado en Ingeniería de las Tecnologías Industriales

**Puesta en marcha de un convertidor DC/DC
elevador en interleaving mediante el uso de una
plataforma de rapid control prototyping**

Autor:

Rafael Muñoz Sánchez

Tutores:

Sergio Vázquez Pérez.

Profesor titular

Abraham Márquez Alcaide

Investigador posdoctoral.

Dpto. de Ingeniería Electrónica.
Escuela Técnica Superior de Ingeniería
Universidad de Sevilla
Sevilla, 2022

Trabajo Fin de Grado: Puesta en marcha de un convertidor DC/DC elevador en interleaving mediante el uso de una plataforma de rapid control prototyping

Autor: Rafael Muñoz Sánchez

Tutores: Sergio Vázquez Pérez
Abraham Márquez Alcaide

El tribunal nombrado para juzgar el Proyecto arriba indicado, compuesto por los siguientes miembros:

Presidente:

Vocales:

Secretario:

Acuerdan otorgarle la calificación de:

Sevilla, 2022

El Secretario del Tribunal

A mi familia

A mis maestros

Agradecimientos

Este trabajo me ha enseñado como funciona la vida en realidad. Ha tenido momentos donde todo parecía fluir y solucionarse, pero de pronto había que volver a empezar. He pasado malos días, agobios y situaciones de incertidumbre, pero hoy puedo decir que me alegro de todo ello debido a la gran enseñanza, no solo académica, sino además también personal que he obtenido de ello. También he de dar las gracias por las personas con las que he convivido y trabajado en el laboratorio durante todos estos meses, especialmente a mis tutores, Sergio y Abraham. Gracias por vuestra paciencia infinita, por vuestras explicaciones y enseñanzas tanto docentes como a nivel moral.

Esta etapa de mi vida ha estado marcada por muchas personas, pero sobre todo quiero agradecer el apoyo y cariño brindado por parte de mi familia. Agradecer a mi padre por todos sus consejos. Ha sido como un profesor más, siempre al pie del cañón intentando aportar su idea sobre cualquier asunto. Agradecer a mi madre por sentirme siempre como en casa aunque no estuviera en ella. No me faltaba ningún Lunes un detalle que llevarme para estar lo más agusto y solo centrado y preocupado en mis estudios. Y como no, agradecer a mis dos hermanas Sandra e Inma por todo el apoyo, cariño y fuerza que me habéis aportado durante todos estos años.

Sobre todo, para finalizar, acordarme mi abuelo Rafael. Este trabajo se lo quiero dedicar a él. Sé que desde donde quiera que estés, estarás orgulloso de ver a tu nieto conseguir el objetivo, que desde que no era más que un niño, tú predijiste que conseguiría.

Rafael Muñoz Sánchez.

Sevilla, 2022

Resumen

Este proyecto consiste en la realización de un diseño de control de prototipado rápido mediante la plataforma DSPACE y sus tarjetas DS5203 y DS5202 para la puesta en marcha de un convertidor bidireccional en interleaving. Para ello, en primer lugar, se realizará un modelo de simulación que permita realizar un análisis del comportamiento de un circuito similar al que se controlará en el sistema real. Para la implementación del modelo de simulación, se hará uso de los programas Matlab Simulink y Xilinx System Generator, con los que se diseñarán los controladores que gobiernan el circuito. Debido a que el modulador por anchura de pulsos con desfase de la plataforma DSPACE limita el rango del ciclo de trabajo del convertidor, para realizar el interleaving, mediante los programas Matlab Simulink y Xilinx System Generator se procederá a realizar el diseño de uno propio. Una vez comprobado el correcto funcionamiento en simulación del circuito y del modulador por anchura de pulsos con desfase, se adaptará el hardware necesario para la conexión de la plataforma DSPACE con el equipo real. Por último, se diseñará una interfaz de control entre el usuario y la plataforma DSPACE para operar y obtener los resultados del convertidor bidireccional del sistema real. Para ello, se hará uso del software ControlDesk de DSPACE.

Abstract

This project consists of the realization of a rapid control prototyping design using the DSPACE platform and its DS5203 and DS5202 cards for the implementation of a bidirectional converter in interleaving. To do this, first of all, a simulation model will be developed to analyze the behavior of a circuit similar to the one that will be controlled in the real system. For the implementation of the simulation model, Matlab Simulink and Xilinx System Generator programs will be used to design the controllers that govern the circuit. Since the pulse width modulator with phase shift of the DSPACE platform limits the duty cycle range of the converter, to perform the interleaving, using Matlab Simulink and Xilinx System Generator programs, we will proceed to design one of our own. Once the correct operation of the circuit and the pulse width modulator with phase shift has been verified in simulation, the necessary hardware for the connection of the DSPACE platform with the real equipment will be adapted. Finally, a control interface between the user and the DSPACE platform will be designed to operate and obtain the results of the bidirectional converter of the real system. For this purpose, the DSPACE ControlDesk software will be used.

Agradecimientos	ix
Resumen	xi
Abstract	xiii
Índice	xiv
Índice de Figuras	xvi
Índice de Tablas	xix
Notación	xx
1 Introducción.	1
1.1 <i>Motivación y objetivos.</i>	1
1.2 <i>Sistema de carga de vehículos eléctricos.</i>	2
2 Marco Teórico	11
2.1 <i>Convertidores DC-DC sin aislamiento.</i>	11
2.1.1 <i>Convertidor Elevador (Boost converter).</i>	12
2.1.2 <i>Convertidor Reductor (Buck converter).</i>	15
2.1.3 <i>Convertidor Bidireccional.</i>	18
2.2 <i>Condensador de DC-Link.</i>	19
2.3 <i>Sistema de precarga.</i>	20
2.4 <i>Técnica del “interleaving”.</i>	21
3 Plataforma DSPACE.	23
3.1 <i>FPGA DS5203 7K410.</i>	23
3.1.1 <i>Características Técnicas DS5203.</i>	24
3.1.2 <i>Módulos de entrada/salida.</i>	24
3.1.3 <i>Bloques de librerías Xilinx y DSPACE para Matlab Simulink.</i>	26
3.2 <i>Tarjeta controladora DS5202.</i>	28
3.2.1 <i>Características técnicas DS5202.</i>	29
3.2.2 <i>Módulo ACMC DS5202.</i>	29
3.4 <i>Interfaz gráfica.</i>	30
4 Simulación del sistema.	32
4.1 <i>Modelo de simulación.</i>	32
4.1.1 <i>Generador PWM.</i>	33
4.1.2 <i>Máquina de estados.</i>	38
4.1.3 <i>Controladores.</i>	38
4.2 <i>Sistema de control aplicado.</i>	39
4.3 <i>Lazo interno de corriente.</i>	40
4.4 <i>Lazo externo de tensión.</i>	42
4.5 <i>Convertidor con dos ramas en paralelo.</i>	47
5 placas de adaptación.	49
5.1 <i>Placas de entradas/salidas digitales.</i>	49
5.2 <i>Placa del convertidor analógico digital.</i>	51
5.3 <i>Placa del convertidor digital analógico.</i>	54

5.4	<i>Placa del conector.</i>	56
5.5	<i>Placa de adaptación convertidor analógico-digital DS5202.</i>	57
5.6	<i>Pruebas de Validación.</i>	58
5.6.1	Pruebas de validación tarjeta digital.	58
5.6.2	Calibración de la tarjeta de adaptación para convertidor analógico-digital.	60
5.6.3	Prueba de validación tarjeta ADC.	60
5.6.4	Prueba de validación tarjeta DAC.	61
6	Resultados experimentales.	63
6.1	<i>Equipo a controlar.</i>	63
6.2	<i>Modelo Simulink.</i>	66
6.3	<i>Resultados obtenidos.</i>	67
6.3.1	Comprobación de protecciones.	67
6.3.2	Control en bucle abierto.	68
6.3.3	Control en bucle cerrado.	69
7	Conclusión y trabajo futuro.	72
	Referencias	73

ÍNDICE DE FIGURAS

Figura 1-1. Esquema de generación, distribución e infraestructura de carga. Imagen extraída del artículo al que hace referencia[2].	1
Figura 1-2. Evolución de disponibilidad de cargadores de carga rápida a nivel mundial[4].	3
Figura 1-3. Topología del supercargador de ABB Terra HP basado en un convertidor bidireccional Buck en interleaved [2].	3
Figura 2-1. Esquema de obtención del Duty Cycle.	12
Figura 2-2. Topología convertidor tipo elevador.[6]	12
Figura 2-3. (a) Convertidor elevador con interruptor cerrado. (b) convertidor elevador con interruptor abierto.[6]	13
Figura 2-4. Curvas de comportamiento con interruptor cerrado.[6]	14
Figura 2-5. Curvas de comportamiento con interruptor abierto.[6]	15
Figura 2-8. Topología del convertidor reductor.[6]	16
Figura 2-9. (a) Convertidor reductor con interruptor cerrado. (b) Convertidor reductor con interruptor abierto.	16
Figura 2-10. Curvas de comportamiento con interruptor cerrado.	17
Figura 2-11. Curvas de comportamiento con interruptor abierto.	18
Figura 2-9. Topología del convertidor tipo bidireccional.	19
Figura 2-10. Ejemplo de condensadores de DC-Link.	19
Figura 2-11. Esquema simulink convertidor bidireccional con precarga.	20
Figura 2-12. (a) Corrientes de las bobinas de cada rama sin aplicar interleaving. (b) Corriente de las bobinas de cada rama representadas en una misma figura en el caso donde se aplica la técnica del interleaving.	21
Figura 3-1. Esquema del flujo de trabajo de la plataforma DSPACE.[10]	23
Figura 3-2. Esquema simplificado DAC.[10]	24
Figura 3-3. Esquema simplificado ADC.[10]	25
Figura 3-4. Esquema simplificado entradas/salidas digitales.[10]	25
Figura 3-5. Pinout conector Sub-D 50.[10]	26
Figura 3-6. Flujo de comunicaciones FPGA Simulink.[11]	26
Figura 3-7. Ejemplo de generación de señal PWM por bloque de la librería DSPACE.	27
Figura 3-8. Tablero de conexión ACMC DS5202.	29
Figura 3-9. Bloque Matlab Simulink ADC DS5202.	29
Figura 3-10. (a)Ventana Principal de operación. (b) Ventana de monitorización de señales.	30
Figura 4-1. Esquema Matlab Simulink convertidor bidireccional con dos ramas en paralelo.	32
Figura 4-2. (a) Registro del lado de procesador (b) Registro en lado FPGA.	33
Figura 4-3. Bloque PWM en lado procesador.	33
Figura 4-4. (a) Parte de obtención de señal de referencia. (b) Parte de obtención de la generación de la portadora	

triangular.	34
Figura 4-5. Función FSM para máquina de estados para control del contador ascendente/descendente.	36
Figura 4-6. Parte del generador donde se compara la portadora triangular con el valor del duty cycle.	36
Figura 4-7. Representación de señales PWM junto con sus portadoras triangulares con un valor de duty cycle de 0.3 en canal A y 0.7 en canal B y un desfase de 180°.	37
Figura 4-8. Generación de interrupción en lado de FPGA.	37
Figura 4-9. Bloque de máquina de estados.	38
Figura 4-10. Diagrama de bloques del control del lazo interno de una de las ramas.	39
Figura 4-11. Esquema de lazo de control.	40
Figura 4-12. Circuito para prueba de lazo interno Matlab Simulink.	41
Figura 4-13. Resultados de control del lazo interno de corriente.	41
Figura 4-14. Circuito para prueba de lazo externo Matlab Simulink.	42
Figura 4-15. Esquema de la máquina de estados.	43
Figura 4-16. Función State_machine.	44
Figura 4-18. Representación en detalle del cambio de carga.	46
Figura 4-19. Rizado en la corriente por la bobina.	46
Figura 4-20. Corriente total a la salida de las dos ramas sin aplicar desfase.	47
Figura 4-21. Detalle del desfase en la corriente de cada bobina.	47
Figura 5-1. Esquema de conexión de transmisor y receptor de fibra óptica AFBR1624Z y AFBR2624Z recomendado en datasheet.	49
Figura 5-2.(a) Diseño de placa digital en Eagle. (b) Esquemático de placa digital en Eagle	50
Figura 5-3. (a) Placa digital fabricada.TOP. (b) Placa digital fabricada.BOTTOM.	51
Figura 5-4. Esquema del amplificador no inversor.	52
Figura 5-5 (a) Diseño de placa ADC en Eagle. (b) Esquemático placa ADC en Eagle.	53
Figura 5-6. (a) Placa ADC fabricada.TOP. (b) Placa ADC fabricada.BOTTOM.	54
Figura 5-7. (a) Diseño de placa DAC en Eagle. (b) Esquemático de 2 de los canales de la placa DAC.	55
Figura 5-8. (a) Placa DAC fabricada.TOP. (b) Placa DAC fabricada.BOTTOM.	56
Figura 5-9. (a) Diseño de placa del conector en Eagle. (b) Esquemático de la placa del conector en Eagle.	56
Figura 5-10. (a) Placa de conector fabricada.TOP. (b) Placa de conector fabricada.BOTTOM.	57
Figura 5-11. Placa de adaptación RJ-11 a BNC.	57
Figura 5-12. (a) Pinout Driver ISO5852S. (b) Montaje de placa de adaptación junto con placa auxiliar.	58
Figura 5-13. Montaje de sistema de pruebas para placas de adaptación de señales digitales.	59
Figura 5-14. Resultado prueba de validación PS-PWM.	59
Figura 5-15. (a) Calibración sensor DC-LINK. (b) Calibración sensor IL1.	60
Figura 5-16. (a) Valor de tensión aplicado en los terminales del sensor. (b) Valor obtenido en la salida de la tarjeta ADC.	61
Figura 5-17. Conexión tarjeta ADC y DAC.	62
Figura 5-14. (a) Valor de tensión deseado en interfaz ControlDesk. (b) Valor obtenido en la salida de la tarjeta ADC.	62
Figura 6-1. Placa del Convertidor.	63

Figura 6-2. (a)Bobinas de cada canal. (b) Condensador de DC-Link. (c) Carga empleada.	64
Figura 6-3. Sensores de medidas situados en el equipo.	65
Figura 6-4. Placa de entradas/salidas digitales.	65
Figura 6-5. (a)Subsistema de acondicionamiento de medidas y gestión de errores. (b) Representación de uno de los canales ADC. (c) Tratamiento del error.	66
Figura 6-6. (a)Configuración como entrada digital para error del driver. (b)Configuración como salida digital para disparos PWM.	67
Figura 6-7. Prueba de detección de error en sobretensión en uno de los canales.	68
Figura 6-8. Prueba del convertidor en bucle abierto.	69
Figura 6-9. Monitorización de tensión del DC-Link junto cambio de referencia.	69
Figura 6-10. Monitorización de las corrientes por cada bobina junto cambio de referencia.	70
Figura 6-11. Detalle del desfase de las corrientes de cada bobina.	70
Figura 6-12. (a) Suma de corrientes sin aplicar desfase. (b) Suma de corrientes aplicando desfase.	71

ÍNDICE DE TABLAS

Tabla 4–1. Valores de los componentes del circuito de simulación	45
Tabla 4–2. Valores de las constantes de los controladores PI	45

Notación

DC	Corriente continua
HVDC	Corriente continua de alta tensión
PS-PWM	Modulación por ancho de pulsos con desfase
DSP	Procesador digital de señales
RTI	Interfaz en tiempo real
OPA	Amplificador Operacional
PI	Proporcional e Integral
TTL	Lógica transistor transistor
EV	Vehículo Eléctrico
MCC	Modo de conducción continua
MCD	Modo de conducción discontinua
ADC	Convertidor Analógico Digital
DAC	Convertidor Digital Analógico
RCP	Control de prototipado rápido

1 INTRODUCCIÓN.

Actualmente, la lucha contra la contaminación ambiental es uno de los principales objetivos a cumplir, lo que hace que cada vez más se adopte el uso de la electricidad para actividades que originalmente no se implementan con dicha forma de energía.

Para poder hacer uso de esta forma de energía, es necesario adaptarla. La electricidad, generalmente, es generada y transportada en corriente alterna para poder reducir las pérdidas al máximo, ya que permite elevar la tensión y reducir la corriente. Hoy día, ya se está comenzando a apostar por formas de transmisión de energía HVDC debido al gran empujamiento de las energías renovables, permitiendo de esta forma, reducir también las pérdidas y costes a la hora de producir electricidad [1].

Además, muchas aplicaciones de la electricidad para la realización de labores, tanto industriales como cotidianas, requiere el uso de corriente continua, por lo que hay que realizar dicha conversión y/o adaptarla según la aplicación deseada. Un ejemplo claro es la carga de baterías, que cada vez más se hace uso de estas para cualquier ámbito, desde su uso en teléfonos móviles, hasta en transportes con vehículos eléctricos. Es aquí donde aparece el papel fundamental de los convertidores de potencia.

1.1 Motivación y objetivos.

Una de las implementaciones que están siendo desarrolladas y que cada vez se invertirá más en ello, son las infraestructuras de carga de vehículos eléctricos. Cargar las baterías de un vehículo no es una tarea directa. Se necesita convertir la electricidad que llega desde el sistema de red a corriente continua y una vez se realice dicha conversión es necesario adaptarla según los requerimientos del sistema en cuestión.

En la Figura 1-1, se puede ver el flujo desde la generación de la energía hasta que se lleva a cabo el objetivo de carga de las baterías de un vehículo eléctrico. Se puede ver que, un convertidor DC/DC es necesario en cualquier de los casos.

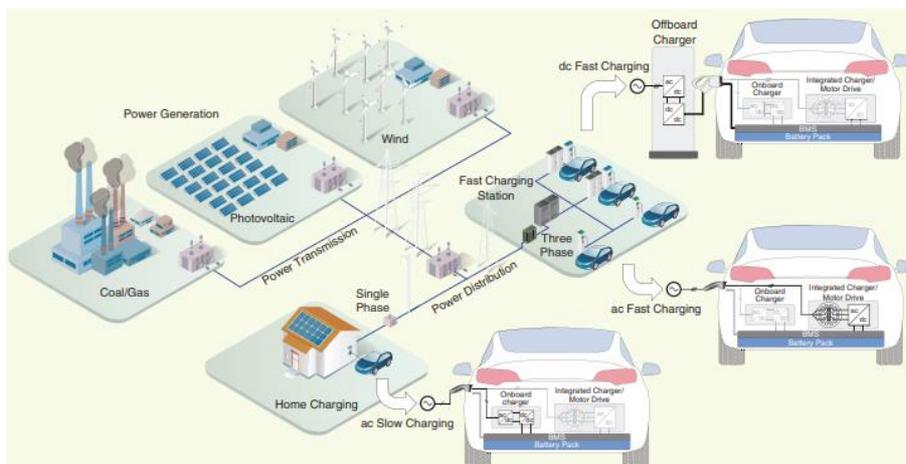


Figura 1-1. Esquema de generación, distribución e infraestructura de carga.
Imagen extraída del artículo al que hace referencia [2].

El objetivo del proyecto consistirá en el diseño de un controlador en interlving de un convertidor de potencia DC/DC bidireccional. Este convertidor estará formado por dos ramas en paralelo, cada una con su bobina, con un condensador de DC-Link y una carga. Para ello, se diseñará un modelo de control a través de una plataforma de RCP, como es DSPACE.

En primer lugar, se realizará un generador PS-PWM en FPGA, haciendo uso de herramientas de Matlab Simulink y Xilinx. Esto es debido a ciertas limitaciones de la CPU de la plataforma DSPACE. Para poder llevar a cabo la técnica del interleaving es necesario añadir cierto desfase entre los disparos que controlan los semiconductores del convertidor DC/DC bidireccional. Aunque DSPACE, dispone de un generador PS-PWM, en este no se pueden desfasar de forma arbitraria las portadoras triangulares, por lo que será necesario diseñar uno propio.

También, se diseñará un control en cascada compuesto por dos controladores PI discretos. El primero será el control del lazo externo de tensión, que controlará la potencia de referencia del circuito a partir de la tensión en la salida del circuito y la tensión de referencia. El segundo, será el control del lazo interno de corriente, que controlará la corriente que circula por cada bobina. De esta manera, se tendrán controladas dos variables, tensión y corriente en dos etapas diferentes. Como se tienen puntos de medidas en el proceso de control, puede que aparezcan diferentes perturbaciones en las medidas, de manera que si se realimenta la variable intermedia, esto es, la corriente por la bobina, se elimina el efecto de esa perturbación de manera más rápida, evitando así que esta se acumule y se vea reflejada en el control final del sistema obteniendo así un resultado más eficiente.

Con esto, se realizará un modelo de simulación que se asemeje al sistema real a controlar y se estudiará su comportamiento, para poder comparar resultados con el sistema real.

Una vez estudiado el modelo en simulación, se adaptarán las diferentes funcionalidades analógicas de la plataforma DSPACE para llevar a cabo la toma de medidas, así como, la gestión de errores para la protección del sistema.

Con esto, se estudiará el comportamiento del sistema, en bucle abierto y en bucle cerrado, comprobando así el correcto funcionamiento de los lazos de control implementados. Así mismo, se hará un análisis del efecto del interleaving en las corrientes de las bobinas, comprobando que la técnica se está llevando a cabo adecuadamente y demostrando los efectos positivos de su implementación.

1.2 Sistema de carga de vehículos eléctricos.

El sector del transporte está adaptándose a la transición energética basada en las cero emisiones de carbón, donde cada vez son más las empresas que están apostando por modelos tanto híbridos como totalmente eléctricos.

En 2020, “The Global EV”, realizó un estudio donde indicó que las ventas de vehículos eléctricos aumentarían 2 millones en relación con el año anterior, alcanzando una cifra de 8.5 millones de vehículos eléctricos comercializados. Aunque esto supone un gran avance, solo hace referencia a un 2.6% del total de ventas anuales de vehículos. Pero esto no quedó ahí, ya que estimó que para 2040, este porcentaje aumentaría y se convertiría en el 58%, lo que aportó una cifra bastante esperanzadora en el ámbito de la transición energética [2].

El problema al que siempre se enfrenta la evolución del vehículo eléctrico es el reducido número de infraestructuras para poder cargar las baterías cuando se está fuera de casa. Sólo hay a nivel mundial 598.000 cargadores públicos de carga lenta y 264.000 de carga rápida donde además la mayoría de estos se encuentran concentrados en china (50% de los de carga lenta y 81% de los de carga rápida). Además, hay que añadirle el tiempo de carga de las baterías. Los cargadores de carga lenta, aportan aproximadamente unos 3kW de potencia, de manera que un vehículo con una batería media, puede llegar a necesitar de 12h a 16h para poder cargar sus baterías completamente [3].

Pero como cada vez se está avanzando más en la introducción de este tipo de movilidad por todo el mundo, el crecimiento de infraestructuras de carga también se está viendo influido, de tal manera que desde 2015 hasta la actualidad, se ha observado un crecimiento exponencial de este tipo de infraestructuras. Véase en la Figura 1-2, extraída de AIE como se aprecia ese crecimiento exponencial, y como además los países pioneros como china, son los que más siguen apostando por este cambio.

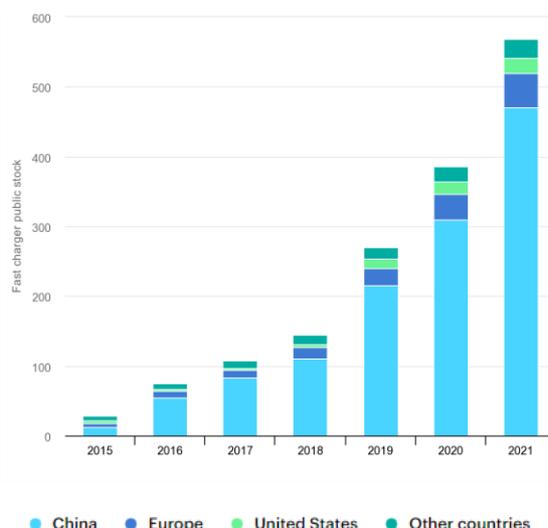


Figura 1-2. Evolución de disponibilidad de cargadores de carga rápida a nivel mundial [4].

Pero el desarrollo de las baterías, como el de los sistemas de carga, han permitido reducir los tiempos de carga a 20-30 minutos para una autonomía de 400 km. La introducción de estructuras de baterías de 800V han permitido pasar de los sistemas de carga rápida de 50kW a 400kW reduciendo las pérdidas [2].

Uno de los aspectos a considerar en este tipo de sistemas de carga rápida, es la eficiencia. Hay que prestar especial atención al control de la temperatura del conector debido a las altas corrientes que maneja. A esto se suma la limitación de los rizados en las corrientes que pueden dañar la salud de las baterías, por lo que se suele optar por un condensador de DC-Link bastante grande para poder desacoplar ambas zonas [2].

La topología básica de este tipo de cargadores consta de dos partes, una primera formada por un rectificador, que se encarga de convertir la tensión alterna de la red eléctrica a continua, y la segunda parte que consta de un convertidor de potencia bidireccional que se encarga de adaptar los niveles de tensión y corriente para el flujo correcto de la energía hacia la batería. Se puede observar un esquema en la figura 1-3 extraída del artículo al que hace referencia [2].

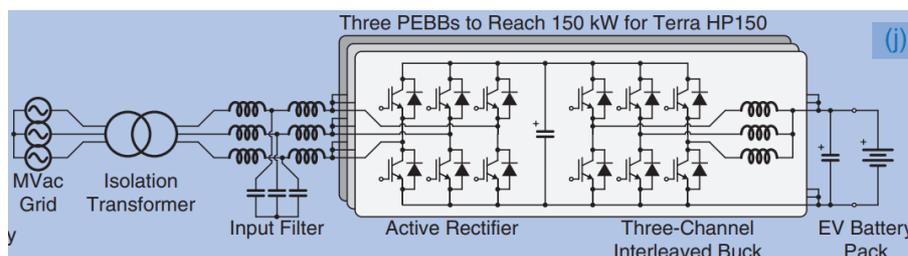


Figura 1-3. Topología del supercargador de ABB Terra HP basado en un convertidor bidireccional Buck en interleaved [2].

El caso mostrado en la figura 1-3, es uno de los casos que más se asemeja al objetivo que se va a desarrollar en este proyecto, centrándose en la parte del convertidor DC/DC buck interleaved, realizando un control de un convertidor de la misma topología mediante una plataforma RCP.

2 MARCO TEÓRICO

En el siguiente capítulo se explicarán los conceptos teóricos básicos necesarios para entender el funcionamiento del sistema que se empleará. Para ello, se explican las diferentes topologías de convertidores DC-DC sin aislamiento, el principio de funcionamiento del concepto “interleaving” y la importancia de un sistema de precarga para proteger el sistema.

2.1 Convertidores DC-DC sin aislamiento.

Uno de los elementos básicos utilizados en electrónica de potencia son los convertidores DC/DC. Su función, es la de adaptar el nivel de tensión a la salida de los mismos, para acondicionarlo según la operación requerida. Por ello, se distinguirán varias topologías, convertidor elevador, reductor, o el caso bidireccional. El convertidor DC/DC bidireccional será el empleado en el proyecto, el cual puede funcionar como reductor o elevador según la dirección del flujo de potencia.

Estos convertidores están compuestos principalmente por elementos pasivos como bobinas y condensadores, y por elementos semiconductores que hacen la función de interruptores conmutando a cierta frecuencia, como IGBTs o MOSFET, dependiendo de las necesidades y rendimiento del sistema en cuestión.

Los IGBTs son un dispositivo híbrido entre los transistores bipolares BJT y los MOSFET, lo que permite que estos tengan una alta capacidad en el manejo de corriente, propia de los BJTs, y además, tienen la facilidad de ser controlados por tensión como los MOSFET [5].

La principal propiedad de las bobinas y condensadores es su continuidad en corriente y en tensión respectivamente. En las expresiones (2-1), se puede observar que si se produjera alguna discontinuidad en el tiempo supondría un valor de tensión en el condensador o corriente en la bobina infinito.

$$\begin{aligned}v_l &= L \frac{di_l}{dt} \\ i_c &= C \frac{dv_c}{dt}\end{aligned}\tag{2-1}$$

Donde cada variable representa:

- v_l es la tensión en la bobina.
- L es el valor de la bobina.
- i_l es la corriente que circula por la bobina.
- i_c es la corriente que circula por el condensador.
- v_c es la tensión en el condensador.
- C es el valor del condensador.

Así mismo, se analizará lo que ocurre en el régimen permanente, donde tanto la tensión en el condensador como la corriente por la bobina coincidirá al inicio y al final del periodo.

En cuanto los elementos semiconductores, conmutarán según una frecuencia, manteniéndose en estado de conducción durante un valor determinado de tiempo, que dependerá del valor del Duty Cycle o ciclo de trabajo.

En la Figura 2-1, se muestra un esquema que representa la obtención del Duty Cycle.

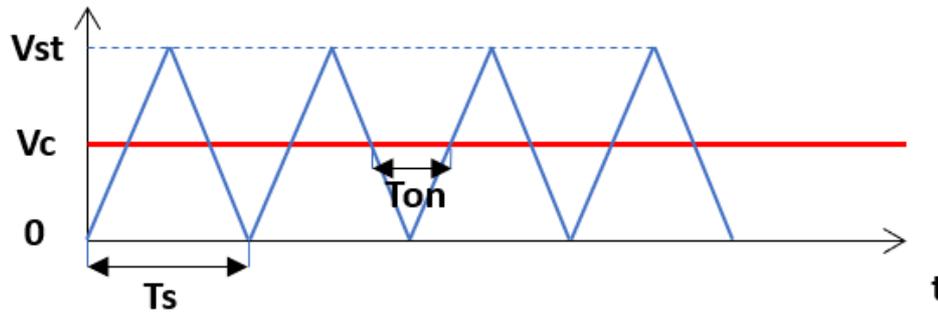


Figura 2-1. Esquema de obtención del Duty Cycle.

Donde:

- T_{on} es el tiempo que está conduciendo.
- T_s es el periodo total de la señal triangular o señal portadora.
- V_c es el valor de referencia con el que se compara.
- V_{st} es el valor de pico de la señal triangular o señal portadora.
- D es el valor del Duty Cycle o ciclo de trabajo.

La obtención del Duty Cycle se obtiene comparando el valor de una señal triangular o también conocida como señal portadora que toma valores entre 0 y V_{st} y tiene un periodo igual a T_s , con un valor de referencia, en este caso, V_c . De esta manera, el valor de tiempo que el dispositivo semiconductor estará conduciendo, T_{on} , respecto del valor total del periodo de la señal triangular, T_s , será el valor del Duty Cycle o ciclo de trabajo:

$$D = \frac{T_{on}}{T_s} = \frac{V_c}{V_{st}} \quad (2-2)$$

2.1.1 Convertidor Elevador (Boost converter).

Una de las principales topologías que existen es el convertidor elevador o boost. Este puede observarse en la Figura 2-2.

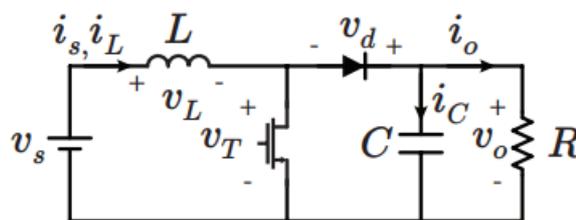


Figura 2-2. Topología convertidor tipo elevador [6].

Este circuito permite elevar la tensión de entrada. Previamente, hay que destacar que existen dos modos de funcionamiento de los convertidores elevadores, modo de conducción continua, donde la corriente por la bobina no se anula en ningún momento, y el modo de conducción discontinua en el que la corriente que circula por la bobina pasa a anularse en algún instante de tiempo. En este caso, se analizará el MCC, ya que será suficiente debido a que, para este proyecto se hará uso de un convertidor DC/DC bidireccional, el cual solo tiene MCC.

En el análisis del circuito, se van a distinguir dos momentos claramente diferenciados.

El primero se trata el momento donde el interruptor está cerrado, mientras que el segundo de ellos, cuando el interruptor está abierto. Se muestran ambos momentos en la Figura 2-3:

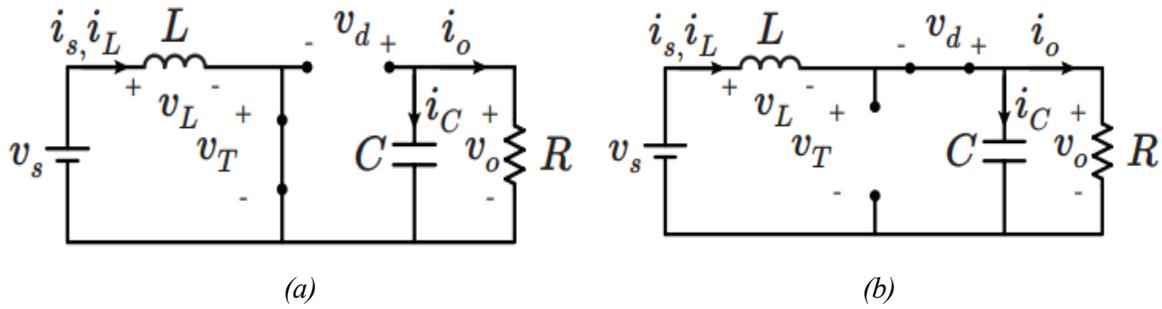


Figura 2-3. (a) Convertidor elevador con interruptor cerrado. (b) convertidor elevador con interruptor abierto [6].

De la figura 2-3, se toma la siguiente nomenclatura para hacer referencia a los diferentes variables del circuito:

- V_L es la tensión en la bobina.
- V_S es la tensión de entrada al convertidor.
- L es el valor de la bobina.
- i_L es la corriente que circula por la bobina.
- V_C es la tensión en el condensador.
- i_C es la corriente que circula por el condensador.
- V_o es la tensión en la salida del convertidor.
- i_o es la corriente que circula por la salida del convertidor.

En el caso (a) se parte de las siguientes ecuaciones:

$$V_L = V_S = L \frac{di_L}{dt} \quad (2-3)$$

Donde se tiene que la corriente por la bobina cambia con pendiente creciente y constante:

$$\frac{di_L}{dt} = \frac{V_S}{L} \quad (2-4)$$

Y además se afirma que:

$$i_L = i_s \quad (2-5)$$

Para el condensador se tiene:

$$i_C = -I_o \quad (2-6)$$

Donde I_o es el valor medio de la corriente de salida del circuito.

Una vez obtenidas las ecuaciones del comportamiento del circuito en este momento, se representan las curvas de cada uno de los valores en la figura 2-4:

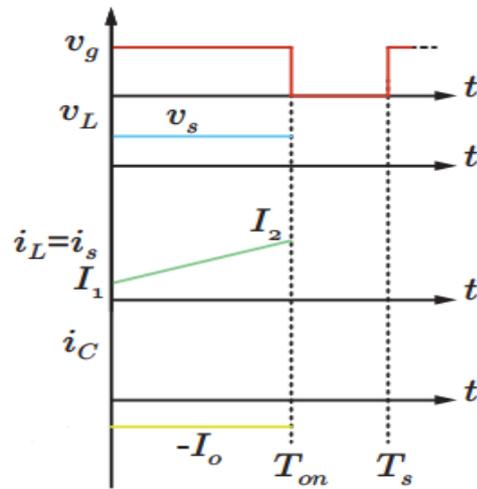


Figura 2-4. Curvas de comportamiento con interruptor cerrado.[6]

Para el caso (b) se parte de las siguientes ecuaciones:

$$V_L = V_s - V_o = L \frac{di_l}{dt} \quad (2-7)$$

Donde la corriente por la bobina cambiará con pendiente decreciente y constante:

$$\frac{di_l}{dt} = \frac{V_s - V_o}{L} \quad (2-8)$$

Y se afirma de nuevo que las corrientes cumplen igualdad:

$$i_l = i_s \quad (2-9)$$

Para el condensador se ve que la corriente será:

$$i_c = i_l - I_o \quad (2-10)$$

De nuevo, en la figura 2-5 se representan las curvas que rigen su comportamiento en este tramo:

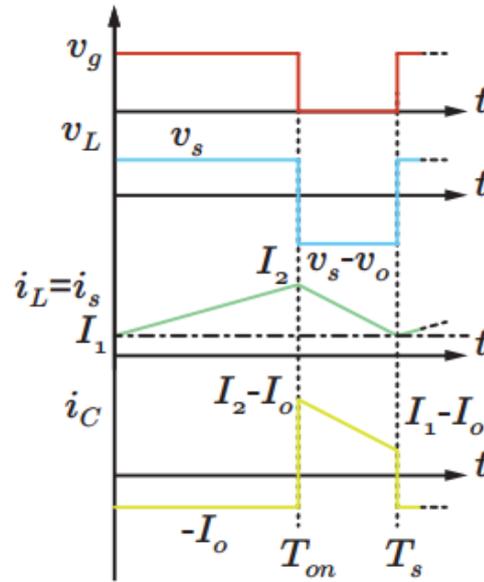


Figura 2-5. Curvas de comportamiento con interruptor abierto [6].

Se puede comprobar que la corriente en el condensador podría llegar a ser negativa, pero no se va a considerar dicho caso en este apartado. Para ello, se tendría que calcular el punto donde pasa a ser negativa y trabajar con semejanza de triángulos.

Asumiendo el funcionamiento en régimen permanente, y trabajando con la gráfica de la figura 2-5, se llega a lo siguiente:

$$\Delta I_L = I_1 - I_2 \quad (2-11)$$

trabajando con la ecuación punto pendiente y teniendo en cuenta que $T_{on} = D * T_s$ se obtiene que:

$$\Delta I_L = \frac{V_s}{L} * D * T_s = -\frac{V_s - V_o}{L} * (1 - D) * T_s \quad (2-12)$$

El primer término de la ecuación (2-12), corresponde con la pendiente creciente del primer tramo de la curva de la corriente por la bobina $[0, DT_s]$, mientras que el segundo término de la ecuación (2-12) se corresponde con la pendiente decreciente del segundo tramo de esta curva, $[DT_s, T_s]$.

Para el rizado en el condensador, tomando el primer tramo de la figura 2-5, como se trabaja en régimen permanente se tiene que cumplir igualdad de áreas.

$$\Delta V_C = \frac{I_o}{C} * D * T_s \quad (2-13)$$

De la ecuación del rizado de corriente por la bobina se puede extraer el ciclo de trabajo necesario siendo este:

$$\frac{V_o}{V_s} = \frac{1}{1 - D} \quad (2-14)$$

2.1.2 Convertidor Reductor (Buck converter).

Siguiendo el mismo criterio, se va a analizar la siguiente topología, el convertidor reductor o buck, el cual se puede observar en la figura 2-8.

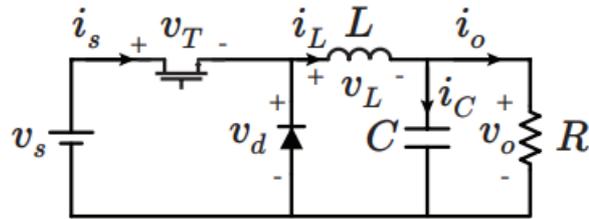


Figura 2-8. Topología del convertidor reductor [6].

En este caso, el circuito permite reducir la tensión de entrada a un determinado valor en la salida controlando el ciclo de trabajo con el que este opera. Igual que en el caso anterior, se podrá trabajar en dos modos, MCC y MCD, de los cuales se analizará de nuevo el MCC por la misma razón puesta en el apartado 2.1.1.

Así mismo, también se diferenciarán dos instantes, uno donde el IGBT se encuentra cerrado y por tanto el diodo estará abierto, y otro el caso dual, el interruptor se abrirá y conducirá el diodo. Estos instantes se muestran en la figura 2-9:

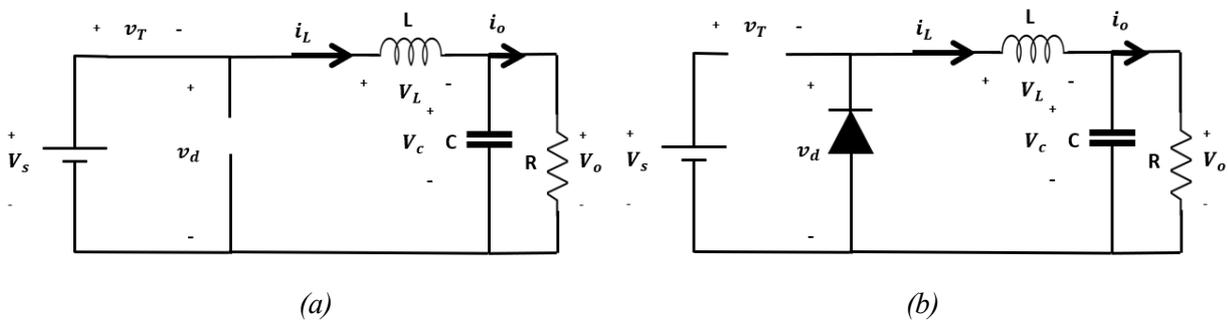


Figura 2-9. (a) Convertidor reductor con interruptor cerrado. (b) Convertidor reductor con interruptor abierto.

Para la nomenclatura de las diferentes variables que componen el circuito se sigue el mismo criterio que se llevó a cabo en el apartado 2.1.1.

Para el caso (a), como se dedujo que $D = \frac{T_{on}}{T_s}$ se corresponde al intervalo $(0, DT_s]$, y se parte de las siguientes ecuaciones:

$$\begin{aligned} i_L &= i_s = i_o & (2-15) \\ V_l &= V_s \\ V_c &= V_o = V_s - V_L \end{aligned}$$

Sabiendo que la corriente por la bobina varía de forma positiva y constante:

$$\frac{di_L}{dt} = \frac{V_s - V_o}{L} \quad (2-16)$$

Se muestran las curvas de su comportamiento en la figura 2-10:

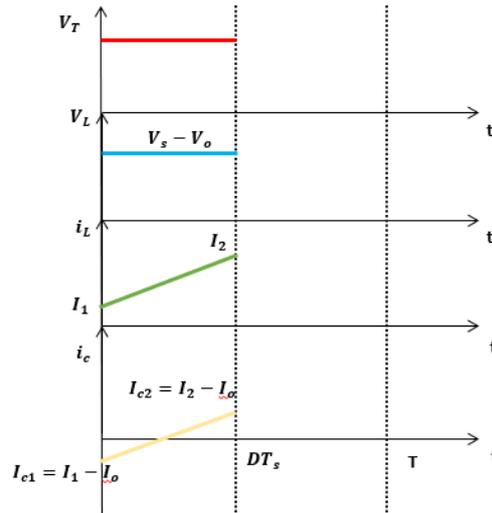


Figura 2-10. Curvas de comportamiento con interruptor cerrado.

Como se observa en la figura 2-10, i_c crece con la misma pendiente que i_L , esto es $\frac{V_s - V_o}{L}$, pero sus valores máximos y mínimos son menores, ya que está restada por la corriente de salida.

Para el caso (b), donde el interruptor se abre, pertenece al intervalo $(DT_s, T]$ y se tendrán las siguientes ecuaciones:

$$\begin{aligned}
 i_s &= 0 & (2-17) \\
 i_L &= i_c + i_o \\
 V_L &= -V_o \\
 V_c &= V_o
 \end{aligned}$$

En este caso, por tanto, la pendiente tanto para i_L como para i_c será constante y decreciente:

$$\frac{di_L}{dt} = \frac{-V_o}{L} \quad (2-18)$$

Se muestran las curvas que rigen su comportamiento en la Figura 2-11:

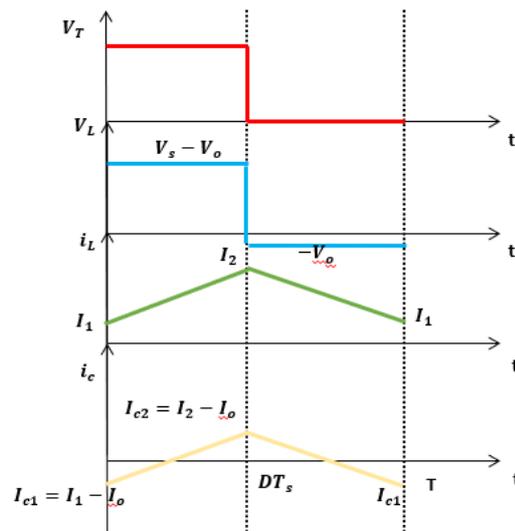


Figura 2-11. Curvas de comportamiento con interruptor abierto.

Asumiendo el funcionamiento en régimen permanente, y trabajando con la gráfica de la figura 2-11, se obtiene lo siguiente:

$$\Delta I_L = I_1 - I_2 \quad (2-19)$$

trabajando con la ecuación punto pendiente y teniendo en cuenta que $T_{on} = D \cdot T_s$ llegamos a:

$$\Delta I_L = \frac{V_s - V_o}{L} * D * T_s = \frac{V_o}{L} * (1 - D) * T_s \quad (2-20)$$

El primer término de la ecuación (2-20) corresponde con la pendiente creciente del primer tramo de la curva de la corriente por la bobina $[0, DT_s]$, mientras que el segundo término de la ecuación (2-20) se corresponde con la pendiente decreciente del segundo tramo de esta curva, $[DT_s, T_s]$.

De estos términos se extrae por tanto el ciclo de trabajo necesario:

$$D = \frac{V_o}{V_s} \quad (2-21)$$

En cuanto al rizado del condensador se tiene:

$$\Delta V_C = \frac{\Delta I_L}{8C} * T_s \quad (2-22)$$

2.1.3 Convertidor Bidireccional.

En este caso, se puede operar tanto en modo elevador, como en modo reductor, dependiendo del sentido del flujo de potencia. Es decir, se podrá elegir en cada caso, cual será la entrada y cual la salida, para operar en el modo deseado. Para ello, como se observa en la Figura 2-9 es necesario en cada IGBT un diodo en antiparalelo que permita el paso del flujo de potencia en sentido contrario.

Obviamente, el comportamiento del convertidor tanto en modo elevador como modo reductor es completamente similar al estudiado en los dos casos anteriores, pero en estos, en lugar de dos interruptores con diodos en antiparalelo, se tenía un semiconductor solamente, de manera que no permitía el paso en sentido contrario.

Un esquema de esta topología se muestra en la Figura 2-9:

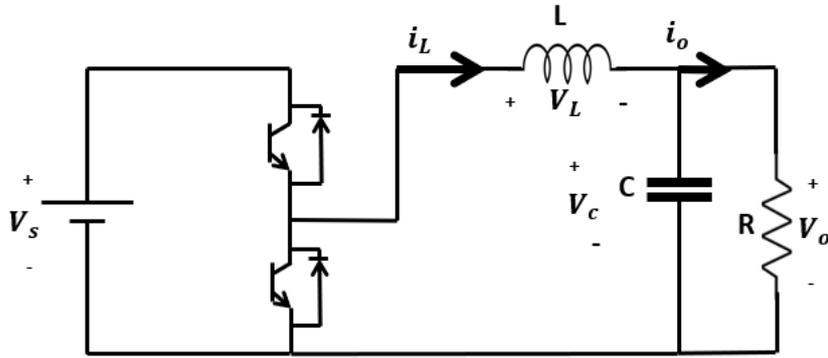


Figura 2-9. Topología del convertidor tipo bidireccional.

En este proyecto, el convertidor DC/DC utilizado será bidireccional y operará en modo reductor. Por este motivo, las ecuaciones que regirán su comportamiento serán las desarrolladas en el apartado 2.1.2. Por ello, no se repite el análisis del comportamiento del convertidor, ya que este se llevo a cabo de forma detallada en dicho apartado.

De igual forma, en el caso que se quisiera operar en modo elevador, las ecuaciones que explican el funcionamiento del convertidor sería las deducidas en el apartado 2.1.1. Como esta topología permite operar de ambas formas, es por ello por lo que también se ha realizado un análisis detallado de las ecuaciones de su funcionamiento en modo elevador.

2.2 Condensador de DC-Link.

El condensador de DC-Link mantiene la tensión estable en los puntos donde se tiene una tensión continua. Por tanto, en la práctica se pueden encontrar condensadores DC-Link entre el rectificador de diodos y el convertidor de potencia o en las salidas de estos como desacoplo entre la conexión con otros convertidores cuando existen varios en paralelo[7].

En la Figura 2-10, se muestra un ejemplo donde se representan los dos lugares donde son necesarios un condensador de DC-Link.

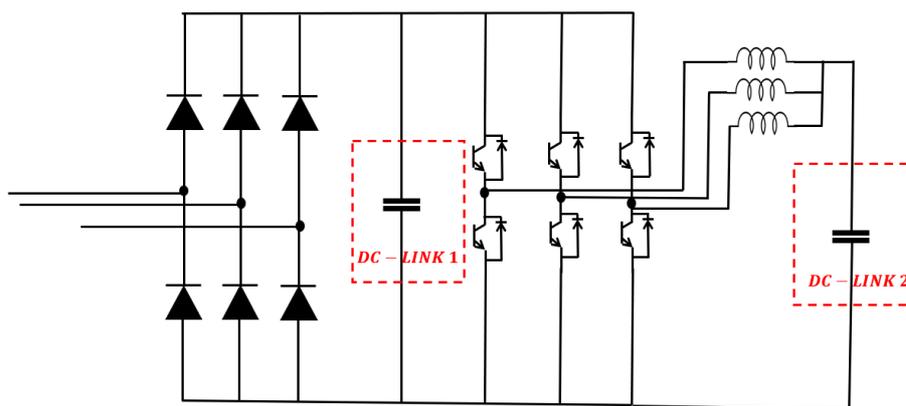


Figura 2-10. Ejemplo de condensadores de DC-Link.

En este proyecto, el condensador de DC-Link será el encargado de mantener estable la tensión en la salida del sistema. En la figura 2-10, este condensador es el que se nombra como “DC-LINK 2”.

En cuanto a la elección del condensador de DC-Link, dependerá de los determinados valores de tensión, frecuencia de conmutación y corriente manejados. Esto permitirá obtener un condensador que garantice las especificaciones de rizado, y que además asegure su funcionalidad y duración.

Por ello, para elegir el condensador, se hace uso de la ecuación (2-22), donde para un determinado rizado de tensión y corriente junto con la frecuencia de trabajo, se obtiene el valor de C mínimo para cumplir dichas especificaciones.

2.3 Sistema de precarga.

En el momento de arranque del convertidor, los condensadores del DC-Link están descargados y con una tensión de 0V. Si en ese momento, la tensión en el condensador pasa a tener un determinado valor, según la expresión (2-1), la derivada de la tensión respecto del tiempo tendría un valor infinito, lo que supondría tener un valor muy alto de corriente que podría dañar el equipo y ser peligroso para las personas que se encuentren en su entorno.

Para evitar este efecto, se implementa un sistema de precarga compuesto por una resistencia donde habrá una caída de tensión, de manera que limite la corriente que entra en el condensador en el inicio. Esto se implementa a través de dos contactores, que conmutarán cuando se alcance un valor de tensión determinado en el DC-Link.

Un sistema de precarga consta de 2 contactores y una resistencia de precarga. La resistencia es la encargada de limitar la corriente de entrada en el inicio para cargar el condensador del DC-Link de manera controlada y evitar que desde el arranque, este quede conectado directamente a la tensión de entrada del convertidor. De esta forma, en el instante del arranque, el contactor que contiene la resistencia de precarga será el que estará cerrado, de manera que la carga del condensador se realice progresivamente hasta un valor de referencia. Una vez se alcance dicho valor de referencia, este contactor se abrirá y se cerrará el contactor sin resistencia de precarga. De esta forma, con el condensador ya en su valor de referencia, el convertidor quedará conectado directamente a la fuente de tensión de entrada, evitando así el efecto descrito al inicio del apartado.

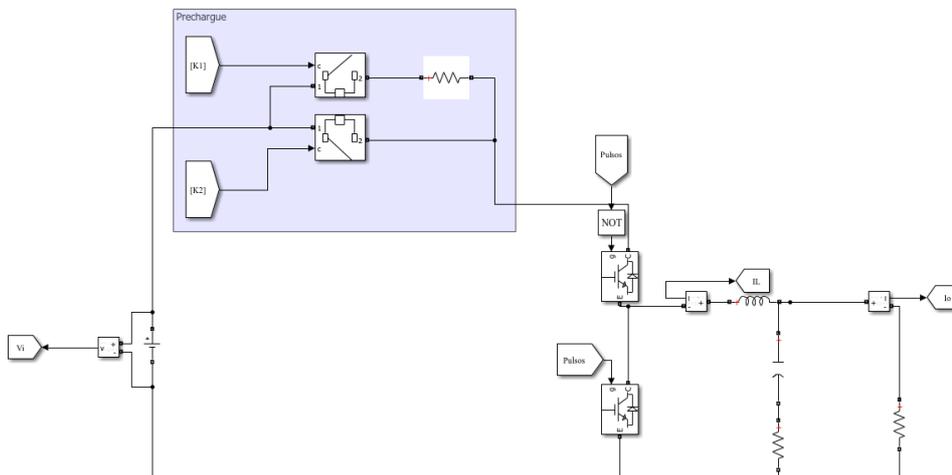


Figura 2-11. Esquema simulink convertidor bidireccional con precarga.

Como se puede ver en la figura 2-11, en el instante inicial, el contactor K1 es el que conecta el equipo con la resistencia de precarga, hasta que se alcance un determinado valor de tensión en el condensador de DC-link, en este momento, K1 abrirá y cerrará K2 quedando el sistema completamente conectado a la fuente de tensión.

2.4 Técnica del “interleaving”.

La técnica del “interleaving” consiste en la integración de N convertidores de potencia en paralelo, de manera que, para una misma frecuencia de conmutación, exista un desfase entre las señales portadoras de cada uno de estos.

El hecho de trabajar con varios convertidores conmutando al mismo tiempo supone que el rizado de los N convertidores se suma y se tengan unos valores bastante elevados en los rizados tanto de la corriente como de la tensión del circuito global, lo que supone que el tamaño de los componentes de filtrado, esto es, bobinas y condensadores tengan un tamaño considerablemente mayor en función del número de convertidores que se tengan en paralelo.

La aplicación de la técnica del interleaving, permite evitar que todos los convertidores conmuten simultáneamente, desfasando el instante de conmutación uniformemente en el periodo de conmutación. De esta manera, se logra la reducción de los rizados de corriente y tensión en la salida del circuito[8]. Esto hace, que se pueda aumentar el número de convertidores distribuyendo la potencia nominal por varias ramas, pudiendo manejar así mayor potencia manteniendo los valores tanto de las bobinas como de los condensadores. En la figura 2-12, se muestran unos resultados de la simulación de un convertidor DC/DC bidireccional compuesto por dos ramas en paralelo, donde se representa el detalle de conmutación de la corriente por cada una de las ramas.

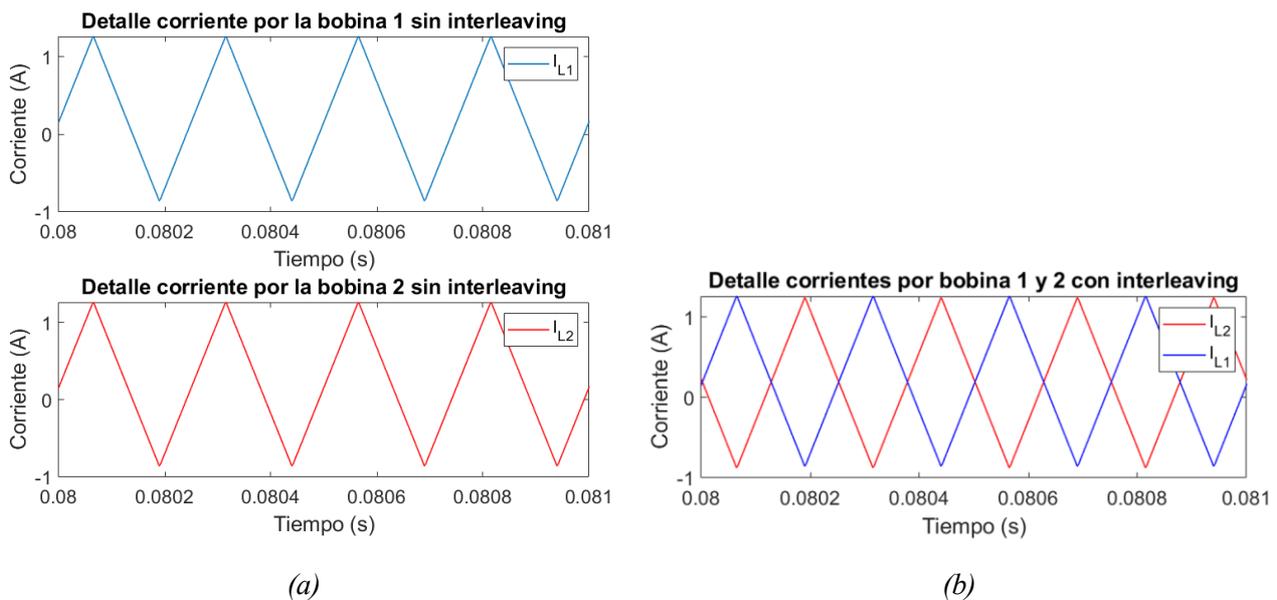


Figura 2-12. (a) Corrientes de las bobinas de cada rama sin aplicar interleaving. (b) Corriente de las bobinas de cada rama representadas en una misma figura en el caso donde se aplica la técnica del interleaving.

Como se aprecia en la Figura 2-12 (a), en el caso donde no se aplica la técnica del interleaving, las corrientes de cada rama conmutan en el mismo instante. Sin embargo, en la Figura 2-12 (b), se representan en una misma gráfica las corrientes por cada bobina cuando se aplica un desfase de 180°. Se puede comprobar, que efectivamente los instantes de conmutación se desfasan 180°. El análisis más completo de los efectos de la técnica del interleaving en dicho convertidor, se muestran con más detalle en el capítulo 4.

Teniendo N convertidores en paralelo iguales y trabajando a una frecuencia de conmutación f se tienen las siguientes ventajas:

- Añadiendo un desfase de $\frac{2\pi}{N}$ entre las portadoras de referencia, la frecuencia del rizado de la corriente de salida del circuito global es $f \cdot N$ lo que permite reducir los tamaños del filtro de salida.
- Para una frecuencia de rizado de salida f, la frecuencia individual de cada módulo puede reducirse $\frac{f}{N}$ con su respectiva reducción en las pérdidas por conmutación.

- Además, las Corrientes de cada módulo se reducen $\frac{1}{N}$ lo que permite que los dispositivos semiconductores sean menores y que se reduzcan las pérdidas por conducción [8].

3 PLATAFORMA DSPACE.

3.1 FPGA DS5203 7K410.

Como se explica en el capítulo 2, el funcionamiento de los convertidores DC-DC se basa principalmente en el control de las señales de disparo que actuarán sobre los semiconductores de los diferentes circuitos. Para la generación de las señales de disparo es necesario el uso de algún tipo de tarjeta controladora, como podría ser en este caso la tarjeta de DSPACE DS5203.

DSPACE es una plataforma compuesta por un procesador principal y varias tarjetas adicionales que se pueden añadir según la función que se quiera llevar a cabo. El procesador principal y el resto de las tarjetas, se conectan entre sí mediante bus PHS, permitiendo así la comunicación entre estas de forma directa. Para la programación de las diferentes tarjetas, el procesador principal se conecta mediante cable ethernet con el ordenador, estableciendo una conexión punto a punto con este, lo que permite que una vez se ha diseñado el software necesario para implementar la aplicación deseada, que esta se cargue en la plataforma. Véase un esquema de la plataforma DSPACE en la Figura 3-1.

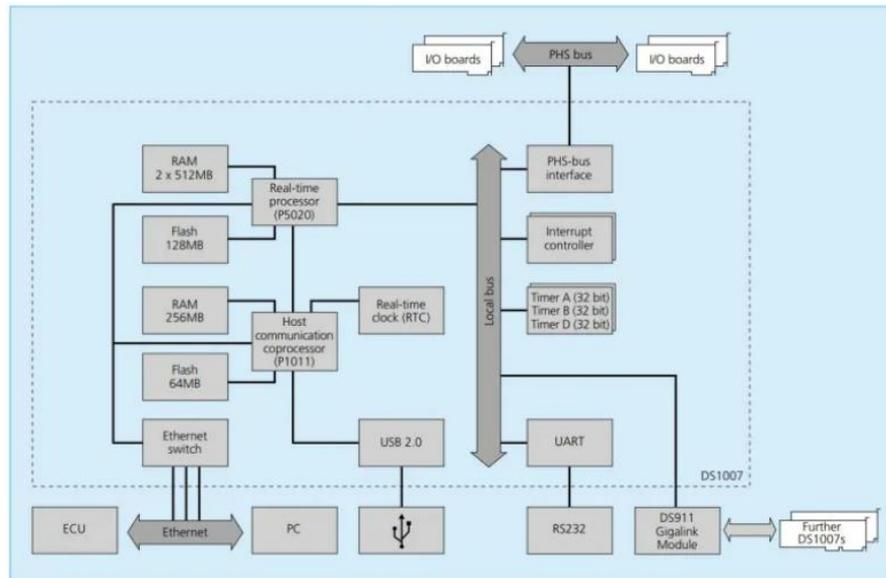


Figura 3-1. Esquema del flujo de trabajo de la plataforma DSPACE.[10]

En este proyecto se hará uso, además del procesador principal de la DSPACE, de dos tarjetas adicionales, la FPGA DS5203 y la FPGA DS5202.

Para llevar a cabo el control del convertidor DC/DC, será necesario generar disparos digitales que gobiernen el funcionamiento de los dispositivos semiconductores. Además, será necesario captar señales digitales procedentes de los drivers de control de los convertidores. Estas señales de error se generan para la protección del sistema frente a sobrecorriente o sobretensión, de manera que si se supera alguno de estos valores, el sistema debe de ser capaz de captar dicha señal. Para la realización de estas labores se hará uso de la FPGA DS5203.

Por otro lado, es necesario tomar las medidas de los valores de corriente y tensión del circuito. Aunque la FPGA DS5203, dispone también de funcionalidades analógicas, para la toma de medidas se hará uso de la FPGA DS5202, concretamente del ADC del tablero de conexión APMC DS5202.

Una de las principales ventajas de la utilización de la plataforma DSPACE para realizar diseños RCP, es que supone una gran facilidad e intuitividad a la hora de diseñar los modelos, ya que proporciona una serie de librerías de Matlab Simulink, como son RTI_FPGA_Programming_blockset y XSG_Utils, entre otras, que permiten realizar un diseño VHDL programado mediante bloques, realizándose así la síntesis de los modelos mediante la herramienta de Xilinx, Xilinx System Generator. De esta manera, se diseña mediante los bloques

adecuados un PWM con múltiples fases, que se implementa directamente en la FPGA y con el uso de sus canales digitales se envían las señales al exterior y se leen hacia el interior las señales de error procedentes del driver de control del convertidor.

Por otra parte, la tarjeta DS5203, permite simular todo los modelos implementados antes de sintetizarlos, lo que hace que se pueda comprobar el funcionamiento de todos los modelos que se hagan previamente antes de implemetarlos en el sistema real.

3.1.1 Características Técnicas DS5203.

La tarjeta DS5203 7K410 está dotada de la FPGA de Xilinx Kintex-7 XC7K410T. Sus principales características son:

- 478K celdas lógicas.
- Un bloque RAM de 34 Mbytes.
- 1920 “DSP slices” con un rendimiento de DSP de 2845 GMAC/s
- 32 transeptores con una velocidad de 12,5Gb/s cada uno.
- Ancho de banda 800 Gb/s.
- 8 interfaces Gen2 PCIe
- 500 pines de entrada-salida. [9]

3.1.2 Módulos de entrada/salida.

Tanto la tarjeta controladora DS5203 7K410 como el módulo de ampliación M1, disponen de los siguientes módulos tanto para recibir como enviar señales digitales y analógicas. Para acceder a dichos canales, las tarjetas, disponen de un conector Sub-D 50 hembra unido en la propia placa del dispositivo.

- Conversor digital-analógico:
 - 6 canales de 14 bits de resolución.
 - Rango de voltajes de salida entre -10V y +10 V.
 - Rango de corriente de salida entre -5mA y +5mA.

Se muestra un esquema simplificado del circuito del DAC en la Figura 3-2:

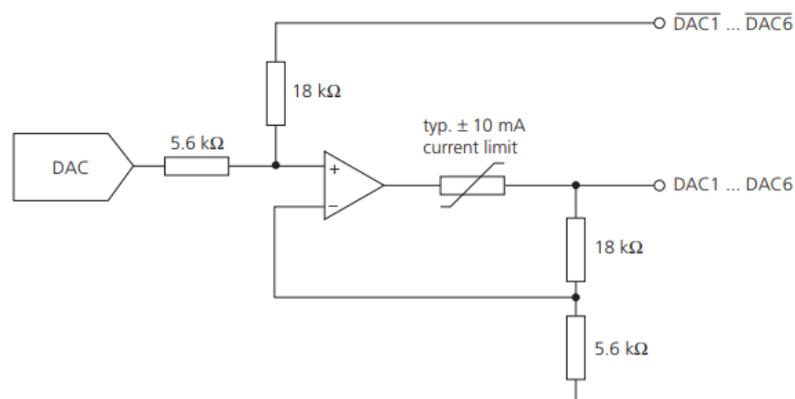


Figura 3-2. Esquema simplificado DAC.[10]

- Conversor analógico-digital. En este caso se puede elegir entre modo “single-ended” o modo diferencial:

- 6 canales de 14 bits de resolución.
- Rango de voltaje de entrada entre ± 5 V como rango mínimo y ± 30 V como rango máximo en modo “single-ended”.
- Rango de voltaje de entrada entre ± 2.5 V como rango mínimo y ± 15 V como rango máximo en modo diferencial.
- Impedancia de entrada diferencial $1\text{ M}\Omega$ a GND (cada pin) y $21\text{ k}\Omega$ to GND (cada pin).

En la Figura 3-3 se representa un esquema simplificado del circuito del ADC:

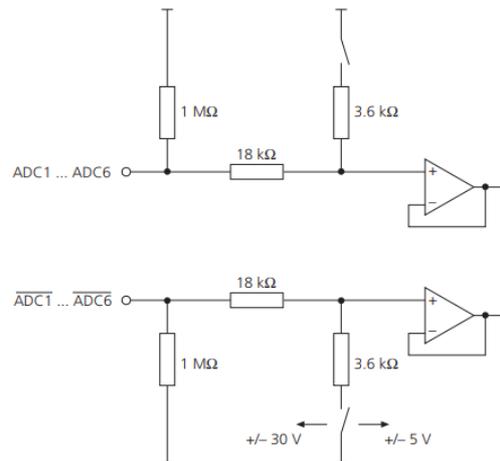


Figura 3-3. Esquema simplificado ADC.[10]

- Entrada/salidas digitales.
 - 16 entradas/salidas digitales configurables mediante software.
 - Voltaje de salida TTL con un rango entre 2.4V y 5V. También se puede configurar via software el voltaje máximo de salida a 3.3V.
 - Corriente de salida ± 45 mA tanto para 5V como para 3.3V de tensión máxima de salida.

En la Figura 3-4 se representa un esquema simplificado del circuito de entradas y salidas digitales:

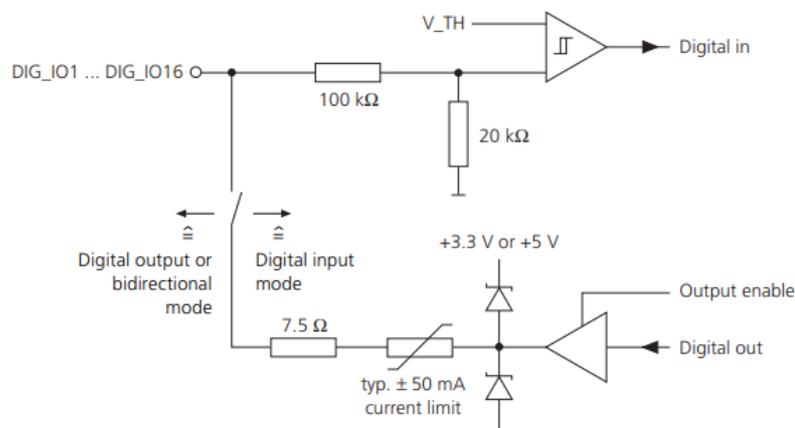


Figura 3-4. Esquema simplificado entradas/salidas digitales.[10]

Por último, el conector principal, distribuye todos estos canales como se muestra en la figura 3-5. Para tener

acceso a todos los canales, se han diseñado unas placas de adaptación, las cuales se explican detalladamente en el capítulo 5.

I/O Connector (P1)	Pin	Signal	Pin	Signal	Pin	Signal
	1	ADC1	18	$\overline{\text{ADC2}}$	34	ADC1
	2	ADC2	19	ADC3	35	$\overline{\text{ADC3}}$
	3	$\overline{\text{ADC4}}$	20	$\overline{\text{ADC5}}$	36	ADC4
	4	ADC5	21	ADC6	37	$\overline{\text{ADC6}}$
	5	GND	22	DIG_IO1	38	VCC (+5 V)
	6	DIG_IO2	23	DIG_IO3	39	GND
	7	DIG_IO4	24	DIG_IO5	40	GND
	8	DIG_IO6	25	DIG_IO7	41	GND
	9	DIG_IO8	26	DIG_IO9	42	GND
	10	DIG_IO10	27	DIG_IO11	43	GND
	11	DIG_IO12	28	DIG_IO13	44	GND
	12	DIG_IO14	29	DIG_IO15	45	GND
	13	DIG_IO16	30	$\overline{\text{DAC1}}$	46	GND
	14	DAC1	31	DAC2	47	$\overline{\text{DAC2}}$
	15	$\overline{\text{DAC3}}$	32	$\overline{\text{DAC4}}$	48	DAC3
	16	DAC4	33	DAC5	49	$\overline{\text{DAC5}}$
	17	$\overline{\text{DAC6}}$			50	DAC6

Figura 3-5. Pinout conector Sub-D 50.[10]

3.1.3 Bloques de librerías Xilinx y DSPACE para Matlab Simulink.

Para la implementación del modelo de Matlab Simulink, se hará uso de las librerías RTI_XSG_Utils[11] y RTI_FPGA_Programming_Blockset[11] proporcionadas por DSPACE y Xilinx.

En primer lugar, como se dijo en la introducción de este capítulo, se podrá establecer una comunicación con la FPGA mediante bus PHS con el procesador principal DS1007 haciendo uso de buffers y registros, o directamente mediante las entradas y salidas analógicas y digitales de la tarjeta. Por ello, dentro de las librerías se distinguirán dos partes claramente diferenciadas, “Processor Interface”, que es aquella que permite realizar las comunicaciones entre el lado de procesador y el lado de FPGA, y “FPGA interface”, que es aquel que permite comunicarse directamente con la FPGA decodificando las señales recibidas tanto del exterior, como las enviadas por el propio procesador. El mismo funcionamiento se lleva a cabo para el caso inverso, es decir, para enviar datos desde el lado FPGA hasta el lado de procesador. Se puede ver más claro en el esquema de la figura 3-6.

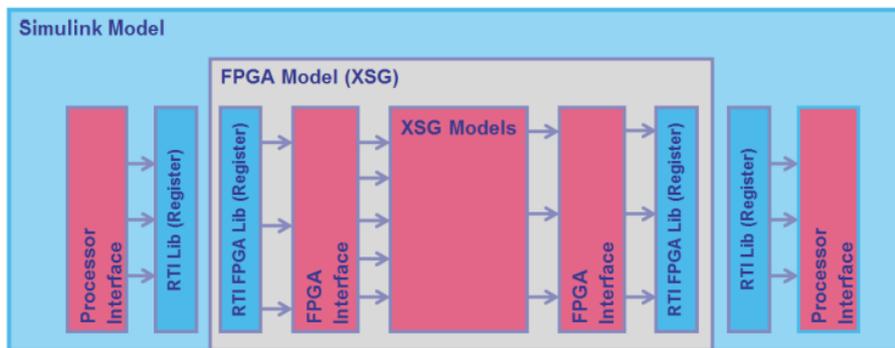


Figura 3-6. Flujo de comunicaciones FPGA Simulink.[11]

La ventaja que presenta el uso de estas librerías, es que antes de realizar la síntesis en la FPGA, se puede comprobar el funcionamiento del modelo implementado en Simulink. Esto permitirá realizar unas simulaciones bastantes similares a la aplicación real, ya que como se verá en el capítulo 4, la generación de los disparos PWM, se harán directamente con los bloques de estas librerías, comunicando el lado de FPGA y de procesador.

Además, los bloques de señales digitales y analógicas, mediante su configuración, incluyen la posibilidad de habilitar un puerto de simulación que permite monitorizar que efectivamente las señales que se mandarán o se leerán en el sistema real son las deseadas.

3.1.3.1 RTI_XSG_Utils.

Esta librería proporciona funciones básicas y generales que facilitan la implementación de una aplicación RCP.

3.1.3.1.1 PWM_Generator.

Aunque DSPACE proporciona un bloque generador PWM donde puede aplicarse un desfase entre las señales, este desfase está limitado en función del valor del duty cycle que se tenga en cada momento. Esto es debido a que el desfase entre señales no se lleva a cabo mediante un retraso en las portadoras triangulares de referencia, sino en la propia señal PWM.

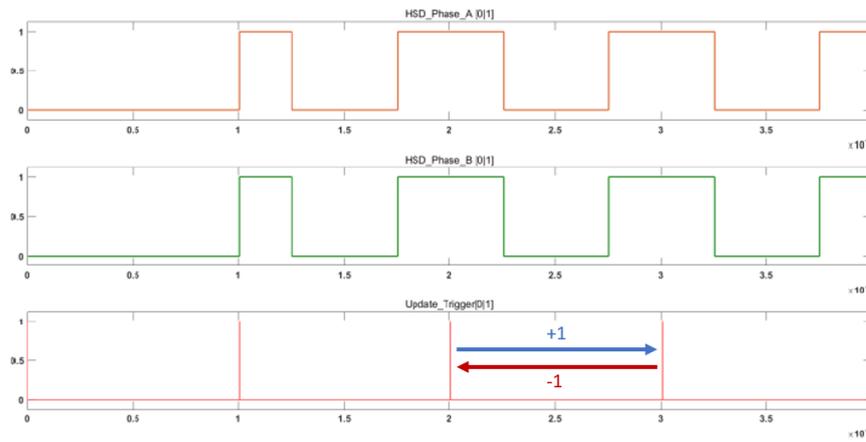


Figura 3-7. Ejemplo de generación de señal PWM por bloque de la librería DSPACE.

La gráfica “HSD_Phase_A[0]1” de la Figura 3-7, representa el Duty Cycle del canal A, la gráfica “HSD_Phase_B[0]1” de la Figura 3-7, el Duty cycle del canal B, y la gráfica “Update_Trigger[0]1”, representa los pulsos de la interrupción que genera los pulsos de los disparos PWM.

Véase en la figura 3-7 como la simetría entre las diferentes señales PWM se toma respecto a los centros de las mismas, ya que los pulsos de disparo se toman según los puntos medios de las portadoras triangulares. Lo máximo que se puede atrasar o adelantar una señal es la mitad del valor de su ciclo de trabajo. Esto quiere decir, que una señal y su complementaria nunca se pueden solapar. De esta manera, tanto la fase A como la B para el caso de la figura, se podría adelantar o atrasar de manera que una fuera la complementaria de la otra, pudiendo desfasar así las señales todo el rango posible entre 0 y 180°. El desfase está normalizado respecto al periodo de conmutación, de esta forma, el valor del desfase se obtiene como $\frac{\delta}{T}$ donde δ hace referencia al desfase deseado y T al periodo completo de conmutación, quedando así el rango comprendido entre -1 y 1. Por ejemplo, para el caso donde el Duty Cycle es igual a 0.5, los 180° se podrían obtener desfasando la fase A en -0.25 y la fase B en 0.25 del periodo total de conmutación, esto es $\pm 62.5\mu\text{s}$ del periodo teniendo en cuenta que se trabajará con una frecuencia de 4kHz, es decir, $\frac{\pm 62.5\mu\text{s}}{250\mu\text{s}} = \pm 0.25$.

De esta forma, para esta situación se podría adaptar cualquier ángulo, por ejemplo 120°, se corresponderían con 83.3 μs del periodo. Para poder estar dentro de los límites se podría desfasar la fase A -0.25. De esta forma ya existiría una diferencia de 62.5 μs . Ahora para la fase B, $\frac{83.3\mu\text{s}-62.5\mu\text{s}}{250\mu\text{s}}$ sería un valor de 0.083 normalizado respecto al periodo lo que se tendría que adelantar. Esto es posible puesto que es un valor inferior a los 0.25 máximos que se podría adelantar.

El problema está en el valor del ciclo de trabajo. Si en lugar de tener dos señales con un duty cycle igual a 0.5 tuvieran un valor de 0.1, lo máximo que se podrían adelantar o atrasar sería ± 0.05 . Analizando el caso que se expone anteriormente, si se atrasa la señal A lo máximo -0.05 y la señal B 0.05 se corresponderían con un total de $25\mu\text{s}$ que equivalen a un ángulo de 36° .

Por tanto, de esta forma, se tendría que adaptar el sistema de manera que los cambios de fase fueran compatibles con los ciclos de trabajo usados en cada momento.

Este bloque, debido a las limitaciones explicadas, no será usado en el sistema real. Se creará un generador PWM con bloques de Xilinx que permitirá desfasar señales entre 0 y 180° independientemente del ciclo de trabajo de cada momento.

3.1.3.2 RTI_FPGA_Programming_blockset.

Esta librería es la que permitirá realizar todas las labores de configuración tanto del procesador como de la FPGA, así como las comunicaciones entre ambos lados, permitiendo añadir los registros o buffers de comunicación.

Para la configuración del lado de procesador se hará uso del bloque "Processor_Setup". Este bloque, es el que actúa como enlace entre el lado de procesador y el de FPGA cuando se construye el modelo RTI. En él se añade el fichero resultado de la síntesis de la parte FPGA.

Para la configuración de la FPGA, se hará uso del bloque "FPGA_Setup". Este permite, en primer lugar, elegir el dispositivo FPGA que se usará, en este proyecto DS5203 con módulo de ampliación M1. Una vez se elige el dispositivo, hay que determinar el periodo de ejecución de los bloques el cual se deberá corresponder con el periodo de simulación elegido mientras se esté simulando con esta parte activa en el modelo. Además, este bloque permite ejecutar la aplicación en la FPGA. Ejecutar la aplicación quiere decir, construirla en la FPGA, de manera que es el que permite enlazar Matlab Simulink con Xilinx System Generator, que es el encargado de llevar a cabo la síntesis.

Por otro lado, esta librería contiene los bloques de registros y buffers para mandar datos a la FPGA o al procesador, comunicándose directamente de forma interna entre ellos, o registros que permiten hacer uso de las entradas y salidas analógicas y digitales, pudiéndolas configurar directamente mediante software. Para ello, se debe decidir un canal para cada registro que se utilice y adaptarlo al tipo de dato adecuado en cada caso.

Por último, se hará uso también del bloque de interrupción. Este servirá para hacer que el bloque destinado a la toma de medidas y control del sistema se ejecute de manera síncrona con la portadora del PWM.

Las configuraciones y funcionalidades de todos los bloques vistos en este subcapítulo que serán necesarias, se muestran con más detalle en el capítulo 4 y 6 donde se hace una explicación de los modelos utilizados.

3.1.3.3 Xilinx Blockset.

En este caso, para generar las señales PWM se ha hecho uso, además de los bloques de registros de la librería de DSPACE, de bloques básicos de Xilinx que permiten programar una FPGA de manera similar a un diseño HDL en Matlab Simulink. Esta proporciona desde bloques de operaciones matemáticas, registros y conversores de tipo de dato, hasta bloques lógicos que permiten convertir un código de programación Matlab a lenguaje VHDL para ser implementado en la FPGA. De nuevo en el capítulo 4, se explica detalladamente los bloques utilizados de dicha librería para realizar un PS-PWM.

3.2 Tarjeta controladora DS5202.

Como se introdujo al inicio del capítulo, la toma de medidas se realizará con otra tarjeta controladora compatible con la plataforma DSPACE, la FPGA DS5202. Esta tarjeta proporciona una matriz de puertas programables en campo y conectores para un módulo de personalización que permite implementar adaptaciones de entrada/salida así como desarrollar aplicaciones en tiempo real con altas frecuencias de muestreo que se pueden trasladar hacia la FPGA.

3.2.1 Características técnicas DS5202.

La tarjeta controladora DS5202 está dotada de la FPGA de Xilinx SPARTAN3 XC3S4000 que tiene las siguientes características más relevantes:

- 4 millones de puertas de sistema.
- 62.208 celdas lógicas equivalentes.
- 6912 CLBs.
- Memoria Ram de 432 kbit.
- Block Ram de 1728 kbit.
- 144 Líneas de E/S desde el módulo de personalización hasta la FPGA.
- 18 canales de E/S desde el módulo de personalización hasta un conector Sub-D.[12]

De todas las posibles funcionalidades y prestaciones que proporciona dicho elemento, en este proyecto se hará uso del módulo ACMC, concretamente de la parte del convertidor analógico digital.

3.2.2 Módulo ACMC DS5202.

Para la utilización de este módulo, se dispone de un tablero de conexión conectado a la FPGA DS5202 que permite obtener todas las funcionalidades desarrolladas de una manera directa. Este dispositivo se muestra en la Figura 3-8.



Figura 3-8. Tablero de conexión ACMC DS5202.

Se hará uso del convertidor analógico-digital de dicho tablero. La conversión se realiza continuamente a una frecuencia de 10MHz y una resolución de 14 bits. El rango de entrada puede elegirse entre $\pm 5V$, $\pm 15V$ o $\pm 30V$. Para poder hacer uso de estos canales, la solución ACMC, dispone de una librería en Matlab Simulink que permite la configuración y elección de parámetros de manera directa mediante su bloque correspondiente. Estas funciones se pueden observar en la Figura 3-9.

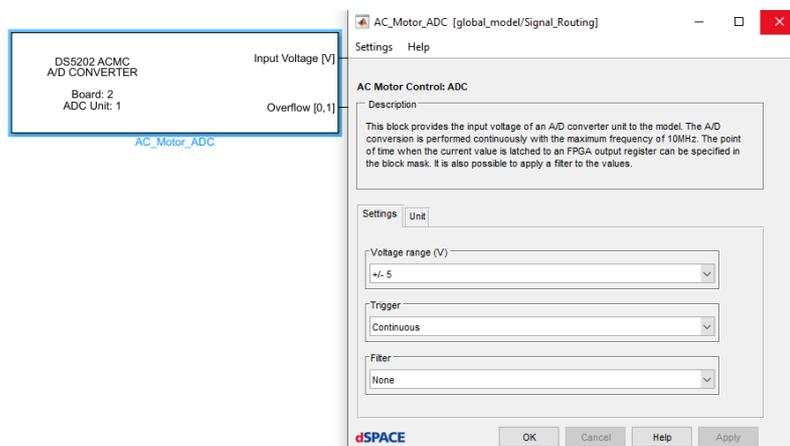
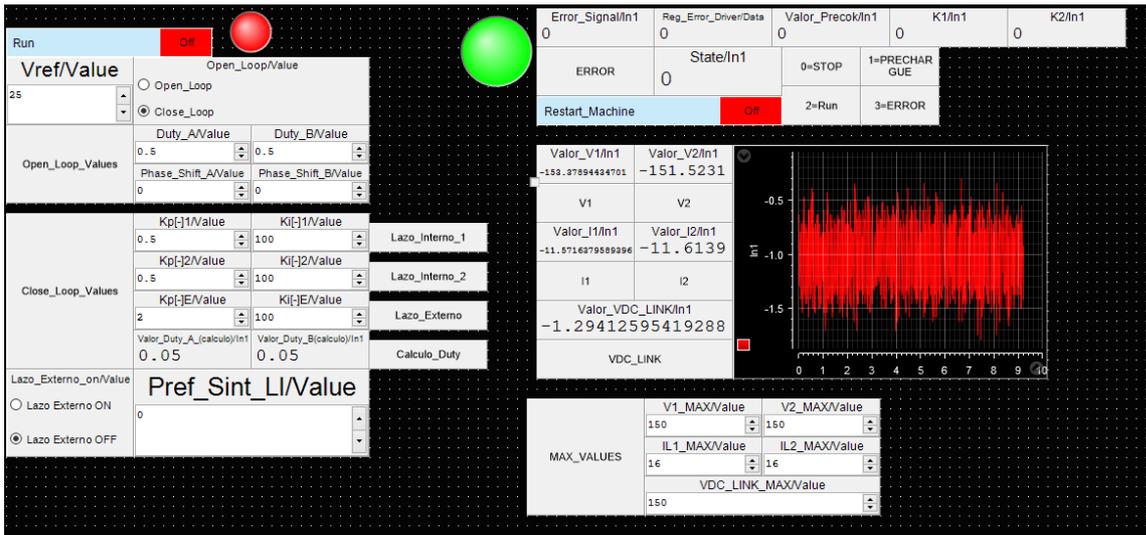


Figura 3-9. Bloque Matlab Simulink ADC DS5202.

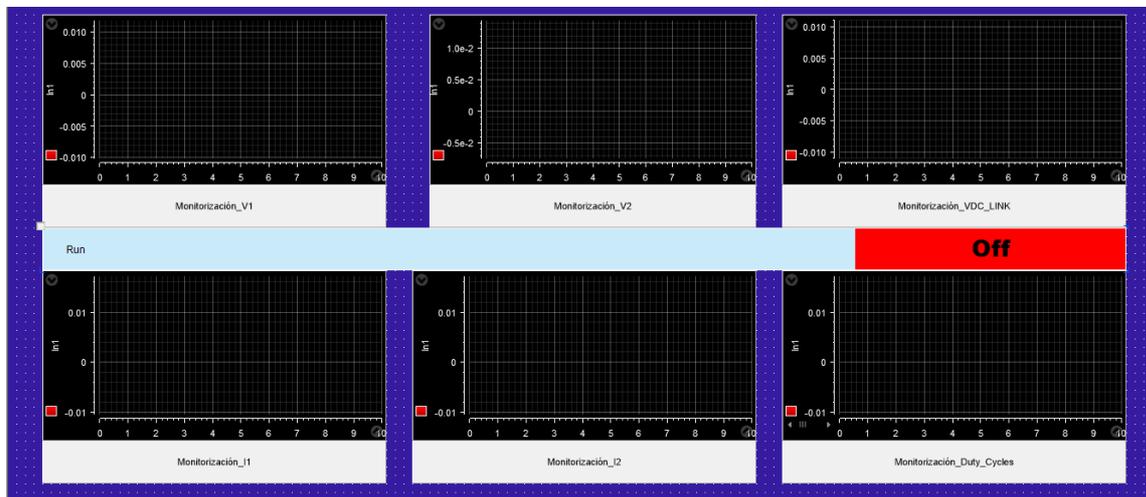
3.4 Interfaz gráfica.

Como interfaz gráfica entre el usuario y el sistema, se usa una herramienta proporcionada por DSPACE, el software ControlDesk.

Esta permite diseñar un entorno donde se puede operar sobre las diferentes variables del equipo en tiempo real, como valores de los controladores PI o mandar el modo de operación deseado, o incluso para monitorizar los diferentes experimentos que se vayan a llevar a cabo de una manera sencilla y directa, permitiendo poder mostrar gráficos y visualizadores de mediciones.



(a)



(b)

Figura 3-10. (a) Ventana Principal de operación. (b) Ventana de monitorización de señales.

En la parte superior izquierda de la Figura 3-10 (a) se puede observar el botón de Run. Este permite el arranque del sistema. Si este se activa correctamente, el indicador pasará de tener un color rojo a verde, indicando así que el sistema está activado. En esta zona, se encuentra también el botón que permite seleccionar si se quiere trabajar en bucle abierto o bucle cerrado (“Open_Loop” y “Close_Loop”). Para el caso en que se trabaje en bucle abierto, se podrán introducir los valores de los Duty Cycles de cada canal en “Duty_A/Value” y “Duty_B/Value”. También se podrá elegir el ángulo de desfase entre los disparos de ambos canales modificando el valor de “Phase_Shift_A/Value” y “Phase_Shift_B/Value”. Para el caso donde se elija el modo de bucle cerrado

("Close_Loop"), mediante "Vref/Value" se podrá elegir la tensión de referencia deseada en la salida del convertidor.

En la parte central izquierda de la Figura 3-10 (a), se pueden elegir los valores de sintonización de los controladores del lazo interno de cada rama en "Kp(-)1/Value" y "Ki(-)1/Value" para la rama 1 y "Kp(-)2/Value" y "Ki(-)2/Value" para la rama 2, así como, los valores de sintonización del lazo externo de tensión en "Kp(-)E/Value" y "Ki(-)E/Value".

Por último, en la parte inferior izquierda de la Figura 3-10 (a), también se dispone de un botón para conectar o desconectar el lazo externo de tensión con "Lazo Externo ON" y "Lazo Externo OFF", e imponer manualmente una potencia de referencia, con "Pref_Sint_LI" para sintonizar así el lazo interno de corriente de manera independiente al de tensión.

Por otro lado, en la parte superior derecha de la Figura 3-10 (a), aparece otro indicador, en este caso en color verde. Este indicador cambiará a color rojo en caso de que se detecte algún tipo de error provocado por sobretensión o sobrecorriente. Además, también aparecen varios displays que indican los valores de las variables de la máquina de estados. El botón "Restart_Machine" es el que permite resetear el sistema.

En la parte central derecha de la Figura 3-10 (a), se encuentran varios displays que muestran los valores medidos a través de los sensores de tensión y corriente situados en el equipo real. Así mismo, se incluye un visor temporal gráfico que representa la tensión del DC-Link, para poder monitorizarla en todo momento.

En la parte inferior derecha de la Figura 3-10 (a), se pueden introducir manualmente los valores límites para el control de los errores por sobretensión en la entrada de cada canal con "V1_MAX/Value" y "V2_Max/Value" o sobrecorriente con "I1_MAX/Value" y "I2_Max/Value". Además, también para el control de sobretensión de la tensión del DC-Link con "VDC_LINK_MAX/Value".

En la Figura 3-10 (b), se muestra la monitorización de todos los valores medidos. De esta forma, se obtendrán los resultados de los diferentes experimentos que validan el funcionamiento del circuito, ya que estos visualizadores permiten representar en tiempo real cualquier señal de una manera análoga a Matlab. También se añade el botón de activación del sistema "Run", para que en caso de observar alguna anomalía poder parar la ejecución inmediatamente. Este tiene el mismo efecto que el botón "Run" que aparece en la Figura 3-10 (a).

4 SIMULACIÓN DEL SISTEMA.

En este capítulo se van a presentar los resultados obtenidos de la simulación del convertidor DC/DC bidireccional. De esta forma, se realizará un estudio de los valores y resultados teóricos que se deben obtener del sistema bajo estudio, y además, se comprobará el correcto funcionamiento del modelo implementado en Simulink antes de emplearlo en el sistema real.

4.1 Modelo de simulación.

Como se dijo en el capítulo 3, para poder asegurar que la aplicación que se desea diseñar es correcta, las librerías de FPGA permiten que todo pueda ser simulado como si de cualquier bloque estándar de Simulink se tratase. Por ello, el modelo que se ha llevado a cabo para el estudio de las simulaciones, excepto la parte de la adquisición de medidas analógicas, coincide con el que se empleará en el sistema real. En la Figura 4-1, se muestra el esquema del circuito de Simulink que se corresponde con el convertidor DC/DC bidireccional que se va a controlar en el sistema real.

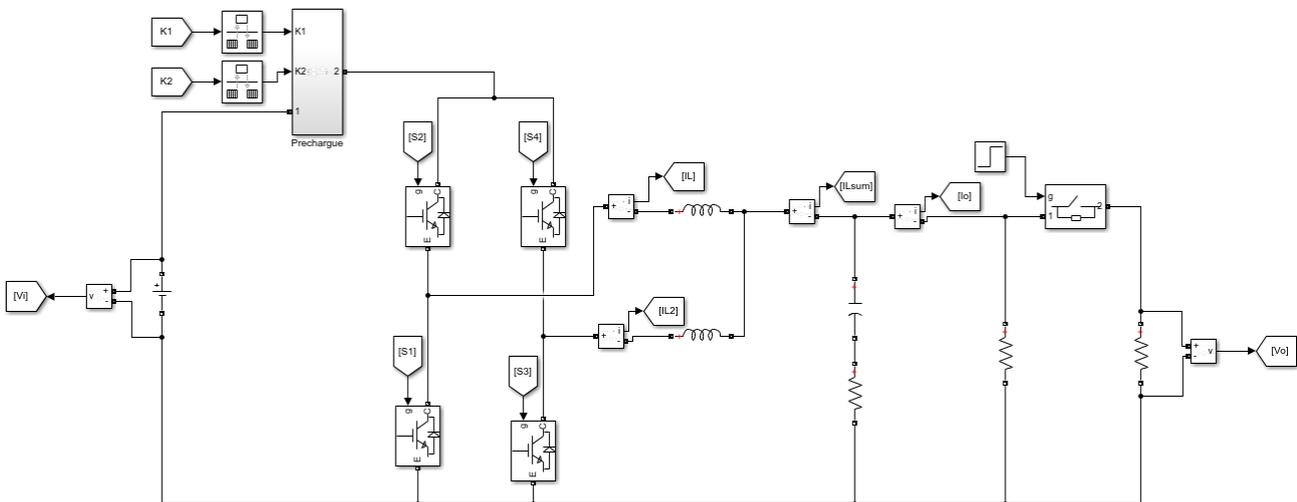
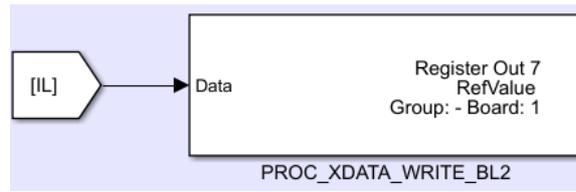


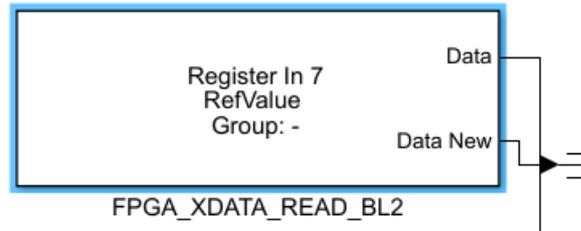
Figura 4-1. Esquema Matlab Simulink convertidor bidireccional con dos ramas en paralelo.

El circuito mostrado en la Figura 4-1, está compuesto por la fuente de tensión “Vi”, que aportará la tensión de entrada al circuito. El subsistema “Precharge”, que es el mostrado en la Figura 2-11 del apartado 2.2. Cuatro IGBT’s cuyas señales de disparo son “S1”, “S2”, “S3” y “S4”, que serán obtenidas a partir del generador PWM, explicado en el apartado 4.1.1. Dos bobinas, una para cada rama. El condensador de DC-Link con una resistencia en serie de valor 0.1Ω cuyo objetivo es emular las pérdidas de un condensador real. Por último, en la parte derecha del circuito, se pueden observar dos resistencias que emularán la carga del sistema. Estas están conectadas a través de un interruptor, que se acciona mediante una señal en escalón que cambia del valor de 0 a 1 en un instante de tiempo determinado de la simulación para emular así un cambio de carga en el sistema.

En primer lugar, la principal diferencia que tendrá el modelo de simulación con el convertidor real, es la toma de las medidas de los dispositivos, es decir, las corrientes por la bobina y la tensión del DC-Link. En este caso, la medida se obtiene con un medidor de corriente o tensión y el valor se almacena en una etiqueta, véase en la Figura 4-1 por ejemplo “IL” o “IL2”. Estos valores, son tomados desde el lado de procesador, así que deben ser mandados al lado de FPGA. Para ello, se hará uso de los bloques de registros de la librería “RTI_FPGA_Programming_Blockset” como se indicó en el subcapítulo 3.3.2.



(a)



(b)

Figura 4-2. (a) Registro del lado de procesador (b) Registro en lado FPGA.

Como se observa en la Figura 4-2, ambos registros han de tener el mismo nombre y canal en ambos lados del modelo. De esta forma, en la Figura 4-2 (a) se almacena el valor del dato de “IL” tomado en el lado de procesador en un registro compartido con la FPGA. En la Figura 4-2 (b), se muestra el bloque donde se lee el dato introducido en el registro en el lado correspondiente a la FPGA.

Se pueden encontrar 4 bloques diferentes en el modelo. Generación PWM, controladores, máquina de estados y monitorización de las señales.

4.1.1 Generador PWM.

Como se explicó en el capítulo 3, debido a las limitaciones que suponía el uso del PS-PWM de DSPACE, se ha creado uno propio que permita desfasar ambas señales independientemente de cuales sean los duty cycle de cada una.

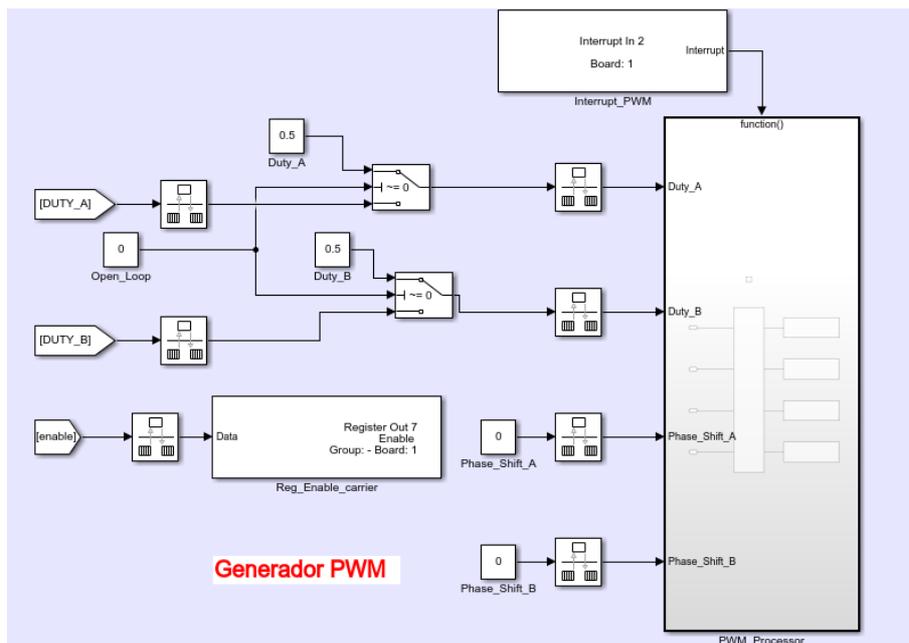


Figura 4-3. Bloque PWM en lado procesador.

La Figura 4-3 muestra la parte de procesador del generador PS-PWM. El subsistema “PWM_Processor” es un subsistema de llamada por función, cuyo interior contiene los bloques de registros compartidos con el lado FPGA. La finalidad de que sea de este tipo, es debida a la necesidad de un registro sombra para escribir los diferentes valores sobre los registros compartidos con el lado FPGA.

El valor de los duty cycles, conllevan un tiempo de cálculo que, además, no es fijo. Si se escribe en el registro el valor en el momento que acabe de ser calculado, no se asegura que el valor se mantenga durante un ciclo completo de portadora. El bloque “Interrupt_PWM” permite obtener una interrupción cada periodo completo de portadora, es decir, cada paso por cero de esta. Así se habilitará el subsistema cada paso por cero de portadora, permitiendo en ese instante, que el valor del ciclo de trabajo calculado en el periodo anterior, se escriba en el registro compartido con la FPGA y se mantenga durante un ciclo completo. Dicha interrupción se obtiene mediante el bloque “Shadow_Interrupt” representado en la Figura 4-8.

Además, mediante el bloque “Open_Loop”, se puede elegir trabajar en bucle abierto, cuando su valor es de 1 o en bucle cerrado, cuando su valor es 0. En el primer caso, los valores de los ciclos de trabajo se podrán introducir manualmente mediante los bloques “Duty_A” y “Duty_B”. Para el segundo caso, los duty cycles, son el resultado de la ejecución del bloque de control, que se explicará con detalle en este capítulo. Por otra parte, también se observan como entradas del subsistema los desfases de las portadoras, que se pueden modificar a través de los bloques “Phase_Shift_A” y “Phase_Shift_B”. La señal de activación del generador, “enable”, es gestionada por la máquina de estados del sistema, que también será explicada con detalle en este capítulo.

En la figura 4-4, se muestran las diferentes partes que implementan el generador PS-PWM en el lado de FPGA.

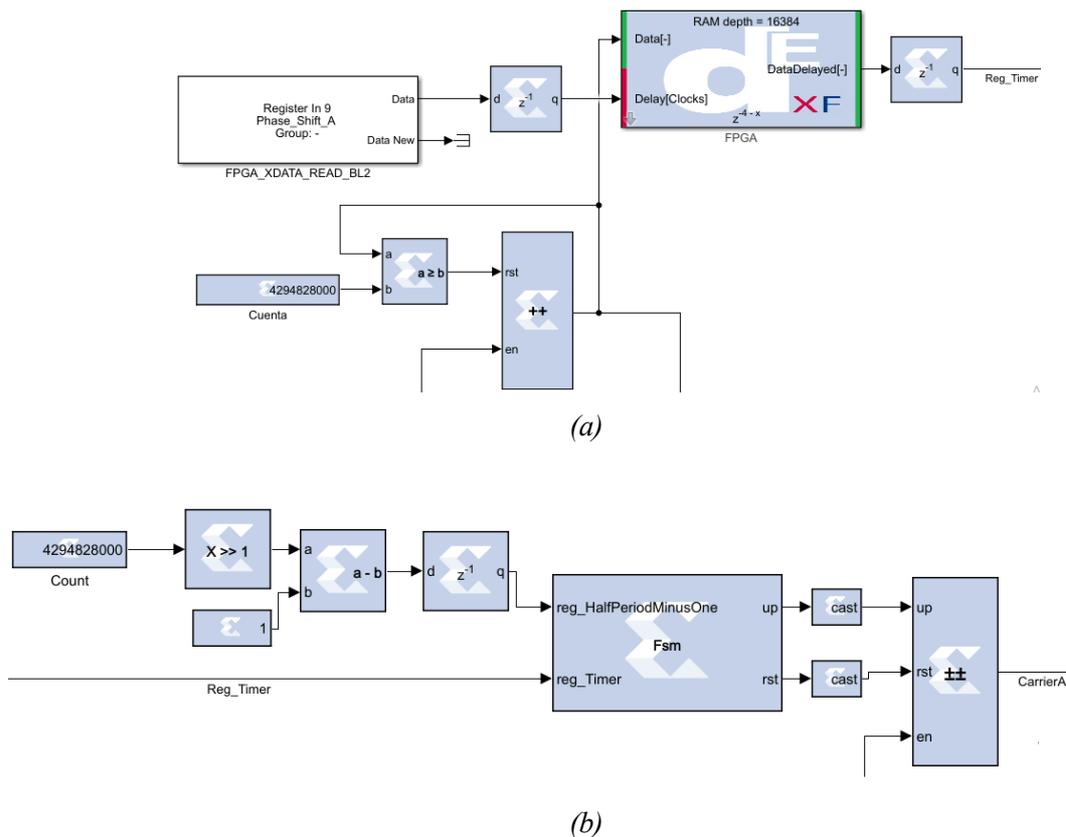


Figura 4-4. (a) Parte de obtención de señal de referencia. (b) Parte de obtención de la generación de la portadora triangular.

En la Figura 4-4 (a), se muestra el esquema de obtención de la señal de referencia necesaria para la generación de la triangular. El bloque “Phase_Shift_A” contiene la información sobre el desfase que se desee generar entre las portadoras, este será la entrada “Delay” del bloque “FPGA” que es el encargado de generar un retraso dinámico sobre la señal de entrada en “Data”, que será una señal diente de sierra cuyo periodo es igual al deseado en la portadora triangular. Esta señal diente de sierra es generada mediante el bloque “++”, el cual representa un contador ascendente de 32 bits. Como se aprecia, el bloque “++” tiene dos entradas “rst”, que es el reseteo del mismo que permite inicializar su valor a 0 cuando el valor de esta es igual a 1, y la entrada “en” que es el enable, que permite la activación del bloque cuando su valor es 1. Este enable será el mismo para todos los demás bloques que tengan la entrada “en”. El reseteo del contador se realiza cada vez que este llega al valor de “cuenta”, para garantizar así que efectivamente se obtiene el periodo deseado. Por último, la salida de este esquema, “Reg_Timer”, será la entrada “Reg_Timer” del bloque “Fsm” de la Figura 4-4 (b).

En la Figura 4-4 (b), se muestra la parte del esquema donde se obtiene la portadora triangular de referencia. Está compuesto principalmente por el bloque “Fsm”, que tiene las entradas “reg_HalfPeriodMinusOne” que recibe el valor de la mitad de la cuenta total del contador ascendente “++” de la Figura 4-4 (a), y la entrada “Reg_Timer”, que recibe el valor de la salida explicada anteriormente en la Figura 4-4 (a). El bloque “Fsm” tiene como salidas “up”, cuyo valor será 1 mientras se desee que el contador ascendente/descendente ,bloque “±±” este contando en dirección ascendente, y 0 en caso contrario; y la entrada “rst”, que permite inicializar el valor de “±±” a 0 cuando el valor de esta es igual a 1. La salida, “CarrierA” será la portadora triangular, en este caso la de la fase A. Esta será la entrada “b” del bloque de comparación mostrado en la Figura 4-6.

Una vez se ha explicado lo que representa cada bloque, el funcionamiento de este generador es el siguiente. La señal portadora triangular se obtiene a partir de un contador ascendente/descendente de 32 bits. Para gestionar el periodo de dicha portadora triangular, se hace uso de una máquina de estados, bloque “Fsm” de la Figura 4-4 (b), que indique el tiempo que debe estar contando en dirección ascendente y descendente. Esta máquina de estados recibe como entradas el valor de la mitad del periodo de una referencia temporal con periodo igual al periodo de portadora triangular deseado, y la propia referencia temporal con la que comparar.

El periodo se obtiene mediante la siguiente expresión:

$$T_{sw} = \frac{fs}{f_{sw}} \quad (4-1)$$

Donde fs es la frecuencia de muestreo de la FPGA y f_{sw} la frecuencia de conmutación deseada.

Como se aprecia en la Figura 4-4 (a), la referencia se obtiene mediante un contador ascendente de 32 bits, que contará desde 0 hasta el valor del bloque “Count”. Cabe destacar, que para que esta señal sea lo más exacta posible, se aplica un reset al final de cada cuenta, para asegurar que cada periodo comience a contar desde un valor de 0. En la Figura 4-4 (a) también se puede observar el registro de “Phase_Shift_A” que permite indicar el desfase deseado sobre la señal de referencia en caso de que se quiera aplicar. Para ello, el valor contenido en este registro, será la entrada “Delay” del bloque “FPGA” que permite aplicar un retraso dinámico sobre la señal de entrada “Data” del bloque “FPGA”, que es este caso, la referencia temporal obtenida de la salida del contador ascendente previamente explicada.

Para la implementación de la máquina de estados “Fsm”, se hace uso del bloque de la librería Xilinx Blockset MCode, el cual permite convertir código de programación Matlab a VHDL.

Para el caso de una frecuencia de 4KHz y una frecuencia de muestreo de 100MHz el T_{sw} será de 25000. Esto significa que se tendrá como referencia una señal triangular que toma valores entre 0 y 25000 cuyo periodo será de 250µs. En la Figura 4-5 se muestra el código de la máquina de estados que contiene el bloque “Fsm”.

```

1  function [up,rst] = Fsm(reg_HalfPeriodMinusOne, reg_Timer)
2  persistent state, state = xl_state(0,{xlUnsigned, 1, 0});
3  % default value
4  up = 1;
5  rst = 0;
6  switch state
7      % counting up
8      case 0
9          up = 1;
10         rst = 0;
11         if reg_Timer > reg_HalfPeriodMinusOne
12             state = 1;
13         end
14         % counting down
15         case 1
16             up = 0;
17             if reg_Timer == 0
18                 state = 0;
19                 rst = 1;
20             else
21                 rst = 0;
22             end
23         end
24     end
25 end

```

Figura 4-5. Función FSM para máquina de estados para control del contador ascendente/descendente.

Como se aprecia en la Figura 4-5, “up”, comienza con un valor igual a 1, es decir, la salida “up” de “Fsm” valdrá 1, lo que significa que se debe estar contando en el bloque “ \pm ” de la Figura 4-4 (b) en dirección ascendente. El funcionamiento comienza en el estado 0, por tanto se mantendrán estos valores hasta que el valor de “Reg_Timer” sea mayor al de “reg_HalfPeriodMinusOne”, es decir, hasta que el valor de la cuenta supere la mitad de su valor. En este caso, se pasará al estado 1. En este estado, “up” pasa a valor 0, de manera que el bloque “ \pm ” de la Figura 4-4 (b) debe contar en dirección descendente hasta que el valor de “Reg_Timer” vuelva a valer 0, donde se pasará de nuevo al estado 0. De esta forma, estará ascendiendo la mitad del periodo y descendiendo la otra mitad.

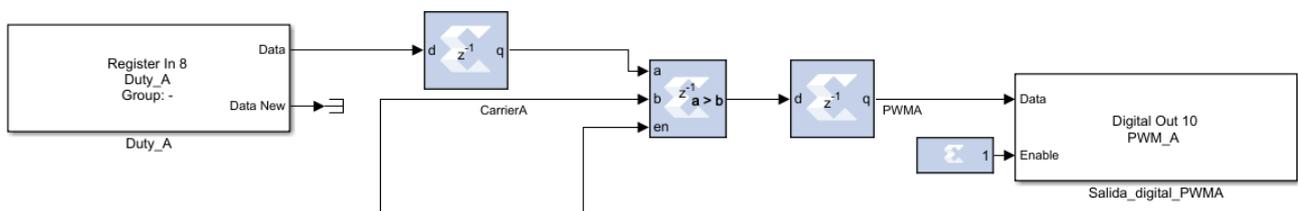


Figura 4-6. Parte del generador donde se compara la portadora triangular con el valor del duty cycle.

Una vez, se tiene la señal portadora triangular de referencia, en la Figura 4-6, se muestra como el valor de duty cycle que contiene el registro “Duty_A”, se compara con la portadora “CarrierA” mediante un comparador lógico. La salida de este, será la señal PWM deseada.

En la Figura 4-7, se muestra el resultado en simulación del funcionamiento del PS-PWM:

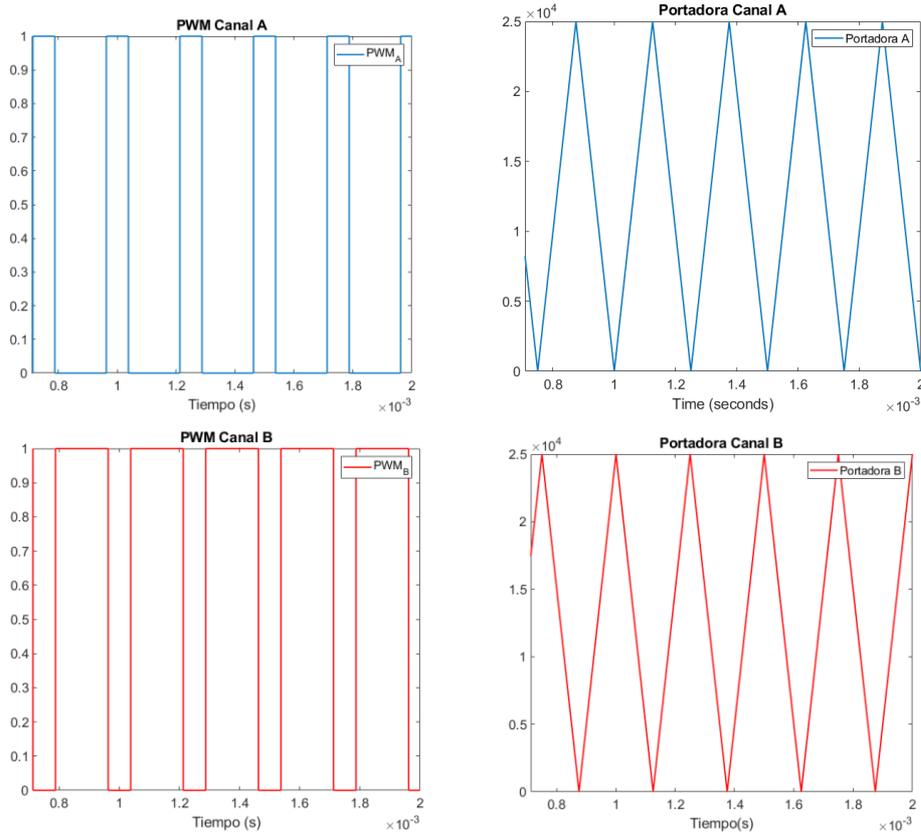


Figura 4-7. Representación de señales PWM junto con sus portadoras triangulares con un valor de duty cycle de 0.3 en canal A y 0.7 en canal B y un desfase de 180°.

El generador PS-PWM, también incluirá los bloques de interrupción necesarios para la implementación del registro sombra, toma de medidas o ejecución del control del lazo cerrado. Su obtención se muestra en la Figura 4-8.

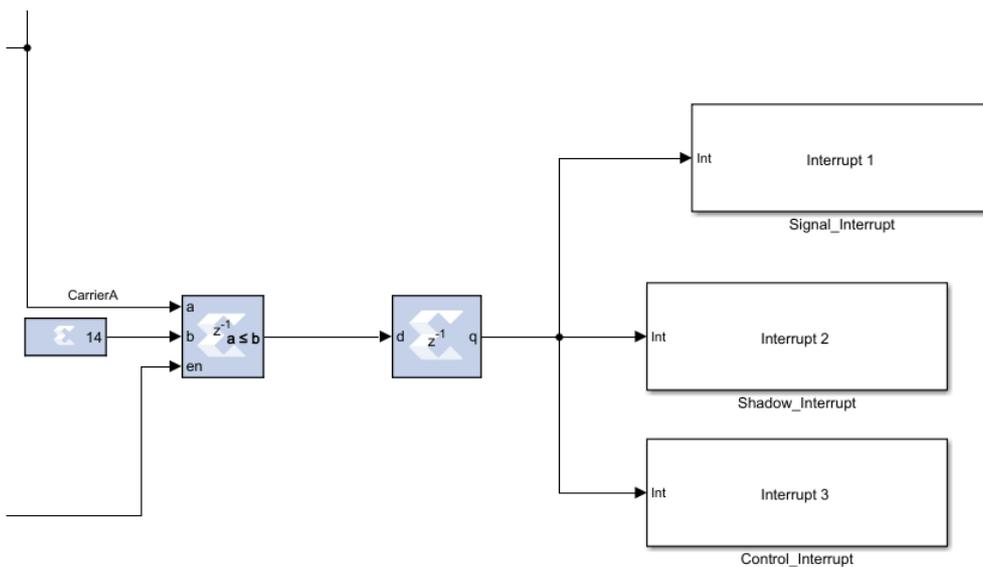


Figura 4-8. Generación de interrupción en lado de FPGA.

El bloque interrupt, es un bloque de la librería RTI_FPGA_Programming_Blockset. Este permite generar una interrupción para mandarla hacia el lado de procesador. Para que esta interrupción sea captada, es necesario que al menos dure 7 ciclos de reloj de la FPGA, por esa razón no se compara solo cuando llega a 0, sino que se hace un poco antes, para que esta dure al menos los ciclos de reloj necesarios para ser captada.

En este apartado, se ha mostrado el esquema perteneciente al canal A. Para el caso del canal B es completamente similar al proceso descrito.

En la Figura 4-8, se aprecia que se obtienen 3 interrupciones iguales pero en 3 canales diferentes. “Signal_Interrupt” será utilizada para la activación del subsistema de toma de medidas y gestión de errores. “Shadow_Interrupt”, será utilizado para la generación de la interrupción para el registro sombra explicado el inicio de este apartado. Y “Control_Interrupt”, será usado para la activación del subsistema de control del sistema. La explicación del porque se utilizan tres canales de interrupción diferentes, aunque la interrupción esté generada de la misma forma, es debido a que cada bloque solo puede utilizarse para la activación de un solo subsistema, por lo que será necesario uno para cada subsistema que se desee activar.

4.1.2 Máquina de estados.

La Figura 4-9, representa el subsistema que contiene la máquina de estados del sistema.

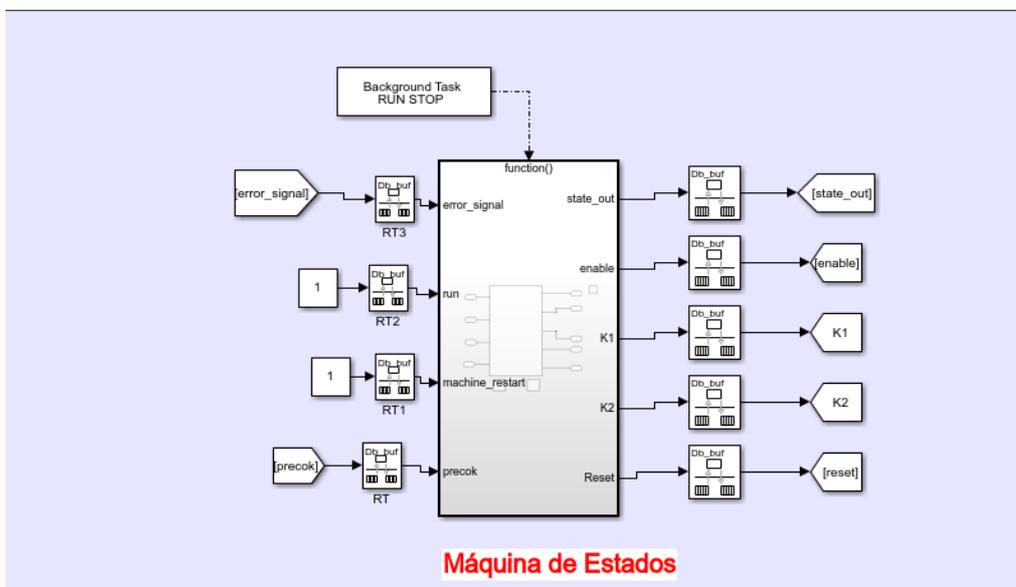


Figura 4-9. Bloque de máquina de estados.

En este caso, hay que tener en cuenta que la máquina de estados se tiene que ejecutar en segundo plano, es decir, una vez que se han realizado todos los cálculos entonces es cuando se debe de ejecutar la máquina de estados. Para conseguir esto, se implementa un subsistema que se active por función. Esta función que permite la ejecución de la máquina de estados, proviene del bloque “Background Task”. El funcionamiento de la máquina de estados se explica con detalle en el subcapítulo 4.4.

4.1.3 Controladores.

El diseño del controlador, se realizó directamente en la parte de procesador sin usar para este caso la FPGA. Para ello, se construyeron paso a paso 3 controladores PI y no se hizo uso de ningún bloque PI proporcionado por Matlab. Véase el esquema de uno de los controladores en la Figura 4-10.

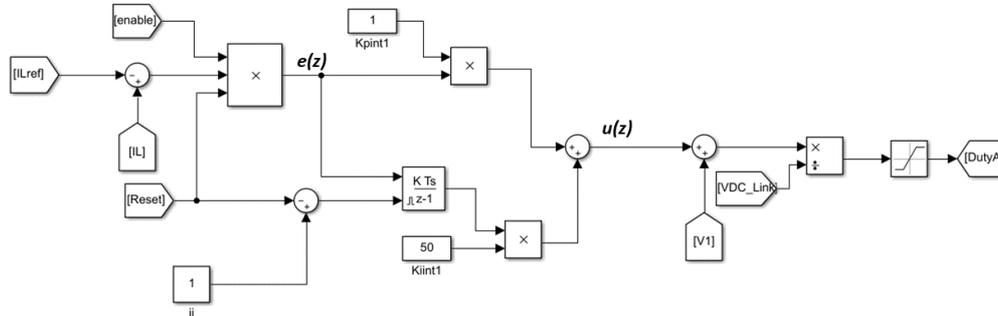


Figura 4-10. Diagrama de bloques del control del lazo interno de una de las ramas.

La entrada del controlador estará formada por 3 señales. Además del error obtenido entre los valores de “IL” e “ILref”, se hace uso de las señales “enable” y “Reset” de la máquina de estados. El uso de “enable”, permite habilitar el control cuando sea necesario para que no esté siempre calculando valores, ya que de esta manera, se estaría acumulando un error que no es necesario. “Reset”, permite resetear el valor del integrador a un valor de 0. Estas tres señales, pasan a un bloque de producto, de manera que, la salida del este bloque, será igual al error siempre que “enable” y “Reset” valgan 1 y 0 en caso contrario. El uso de estas señales permiten impedir que se acumule un error, que al ser multiplicado por las constantes integrales y proporcionales, pueda hacer que el sistema se inestabilice.

El error, será multiplicado por la constante proporcional “Kpint1” y será la entrada del integrador discreto. Véase en la Figura 4-10, como el integrador discreto tiene además como entrada la señal de “Reset”, pero a la que se le resta el valor de 1. Esto es debido a que el reset de este bloque es activo a nivel bajo, es decir, se lleva a cabo siempre que la entrada al puerto correspondiente valga 0. A la salida del integrador se le multiplica la constante integral del PI, “Kiint1”. Sumando estos dos valores, se obtiene la salida de un control PI discreto:

$$u(z) = Kpint1 * e(z) + Kiint1 * \frac{T_s}{z-1} * e(z) \quad (4-2)$$

Donde se tiene que:

- $u(z)$ es la salida del PI discreto.
- $Kpint1$ es la constante proporcional.
- $Kiint1$ es la constante integral.
- $e(z)$ es el error calculado.
- T_s es el tiempo de muestreo.

Una vez se obtiene la salida del controlador PI discreto, se normaliza el valor para obtener el duty cycle, en el caso del control del lazo interno, o el valor de la corriente de referencia, en el caso del control del lazo externo. Esto se explica en el apartado 4.2 con detalle.

4.2 Sistema de control aplicado.

El esquema del sistema de control a implementar es el mostrado en la figura 4-11.

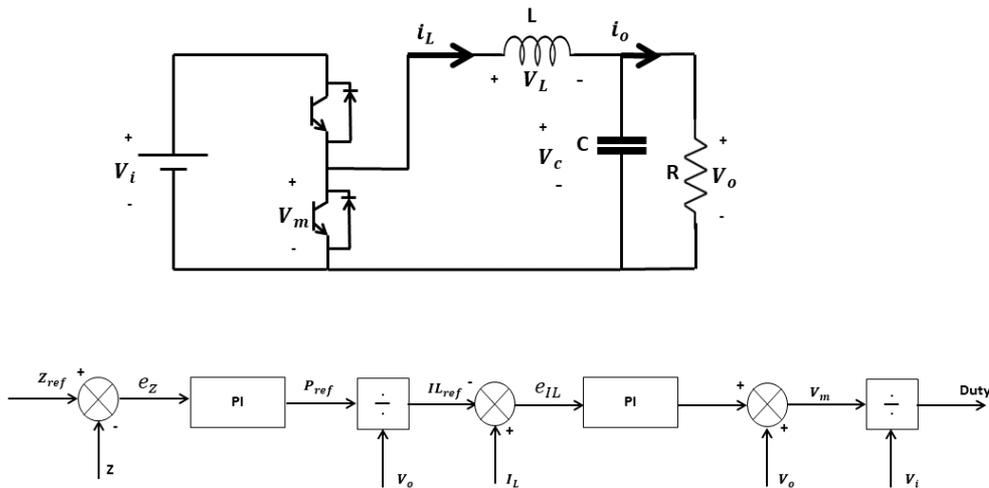


Figura 4-11. Esquema de lazo de control.

Como se puede observar en la Figura 4-11 el esquema consta de dos controladores PI en cascada, el primero para el control del lazo externo de tensión, y el segundo para el control del lazo interno de la corriente que circula por la bobina.

En el caso del lazo externo, la entrada al controlador PI, es el error existente entre Z y Z_{ref} . Ambos valores, son el resultado de un cambio de variable $Z = \frac{V_o^2}{2}$ y $Z_{ref} = \frac{V_{ref}^2}{2}$ donde V_o es la tensión en la salida y V_{ref} es la tensión de referencia deseada. El resultado obtenido a la salida de este PI es una potencia de referencia. Esta potencia, dividida por V_o será la corriente de referencia por la bobina I_{Lref} .

En el lazo interno, se controlará la corriente por la bobina, por ello la entrada del PI será el error entre la corriente de referencia, I_{Lref} , y la corriente actual que circula por la bobina I_L . A la salida, se suma la tensión de salida del sistema y se obtiene V_m . V_m es la tensión necesaria en el IGBT inferior, por tanto, dividiéndola entre la tensión de entrada, V_i , se calcula el ciclo de trabajo necesario para la conmutación de los semiconductores. La frecuencia de conmutación de los semiconductores será de 4kHz.

4.3 Lazo interno de corriente.

En primer lugar, para comprobar el correcto funcionamiento del controlador del lazo interno, en el circuito se va a forzar una tensión en la salida con una fuente de tensión fija con el valor de referencia deseado, en este caso 200V. A continuación, se introduce una potencia de referencia de manera manual para ver que efectivamente el seguimiento de la corriente de referencia en la bobina se cumple. De esta manera, se sintonizará independientemente el controlador de corriente del de tensión. El esquema del circuito realizado en Simulink se representa en la Figura 4-12.

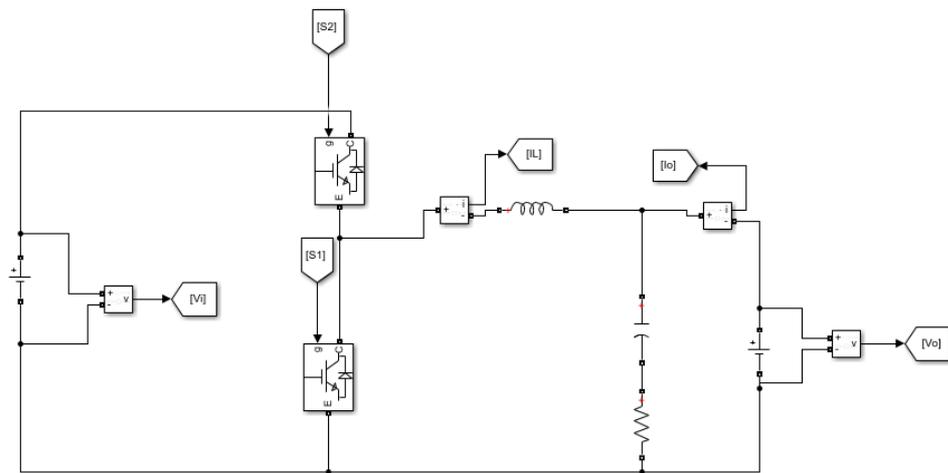


Figura 4-12. Circuito para prueba de lazo interno Matlab Simulink.

Con este modelo, y estableciendo una potencia de referencia que varía entre 6.4kW y -6.4kW para ver que efectivamente la corriente se adapta a los cambios en la referencia se han obtenido los resultados mostrados en la figura 4-13.

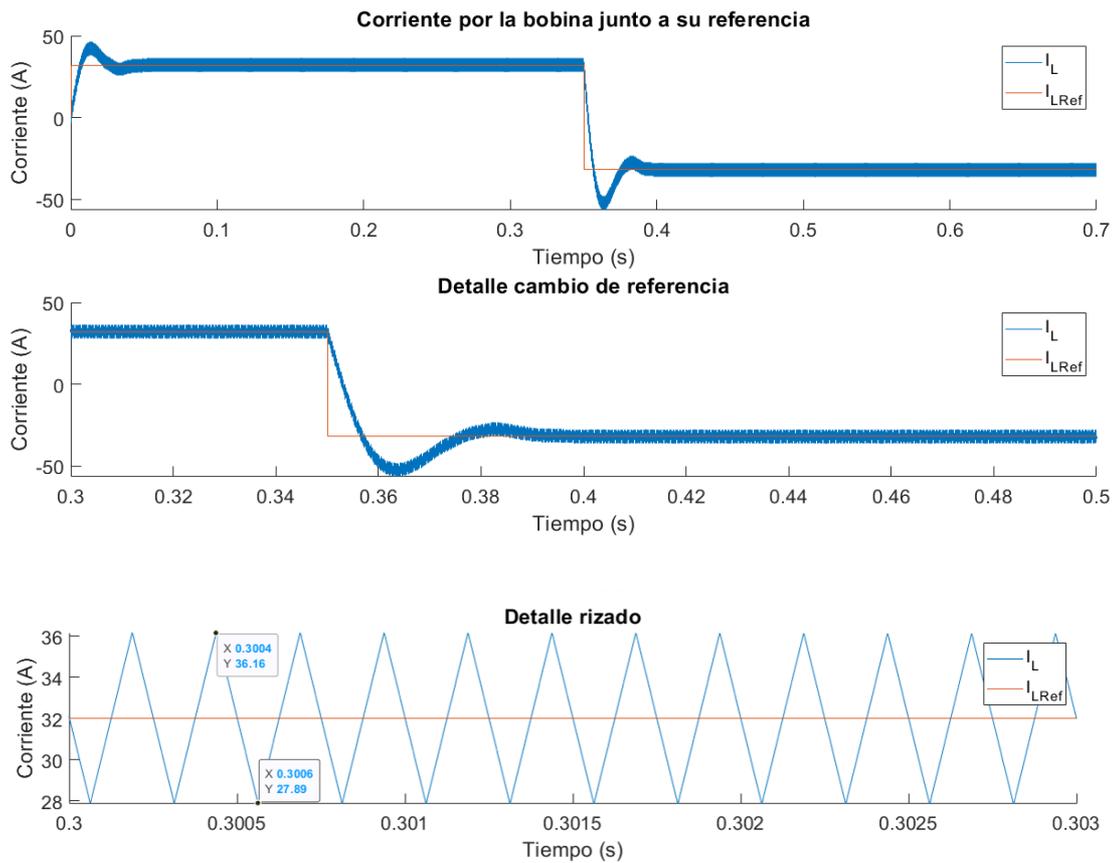


Figura 4-13. Resultados de control del lazo interno de corriente.

Como se puede observar en la figura 4-13 se realiza un cambio de potencia de referencia en el instante de 0.35s de simulación. El valor de la corriente se adapta a dicha variación en el valor de referencia en un tiempo de 100ms aproximadamente, como se puede apreciar en la gráfica “Detalle cambio de referencia” de Figura 4-13. Además, el valor del rizado obtenido en la corriente, en la gráfica “Detalle Rizado” de la Figura 4-13, se muestra que está en torno al valor de 8.3A, lo cual concuerda con el valor teórico que se obtiene a partir de la expresión (2-20).

4.4 Lazo externo de tensión.

En este caso, se comprobará el funcionamiento del lazo externo de control. El esquema del circuito se muestra en la figura 4-14.

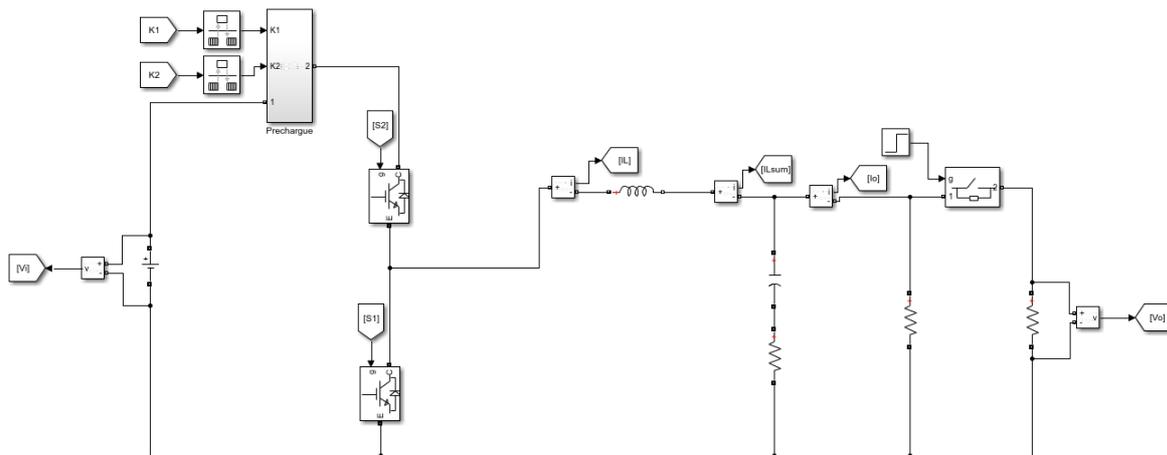


Figura 4-14. Circuito para prueba de lazo externo Matlab Simulink.

Para ello, previamente es necesaria la implementación de una máquina de estados que gobierne las diferentes etapas de funcionamiento del módulo. Las variables que gobiernan el funcionamiento de la máquina de estados son:

- RUN. Es la variable que activa o desactiva el del sistema. Sus valores pueden ser 1 ó 0. Cuando su valor es 1, el sistema se activa y cuando es 0, el sistema estará desactivado.
- PRECOK. Es la variable que indica si la condición de precarga se cumple o no. Cuando la condición de precarga se cumpla, su valor será 1, mientras no se cumpla, el valor será igual a 0.
- ERROR. Es la variable que indica que existe algún error en el sistema. De nuevo, toma los valores de 1, para cuando exista algún error y 0 cuando no exista error en el sistema.
- RESET. Es la variable que permite resetear el sistema. Permite que el sistema se inicialice con sus valores iniciales y limpie el valor de todas las variables.

Una vez se conocen las variables que gobernarán la máquina de estados del sistema, se exponen los estados por los que se moverá. Estos son 4 estados diferentes, reposo, precarga, operación y error.

- Reposo. En este estado, el sistema se encuentra desactivado y con todos sus valores a 0.
- Precarga. En el momento de inicio, el convertidor no está conectado directamente a la alimentación, tal y como se explicó en el apartado 2.3. El subsistema “Precharge” de la Figura 4-14, contiene el esquema de precarga que se mostró en la Figura 2-11 del apartado 2.3 del capítulo 2. Cuando el sistema se active, el contactor K1, es aquel que contiene la resistencia de precarga y será el que se encuentre conectado a la fuente de alimentación de la entrada, permitiendo de esta manera, una carga controlada del condensador del DC-Link. Una vez que la tensión del DC-Link alcance el valor de referencia impuesto, se cumplirá la condición de precarga. Se realiza la conmutación de los contactores de manera que K1 se abra y K2 se cierre. En este instante el sistema quedará conectado directamente a la fuente de entrada.

- Operación. En este estado, el convertidor estará funcionando de forma normal.
- Error. Es el estado de emergencia. Si los drivers de protección del circuito, mandan la la señal de error, o existe una sobretensión o sobrecorriente, el sistema se desactivará inmediatamente. Este estado no se abandonará hasta que se asegure que el error se ha solucionado, para ello, se debe activar manualmente la señal RESET y volver al estado de reposo.

Véase el esquema que representa el funcionamiento de la máquina de estados descrita en la Figura 4-15, donde se muestran las diferentes variables y estados que definen su comportamiento.

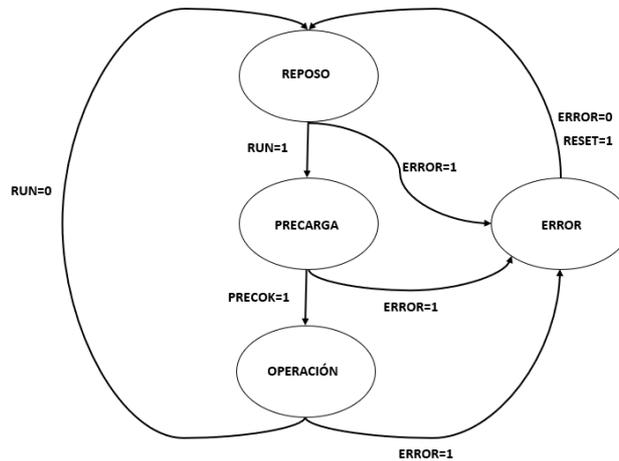


Figura 4-15. Esquema de la máquina de estados.

La función que implementa dicha máquina de estados se muestra en la Figura 4-16:

```

1  function [state_out, enable,K1,K2,reset] = State_machine(error_signal, run, machine_restart,precook)
2  global state next_state;
3
4  %%State definition
5
6  stop_s = 0;
7  precharge = 1;
8  run_s = 2;
9  emerg_s = 3;
10 state=next_state;
11 switch state
12     case stop_s
13         enable = 0;
14         K1=0;
15         K2=0;
16         reset=1;
17         %stop_s to run_s
18         if run == 1 && error_signal==0
19             next_state = precharge;
20         elseif error_signal == 1
21             next_state = emerg_s;
22             K1=0;
23             K2=0;
24         end
25
26     case precharge
27         K1=1;
28         K2=0;
29         enable=0;
30         reset=1;
31         if (precook == 1 && error_signal==0)
32             K1=0;
33             K2=1;
34             next_state = run_s;
35         elseif error_signal == 1
36             next_state=emerg_s;
37
38             K1=0;
39             K2=0;
40         end
41     |
42     case run_s
43         enable = 1;
44         K1=0;
45         K2=1;
46         reset=0;
47         %run_s to stop_s
48         if run == 0 && error_signal==0
49             next_state = stop_s;
50         elseif error_signal ==1
51             next_state = emerg_s;
52
53             K1=0;
54             K2=0;
55         end
56
57     case emerg_s
58         enable = 0;
59         K1=0;
60         K2=0;
61         reset=1;
62         %emerg_s to stop_s
63         if machine_restart == 1 && error_signal==0
64             next_state = stop_s;
65         elseif error_signal == 1
66             next_state = emerg_s;
67
68             K1=0;
69             K2=0;
70         end
71
72     otherwise
73         enable = 0;
74         K1=0;
75         K2=0;
76         reset=1;
77
78 end
79 state_out = state;

```

Figura 4-16. Función State_machine.

En la Tabla 4-1, se muestran el valor de los diferentes componentes que componen el circuito presentado en la Figura 4-14, y en la Tabla 4-2, se representan el valor de las diferentes constantes proporcionales e integrales utilizadas en los controladores PI.

Tabla 4-1. Valores de los componentes del circuito de simulación.

Componente	Valor
V_i	400V
Referencia para V_o	200V
Bobina	3mH
Condensador DC-Link	3.76mF
Carga inicial	22 Ω
Cambio de Carga	6.25 Ω
Resistencia de Precarga	10 Ω
Periodo de conmutación	250 μ s
Periodo de muestreo	1 μ s

Tabla 4-2. Valores de las constantes de los controladores PI

Lazo de control	K_p	K_I
Interno	0.5	100
Externo	1.5	150

Los resultados que se obtiene tras la simulación se presentan en la Figura 4-17.

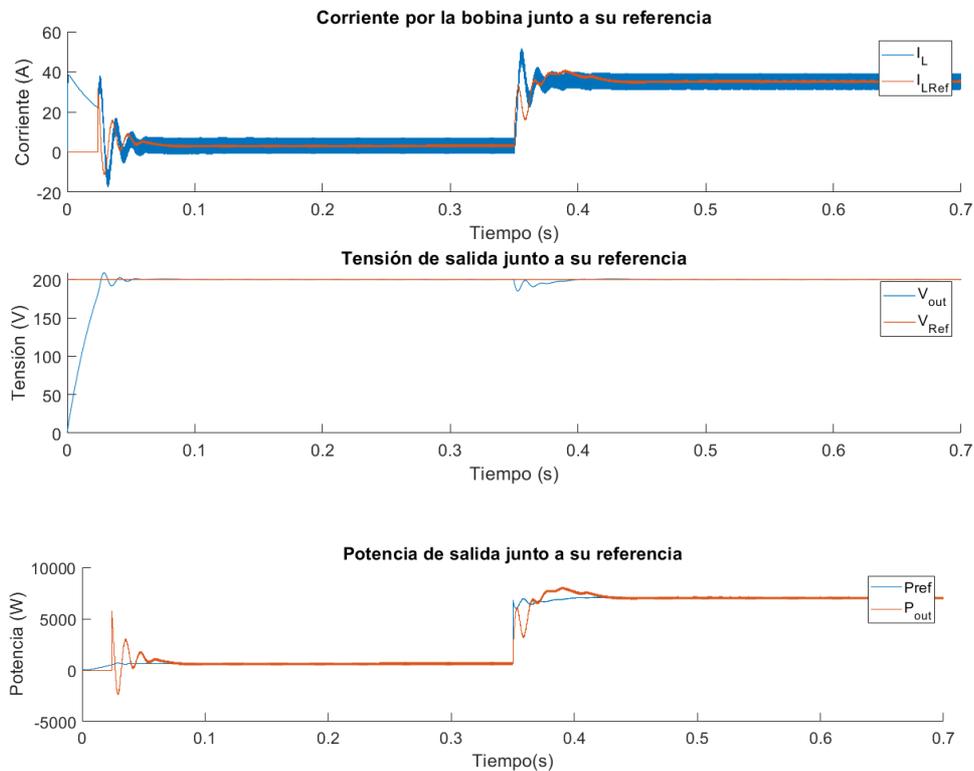


Figura 4-17. Resultados de la simulación.

Se ha supuesto que la variable RUN de la máquina de estados está activada, por lo que comienza directamente en estado de precarga, hasta el instante 0.07 aproximadamente. Nótese que no se ha puesto una precarga demasiado lenta para hacer más corta la simulación.

Por otro lado, como se puede observar en la figura 4-17, se realiza un cambio de carga, ya que hasta que el sistema no se estabiliza en su valor de referencia, este se encontrará conectado con una carga de 22Ω , cuyo consumo es menor que el de la carga final, una vez estabilizado el sistema, se introduce una carga de 6.25Ω , cuyo consumo es de 6.4kW. Este momento se observa que se lleva a cabo en el instante 0.35 segundos de simulación.

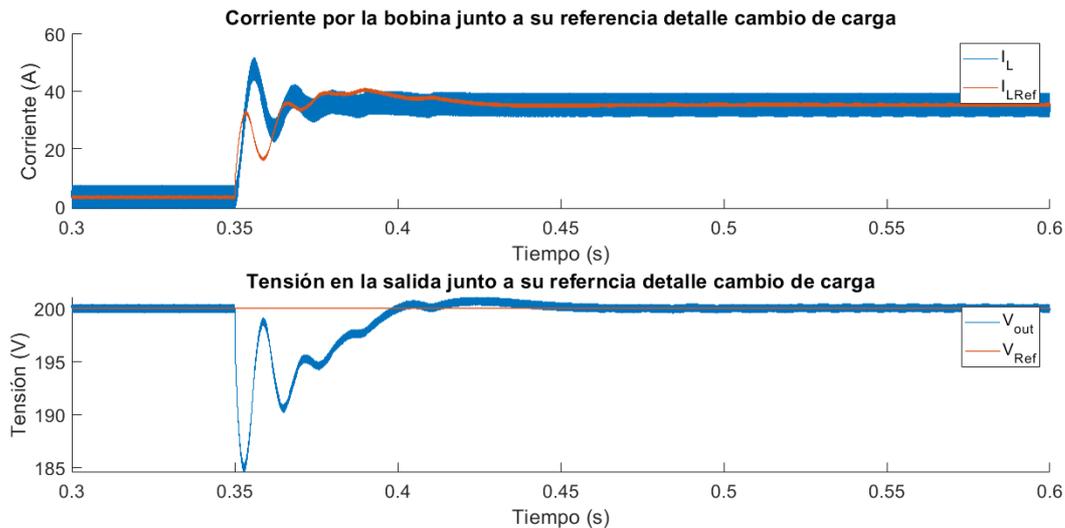


Figura 4-18. Representación en detalle del cambio de carga.

Como se puede comprobar en la Figura 4-18, una vez se realiza el cambio de carga, el sistema vuelve a buscar los valores de referencia. Tanto en la gráfica "Corriente por la bobina junto a su referencia detalle cambio de carga" de la Figura 4-18, como en la gráfica "Tensión en la salida junto a su referencia detalle cambio de carga" de la Figura 4-18, se observa que la corriente y la tensión, respectivamente, alcanzan su referencia en un tiempo de 100ms aproximadamente.

Por último, al igual que se mostró en el caso del control del lazo interno, en la Figura 4-19 se comprueba que el rizado de corriente sigue manteniendo un valor en torno a 8.3A. Así mismo, se puede observar que la corriente de referencia oscila en torno a su valor medio, ya que esta es resultado del lazo externo de tensión.

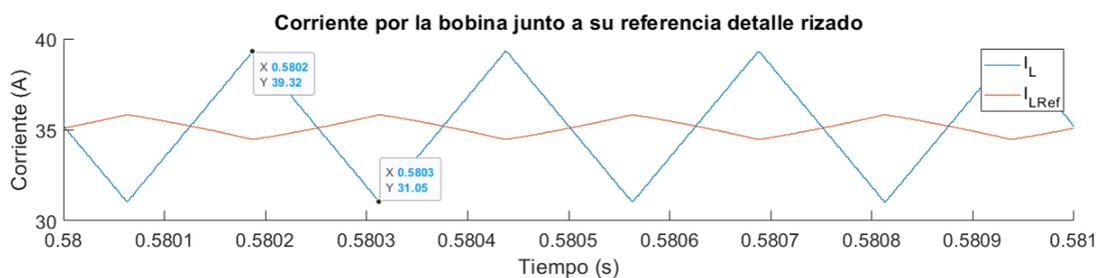


Figura 4-19. Rizado en la corriente por la bobina.

4.5 Convertidor con dos ramas en paralelo.

Una vez se ha analizado el correcto funcionamiento de todos los componentes del sistema con una sola rama, se repiten todas las pruebas descritas anteriormente pero con el convertidor completo, es decir, el mostrado en la figura 4-1.

En este caso, la potencia total del sistema se dividirá entre las dos ramas, circulando la mitad por cada una de ellas.

En el caso donde no se añade ningún desfase entre las ramas, el resultado obtenido es similar al que se ha representado en el subcapítulo 4.4 para cada rama. Esto supone que la corriente de salida total sea la suma de las corrientes que circulan por cada rama, sumándose así el rizado de cada una de ellas. Véase este efecto en la Figura 4-20. El nodo al que se refiere la representación de la Figura 4-20 es aquel donde existe un medidor de corriente cuyo nombre es “ILsum” de la Figura 4-1.

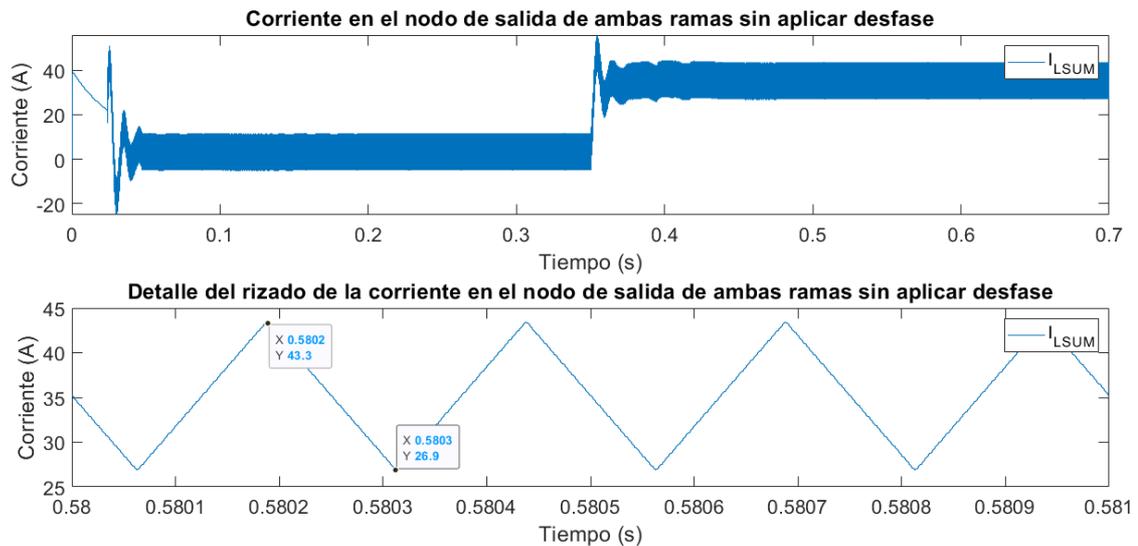


Figura 4-20. Corriente total a la salida de las dos ramas sin aplicar desfase.

Como se observa en la gráfica “Detalle del rizado de la corriente en el nodo de salida de ambas ramas sin aplicar desfase” de la Figura 4-20, el rizado en ese punto asciende hasta el valor de 16.4A.

Para reducir este efecto se hace uso de la técnica del entrelazado o “interleaving”, explicada en el subcapítulo 2.4. Como el número de ramas que existen en paralelo es igual a 2, el desfase entre ambas ramas se corresponderá con $\frac{360}{N}$ siendo N el número de ramas. Es decir, se aplicará un desfase de 180° entre ambas ramas. Se muestran los resultados obtenidos en las Figuras 4-21 y 4-22:

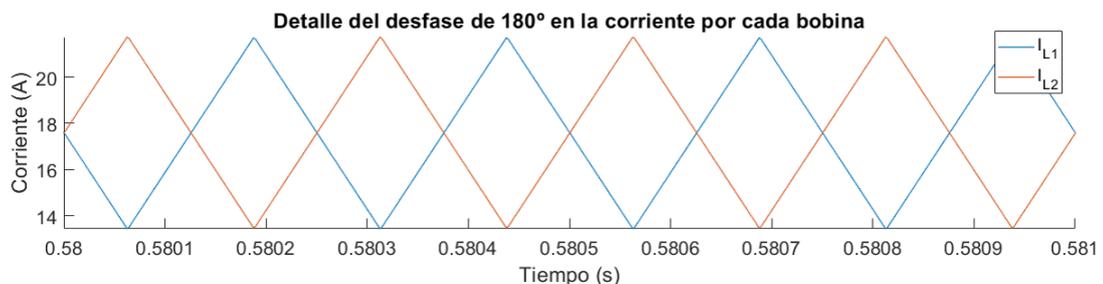


Figura 4-21. Detalle del desfase en la corriente de cada bobina.

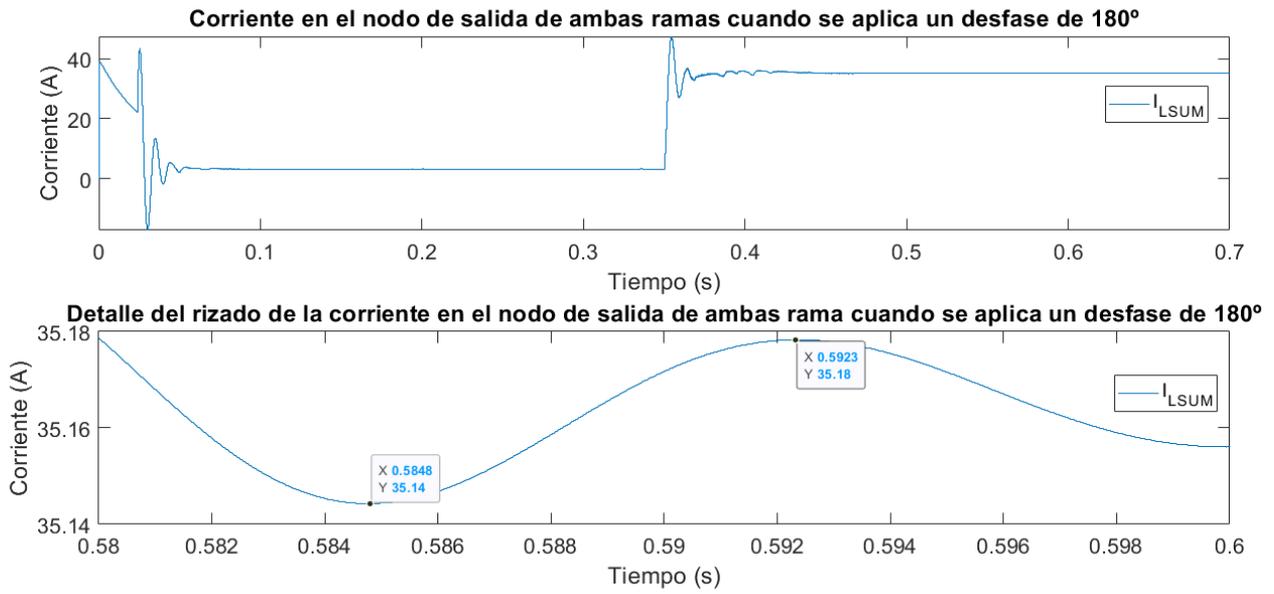


Figura 4-22. Corriente total a la salida de las dos ramas aplicando un desfase de 180°.

Como se aprecia en la Figura 4-22 el rizado de la corriente a la salida de ambas ramas se reduce considerablemente, demostrando así el correcto funcionamiento de la técnica del Interleaving.

5 PLACAS DE ADAPTACIÓN.

Este capítulo abordará el diseño de las placas de adaptación necesarias para poder tomar las medidas de corriente que circulan por las bobinas y las tensiones en la entrada del convertidor y en el condensador del DC-Link, así como, para sacar los disparos necesarios para la conmutación de los interruptores que gobiernan su funcionamiento. Para ello, se necesitarán unas placas para el convertidor analógico digital de la tarjeta DS5203 y dos para las salidas y entradas digitales de la misma. Además, pensando en posibles ampliaciones futuras, se ha diseñado una tercera placa para el convertidor digital analógico.

Como se explicó en el subcapítulo 3.2, el conector de la tarjeta controladora DS5203 es un Sub-D 50. En este caso, el diseño de cada una de las placas mencionadas se hará por separado, de manera que cada una de ellas irá en último lugar a la placa final que contiene el conector Sub-D 50 que irá conectado a la FPGA. Todas estas placas definitivamente se situarán en un rack, por lo que todas ellas deberán tener la misma medida.

Debido a la situación actual de limitación de fabricación y recepción de componentes electrónicos, no se han podido obtener todos los elementos necesarios para completar el montaje de las placas de conversión de medidas analógicas, faltando de esta manera una serie de conectores IDC de 16 pines, así como el conector Sub-D 50 de conexión a la tarjeta DS5203. Por ello, para la toma de medidas analógicas, como se mencionó en el capítulo 3, se ha hecho uso del ADC de la solución APMC de DS5202. Para poder tomar las medidas desde los sensores situados en el convertidor, se ha hecho uso de una placa de adaptación de la que se explica su uso en este capítulo.

5.1 Placas de entradas/salidas digitales.

Las entradas y salidas digitales trabajan con tecnología TTL. Hay que tener en cuenta que los convertidores en constante conmutación producen una serie de interferencias electromagnéticas. Si a esto, además, se le suma una aplicación directa de las señales de disparo a una alta frecuencia, podría afectar seriamente a la seguridad tanto del sistema como de las personas que estén cerca de él. Por este motivo, las señales digitales no se aplicarán directamente, sino que se hará uso de transmisores y receptores de fibra óptica[13].

Los elementos utilizados para la implementación de esta tarjeta son los conectores AFBR-1624Z para la transmisión y los AFBR-2624Z para la recepción. Para la transmisión utiliza un LED de 650 nm con fuente óptica integrada y un circuito integrado de fibra óptica plástica de 1 mm, para mejorar la eficiencia de acoplamiento. Para la recepción consta de un circuito integrado con un fotodiodo integrado que proporciona una salida lógica compatible con la señal de entrada. En la Figura 5-1, se representa el esquema del circuito de conexión de los conectores transmisor, “TX”, y receptor, “RX” recomendado en el datasheet por el fabricante.

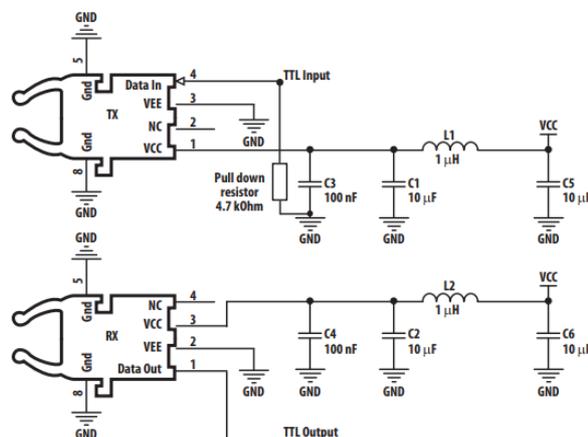
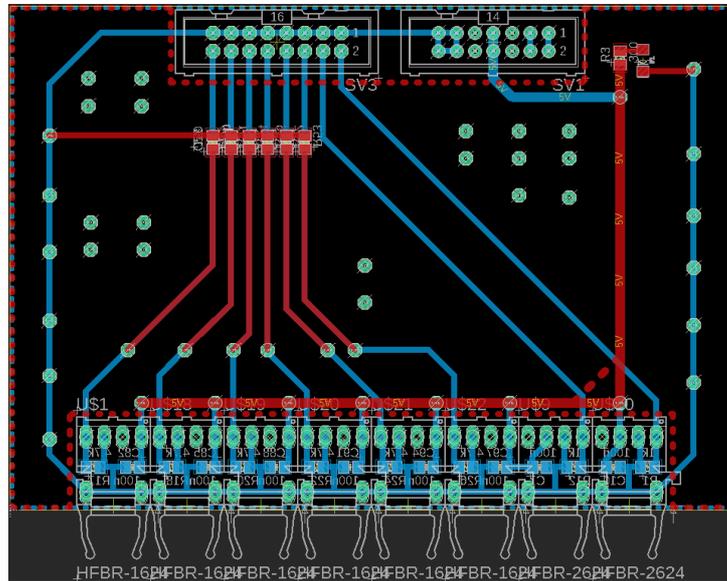
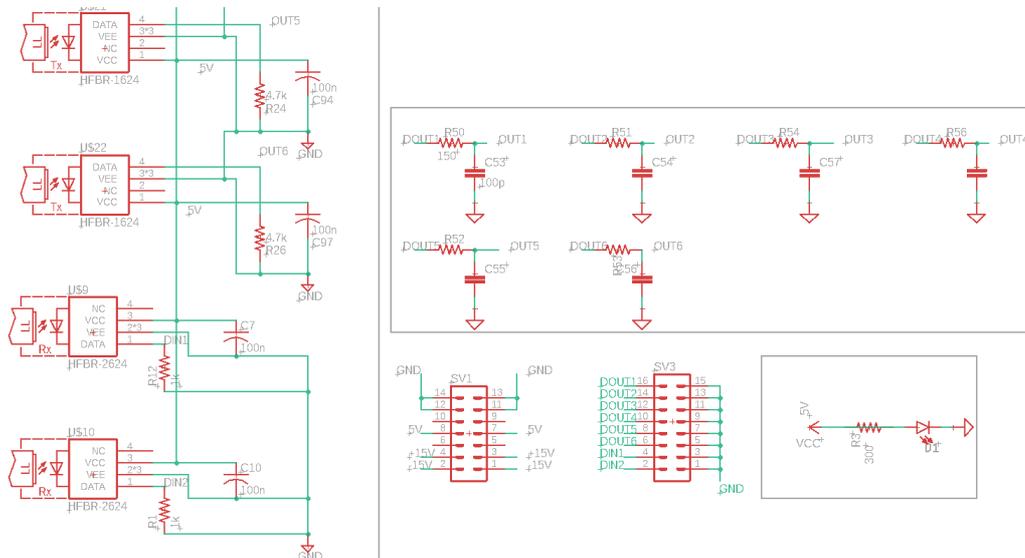


Figura 5-1. Esquema de conexión de transmisor y receptor de fibra óptica AFBR1624Z y AFBR2624Z recomendado en datasheet.

En este caso, para cumplir con las especificaciones de medidas necesarias para compactar todas las placas en un mismo rack, es necesario dividir la utilización de todas las señales en dos placas con las mismas características. Cada una de estas, dispondrá de 6 transmisores y 2 receptores. En la Figura 5-2 (b) se muestra el esquemático de dos transmisores, siendo los del resto exactamente iguales. También aparecen el esquemático de los dos receptores.



(a)



(b)

Figura 5-2.(a) Diseño de placa digital en Eagle. (b) Esquemático de placa digital en Eagle

En la Figura 5-2 (b), se puede observar que el circuito de conexión de los conectores de transmisión, coincide con el representado en la Figura 5-1, donde se han elegido los componentes recomendados por el fabricante. Sin embargo, para el circuito de transmisión del conector receptor, según el datasheet, los valores normales de corriente de trabajo son de 20mA, pero para asegurar una mayor protección, se ha elegido una resistencia de pull-down para limitar la corriente a 5mA.

$$R_{pull\down} = \frac{5V}{5mA} = 1K\Omega \tag{5-1}$$

El valor obtenido en la expresión (5-1), se puede ver que coincide con los valores de “R12” y “R1” de los conectores “U\$9” y “U\$10” de la Figura 5-2 (b).

También cabe destacar que se ha añadido un circuito de amortiguamiento para reducir la sobreoscilación y la resonancia. Este se corresponde con los 8 circuitos RC compuestos por una resistencia de 150Ω y un condensador de 100pF. En la Figura 5-2 (b), un ejemplo sería el compuesto por “R50” y “C53”, que actúa sobre la señal “DOUT1” y “OUT1”. De la misma forma se realiza para las 8 señales.

Cada una de estas salidas o entradas digitales irán a los pines correspondientes de cada salida/entrada digital mostrada en la Figura 3-4 del capítulo 3. Nótese, que en primer lugar las salidas están dispuestas en un conector IDC16, en la Figura 5-2 (b) “SV3”. Este tendrá su entrada correspondiente en la placa del conector final, y es aquí donde se conducirán hacia el pin adecuado de la FPGA. Además, se dispone de otro conector IDC14, en la Figura 5-2 (b) “SV1”, necesario para la alimentación. En este caso se hará uso de los pines que corresponden a un valor de tensión de 5V, pero como se aprecia, existen también pines de alimentación de 15V y obviamente los pines de tierra. Se ha decidido hacerlo de esta manera para alimentar a todas las placas desde un mismo bus con dos fuentes de alimentación distintas. De esta manera, también se tienen todas las tierras unidas, de tal forma que todas las señales puedan transmitirse y recibirse con su referencia a tierra.[14]

En la Figura 5-3, se representa el resultado final de la placa de señales digitales a falta del conector IDC16.

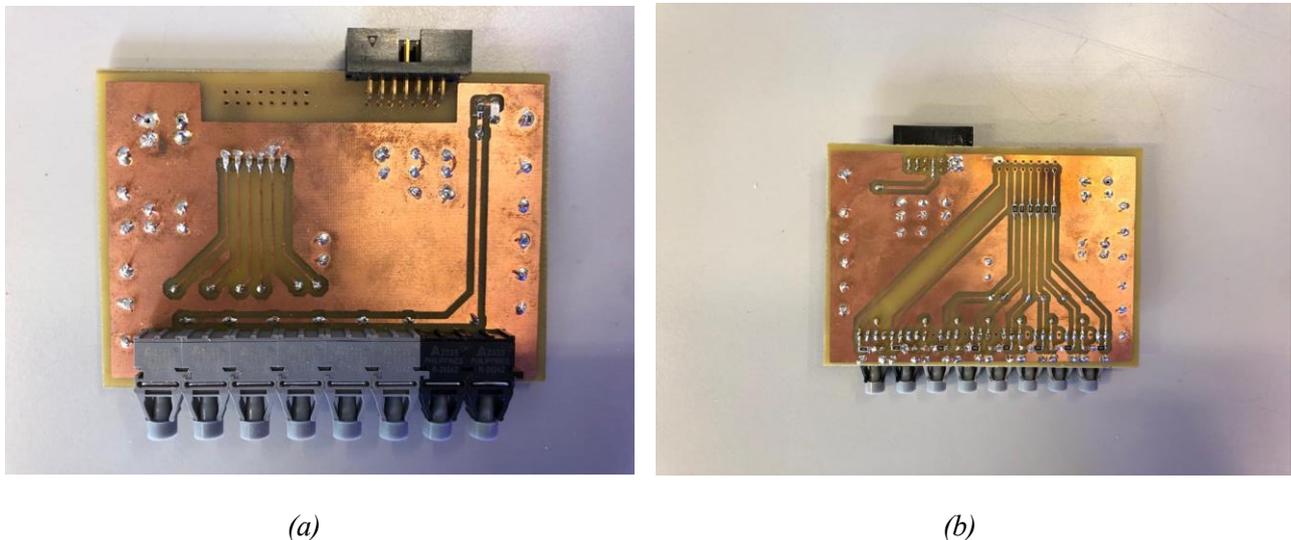


Figura 5-3. (a) Placa digital fabricada.TOP. (b) Placa digital fabricada.BOTTOM.

5.2 Placa del convertidor analógico digital.

En este caso, como se explicó en el subcapítulo 3.2 la FPGA dispone de un ADC con un rango de entrada comprendido entre ± 5 V como rango mínimo y ± 30 V como rango máximo en modo “single-ended”. Para ello, se deben adaptar las medidas tomadas y amplificarlas mediante un amplificador no inversor.

Los valores de medida analógica se obtienen mediante un sensor de efecto Hall LV-25P[15] para tensión y LA-25P[16] para corriente que están conectados al dispositivo. Debido a las limitaciones impuestas por el fabricante, no se puede adaptar el valor de tensión medido a un rango superior a 15V, por lo que se necesitará un circuito de amplificación. Este circuito se realizará mediante el montaje de un circuito amplificador no inversor.

Estos dos sensores, trabajan con corriente proporcionando una salida comprendida entre ± 25 mA. Para el caso de los LV-25P, como estos sensores proporcionan una corriente, es necesario añadir una resistencia en la entrada para convertir la tensión medida en corriente.

Una vez se tiene una corriente de entrada, el sensor realiza una relación de transformación 1:2,5 de manera que:

$$I_{in} = \frac{V_{in}}{R_{in}} ; I_{out} = 2.5 * I_{in} \quad (5-2)$$

Obtenida la corriente de salida, esta caerá en una resistencia de 200Ω situada en la entrada del circuito de la tarjeta de adaptación, de manera que la tensión en la entrada será:

$$V_{inADC} = I_{out} * 200\Omega \quad (5-3)$$

Una vez se tiene la tensión de entrada del ADC, es necesario realizar la etapa de amplificación.

La elección de las resistencias del montaje teniendo en cuenta que la entrada tendrá que ir de $\pm 5V$, ya que según la expresión (5-2), la corriente I_{out} , está comprendida entre $\pm 25mA$, a $\pm 15V$. El circuito de amplificación se muestra en la Figura 5-4.

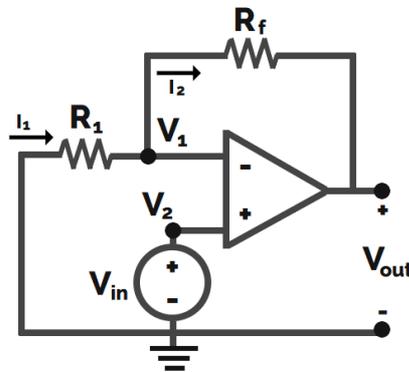
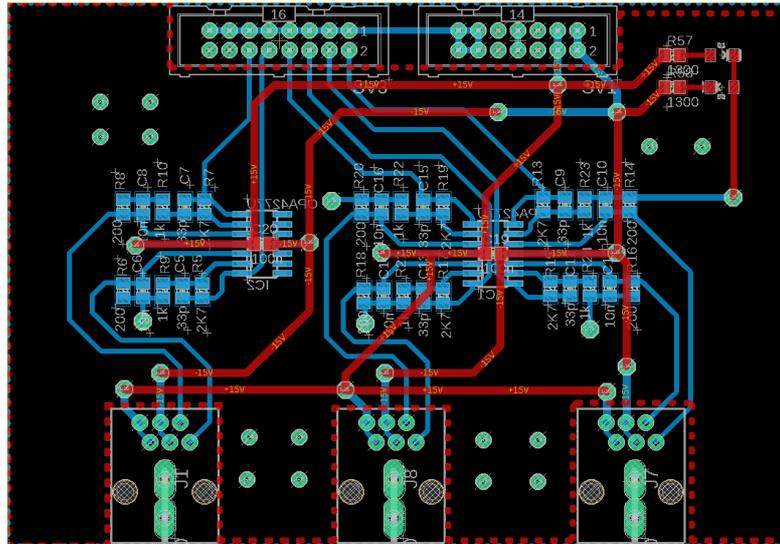


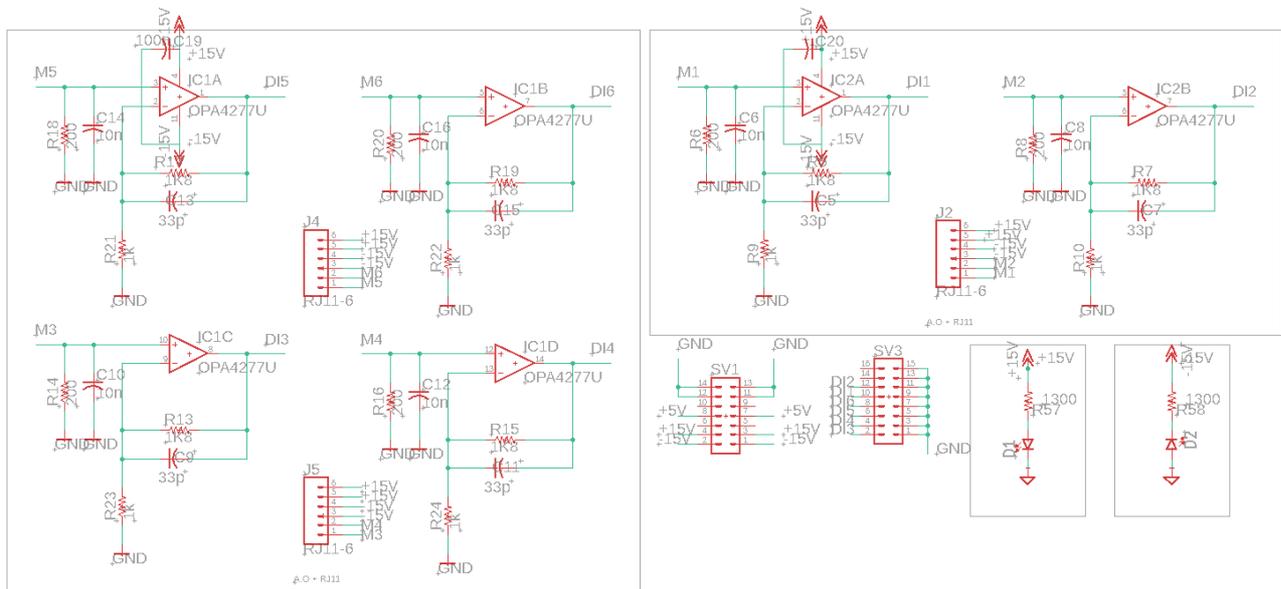
Figura 5-4. Esquema del amplificador no inversor.

$$\frac{V_{out}}{V_{in}} = 1 + \frac{R_f}{R_1} \quad (5-4)$$

De la expresión (5-4) se puede obtener la ganancia necesaria $\frac{R_f}{R_1} = 3$. Para evitar llegar a la saturación se bajará un poco el valor de la ganancia y se trabajará con un valor inferior a 3. Teniendo en cuenta los valores de resistencias comerciales se han elegido $R_f = 1.8\text{ k}\Omega$ y $R_1 = 1\text{ k}\Omega$, de esta manera se logrará una salida comprendida entre $\pm 14V$, evitando así llegar a los valores máximos de $\pm 15V$ de la alimentación del propio amplificador y saturar. En la Figura 5-5 (b) se muestra el circuito descrito en los pasos previamente descritos.



(a)

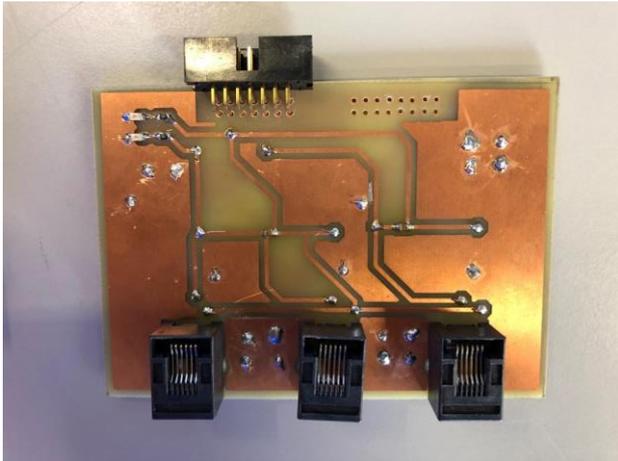


(b)

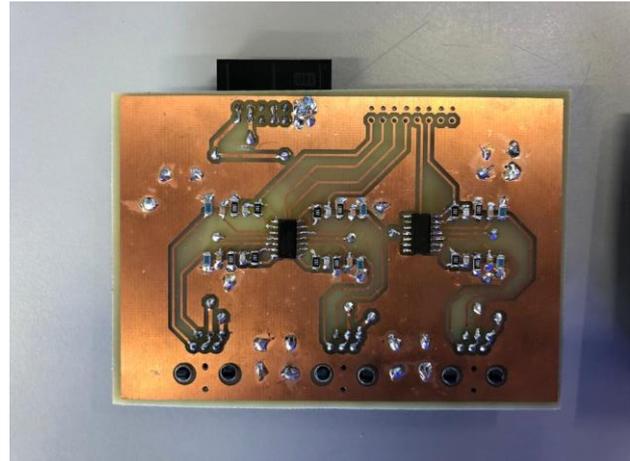
Figura 5-5 (a) Diseño de placa ADC en Eagle. (b) Esquemático placa ADC en Eagle.

En este caso, las medidas tomadas se obtienen mediante un conector RJ-11 hembra. Cada uno de ellos se utilizará para tomar dos medidas, de manera que hacen un total de 6 canales analógicos-digitales de los que dispone la FPGA. De nuevo, irán conectados a un IDC16 que se corresponderá en la placa del conector final con su pin correspondiente de la FPGA.[14]

En la Figura 5-6, se representa el resultado final de la fabricación de la placa de adaptación del ADC, a falta del conector IDC16.



(a)

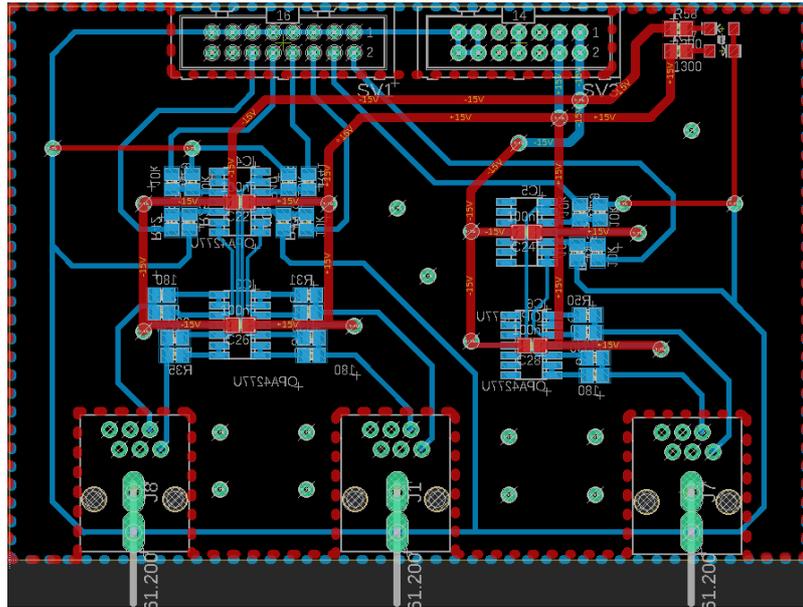


(b)

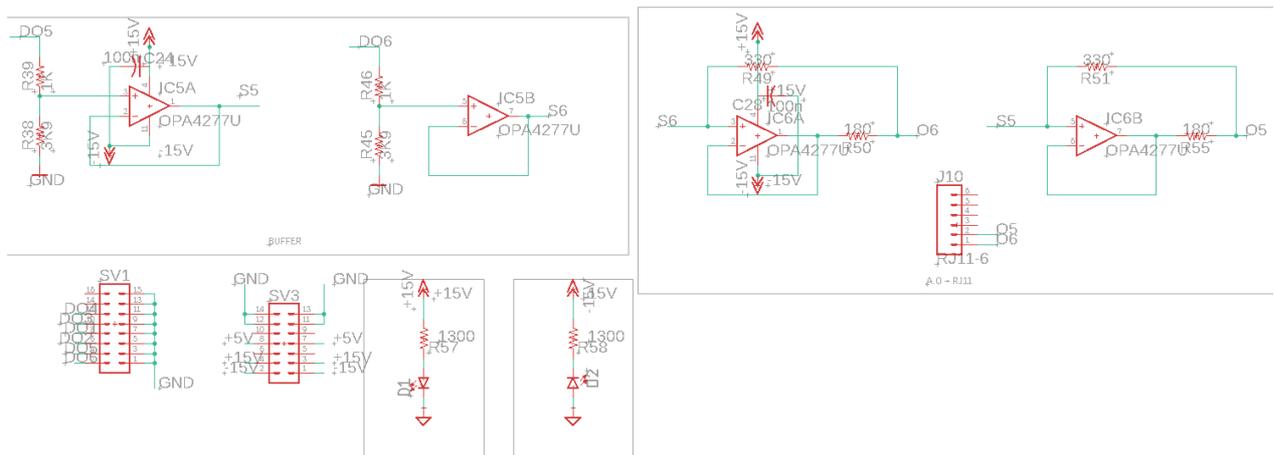
Figura 5-6. (a) Placa ADC fabricada.TOP. (b) Placa ADC fabricada.BOTTOM.

5.3 Placa del convertidor digital analógico.

Las salidas analógicas no serán usadas en este proyecto, pero pensando en posibles ampliaciones se ha decidido diseñar también la placa de adaptación correspondiente. Para ello, realizará un circuito que emule el funcionamiento de un sensor LV25-P o LA25-P explicados en el apartado 5.2 de este capítulo.



(a)



(b)

Figura 5-7. (a) Diseño de placa DAC en Eagle. (b) Esquemático de 2 de los canales de la placa DAC.

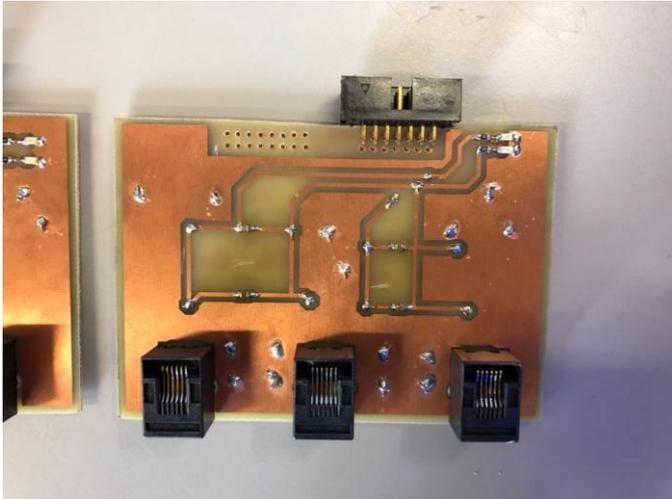
En la Figura 5-7 (b) se muestra el esquemático de dos de los canales. Se va a explicar el funcionamiento tomando como ejemplo el canal que trata la señal entrada “DO5”. El circuito estará compuesto por dos etapas. La primera de ellas, se encuentra en la parte superior izquierda de la Figura 5-7 (b). Como se explicó en el apartado 3.1.2 del capítulo 3, el DAC de la tarjeta DS5203, proporciona un rango de salida comprendido entre $\pm 10V$. Esta tensión caerá primero en el divisor de tensión compuesto por dos resistencias de valor $1k\Omega$ y $3.9k\Omega$ obteniendo una tensión de $8V$ a la salida de este.

$$V_{Salida}^{Divisor} = V_{Entrada}^{Divisor} * \frac{R_{38}}{R_{39} + R_{38}} \quad (5-5)$$

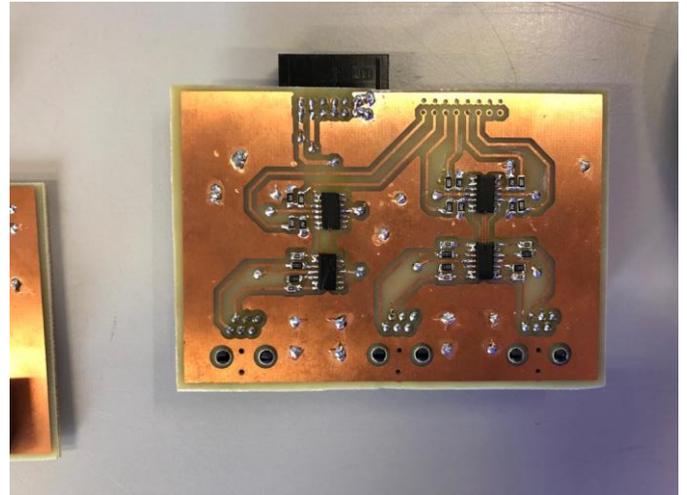
Esta tensión, antes de llegar a la segunda etapa, pasa por un circuito seguidor de tensión que permite estabilizar el circuito y no realizar la conversión de forma directa, obteniendo así la tensión “S5” que será la entrada de la segunda etapa. La segunda etapa, es la que se encuentra en la parte superior derecha de la Figura 5-7 (b). Esta se encarga de disminuir la tensión y aumentar la corriente a través de un circuito parecido al seguidor de tensión pero con dos resistencias, una de 180Ω en la salida del amplificador con una de 330Ω en la realimentación negativa. En la Figura 5-7 (b) se corresponden con “R55” y “R51” respectivamente. Así, la salida “O5”, asegurará una corriente de salida comprendida entre $\pm 25mA$.

De nuevo, se sacarán dos valores analógicos por cada conector RJ-11. En este caso es al contrario que en los dos anteriores. Desde la tarjeta del conector se sacarán las rutas de los pines del DAC que irán a un conector IDC16 que se corresponderán con los pines del conector IDC16 de la tarjeta DAC que se ve en la figura 5-5 y estos tras ser adaptados adecuadamente, saldrán por los conectores RJ-11. La alimentación de los amplificadores será de $\pm 15V$. [14]

En la Figura 5-8, se representa el resultado de la fabricación de las placas del DAC a falta de los conectores IDC16.



(a)

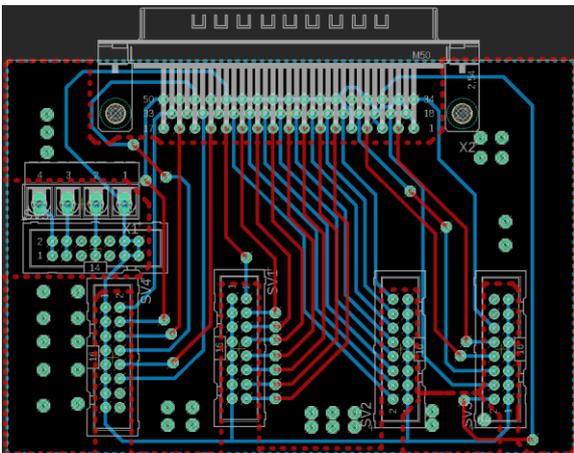


(b)

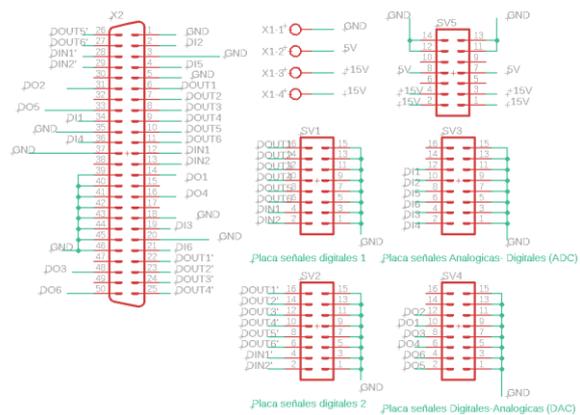
Figura 5-8. (a) Placa DAC fabricada.TOP. (b) Placa DAC fabricada.BOTTOM.

5.4 Placa del conector.

Esta es la placa principal, que contiene el conector Sub-D 50 que irá conectado a la FPGA, así como, el conector principal de alimentación y todos los conectores procedentes de cada una de las placas explicadas en los apartados previos. En la Figura 5-9, se representa el diseño realizado en Eagle y en la Figura 5-10, se muestra el resultado de la fabricación de esta placa sin los conectores, debido a la indisponibilidad de estos.



(a)



(b)

Figura 5-9. (a) Diseño de placa del conector en Eagle. (b) Esquemático de la placa del conector en Eagle.

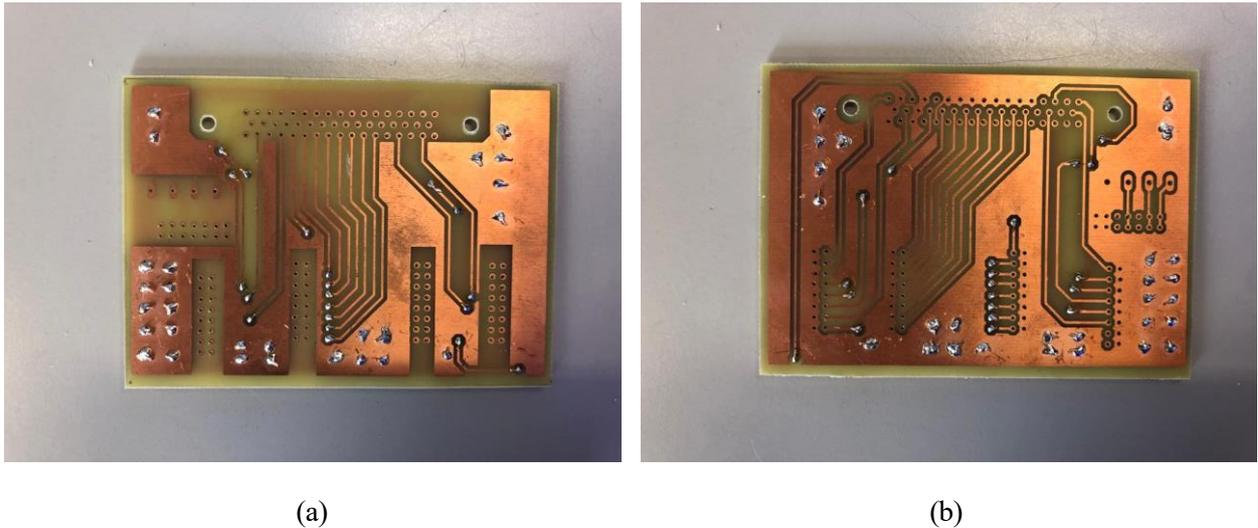


Figura 5-10. (a) Placa de conector fabricada.TOP. (b) Placa de conector fabricada.BOTTOM.

5.5 Placa de adaptación convertidor analógico-digital DS5202.

Para la toma de medidas, como se comentó en el capítulo 3, se hará uso del tablero de medidas de la solución ACMC DS5202 y de su convertidor analógico digital. Como se representó en la figura 3-7, la conexión a los canales, se realiza mediante un conector BNC, por lo que se necesitará una placa de adaptación para adaptar las medidas tomadas de los sensores LV-25NP y LA-25NP mediante un conector RJ-11 a BNC.

Para ello, se hace uso de una placa disponible en el laboratorio que se muestra en la figura 5-11.

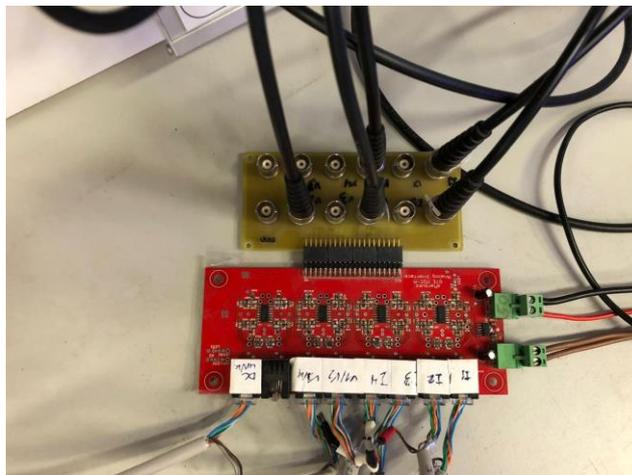


Figura 5-11. Placa de adaptación RJ-11 a BNC.

En esta placa, la alimentación de los OPA, será de $\pm 5V$ mientras que la de los conectores RJ-11 será de $\pm 15V$. El rango de salida que se obtiene estará comprendido entre $0V$ y $3.3V$, ya que esta placa está pensada para su uso en DSPs. De esta forma, como se puede elegir el rango de tensiones del convertidor analógico digital de la tarjeta DS5202, se seleccionará el rango de $\pm 5V$, para así perder el mínimo rango posible y obtener una mejor resolución.

Así mismo, será necesario calibrar las medidas tomadas por los sensores para añadir una ganancia y un offset. De esta manera, se tendrá referenciado el valor real de tensión y corriente de entrada que se está midiendo.

5.6 Pruebas de Validación.

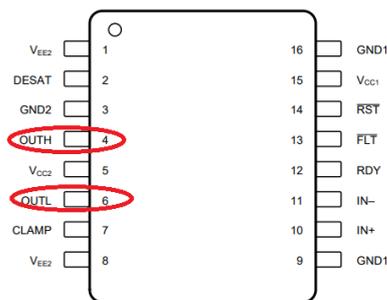
Antes de conectar las placas de adaptación a la plataforma DSPACE, se realizará unas determinadas pruebas para validar el correcto funcionamiento de las mismas y evitar así posibles daños al sistema.

5.6.1 Pruebas de validación tarjeta digital.

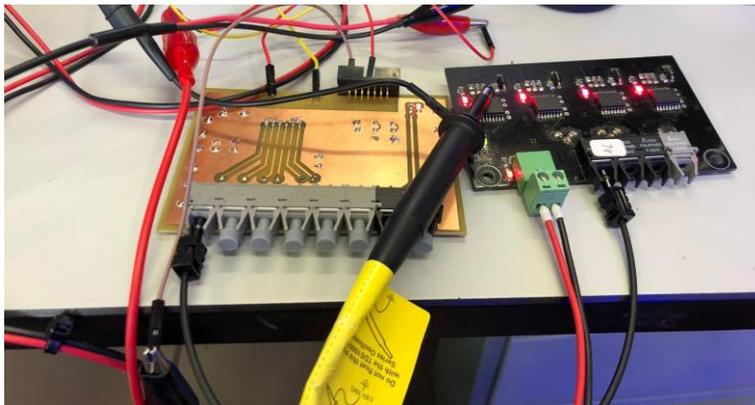
En primer lugar, una vez se comprueba con el polímetro que no exista continuidad entre partes de la tarjeta donde no debiera de haber y evitar así cortocircuitos, se alimentan con una fuente de alimentación a 5V donde se limita la corriente.

Una vez la placa esté alimentada, se usará un generador de ondas para aplicar a la entrada una señal cuadrada. Para comprobar que efectivamente, la señal cuadrada se propaga por los conectores de fibra óptica, se hará uso de una tarjeta auxiliar que capta los disparos de fibra óptica mediante unos receptores y los convierte de nuevo a una señal TTL mediante el driver ISO5852S para poder ser medida y comprobada con el osciloscopio.

Para ello, se comprobará tanto la señal alta como baja para corroborar que ambas señales se propagan correctamente. Esta placa auxiliar, será la que se usará para mandar los disparos hacia el convertidor DC/DC bidireccional del sistema real. En la Figura 5-12 (a), se indican los pines que se deben comprobar mediante el esquemático proporcionado por el datasheet y en la Figura 5-12 (b) se muestran las dos placas utilizadas.



(a)



(b)

Figura 5-12. (a) Pinout Driver ISO5852S. (b) Montaje de placa de adaptación junto con placa auxiliar.

En la Figura 5-13, se muestra una de las pruebas realizadas para uno de los transmisores de fibra. Esto se repitió con todos los conectores de ambas placas.

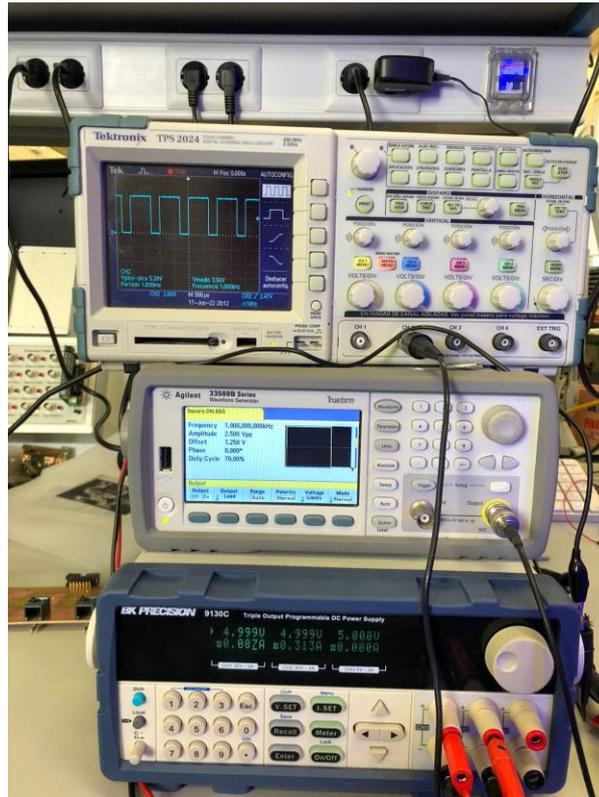


Figura 5-13. Montaje de sistema de pruebas para placas de adaptación de señales digitales.

Se genera a la entrada una señal cuadrada de 5V pico a una frecuencia de 1kHz y con un valor de Duty Cycle del 70%. Se puede comprobar que efectivamente el osciloscopio muestra la señal de entrada.

Una vez se corroboró que la tarjeta digital funcionaba correctamente, se realizó una prueba del PS-PWM diseñado. Para ello, se realizó una prueba donde el Duty cycle de la fase A era del 30% y en la fase B del 70% con un desfase entre estas de 180°. En la figura 5-14, puede apreciarse que se cumplen las especificaciones indicadas y que la frecuencia de conmutación es efectivamente 4kHz.

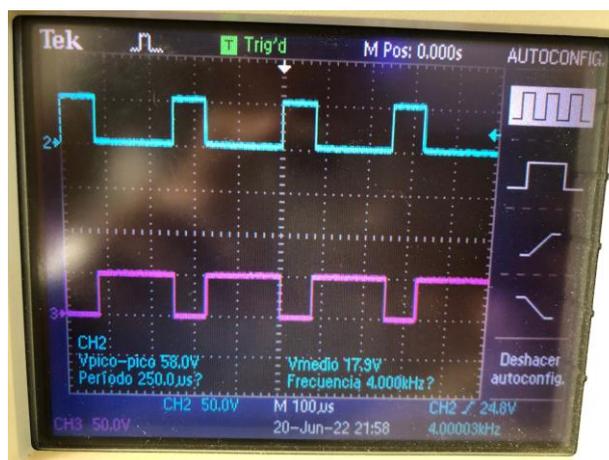
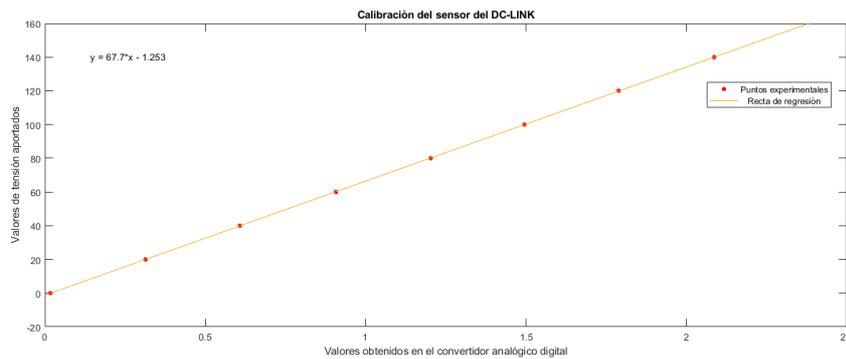


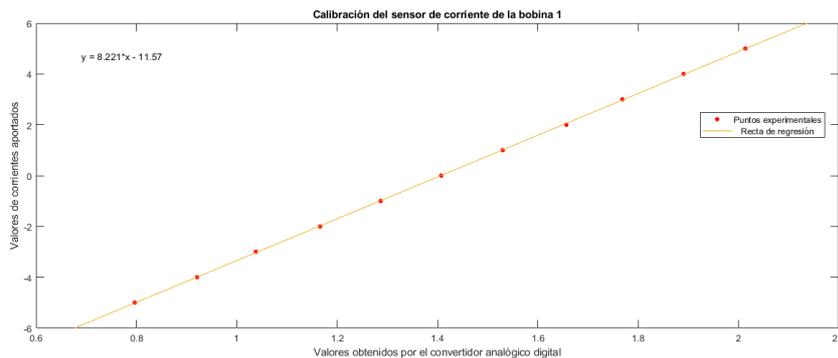
Figura 5-14. Resultado prueba de validación PS-PWM.

5.6.2 Calibración de la tarjeta de adaptación para convertidor analógico-digital.

La tarjeta de adaptación, convierte la corriente obtenida por los sensores de medida LV-25NP y LA-25NP en una tensión comprendida entre 0 y 3.3V. Para saber en todo momento el valor real de tensión y corriente que se está obteniendo de los sensores, es necesario calibrar esta placa de adaptación. Para ello, se aislarán los sensores del equipo completo y se le aplicarán diferentes valores de tensiones e intensidades, anotando el valor obtenido por el convertidor analógico digital en cada uno de esos puntos. Una vez realizado esto, se procede a realizar una recta de regresión con dichos puntos, obteniendo así una ganancia y un offset para cada sensor. En la Figura 5-15, se realiza la representación gráfica de los resultados obtenidos de la calibración.



(a)



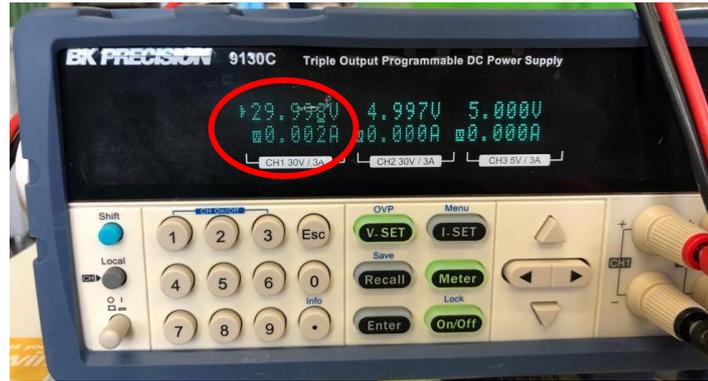
(b)

Figura 5-15. (a) Calibración sensor DC-LINK. (b) Calibración sensor IL1.

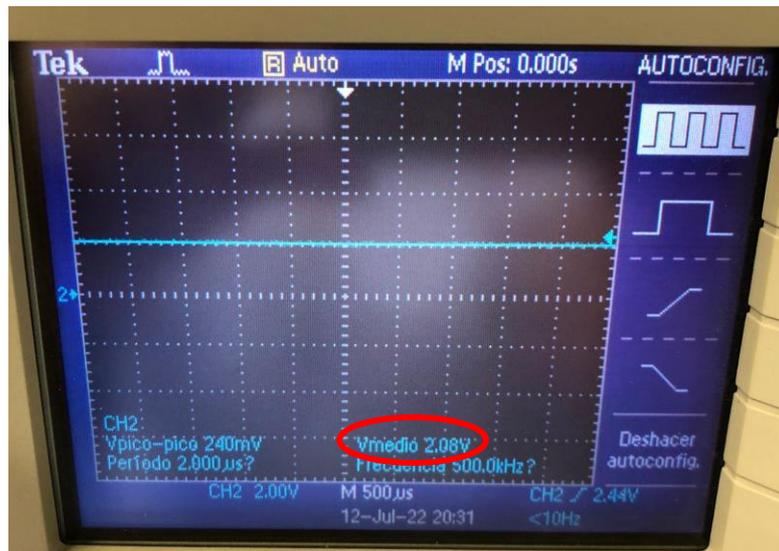
5.6.3 Prueba de validación tarjeta ADC.

Aunque no se hará uso de esta tarjeta de adaptación para el desarrollo del proyecto, se comprobó que efectivamente el diseño empleado era el correcto. Para ello, se conectó la tarjeta a un sensor de tensión LV25-P.

La resistencia “R_{in}” de la expresión (5-2), tenía un valor en este caso de 20kΩ. Siguiendo el proceso descrito mediante las expresiones (5-2), (5-3) y (5-4), para una tensión de entrada en el sensor de 30V, en la salida se deberían obtener una tensión de 2,1V.



(a)



(b)

Figura 5-16. (a) Valor de tensión aplicado en los terminales del sensor. (b) Valor obtenido en la salida de la tarjeta ADC.

Como se aprecia en la figura 5-16, para una tensión en la entrada del sensor igual a 30V, se obtiene un valor medio aproximadamente igual al valor teórico esperado. Esto se realizó con todos los canales que contiene la tarjeta ADC.

5.6.4 Prueba de validación tarjeta DAC.

Por último, se comprobó la tarjeta DAC. Para ello, se generó un modelo donde se configura una de las salidas analógicas de la DS5203 y se creó una interfaz en ControlDesk para modificar el valor de tensión deseado. Para comprobar que efectivamente se obtenía el valor de tensión, se hizo uso de la propia tarjeta ADC previamente comprobada. Véase en la Figura 5-17 el montaje realizado para llevar a cabo la comprobación.

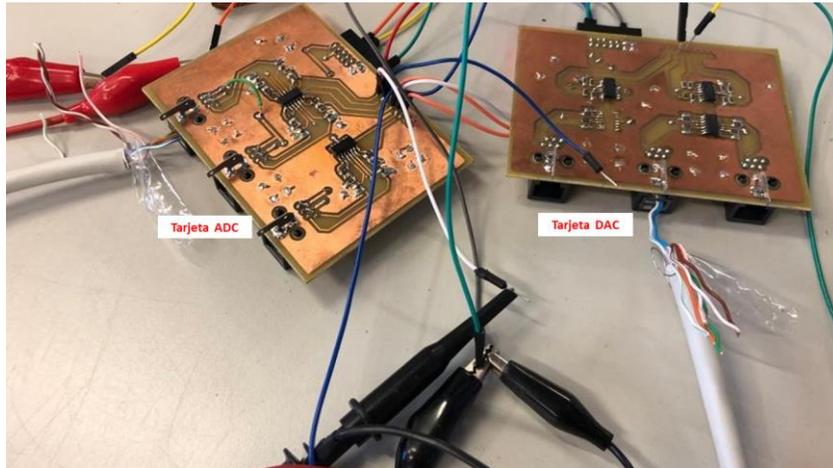
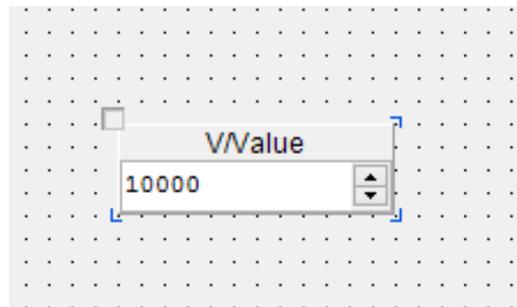
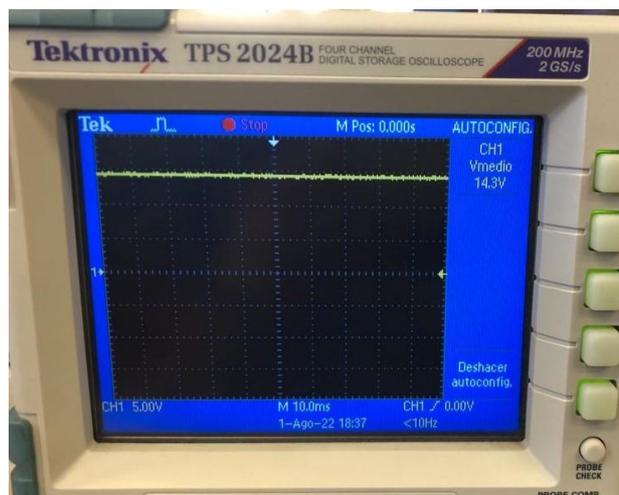


Figura 5-17. Conexión tarjeta ADC y DAC.

En cada uno de los canales DAC se comprobó que efectivamente se obtenía el valor introducido desde ControlDesk. El valor, hay que introducirlo en mV de manera que para obtener una tensión de salida de 10V, habría que indicar un valor de entrada de 10000mV. Esto haría que se obtuviera una corriente de 25mA en la salida de la tarjeta DAC, de manera que esta tensión, al caer en la resistencia de 200Ω de la tarjeta ADC, haga que se tenga una tensión de 5V en la entrada de el circuito de adaptación. Para esos 5V, se obtendrán los 14 V de salida de la tarjeta ADC, según el proceso descrito en el apartado 5.6.3. Véase el resultado en la Figura 5-18.



(a)



(b)

Figura 5-14. (a) Valor de tensión deseado en interfaz ControlDesk. (b) Valor obtenido en la salida de la tarjeta ADC.

6 RESULTADOS EXPERIMENTALES.

6.1 Equipo a controlar.

Una vez se comprobó el correcto funcionamiento del sistema en simulación, y todo el hardware necesario, se pasa a la puesta en marcha del sistema real.

El sistema estará formado por un convertidor bidireccional con dos ramas, cada una con una bobina de 3mH, cuyas salidas se conectarán en paralelo junto con su condensador de DC-Link formado por 8 condensadores en paralelo de 470 μ F, haciendo un total de 3.76mF y la carga que estará compuesta por 2 resistencias de 22 Ω conectadas en serie, haciendo una resistencia equivalente total de 44 Ω . Además, contará con los elementos de medida necesarios para las corrientes que circulan por cada bobina, así como, para las tensiones de las mismas.

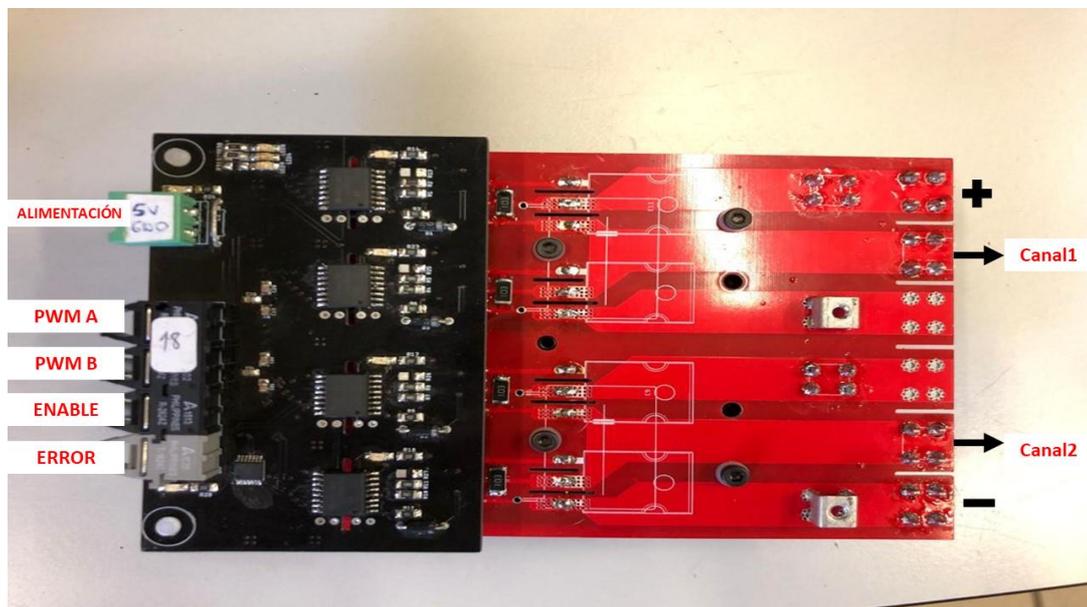


Figura 6-1. Placa del Convertidor.

Como se aprecia en la figura 6-1, el convertidor consta de dos canales. Cada canal irá conectado a su bobina correspondiente y estas, a su vez, estarán en paralelo teniendo una única salida común. Las señales de disparo PWM para cada canal se mandarán mediante la placa auxiliar explicada en el apartado 5.6.1. Como se explicó, estas placas, a través del driver de control ISO5852S, generan tanto la señal alta como baja. Por tanto, no se tendrá que mandar ambas señales, solo mandando una de ellas, este se encargará de generar la inversa correspondiente. Se controlará por tanto el interruptor de la puerta superior, por lo que sería el caso contrario al explicado en simulación. De esta manera, el duty cycle que se aplicará será $D_{UP} = 1 - D$ controlando así el tiempo que estará cerrado el interruptor superior del convertidor bidireccional.

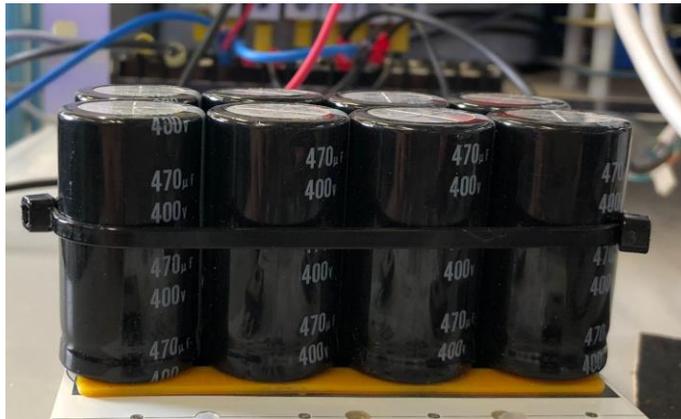
En la placa auxiliar, se observa una entrada y una salida más. La entrada, es la señal de habilitación, activa a nivel alto, es decir, hasta que dicha señal no se active, el driver ignorará cualquier entrada de señal que reciba y la salida será nula. Y la salida es la señal de error del driver. Esta señal será activa a nivel bajo, esto quiere decir que, si la señal se apaga, significa que se ha producido un error.

Por otro lado, los elementos semiconductores empleados en el convertidor bidireccional son los IGBTs IHW30N110R3 de infineon. Estos soportan una tensión máxima de hasta 600V y una corriente de 60A.

En la Figura 6-2 se muestran las bobinas, el condensador de DC-Link y la carga empleada:



(a)



(b)



(c)

Figura 6-2. (a) Bobinas de cada canal. (b) Condensador de DC-Link. (c) Carga empleada.

Para los elementos de medida. Se dispondrán sensores de tensión y corriente LV-25NP y LA-25NP respectivamente, mostrados en la figura 6-3, cuyo funcionamiento junto con la placa de adaptación se detalló en el capítulo 5.



Figura 6-3. Sensores de medidas situados en el equipo.

Para el envío de las señales PWM y recepción del error de driver, se hizo uso de la tarjeta digital del subcapítulo 5.1. Se muestra una imagen en la figura 6-4, donde se indican las diferentes salidas y entradas digitales empleadas.

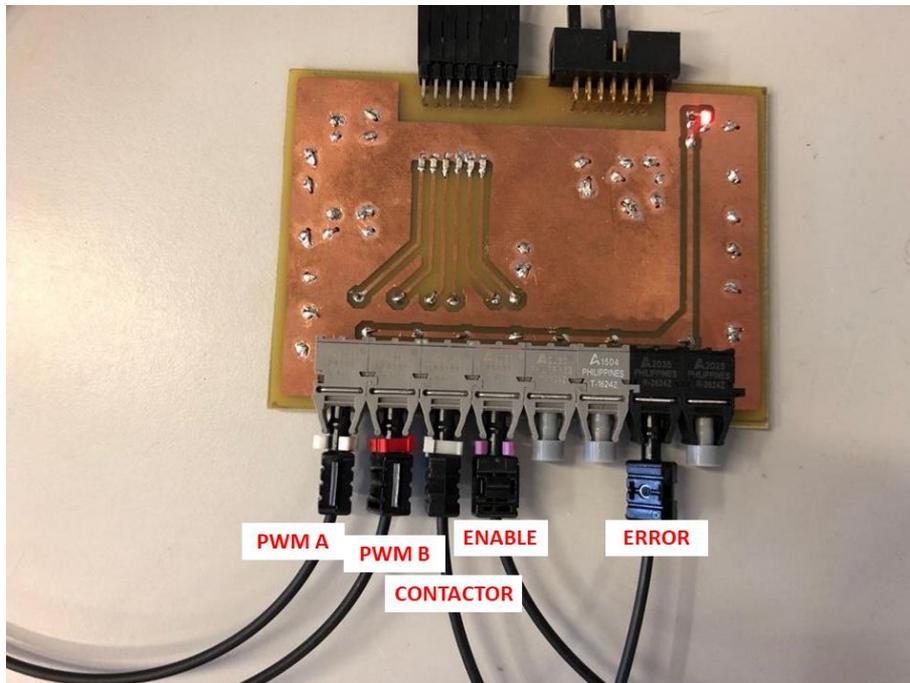
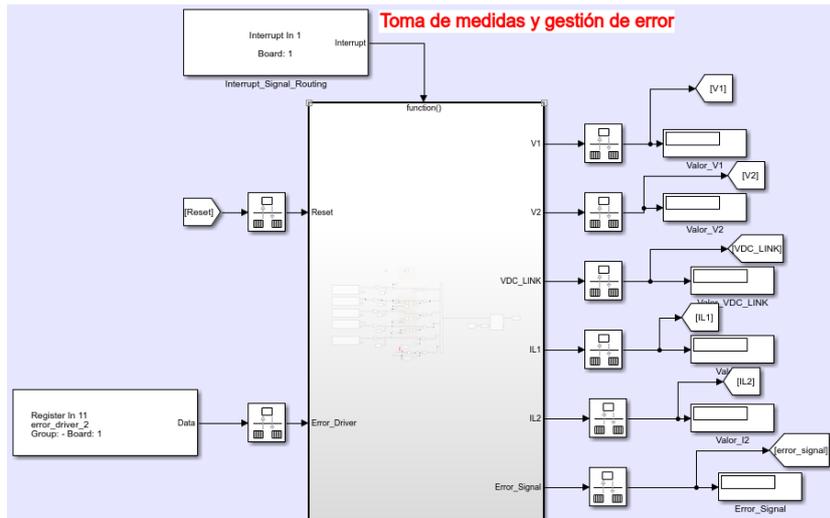


Figura 6-4. Placa de entradas/salidas digitales.

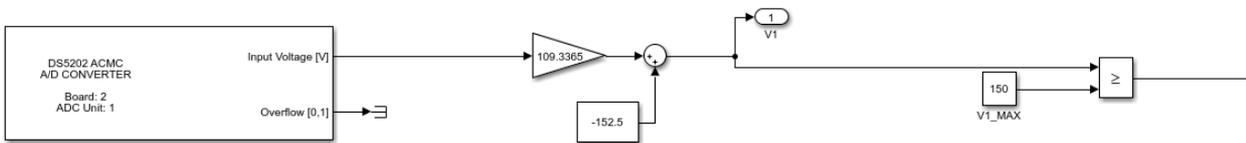
6.2 Modelo Simulink.

Como se explicó en el apartado 4 de simulación, la principal ventaja de un diseño mediante los bloques de las librerías de Simulink, es que permitía implementar un modelo prácticamente similar al que se usaría en el sistema real. La principal diferencia respecto al modelo de simulación es la toma de medidas analógicas, así como, el envío y recepción de disparos digitales.

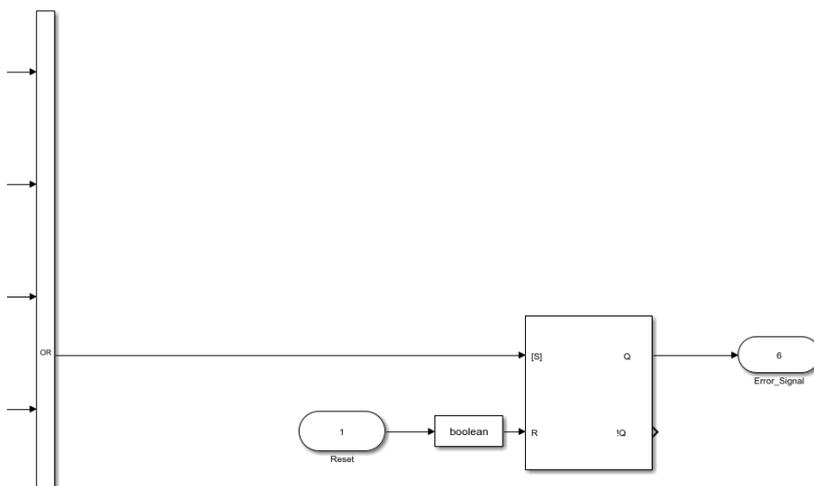
De esta forma, el modelo es idéntico al modelo explicado en el apartado 4, añadiendo en este caso la parte de acondicionamiento de medidas y control de errores, además de las entradas y salidas digitales para enviar y recibir los diferentes disparos.



(a)



(b)



(c)

Figura 6-5. (a) Subsistema de acondicionamiento de medidas y gestión de errores. (b) Representación de uno de los canales ADC. (c) Tratamiento del error.

En primer lugar, en la Figura 6-5 (a), se observa que el subsistema “Signal_Routing” es un subsistema de llamada a función, que se ejecutará cada interrupción de portadora triangular. Esto se logra con el bloque “Interrupt_Signal_Routing” que aparece en la parte superior del subsistema. Este subsistema, también tendrá como entradas la señal de “Reset” que permite limpiar el error en caso de que se produzca alguno, y la señal de error del driver de control del convertidor previamente explicado. Como salidas se obtienen los valores de las medidas, así como la señal de error.

En la Figura 6-5 (b) se representa uno de los canales ADC, en este caso, el utilizado para medir la tensión de salida del canal 1. Una vez que se obtiene el valor proporcionado por el ADC de ACMC DS5202, se le aplica el valor de su ganancia y su offset, siendo este el valor usado en el sistema “V1”. Por otro lado, este valor se comparará directamente con el valor máximo que se haya elegido para comprobar que no se produzca sobretensión, esto es, “V1_MAX”. Este esquema se repetirá para todos los canales empleados en sistema.

El resultado de la comparación de cada tensión o corriente con su valor máximo, entrará en un “OR” y la salida de este será la entrada de un bloque “SR-FLIP-FLOP” de Matlab, de manera que, si algún valor supera su máximo, la señal “Error_Signal” se pondrá a 1 y se mantendrá hasta que no se active la señal de “Reset”. Esto último se representa en la Figura 6-5 (c).

Por otro lado, para el uso de las salidas y entradas digitales de la tarjeta DS5203, se disponen de bloques que permiten su configuración y habilitación. En la figura 6-6 (a) se representa en el bloque “Entrada_Digital_Error_driver”, el uso de la entrada digital 6 de la tarjeta DS5303. Su valor se manda a un registro interno para ser tratado en el lado de procesador. En la Figura 6-6 (b), se representa el uso de una salida digital, el bloque “Salida_digital_PWMA”, en este caso es la utilizada para el envío de disparos PWM del canal A, donde se habilita la salida digital 10 de la tarjeta DS5203.

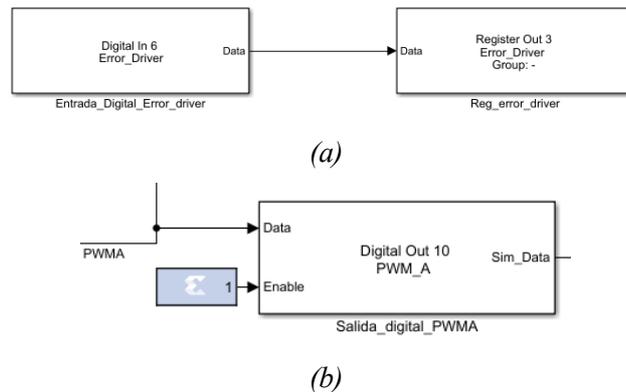


Figura 6-6. (a) Configuración como entrada digital para error del driver. (b) Configuración como salida digital para disparos PWM.

6.3 Resultados obtenidos.

6.3.1 Comprobación de protecciones.

En primer lugar, se comprobaron todas las protecciones programadas en el modelo. En la Figura 6-7 se muestra uno de los ejemplos realizados para ello.

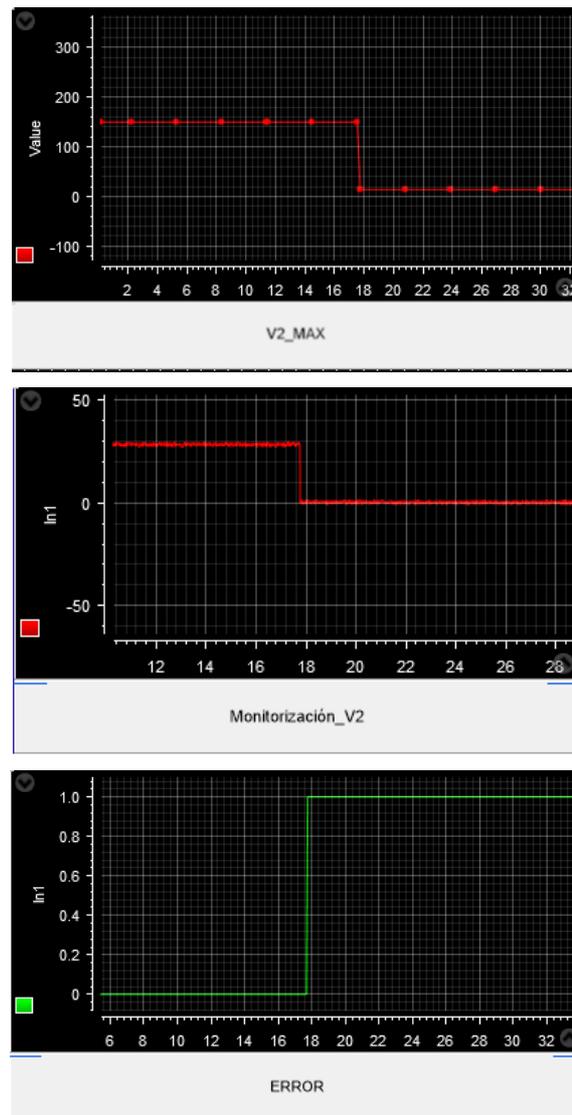


Figura 6-7. Prueba de detección de error en sobretensión en uno de los canales.

La prueba consistió en forzar que el valor de la tensión de salida de uno de los canales superara el límite establecido. Se puede observar como en el momento correspondiente a los 18 segundos aproximadamente de monitorización, se modifica el valor de “V2_MAX” e inmediatamente, la señal de error representada en “ERROR”, da un pulso que hace que se abran los contactores que conectan el equipo a la fuente de alimentación y la tensión cae y se anula como se aprecia en la señal representada en “Monitorización_V2”.

6.3.2 Control en bucle abierto.

Una vez se comprobó el correcto funcionamiento de las protecciones y se aseguró que el sistema estaría protegido en caso de fallo, se comenzó a probar el funcionamiento del convertidor en bucle abierto. Para ello, se aplico una tensión de 60V en la entrada y se fue modificando manualmente el valor del Duty Cycle, observando que los valores obtenidos en la salida eran los esperados.

Según la expresión (2-21), el valor de tensión de salida deberá ser: $V_o = D * V_i$. Se comenzó con un $D=0.5$ y después este se modificó a los valores de 0.8 y 0.2, siendo $V_o = 30V$, $48V$ y $12V$ respectivamente. En la Figura 6-8, se representa el experimento realizado. El valor de 30V se mantiene hasta los 98 segundos aproximadamente de monitorización, donde en este momento, el valor del Duty Cycle, se modifica al valor de 0.8, como se aprecia en la gráfica “Monitorización_Duty_Cycles” y la tensión pasa a valer 48V, como se aprecia en

“Monitorización_VDC_LINK”. De nuevo en el momento 112 segundos aproximadamente de monitorización, el valor del Duty Cycle pasa a valer 0.2 y se observa como la tensión del DC-Link pasa a valer 12V.

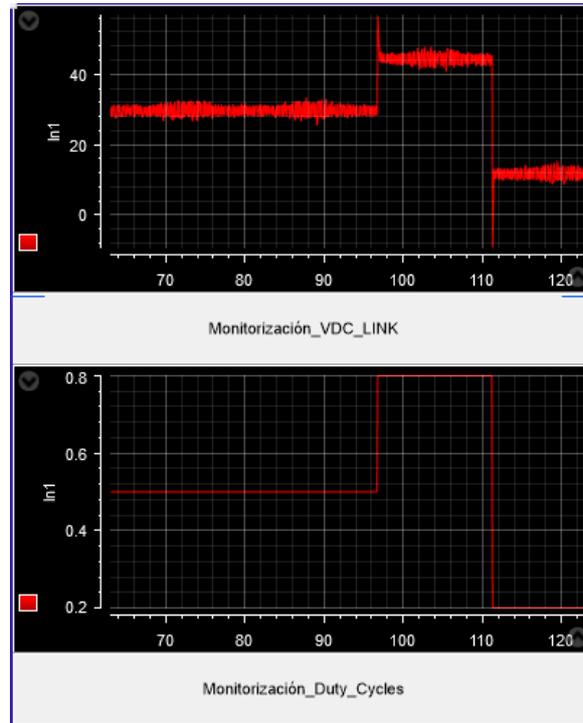


Figura 6-8. Prueba del convertidor en bucle abierto.

6.3.3 Control en bucle cerrado.

Una vez se comprobó el funcionamiento del sistema en bucle abierto, se realizó la prueba del control del sistema en bucle cerrado. Previamente, se sintonizaron los controladores PI, ya que los valores de las constantes proporcionales e integrales, pueden variar respecto a los de simulación.

Al igual que en simulación, primero se comenzó sintonizando el lazo interno de control, y una vez que este estaba controlado, se procedió a sintonizar el lazo externo.

El experimento consistió en aplicar una tensión de entrada igual a 60V. Después se fue modificando el valor de la tensión de referencia deseada en la salida y se fueron comprobando como tanto la tensión en el DC-Link y las corrientes de cada bobina seguían y se adaptaban adecuadamente a los valores de referencia.

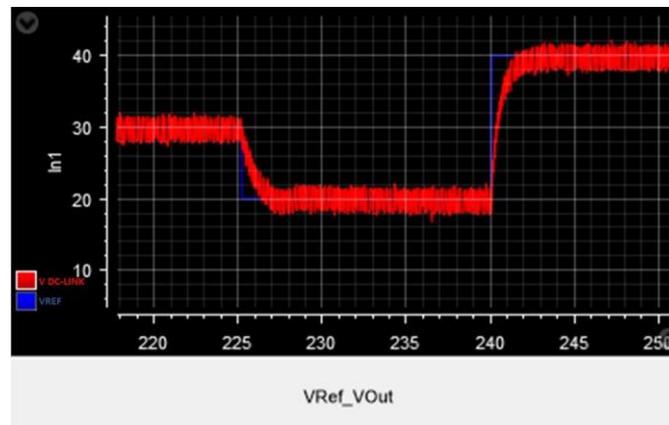


Figura 6-9. Monitorización de tensión del DC-Link junto cambio de referencia.

En la Figura 6-9, se representa la realización del experimento. Se comenzó con una referencia de 30V hasta los 225 segundos de monitorización y después se ejecutaron dos cambios de valor, uno en sentido decreciente, imponiendo una referencia de 20V que se mantiene hasta los 240 segundos de monitorización, y a continuación se impone un salto creciente, donde se fijó una tensión de referencia de 40V. En los sistemas reales, estos cambios de referencia equivalen a diferentes cambios de carga conectados en la salida, pero como en este caso no se tenía disponibilidad para realizar cambios de carga, se emuló de esta manera.

Observando las corrientes, se puede ver que efectivamente, también se adaptan a los valores de referencia. Se muestra en la Figura 6-el detalle en el salto de referencia de 20V a 40V.

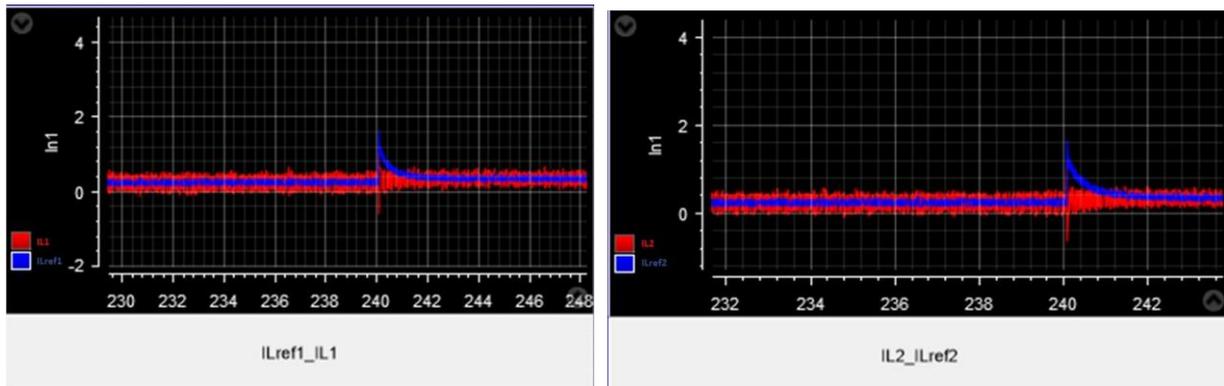


Figura 6-10. Monitorización de las corrientes por cada bobina junto cambio de referencia.

6.3.3.1 Comprobación del interleaving.

Para comprobar que el interleaving se estaba llevando a cabo de manera correcta, se hizo uso de unas sondas de corriente Agilent 1146B y de un osciloscopio Tektronix TPS 2024B para poder medir la corriente por cada rama y observar el desfase de 180° entre ambas señales.

En este caso, para tener una mejor resolución, y poder medir con más precisión con las sondas de corriente, se elevó la tensión de entrada a 100V y se controla la tensión de salida a 50V.

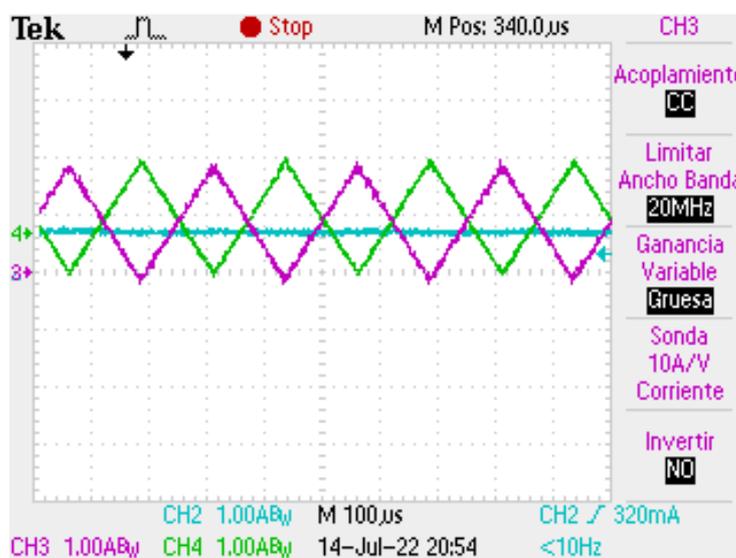


Figura 6-11. Detalle del desfase de las corrientes de cada bobina.

Como se puede comprobar, existe un pequeño offset entre ambas corrientes, pero ambas señales son iguales.

Este offset, es debido a ciertos fenómenos de desbalanceo entre las bobinas, ya que para estos valores de corriente relativamente pequeños, sumado a que ambas bobinas no son exactamente iguales, hace que se observe esta diferencia entre ambas señales.

En la figura 6-11, además se representa la corriente total a la salida de ambas ramas, donde se puede ver que el rizado se reduce considerablemente.

A continuación, se representa la suma de corrientes con detalle, analizando la reducción del rizado de la misma:

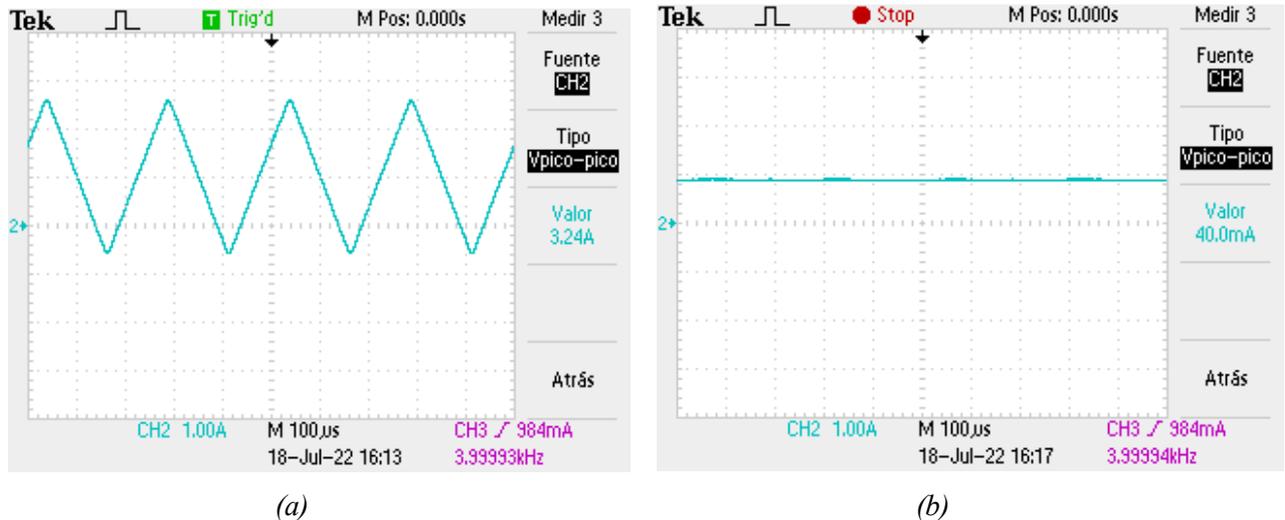


Figura 6-12. (a) Suma de corrientes sin aplicar desfase. (b) Suma de corrientes aplicando desfase.

Efectivamente, en la figura 6-12 (a), se puede ver como en el caso donde no se aplica interleaving, el rizado asciende hasta un valor de 3.24 A, un valor cercano a los 4 A teóricos que se esperan según la ecuación (2-20). En la figura 6-12 (b), donde se aplica el interleaving, el rizado se ve reducido hasta llegar a un valor de 40 mA. Con lo que se puede validar que se está desarrollando la técnica adecuadamente.

7 CONCLUSIÓN Y TRABAJO FUTURO.

Durante la realización del proyecto se ha comprobado que aunque como se indicó, una de las principales ventajas era que todo el sistema podía ser simulado antes de llevar a cabo la puesta en marcha del sistema real, existen una gran cantidad de consideraciones que hay que tener en cuenta. La principal y más importante es la de tener un sistema de control y detecciones de errores. Esto es primordial a la hora de hacer funcionar el equipo, ya que si no se detectan estas faltas, podrían dañarse de manera permanente los diferentes elementos que lo componen, así como, poner en peligro las personas que se sitúan junto a él.

Otra consideración importante a destacar, es la utilización de etapas de adaptación para llevar a cabo la toma de medidas, tanto para el control del equipo, como para su protección. Por ello, se han diseñado placas de señales tanto digitales como analógicas y se ha comprobado el correcto funcionamiento de las mismas, como se ha representado en el capítulo 5.

Además, hay que tener en cuenta que en el sistema real, existen diversos elementos parásitos que hacen que los resultados tengan ciertas diferencias respecto a los obtenidos en simulación.

Aún así, se ha podido crear un modelo de simulación bastante similar al utilizado en el sistema real, que ha permitido estudiar el comportamiento del equipo antes de ponerlo en marcha, obteniendo unos resultados bastantes similares.

El objetivo principal del proyecto, la puesta en marcha de un convertidor DC/DC bidireccional en interleaving se ha podido desarrollar eficientemente, pero se ha tenido que recurrir a diferentes tarjetas controladoras para la toma de medidas y para la generación de los disparos PWM, como es el caso de la FPGA DS5202 y DS5203 respectivamente.

Como ampliación al modelo diseñado, se propone diseñar un sistema donde la mayor parte de elementos se implementen completamente en la FPGA DS5203, ya que como se ha desarrollado, dispone de diversas funciones que podrían reemplazar las utilizadas en este proyecto. Como por ejemplo:

- Hacer uso del ADC propio de la FPGA DS5203.
- Implementar el control del sistema en la propia FPGA DS5203, de manera que todos los cálculos se realicen en la parte de FPGA, evitando así cambiar hacia el lado de procesador y consiguiendo unos resultados más eficientes.
- También, se podrían controlar más canales y aumentar así el número de convertidores en paralelo, ya que la FPGA DS5203, dispone además de un módulo de ampliación que permite duplicar el número de canales tanto analógicos como digitales.
- Diseñar un convertidor reductor completo donde se pueda incluir una precarga inicial.

REFERENCIAS

- [1] Jose A. Roca, «Un nuevo prototipo de transmisión HVDC podría allanar el camino a una red eléctrica mundial basada en energía 100% renovable», *El periódico de la energía*, 2022.
- [2] Sebastian Rivera, Samir Kouro, Sergio Vázquez, Stefan M.Goetz, Ricardo Lizana Enrique Romero-Cadaval, «Electric Vehicle Charging Infrastructure» *IEEE Industrial Electronics Magazine*, 2021.
- [3] Esther de Aragón, «cargar un coche eléctrico, cuanto cuesta, cuanto tarda y todo lo que necesitas saber», *movilidad eléctrica*, 2021.
- [4] AIE (2022), *Global EV Outlook 2022* , AIE, París <https://www.iea.org/reports/global-ev-outlook-2022>
- [5] Leonardo Álvarez, ¿Por qué utilizar un IGBT en lugar de un MOSFET?, *mke electrónica*, 2022.
- [6] Departamento de Tecnología Electrónica de la Escuela Técnica Superior de Ingeniería de la Universidad de Sevilla, «Convertidores DC/DC sin aislamiento», 2021.
- [7] <https://www.tme.eu/es/news/library-articles/page/42787/Indicaciones-para-el-diseno-DC-Link/>
- [8] Isaac Gil Mera, «Diseño de un sistema de almacenamiento híbrido basado en baterías y supercondensadores para su integración en microrredes eléctricas» *Trabajo fin de carrera*, cap. 5, ap. 2 2010.
- [9] Xilinx , «7 series FPGAs Data Sheet: Overview», 2020.
- [10] DSPACE , «PHS Bus Systems, Hardware Reference», 2020.
- [11] DSPACE, «XSG_Utils_Library», 2020.
- [12] DSPACE , «AC Motors Control Solution, User Guide», 2017.
- [13] Yanjie Guo, Lifang Wang, and Chenglin Liao, "Modeling and Analysis of Conducted Electromagnetic Interference in Electric Vehicle Power Supply System," *Progress In Electromagnetics Research*, Vol. 139, 193-209, 2013.
- [14] Jerónimo Chacopino García, «Algoritmos flexibles de seguimiento de potencia para sistemas fotovoltaicos» *Trabajo fin de carrera*, cap. 5, 2020.
- [15] Datasheet, Voltage Transducer LV-25P.
- [16] Datasheet, Current Transducer LA-25P.