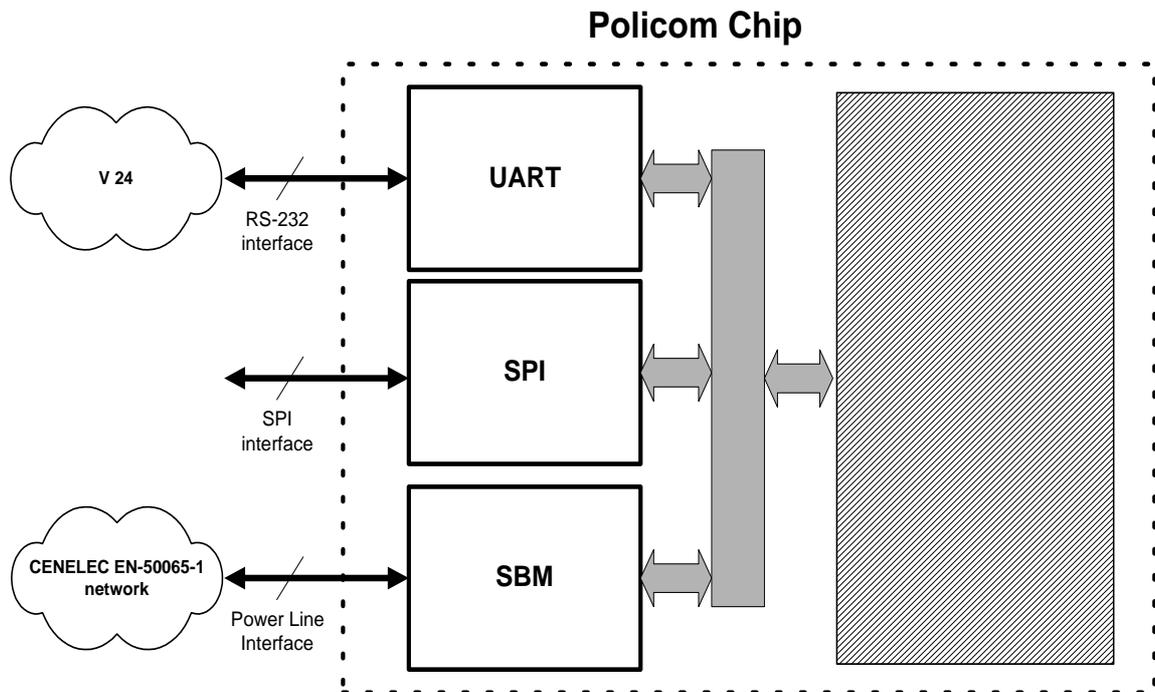


## La gestión de las comunicaciones en Policom

Desde el punto de vista del programador, Policom proporciona un esquema de comunicaciones que le permite acceder, por un lado a la línea de potencia, principal objetivo del chip, y por otro lado a dos líneas de comunicación de propósito general, una de ellas normalizada (RS-232) y otra no (spi).

El esquema seguido, que se muestra en la figura, satisface un amplio conjunto de necesidades en cuanto a comunicaciones se trata, e incluso abre las puertas a futuras aplicaciones.



Los dispositivos que incorpora Policom orientados las comunicaciones son los siguientes:

- UART: comunicación vía serie RS-232 (normalizado V.24) orientada a conexión con PC's u otros equipos comerciales.
- SPI: canal serie de alta velocidad no normalizado, orientado especialmente a conexión con memorias comerciales.
- SBM: modem para línea de potencia.

El programador de los distintos dispositivos que van a permitir la comunicación dispone de una interfaz muy flexible que le va a permitir una programación fácil y óptima.

## **SBM**

El *Stadix Based Modem*, SBM, es un dispositivo que va a permitir a Policom acceder a la línea de potencia como canal de comunicaciones según la norma CENELEC-50065-1.

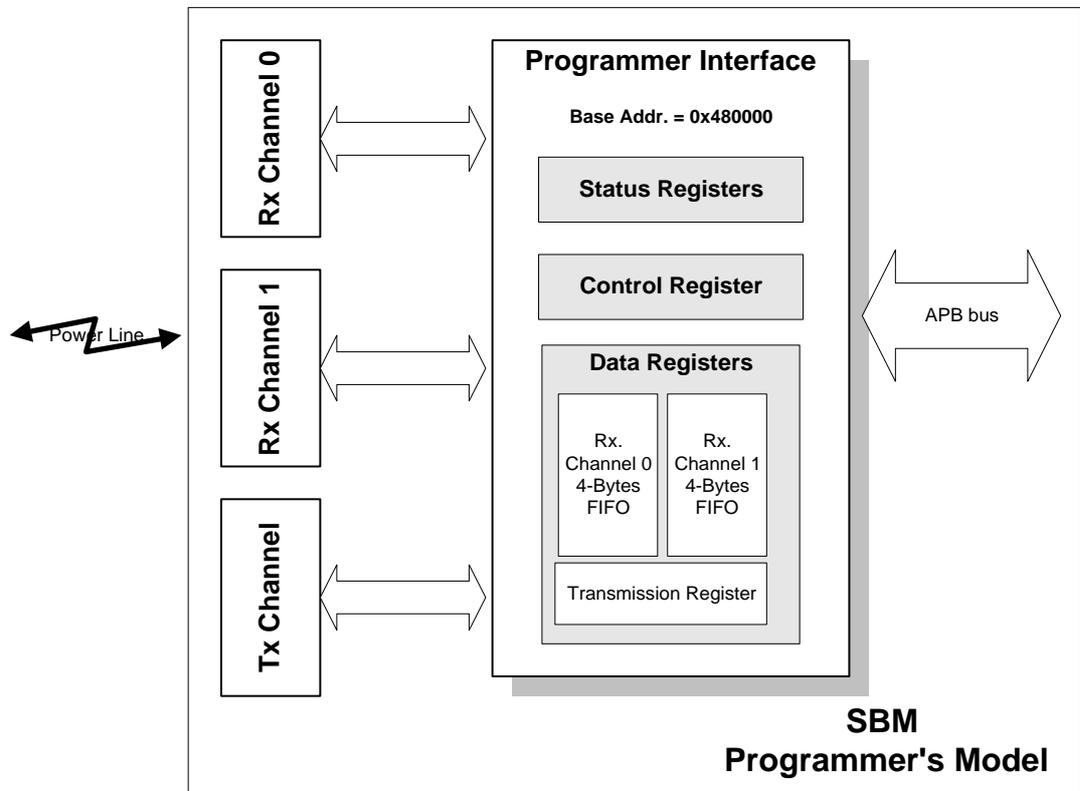
### Prestaciones del SBM

El SBM es un modem full duplex para línea de potencia. Sus principales características son:

- Tasa de transmisión – recepción binaria de 300 bps a 9600 bps programables.
- Demodulación FSK de banda estrecha o S-FSK de banda ancha programable. Transmisión CPFSK binario.
- Rango de frecuencias para transmisión y recepción programable en el intervalo de 20KHz a 140KHz con paso de 500Hz.
- Dos canales de recepción controlados independientemente.
- FIFO's independientes para cada canal de recepción.
- Selección programada de los umbrales de detección y de decisión.
- Monitorización del estado a través de registro accesibles por el programador.
- Mecanismo de generación de interrupción según causas previamente preprogramadas.

### Programación del SBM

El diagrama presenta los bloques funcionales que participan en la programación del SBM.

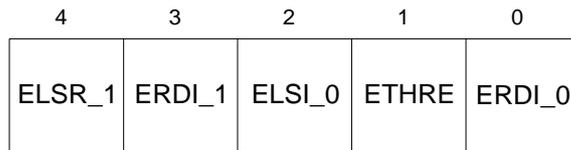


La tabla siguiente proporciona información cada uno de los registros que forman la interfaz. Esta interfaz es preliminar, en especial la zona sombreada.

Dirección	Nombre	Descripción	Acceso	Bits	Estado inicial
480000	sbm_RBR_0	Buffer de recepción del canal 0	RO	8	-
480004	sbm_RBR_1	Buffer de recepción del canal 1	RO	8	-
480008	sbm_IIR	Registro de Identificación de Interrupción	RO	9	0
48000C	sbm_IER	Registro de habilitación de interrupción.	R/W	5	0
480020	sbm_LSR_0	Registro de Estado de Línea para el canal 0	RO	10	0
480024	sbm_LSR_1	Registro de Estado de Línea para el canal 1	RO	10	0
480050	sbm_CCR	Registro de Control de la Comunicación	R/W	9	0
480054	sbm_BDT	Umbral de decisión	R/W	15	0
480058	sbm_BPT	Umbral de detección de potencia en banda base	R/W	16	0
48005C	sbm_THR	Registro de Transmisión	R/W	8	0
4A0000	sbm_STATE	Registro de configuración	R/W	6	0
4A0004	sbm_GAIN	Registro de configuración de ganancia de rx	R/W	4	0
4A0008	sbm_TXf0	Registro de configuración de la frecuencia de transmisión para símbolo '0'.	R/W	8	0
4A000C	sbm_TXf1	Registro de configuración de la frecuencia de transmisión para símbolo '1'.	R/W	8	0
4A0010	sbm_RXf0	Registro de configuración de la frecuencia demodulación para canal 0	R/W	8	0
4A0014	sbm_RXf1	Registro de configuración de la frecuencia demodulación para canal 1	R/W	8	0
4A0018	sbm_DECIMATE	Especifica el factor de decimación de los filtros internos de cada canal rx	R/W	6	0

#### **El Registro de Habilidad de Interrupciones.**

Este registro de configuración se emplea para especificar al SBM cuáles son las causas por las que se autoriza que active su línea de interrupción. Funciona como una máscara cuyo valor puede ser '1', en caso de habilitación, o '0' en caso contrario.



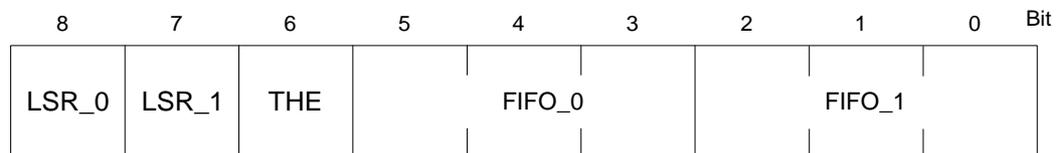
Los 5 bits que forman el registro tienen el significado siguiente:

- ERDI\_x: habilitación de interrupción por recepción de un byte por el canal x.
- ETHRE: Habilitación de interrupción por encontrarse el transmisor vacío.
- ELSI\_x: Habilitación de interrupción cambios en el estado de la línea del canal de recepción x.

#### El Registro de Identificación de Interrupción

La misión de este registro es informar al programador cuál es, en primera aproximación, la causa que ha desembocado la interrupción.

Su contenido es el siguiente:



Su significado es el siguiente:

- FIFO\_x: indica el número de elementos no leídos quedan en la FIFO del canal x.
- THE: transmisor vacío.
- LSI\_x: indica que se ha provocado una interrupción debida a un cambio en el estado de la línea. Para saber qué es lo que realmente ha ocurrido hay que consultar el LSI de cada canal.

La identificación de la causa exacta de interrupción en SBM se lleva a cabo en dos fases: IIR en primer lugar, y a continuación, y si fuera necesario,

consultando el LSI del canal correspondiente. Este procedimiento será descrito en el modo de operación.

**El Registro de Control de Comunicación**

Este registro tiene por objetivo mantener un fuerte control sobre los parámetros que le pueda interesar cambiar al programador durante el progreso de una comunicación: la habilitación de los canales de recepción y del canal de transmisión (RXEN\_x y TXEN, respectivamente).

8..6	5..3	2	1	0	Bit
TXBR	RXBR	TXEN	RXEN_1	RXEN_0	

Adicionalmente se especifica la velocidad de transmisión y de recepción (RXBR y TXBR respectivamente), siguiendo la tabla:

TXBR, RXBR_x	Codificación Hexadecimal
300	0
600	1
1200	2
2400	3
4800	4
9600	5

Junto a esta información, también es necesario configurar adecuadamente el registro sbm\_DECIMAT.

**Umbral de detección de potencia en banda base**

Este valor, requerido tanto para el canal 0 como para el canal 1, indica al módem el nivel de señal que tiene que ser detectado para comenzar la recepción. Es decir, los canales de recepción desecharán señal cuyo nivel de potencia se encuentre por debajo de este umbral.

El control de este valor proporciona al programador la posibilidad de controlar la fiabilidad de la recepción, ajustando este umbral a las diversas condiciones de la comunicación.

**Umbral de decisión.**

Se trata del valor a partir del cual el dispositivo comparará y distinguirá los símbolos recibidos. Deberá especificarse en complemento a dos.

Inicialmente es un valor que no requiere ser tocado por el programador, siendo su valor por defecto ('0x0') el adecuado.

#### Registros de Estado de Línea

Los registros de estado de línea tienen por objetivo informar la evolución de todo el proceso de recepción, así como de las incidencias que ocurran durante la recepción. De esta manera, cada canal de recepción lleva asociado un registro de este tipo, cuya información es la siguiente:

7..5	4	3	2	1	0
RSI	CHD	OPD	RBE	RBF	ROE

- ROE: error de sobrescritura para el canal dado.
- RBF: buffer de recepción lleno.
- RBE: buffer de recepción vacío.
- OPD: el nivel de señal ha superado el umbral de detección.
- CHD: Cabecera detectada.
- RSI: Información del estado del receptor para el canal especificado según la siguiente tabla:

Código	Estado
0	Inicial
1	Reposo
2	Escuchando canal
3	Buscando cabecera
4	Recibiendo datos

#### El registro de configuración (sbm\_STATE)

Se especifican parámetros de configuración del SBM. Su contenido es el siguiente:

5	4	3	2	1	0	Bit
bitHB	PWDTX	PWDRX1	PWDRX0	PWDRX	bSFSK	

- bSFSK: selecciona el modo de recepción entre FSK y S-FSK.

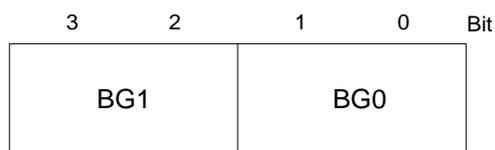
'0' → Modo SFSK seleccionado.
'1' → Modo FSk seleccionado.

- PWDRX0: '1' selecciona modo de bajo consumo en el canal de recepción 0.
- PWDRX1: '1' selecciona modo de bajo consumo en el canal de recepción 1.
- PWDRX: '1' selecciona modo de bajo consumo en todo el receptor.
- PWDTX: '1' selecciona modo de bajo consumo en el transmisor.
- bitHB: '1' incluye etapa de filtrado adicional en la cadena de demodulación.

#### El registro de control de ganancia

Establece la ganancia del filtro paso banda de entrada a cada uno de los canales de recepción.

Su contenido es el siguiente:



- BG0 → establece la ganancia para el canal de recepción 0 según la tabla.
- BG1 → establece la ganancia para el canal de recepción 1 según la tabla.

Bgi	Ganancia
00	0 dB (4° orden)
01	20 dB (4° orden)
10	20 db (6° orden)
11	40dB (4° orden)

#### EL registro sbm\_DECIMAT

Establece el factor de diezmado de los filtros FIR internos del modem. Su utilización es reservada.

#### La especificación de frecuencias

Los registros TXf0, TXf1, RXf0 y RXf1 sirven para especificar de frecuencias de funcionamiento del modem. Su codificación es como sigue:

Valor	Frecuencia
0	Valor por defecto. No especifica ninguna frecuencia.
1	20 KHz
f (1 →251)	[20 +0.5(f-1)] KHz
252→255	reservado

#### Modo de operación

En este apartado se pretende dar el esquema a seguir para gestionar de manera adecuada el dispositivo, tal y como de ha hecho en las pruebas de co-simulación software y hardware realizadas durante la fase de diseño y posterior chequeo del hardware.

En primer lugar es necesario resaltar que el propio funcionamiento del dispositivo exige el cumplimiento de estas dos condiciones de inicio y final de la transmisión:

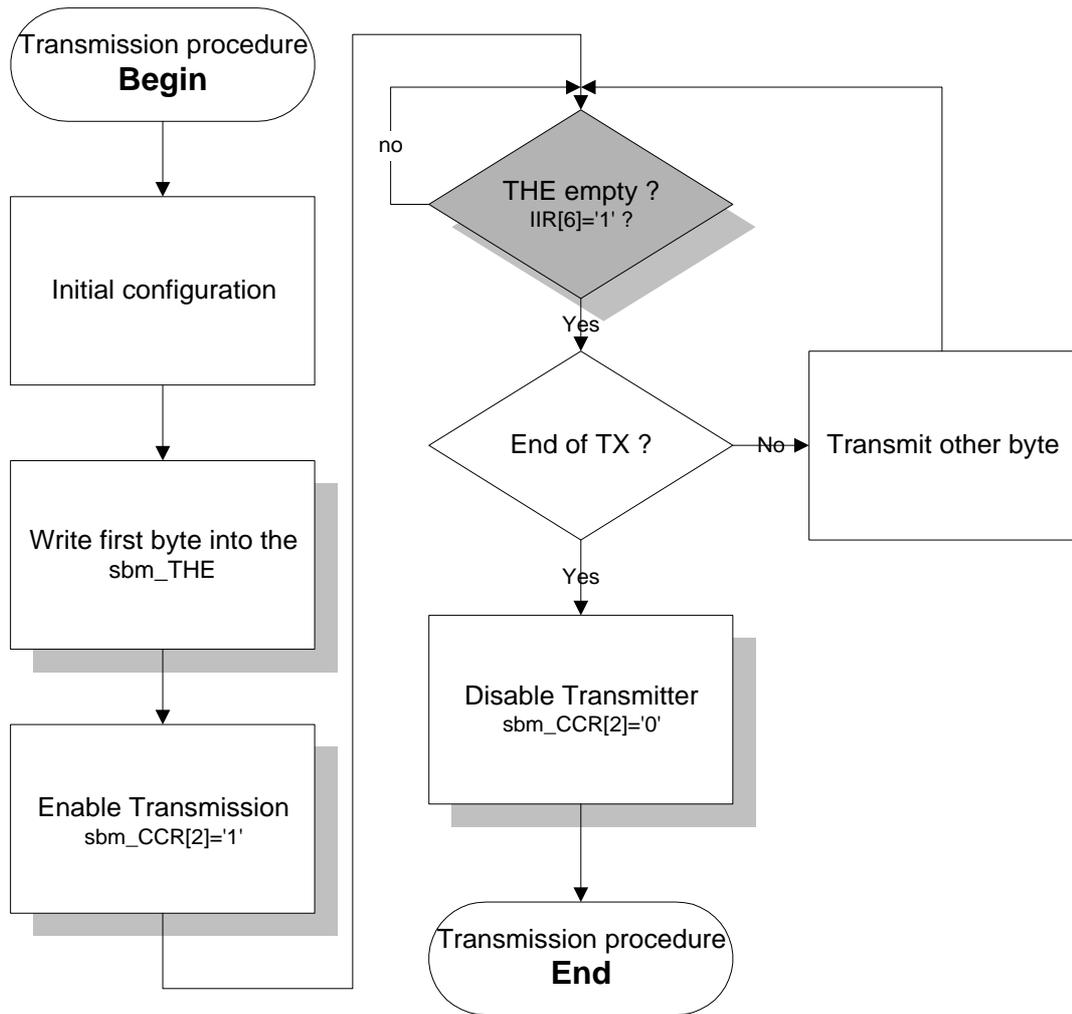
- Aquellas partes del SBM que vayan a ser utilizadas en la comunicación deben haber sido sacadas del modo de bajo consumo con suficiente antelación. Debido a que no existe estimación del tiempo de recuperación ante la orden de salida del modo de bajo consumo, suponemos que esto se realiza, sólo para el chip de test, en el reset del sistema.
- El programador debe asegurarse que el registro de datos de transmisión debe estar cargado antes de habilitar el dispositivo. Para ello deberá cargar dicho registro y posteriormente habilitar la transmisión.
- Para poder finalizar la transmisión adecuadamente, el programador debe asegurarse que el registro de transmisión se encuentra vacío antes de

inhabilitar el transmisor. Para ello, la inhabilitación del transmisor debe hacerse sólo cuando se cumpla, según la información ofrecida por el LSR correspondiente o por interrupción de transmisor vacío, que el registro de transmisión se encuentra vacío.

### **Espera activa**

El proceso de transmisión, siguiendo las anteriores hipótesis quedaría como muestra la figura. La parte sombreada corresponde las hipótesis explicadas anteriormente. De esta forma, cuando el usuario quiere comenzar la transmisión debe habilitar después de cargar el primer byte a transmitir. Igualmente, al finalizar de transmitir, el usuario debe asegurarse que se ha terminado de transmitir el último byte.

El esquema presentado corresponde a un tratamiento del dispositivo basado en espera activa. Puede verse que la espera activa implica un bucle, que en la figura corresponde a bloque condicional en gris, que supone tener al procesador dedicado exclusivamente a esa tarea. Análogamente podría utilizarse un esquema basado en espera activa para la recepción.



### Interrupciones

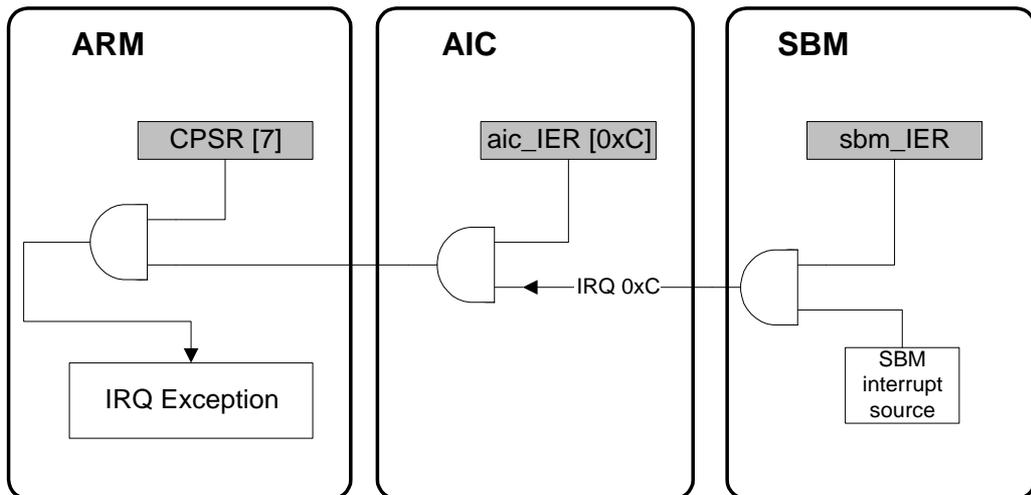
El esquema que muestra la anterior figura, y su análogo para recepción, presenta graves problemas en cuanto a consumo de tiempo se refiere. La solución a este problema es fácil en Policom, ya que éste sistema incorpora un potente subsistema de gestión de interrupciones.

Para poder emplear la gestión de cualquier dispositivo mediante interrupciones debemos programar dos rutinas, denominadas ICR e IAR.

La primera de ellas, de Configuración de Interrupción, especifica los parámetros de configuración del modem según la tabla siguiente:

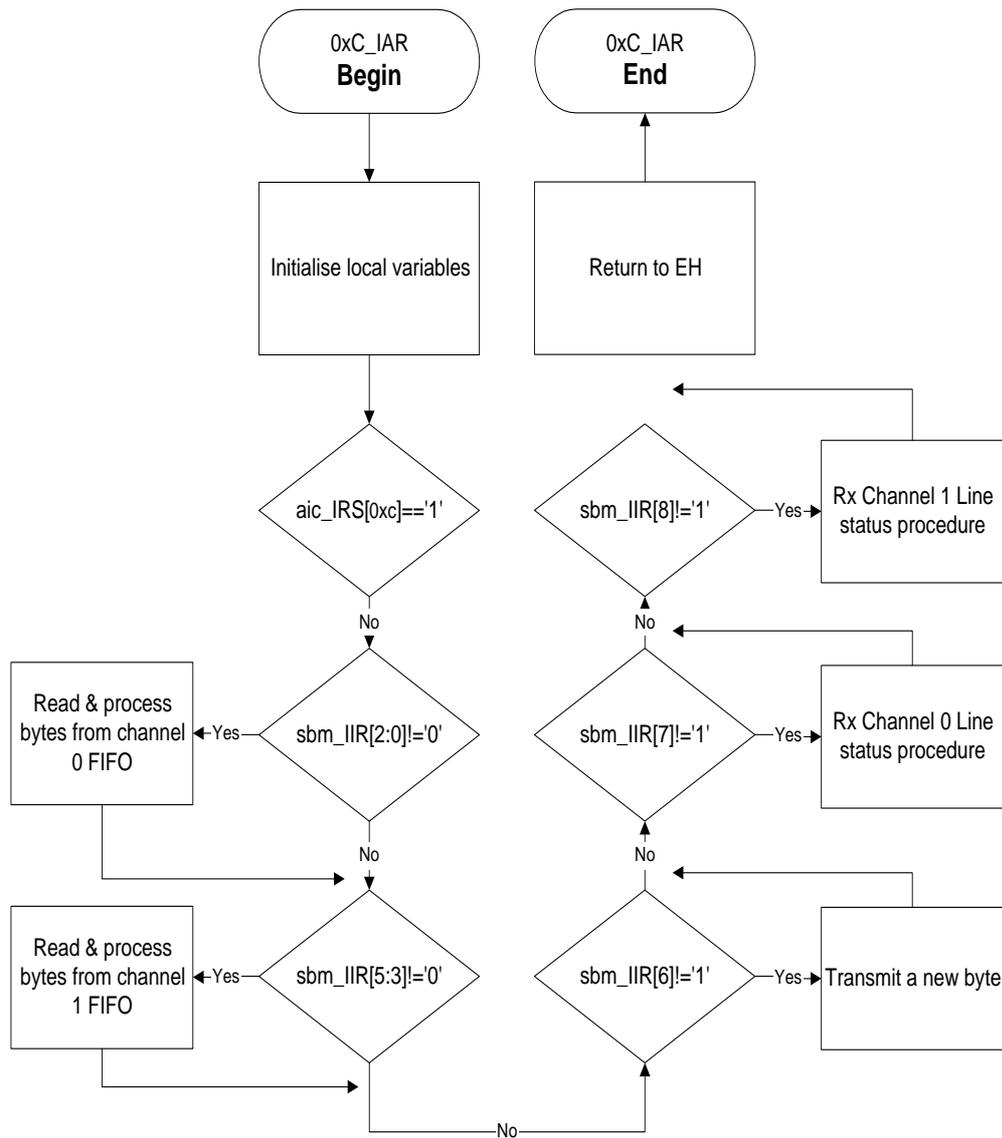
	Parámetros
0. Activación de celdas	Con suficiente antelación el programador deberá sacar del modo de bajo consumo las partes del modem que vaya a utilizar → sbm_STATE
1. Configuración del receptor.	Tasa binaria de recepción Umbral de decisión → sbm_BDT Umbral de detección de potencia → sbm_BPT Frecuencias portadora rx → sbm_RXf1 y RXf0 Ganancia de entrada → sbm_GAIN Modo de detección FSK vs SFSK → sbm_STATE
2. Configuración del transmisor	Tasa binaria de transmisión → sbm_CCR Frecuencias portadora tx → sbm_TXf1 y TXf0
3. Relacionados con la gestión de interrupciones.	Dirección de la IAR → IVT Prioridad de la interrupción → IPT Habilitar causas de interrupción de modem → sbm_IER Habilitación causa IRQ 0xC → iac_IER Comprobar que el ARM puede ser interrumpido → CPSR
4. Inicio de recepción.	Habilitar receptor para el canal deseado. NO HABILITAR TRANSMISOR

Es muy importante que se siga el orden expresado en la tabla para la configuración del dispositivo. En caso contrario puede haber un comportamiento inesperado. Para aclarar los diferentes niveles de en quedan enmascaradas las interrupciones se muestra el siguiente diagrama:



Por otro lado, la Rutina de Atención de Interrupción Modem, la 0xc\_IAR, deberá chequear el estado del modem para encontrar la causa o causas que provocan interrupción, y en consecuencia, actuar para hacer desaparecer dichas causas.

La rutina de atención de interrupción, que se ejecutará cada vez que el dispositivo solicite interrupción, deberá seguir un esquema similar al siguiente diagrama de flujo:



La IAR estará compuesta de un conjunto de subrutinas cuya ejecución está condicionada a la información contenida en los registros de identificación de interrupción y de estado de línea.

Una realización propuesta de IAR puede verse en este trozo de código:

```

STMDB SP!, {LR}
SBM_EXAMPLE_CODE_Begin
LDR    R4, =sbm_LSR_0
LDR    R5, =sbm_RBR_0
LDR    R6, =sbm_CCR
LDR    R7, =sbm_IIR
LDR    R8, =sbm_IER
LDR    R9, =aic_IRS
LDR    R0, [R9]
MOV    R1, #0x1                                ; test aic_IRS
MOV    R1, R1, LSL #SBM
TST    R1, R0                                ; conditional jump
BEQ    SMB_EXAMPLE_CODE_End
SBM_EXAMPLE_CODE_Label_0
LDR    R2, [R7]                                ; read interrupt identification register
SBM_EXAMPLE_CODE_Label_1
TST    R2, #07
BLEQ   RECEPTION_0_PROCEDURE_Begin
EXAMPLE_CODE_Label_2
TST    R2, #0x38
BLEQ   RECEPTION_1_PROCEDURE_Begin
EXAMPLE_CODE_Label_3
TST    R2, #0x40
BLEQ   TRANSMISSION_PROCEDURE_Begin
EXAMPLE_CODE_Label_4
TST    R2, #0x80
BLEQ   LSR_1_PROCEDURE_Begin
EXAMPLE_CODE_Label_5
TST    R2, #0x100
BLEQ   LSR_0_PROCEDURE_Begin
EXAMPLE_CODE_End
LDMIA SP!, {PC}

```

## **SPI**

POLICOM incorpora un canal de comunicaciones SPI (protocolo de interfaz serie) que podrá emplear el usuario para satisfacer sus demandas de comunicaciones síncronas y de alta velocidad.

La interfaz presentada está lo suficientemente abierta como para que este dispositivo, programado adecuadamente, se adapte a cualquier requerimiento de comunicación síncrona, en especial con las memorias externas que emplean protocolos síncronos para su utilización.

### Prestaciones del SPI

El canal de comunicación SPI viene a completar el esquema de comunicaciones que incorpora Policom.

Sus prestaciones son las siguientes:

- Un canal full duplex síncrono, en banda base y señalización NRZ.
- Tasas binarias de: 125 kbps, 250 kbps, 500 kbps y 1Mbps.
- Modos de funcionamiento maestro o esclavo.
- Sincronización por línea externa de reloj de fase programable.
- Dos FIFOs de 16 bytes, una para recepción y otra para transmisión.
- Interrupción cuando se alcanzan los niveles programados de las colas de recepción o transmisión.
- Paridad opcional.
- Señalización de transferencia por línea externa (SS).

### Programación

Todos los registros del canal SPI se encuentran a partir de la dirección base 0x490000. En la siguiente tabla se muestran todos los registros:

Dirección	Nombre	Descripción	Acceso	Bits	Estado inicial
490000	spi_RBR	Registro de buffer de recepción	RO	8	-
490000	spi_THE	Registro de Transmisión	WO	8	-
490001	spi_DLR	Tasa binaria para tx y rx	RW	2	0
490002	spi_FCR	Registro de control de FIFOs	RW		0
490003	spi_FCR	Registro de Control de Línea	RW		0x01
490004	spi_FSR	Registro de estado de FIFO's	RO		0
490005	spi_LSR	Registro de estado de línea	RO		0

Los registros del canal SPI pueden agruparse según su funcionalidad en registros de datos, control y estado.

#### Los registros de datos

RBR y THE son dos registros internos de SPI que son accesibles por una única dirección. El programador irá accediendo a la información transmitida y recibida escribiendo y leyendo respectivamente de la dirección de estos registros.

En particular, cuando el programador carga un dato en el THE, realmente está llenando la FIFO de transmisión, escribiendo la última posición vacía de dicha cola.

En cambio, al leer el RBR el usuario estará vaciando la FIFO de recepción. La forma de utilización de estos registros se detallará en el modo de operación.

#### El divisor de frecuencias

El registro DLR (divisor de frecuencia) permite configurar la tasa binaria que empleará, que será la misma tanto para transmisión como para recepción.

La tabla indica la codificación asociada a cada tasa binaria:

DLR (binario)	Tasa binaria
00	1 Mbps
01	500 Kbps
10	250 Kbps
11	125 Kbps

### El registro de control de línea

Se utiliza para configurar algunos parámetros necesarios para establecer la comunicación por el canal SPI.

6	5	4	3	2	1	0	Bit
TIE	RIE	PE	SLAV	CPOL	CPHA	SSR	

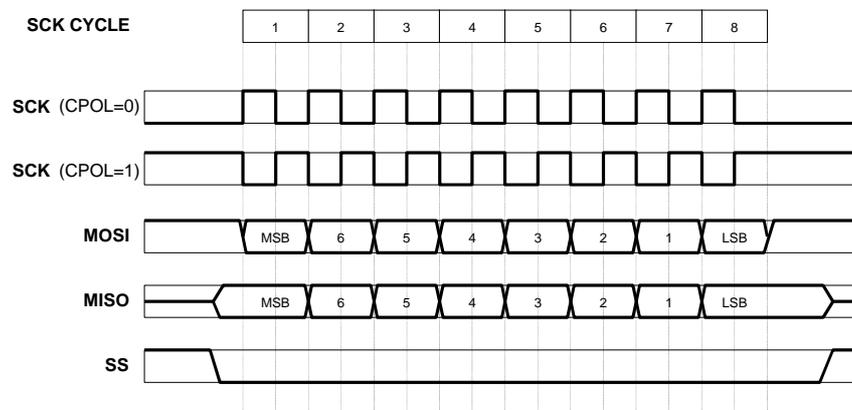
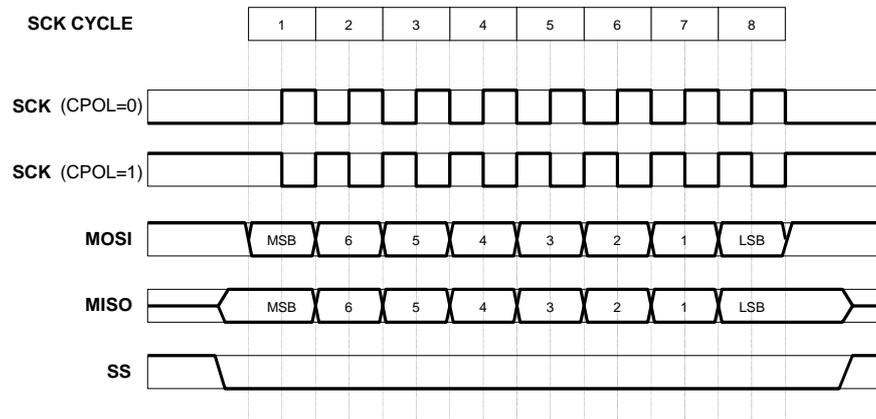
Los campos que componen este registro son los siguientes:

- SSR: registro de esclavo seleccionado. Esta señal sólo puede ser modificada por el maestro. Escribiendo '1' estaremos activando la línea (activa por nivel bajo), cuyo significado es que el maestro va a iniciar la transferencia. Durante la transferencia está señal debe estar activa, volviendo a desactivarla al final.
- CPHA: Fase del reloj. Ver figuras.
- CPOL: Polaridad de reloj. Ver figuras.
- SLAV: Indica el modo de transferencia: '0' para maestro y '1' para esclavo.
- PE: Habilitación de paridad. '0' inhabilitada, '1' habilitada.
- RIE: Habilitación de interrupción por recepción. '1' para habilitar y '0' para inhabilitar.
- TIE: Habilitación de interrupción por transmisión. '1' para habilitar y '0' para inhabilitar.

En las siguientes figuras se muestra las diferentes alternativas de programación del reloj empleado para la transmisión y recepción. La primera de ella indica el formato de transferencia para CPHA='0', mientras que la segunda muestra el formato para el caso CPHA='1'.

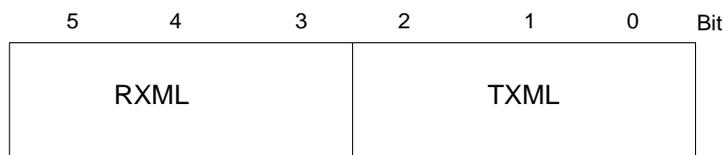
Para el programador, la configuración del reloj sólo debe ser ajustada para que coincida con la empleada con los dispositivos con que se esté

comunicando, siendo transparente desde el punto de vista de la información transferida.



### El registro de control de FIFO

El SPI dispone de sendas colas para transmisión y recepción de 16 bytes cada uno. Si bien su capacidad es fija, el dispositivo permite provocar interrupción cuando se haya alcanzado un determinado nivel de dichas colas de datos. Esos niveles son programados en el FCR.



Los campos del FCR son:

- TXML: es el nivel de la cola de recepción por encima del cual el dispositivo estará provocando interrupción (si está habilitada).
- RXML: es el nivel de la cola de transmisión por debajo del cual el dispositivo provocará interrupción.

Es importante indicar que dependiendo de los niveles programados en este registro, junto con la tasa binaria de transferencia, van a determinar tiempo de procesador consumido, así como los posibles errores de sobre-escritura y sobre-lectura. De esta manera, habrá que adoptar unos niveles de colas adecuados para la tasa binario elegida, y para una aplicación concreta.

#### El registro de estado de línea

El canal SPI de Policom muestra su estado a través de dos registros de estado: el registro de estado de línea y de colas.

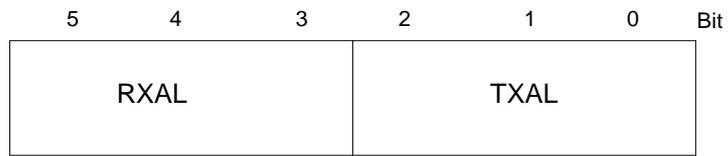
El registro de estado de línea contiene la siguiente información:



- IT: '1' indica interrupción debida a transmisión.
- IR: '1' indica interrupción debida a recepción.
- SSS: estado de la línea de selección de esclavo. '1' indica estado de la línea activa (por nivel bajo).

#### El registro de estado de FIFO's

El registro de estado de las colas de recepción y transmisión informa del nivel actual de las FIFOs. La información se muestra de la siguiente forma:

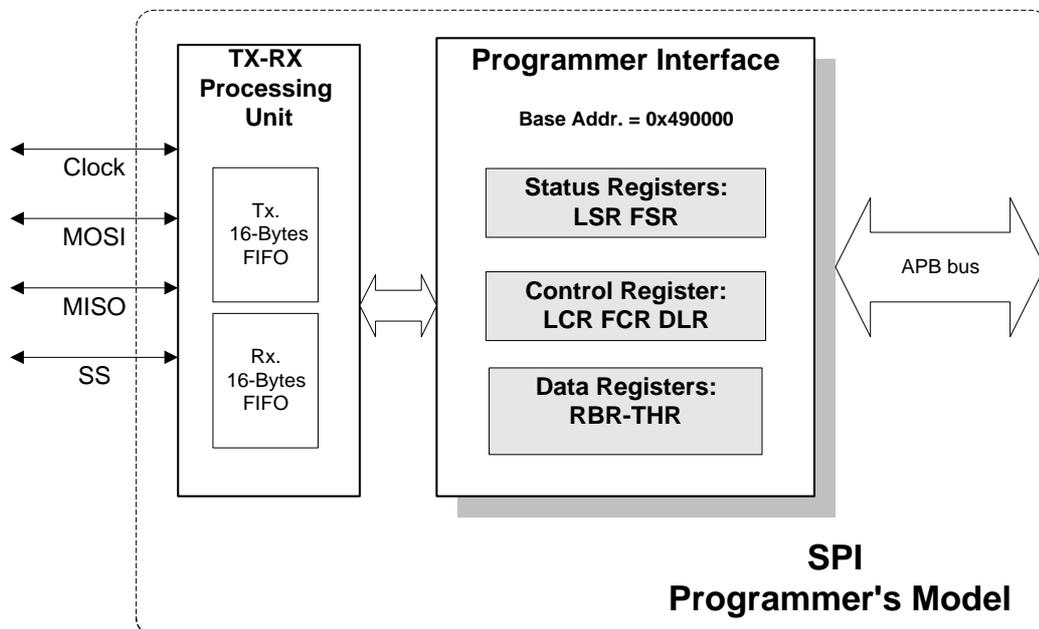


- RXAL: valor actual de la cola de recepción.
- TXAL: valor actual de la cola de transmisión.

## Modo de operación

En el proceso de diseño del canal SPI se ha pretendido en todo momento obtener un dispositivo suficientemente flexible como para ser empleado en múltiples aplicaciones, a la vez que se ha intentado no complicar en exceso su gestión.

El esquema de la figura muestra un diagrama funcional sobre el cual nos vamos a basar en los apartados siguientes para detallar cómo el programador debe utilizar el dispositivo.



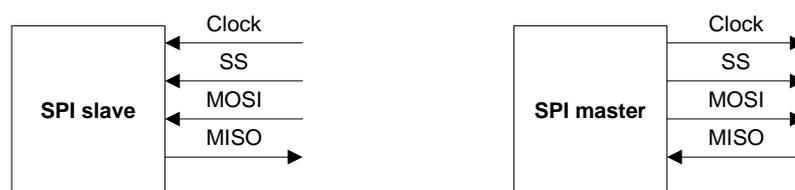
### **Configuración del dispositivo**

A la hora de configurar nuestro dispositivo SPI tendremos que fijar los siguientes parámetros: antes de iniciar cualquier transferencia:

Acción	Parámetros implicados
Escribir el DLR	Tasa binaria de transferencia. Es única para transmisión y recepción.
Programar el LCR	Habilitación de interrupciones Habilitación de paridad Modo Maestro o esclavo Polaridad y fase de reloj Control de la línea SS, inicialmente fijar a 1. (inactiva). Esta operación sólo se puede ser si es Maestro
Programar el FCR	Niveles adecuados para las fifo, sólo en caso de emplear interrupciones.

En esta tabla se hace referencia a si nuestro dispositivo va a comportarse como maestro o como esclavo. Las diferencias entre ambos modos de operación se basa en la potestad del dispositivo para poder iniciar un transferencia de datos, esto es, para poder controlar la señal SS.

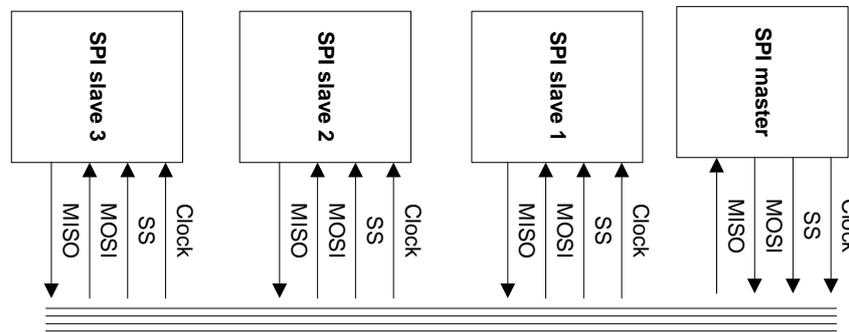
En una configuración como maestro, el dispositivo quedará como se muestra en la figura. La señal SS la controlará el propio maestro, esto es, el programa de control del SPI podrá iniciar un transferencia de datos cuando lo desee. Esto no quiere decir que el esclavo no pueda mandar datos, sino que si desea hacerlo, deberá esperar a ser seleccionado por el maestro.



En contraposición a la configuración como maestro se encuentra el SPI como esclavo. En este caso el programador no podrá imponer un valor a la señal SS, ya que entraría en conflicto con la señal impuesta por el maestro. En cambio, el esclavo podrá saber en todo momento monitorizar el estado de la línea leyendo el registro de estado de línea.

Cabe destacar los siguientes puntos a tener en cuenta:

- La configuración de los relojes del maestro y del esclavo debe ser la misma.
- La velocidad de transferencia ha de ser la misma
- No puede haber más de un maestro conectado a bus spi.
- En el caso de existir varios esclavos conectados al bus spi, es necesario arbitrar quién puede responder a las peticiones del master.



#### Tratamiento de fifos

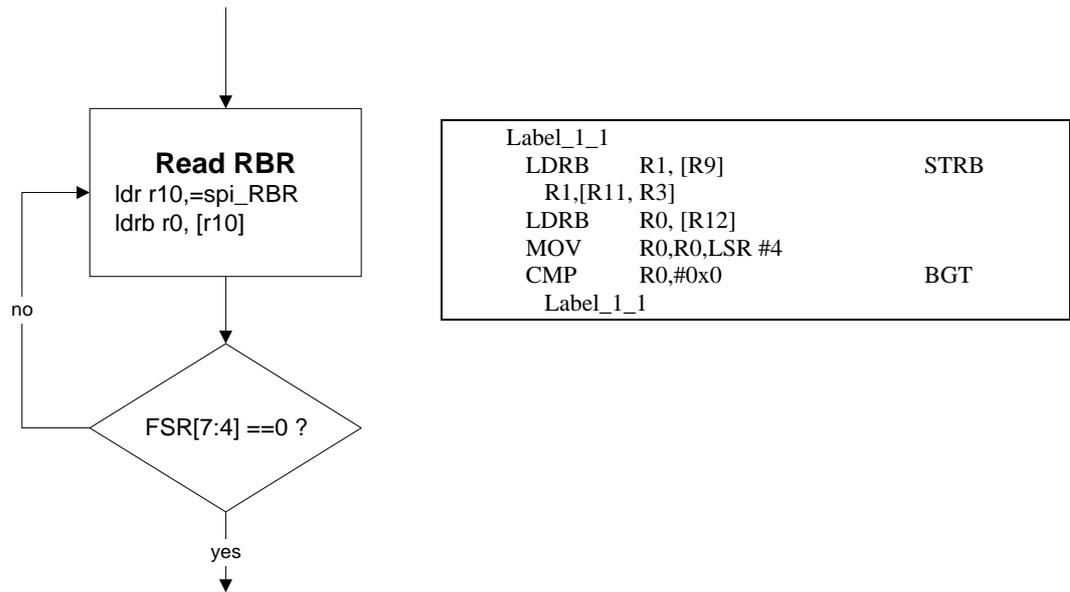
Como se ha explicado anteriormente, el canal SPI integrado en Policom trabaja con sendas colas de datos tanto para recepción como para transmisión, debido a las altas tasas binarias que puede emplear el dispositivo.

Tanto la cola de transmisión como de recepción tienen un tamaño fijo de 16 bytes, de los cuales uno de los bytes es el que se está procesado actualmente. Esto quiere decir que el programador sólo puede trabajar con un tamaño de 15 bytes.

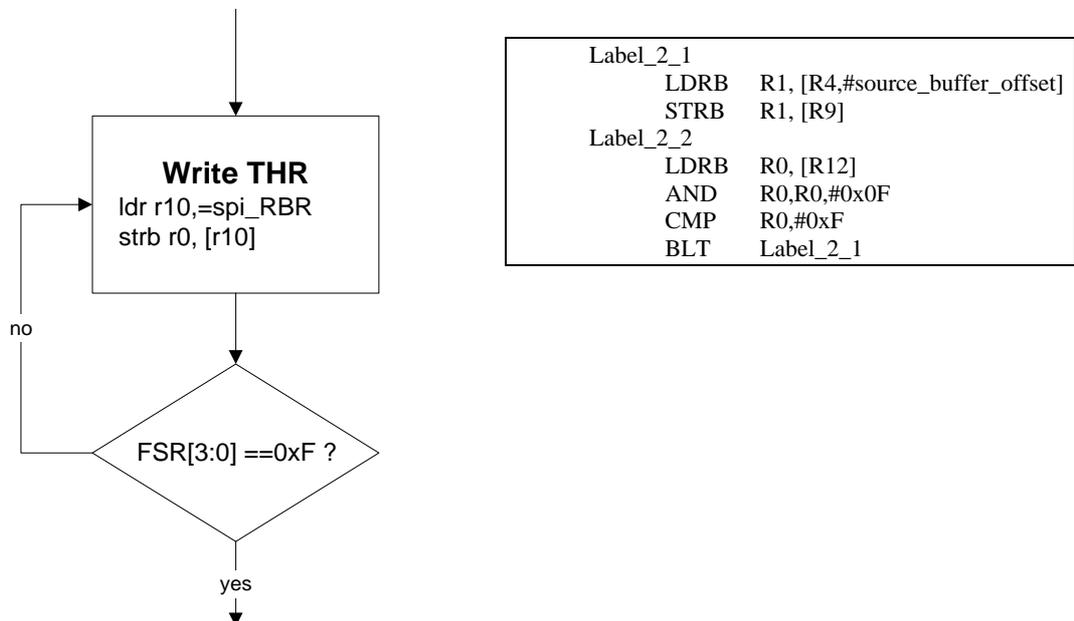
Para poder acceder al contenido de cada una de las colas, el programador deberá ir leyendo o escribiendo, según se trate de recepción o de transmisión, uno a uno, accediendo a registro RBR-THR.

EL RBR contiene es cada momento el byte más antiguo de la cola de recepción y que todavía no ha sido desalojado de ésta. Una lectura de este registro supone la actualización del mismo, conteniendo ahora el siguiente byte de la cola. Esta actualización se realiza de forma transparente para el

programador, que sólo tendrá que realizar operaciones de lectura sobre el RBR para ir vaciando la cola de recepción, y siempre que sepa con certeza que existen datos en la misma. La información de los niveles de cada una de las colas se encuentra en el FSR. La operación de vaciado de la cola de recepción se resume en el siguiente diagrama, que aparece junto al código ARM.



El procedimiento de llenado de la cola de transmisión es análogo al descrito anteriormente, si bien ahora hay que chequear el estado la fifo de transmisión. El programador irá escribiendo bytes nuevos sobre la cola de transmisión accediendo al registro THR. El diagrama de flujo a seguir junto con el código ensamblador del código son los siguientes:



Por último, y en relación con el tratamiento de las FIFOS, cabe destacar que cuando se quiere gestionar el dispositivo mediante interrupciones, la elección del tamaño de las fifos juega un papel decisivo para la eficiencia de dicha gestión. Esto será tratado en el apartado siguiente.

#### **Gestión de interrupciones**

El canal de comunicaciones disponible en Policom ha sido diseñado teniendo en cuenta que, por un lado, no se encuentra solo en el sistema, sino que está acompañado por otros periféricos que podrán ser utilizados por el usuario conforme a sus necesidades, y por otro lado, que debido a la alta tasa binaria que incorpora, cualquier falta de atención por parte del procesador puede ocasionar una pérdida de información en la transferencia que sería inaceptable. La solución finalmente adoptada teniendo en cuenta estos requerimientos ha sido que el canal de comunicaciones SPI incorpore, al igual que otros dispositivos de sus características, la posibilidad de gestionar el dispositivo mediante interrupciones. Para minimizar el riesgo de posible errores en la comunicación, debido a la falta de atención por parte del procesador, se han incorporado colas de recepción y transmisión.

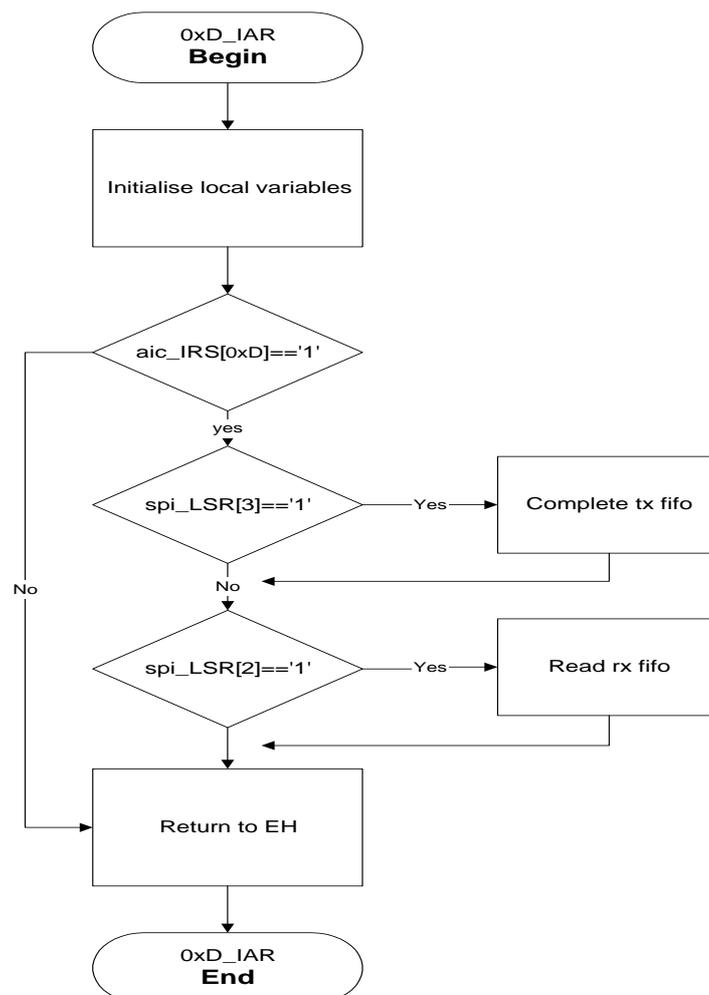
Las colas de transmisión y recepción, como se ha explicado anteriormente, están compuestas de 16 bytes cada una, de los cuales uno de los bytes es el byte que actualmente se encuentra transmitiéndose, para la cola de transmisión, o recibándose, para el caso de la cola de recepción. Esto hace que la capacidad efectiva de almacenamiento sea de 15 bytes por cola.

Los eventos que provocarán interrupción son los siguientes (siempre que se encuentren habilitadas):

- Interrupción por Recepción: quiere decir que se ha alcanzado el nivel programado en el FCR[7:4] en la cola de recepción. Mientras el nivel de la cola sea superior al programado la causa de interrupción estará activa.
- Interrupción por Transmisión: quiere decir que existe un número de posiciones libres en la cola de transmisión superior o igual al programado en el FCR[3:0]. La causa de interrupción se mantendrá hasta que el número de posiciones libres en dicha cola sea menor al programado.

Como puede verse, el evento que realmente es el responsable de que el SPI interrumpa al microprocesador es la superación de un determinado nivel programable por el usuario. Esto permite que el programador pueda controlar la probabilidad que existe de interrupción al microprocesador, teniendo en cuenta que esta probabilidad está determinada también por la tasa binaria empleada. De esta forma, podremos adaptar la carga de procesador que va a suponer emplear el SPI controlando adecuadamente los niveles de las colas.

Una vez descrito cuáles son las causas a las que hay que responder en caso de atención de interrupción, se muestra a continuación el esquema general de la rutina de atención de interrupción del canal SPI:



La IAR atenderá los dos eventos que pueden causar interrupción con estructura como las mostradas anteriormente para el llenado y vaciado de buffers.

La IAR atenderá los dos eventos que pueden causar interrupción con estructura como las mostradas anteriormente para el llenado y vaciado de buffers.

La IAR atenderá los dos eventos que pueden causar interrupción con estructura como las mostradas anteriormente para el llenado y vaciado de buffers.

Por otro lado, la Rutina de Configuración de Interrupción (0xD\_ICR) tendrá que configurar los siguientes parámetros:

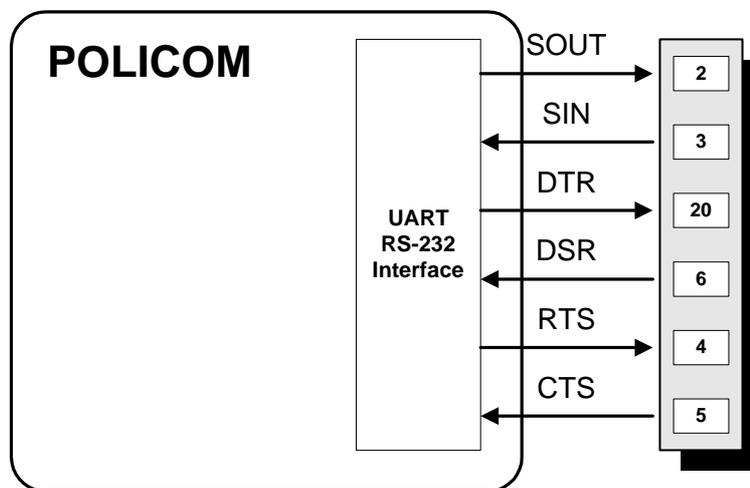
	<b>Parámetros</b>
1. Parámetros iniciales	Tasa binaria (spi_DLR) Control de fifos (spi_FCR) Control de línea (spi_LCR)
2. Relacionados con la gestión de interrupciones.	Dirección de la IAR → IVT Prioridad de la interrupción → IPT Habilitar causas de interrupción → spi_LCR Habilitación causa IRQ 0xC → iac_IER Comprobar que el ARM puede ser interrumpido → CPSR
3. Inicio de transferencia.	Actuar sobre la señal SS para iniciar la transferencia (sólo para Maestro).

## UART

Este dispositivo que incorpora Policom permite al usuario la comunicación mediante la interfaz conocida RS-232 o también denominada V.24.

La interfaz que se implementa en Policom ha sido diseñada a partir de las especificaciones del controlador de comunicaciones serie que incorporan los PCs PC16550D UART (RRD-B30M75).

La interfaz queda definida según la siguiente figura:



### Prestaciones de la UART

El dispositivo que va a gestionar las comunicaciones RS-232 de Policom proporciona las siguientes prestaciones:

- Los datos pueden ser de 5, 6, 7 o de 8 bits.
- Habilidad de paridad programable en transmisión.
- Chequeo de paridad automático.
- Ancho del Bit de stop programable.
- Muestro de la señal entrante de 16 veces por bit.

## Programación de la UART

A continuación se presentan los registros internos del controlador de comunicaciones serie UART:

Dirección	Nombre	Descripción	Acceso	Bits	Estado inicial
420000	uart_RBR	Registro de recepción	RO	8	0
DLAB=0	uart_THR	Registro de Transmisión	WO	8	-
420000 DLAB=1	uart_DLL	Registro divisor de Latch (menos significativa)	RW	8	0
420001 DLAB=0	uart_IER	Registro de habilitación de interrupción.	R/W	4	0
420001 DLAB=1	uart_DLM	Registro divisor de latch (más significativos).	RO	10	0
420002	uart_IIR	Registro de Identificación de Interrupción	RO	3	0
	reserved		WO	3	0
420003	uart_LCR	Registro de Control de Línea	R/W	8	0
420004	uart_MCR	Registro de Control de Modem	R/W	8	0
420005	uart_LSR	Registro de Estado de Línea	RO	8	0
420006	uart_MSR	Registro de Estado de Modem	R/W	8	0

### El Registro de Habilitación de Interrupciones

La UART que incorpora Policom puede interrumpir al procesador por alguna de las siguientes causas:

- Dato recibido. Esta causa se habilita activando el bit ERBFI a '1'.
- Transmisor vacío. Esta causa se habilita activando el bit ETHRE a '1'.
- Cambio en el Estado de línea. Esta causa se habilita activando el bit ELSI.
- Cambio en el Estado de Modem. Esta causa se habilita activando el bit EDSSI

El registro tiene la siguiente forma:

3	2	1	0	Bit
EDSSI	ELSI	ETHRE	ERBFI	

### El Registro de Identificación de Interrupción

La UART presenta en este registro el estado de las causas que pueden generar interrupción. En caso de existir conflicto al ocurrir más de una causa al mismo tiempo, la UART prioriza las causas de interrupción según la siguiente tabla. Igualmente, para hacer limpiar el registro de identificación se procederá como se indica en la tabla.

IIR (bin)	Prioridad	Fuente de Interrupción	Limpiar IIR
001	-	Ninguna	-
110	0 (mayor)	Ha cambiado el estado de la línea. (LSR)	Leer el LSR
100	1	Dato recibido disponible	Leer el RBR
010	2	Transmisor vacío	Escribit en el transmisor.
000	3 (menor)	Ha cambiado el estado del Modem (MSR)	Leer el MSR.

#### Configuración de la velocidad de transferencia

La tasa de bit que utiliza la UART es única tanto para transmisión como para recepción.

Se calcula a partir de los valores de los 'latch' de división, según la siguiente expresión:

$$BR = \frac{f_{PCLK}}{16 \text{ DLL}}$$

donde DLL es el registro divisor de velocidad completo y la frecuencia de reloj indicada es de 6 MHz.

#### El Registro de Control de Línea

Este registro se utiliza para especificar el formato de la comunicación. El registro contendrá la siguiente información:

7	6	5	4	3	2	1..0	Bit
DLAB	SBRK	STP	EPS	PEN	STB	WLS	

Los bits tienen el siguiente significado:

- WLS → ancho del carácter a recibir o enviar, según la siguiente codificación:

WLS[1:0]	Ancho de carácter
00	5 bits
01	6 bits
10	7 bits
11	8 bits

- STB → Número de bits de parada. ‘0’ indica un solo bit de parada, y ‘1’ fuerza a que sea uno y medio.
- PEN → Habilitación de paridad. ‘1’ habilita la generación de paridad en transmisión y chequeo de paridad en recepción.
- EPS → Tipo de paridad: ‘0’ par, ‘1’ impar.
- STP →
- SBRK → ‘1’ fuerza la salida a 0.
- DLAB → Bit de división de latch. Se emplea para distinguir algunos registros internos de la UART.

#### El Registro de Estado de Línea

Informa sobre el estado de la transferencia.

6	5	4	3	2	1	0
TEMT	THRE	BI	FE	PE	OE	DR

- DR → ‘1’ Indica que ya ha llegado un nuevo carácter.
- OE → ‘1’ Indica que el dato recibido tiene error de paridad.
- PE → ‘1’ indica que se ha producido error de paridad.
- FE → ‘1’ indica que se ha provocado error de trama, es decir, el bit de parada es inválido.
- BI → ‘1’ indica que ha habido interrupción por rotura de línea.
- THRE → ‘1’ indica registro de transmisión vacío (THR).

- TEMP → '1' indica que tanto el registro de transmisión (THR) como el registro de desplazamiento de transmisión (TSR), se encuentra vacíos.

#### El Registro de control de Modem

Tiene por objetivo controlar la interfaz RS-232. También permite activar el modo de chequeo la interfaz denominada modo *Loop back*. La figura muestra la interfaz RS-232.

El contenido del registro es el siguiente:

4	1	0	Bit
Loop back	RTS	DTR	

- DTR → controla la señal Data Terminal Ready de la interfaz.
- RTS → controla la señal Request To Send de la interfaz.
- Loop back → '1' activa el modo de chequeo de la interfaz.

#### Registro de Estado de Modem

Este registro informa del estado de la interfaz. La información que se muestra indica si ha habido algún cambio desde la última vez que se ha leído el registro así como el estado actual de las señales de la interfaz.

El contenido del registro es el siguiente:

5	4	1	0	Bit
DSR	CTS	d-DSR	d-CTS	

- DSR → indica el estado de la señal Data Set Ready.
- d-DSR → indica si ha habido algún cambio en la señal DSR desde la última vez que se leyó el registro.
- CTS → indica el estado de la señal Clear To Send.

- d-CTS → indica si ha habido algún cambio en la señal DSR desde la última vez que se leyó el registro.

### Modo de operación

#### **Tx-Rx en espera activa**

Se recomienda este esquema cuando la transferencia que se quiere realizar sea una transmisión corta, de algunos bytes, o de una recepción igualmente corta siempre que sepamos cuando va a ocurrir.

El empleo de la espera activa para la UART hace uso de una gran carga de procesador dedicado a este dispositivo. Este hecho debe ser tomado muy en cuenta por el programador para evitar el colapso del sistema por una gestión inadecuada de los recursos.

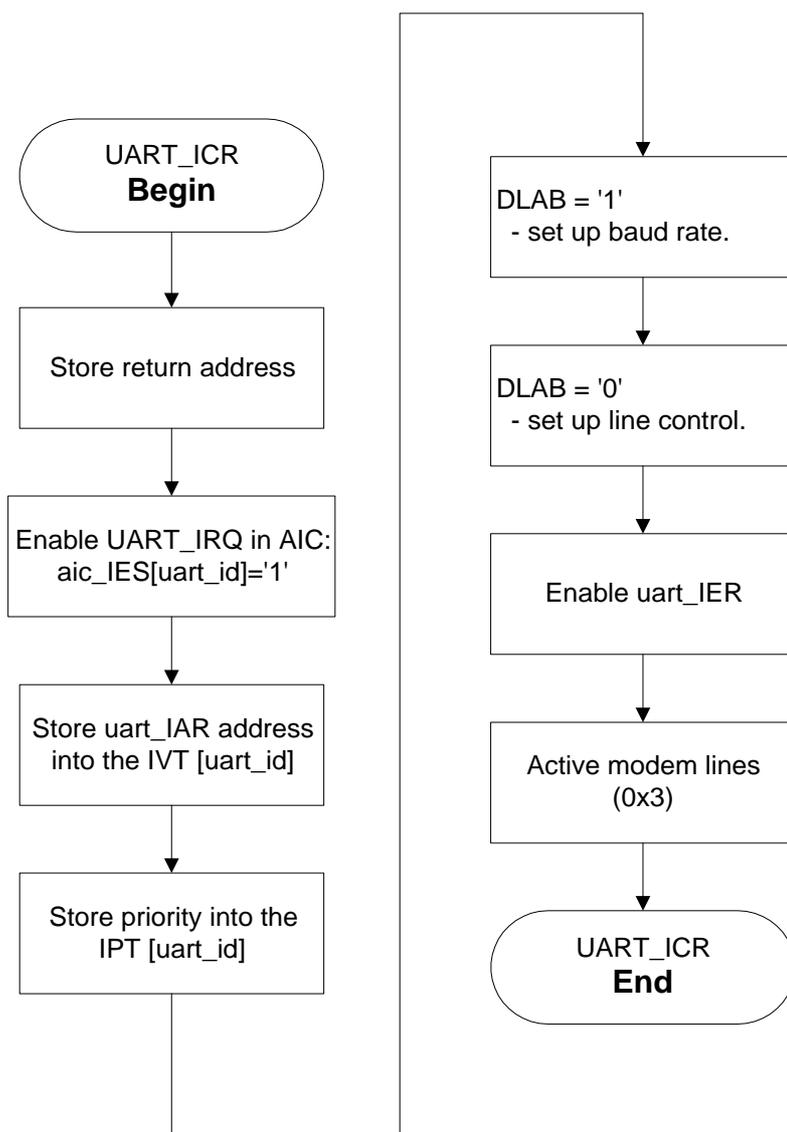
#### **Tx-Rx por interrupciones**

La siguiente rutina en código ARM se utiliza para configurar el dispositivo UART para que provoque interrupción en caso de recepción o de transmisión.

Generalmente se recomienda esta solución cuando se esté utilizando la UART para largas transferencias o cuando se utilice este dispositivo en presencia de otros que también van a consumir tiempo de procesador. El empleo de interrupciones minimiza el tiempo de procesador consumido.

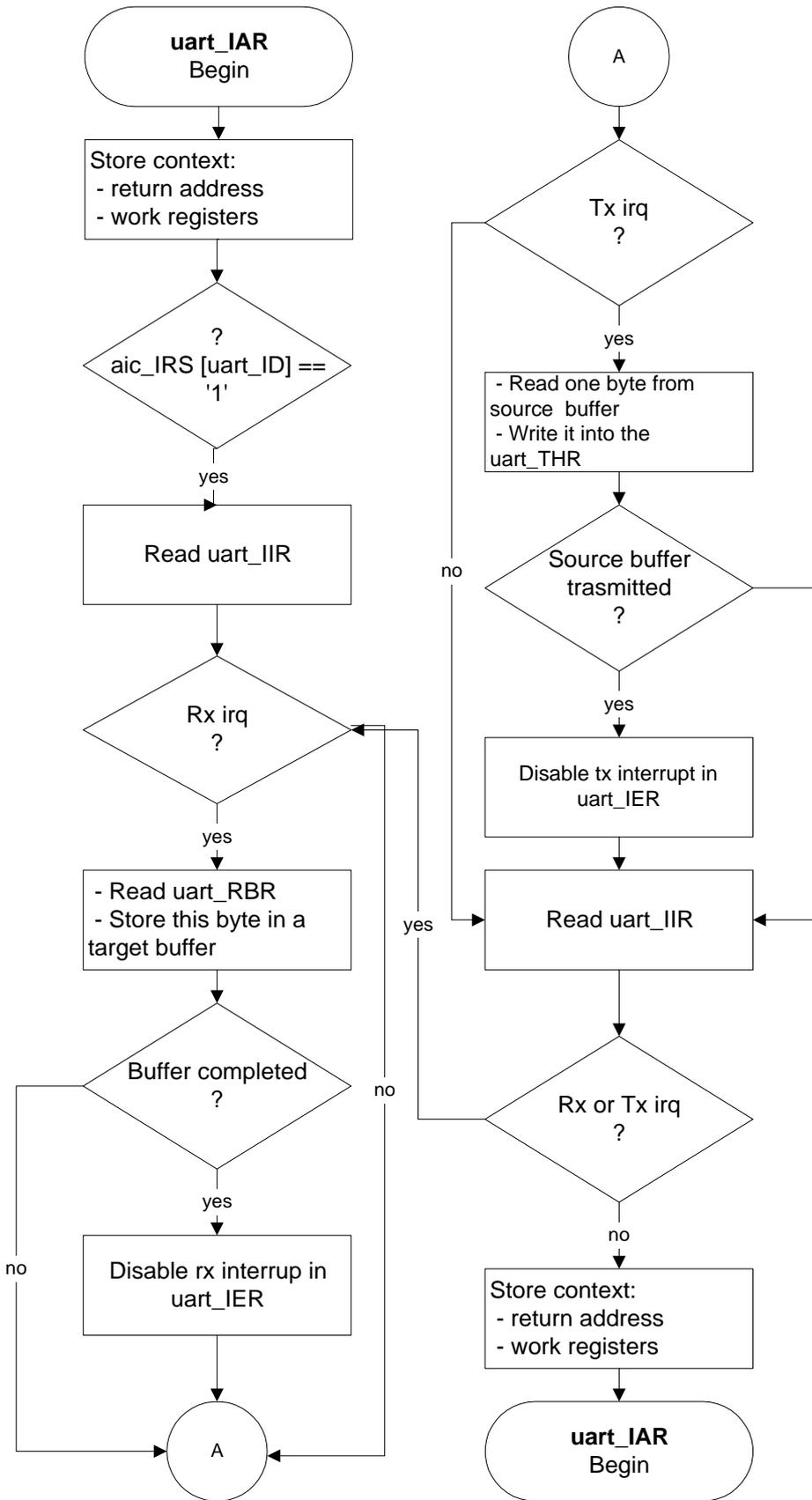
Para utilizar el dispositivo por interrupciones es necesario codificar dos rutinas: la `uart_ICR` (configuración de interrupción) y la `uart_IAR` (de atención de interrupción).

La rutina que se muestra es la típica ICR (Rutina de Configuración de Interrupción). Su diagrama de flujo y código son los siguiente:



Una vez configurado el dispositivo adecuadamente, se producirán interrupciones cada vez que llegue un byte nuevo o quede el transmisor vacío. En el momento de ocurrir una interrupción se ejecutará la rutina cuyo vector ha sido cargado en la IVT, es decir, la `uart_IAR`.

El código y el diagrama de flujo de la rutina `uart_IAR` para tratamiento de recepción y transmisión es el siguiente.



```

STMDB SP!, {LR}
LDR R6, =aic_IRS
LDR R7, =uart_IER
LDR R8, =uart_IIR
LDR R9, =uart_RBR
LDR R10, =RESERVED_MEMORY_Base
LDR R11, =INT_RAM_USER_DATA_Base
LDR R0, [R6]
MOV R1, #0x1
MOV R1, R1, LSL #SER_A
TST R1, R0
BEQ Uart_IAR_End
Uart_IAR_Label_0
LDRB R2, [R8] ; read interrupt identification registro
LDRB R3, [R10] ; numero de bytes hasta ahora recibidos
LDRB R4, [R10, #1] ; numero de bytes hasta ahora transmitidos
Uart_IAR_Label_1
TST R2, #0x04 ; RX interrupt
BEQ Uart_IAR_Label_2
LDRB R1, [R9] ; read uart buffer
STRB R1, [R11, R3] ; store read byte into RAM
ADD R3, R3, #0x1 ; READ=READ++
STRB R3, [R10] ; --> RAM
CMP R3, #BYTES_NUMBER
BLT Uart_IAR_Label_2
LDRB R5, [R7]
BIC R5, R5, #0x1 ;disable rx interrupt
STRB R5, [R7]
Uart_IAR_Label_2
TST R2, #0x02 ; TX Interrupt ?
BEQ Uart_IAR_Label_3
LDRB R1, [R4, #0x84] ; read from rom 0x84
STRB R1, [R9] ; TX
ADD R4, R4, #1 ; written = written ++
STRB R4, [R10, #1] ; -->RAM
CMP R4, #BYTES_NUMBER
BLT Uart_IAR_Label_3
LDRB R5, [R7]
BIC R5, R5, #0x2 ;disable rx interrupt
STRB R5, [R7]
Uart_IAR_Label_3
TST R2, #0x06
BNE Uart_IAR_Label_0
Uart_IAR_End
LDMIA SP!, {PC}

```

