

1

EL TEST FUNCIONAL DE POLICOM DTC

1.1 La arquitectura de test funcional del DTC

El presente capítulo tiene como objetivo fundamental proporcionar un esquema de trabajo para la depuración de las celdas digitales diseñadas en el marco del proyecto Policom.

Todas las celdas digitales diseñadas en el Proyecto Policom están implementadas en un chip bajo la denominación de ‘Policom Digital Test Chip’, a partir de ahora denominado DTC.

1.1.1 Antecedentes

DTC nace del compromiso entre garantizar la fiabilidad de los diseños digitales realizados en el proyecto Policom, y su utilidad la realización de una tarjeta de demostración al final de dicho proyecto.

DTC incluye las siguientes celdas diseñadas:

- ARM7TDMI: procesador de Asic. De librería.
- IMC: Controlador de memoria interna
- EMC: Controlador de Memoria Externa
- AIC: Controlador de interrupciones
- UART: Canal de comunicaciones asíncrono
- SPI: Canal de comunicaciones síncrono
- SBM: modem de línea de potencia (sólo la celda de tratamiento de señal)
- ADC: convertidor analógico digital
- DAC: convertidor analógico digital
- TIMER. temporizadores
- BPP: puerto paralelo

Excepto el procesador ARM, el resto de celdas han sido diseñadas y por lo tanto es necesario definir un conjunto de pruebas que validen los diseños.

Del proceso de diseño es necesario destacar los siguientes puntos:

- Que dicho proceso incluyó una fase de co-simulación software y hardware. Esto lleva consigo que ya en la fase de diseño se han chequeado intensivamente las prestaciones de cada dispositivo. Además se dispone del software que, habiendo sido ejecutado en la fase de co-simulación, será ejecutado en el chip DTC con intención de compara los resultados. Dicho esquema de co-simulación es calificado por los revisores del proyecto de *‘profesional’*.
- El documento que recoge todas las especificaciones del DTC es el *‘Policom Data Sheet v 9.x’*

Junto con el chip de prueba digital DTC, también se podrá disponer en el futuro del chip de prueba analógico (ATC 2).

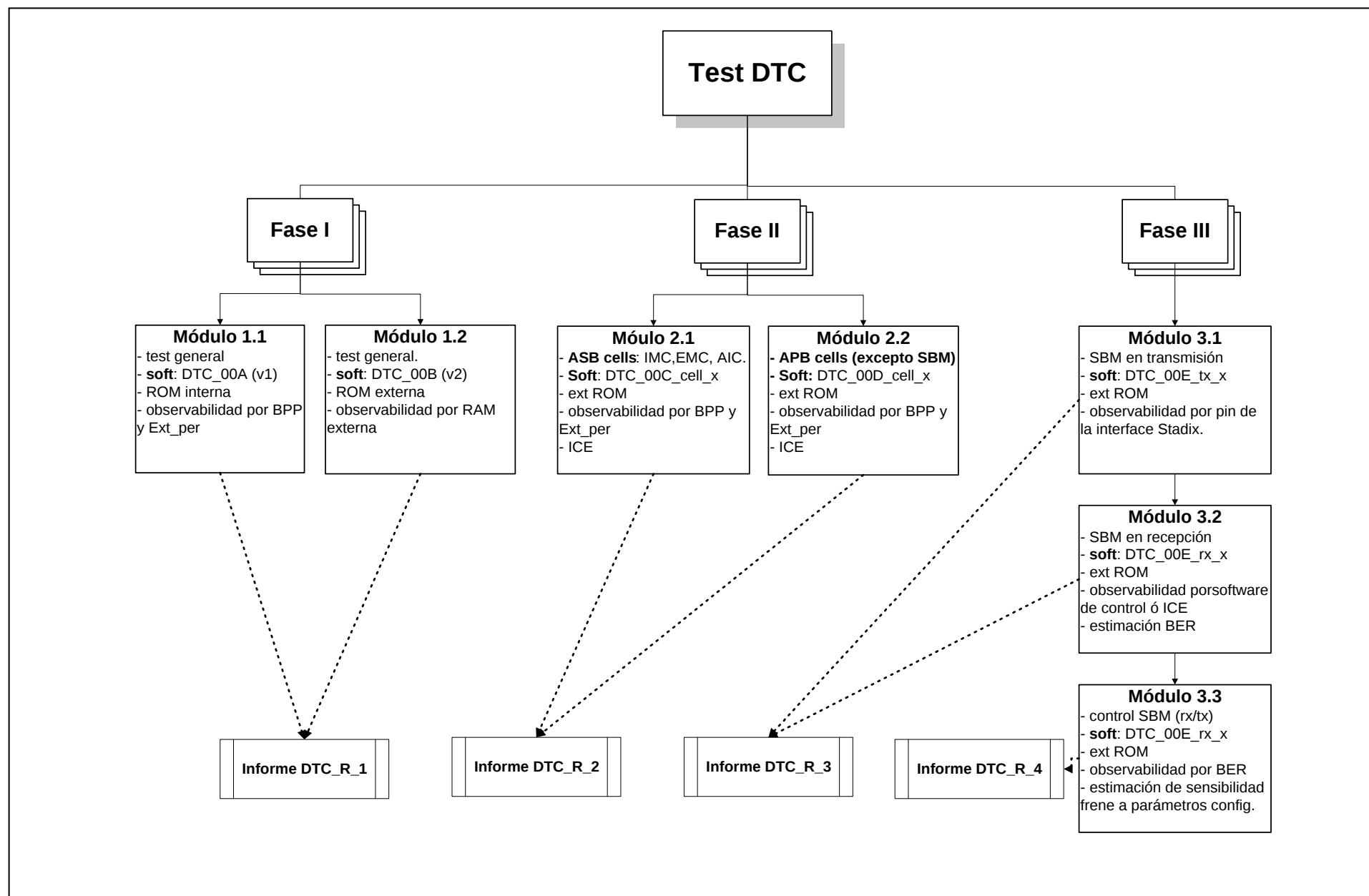
Es importante indicar que la celda SBM, el modem de línea de potencia, se encuentra dividido en los dos test chips. La parte de tratamiento de señal pertenece al DTC, mientras que la parte analógica se encuentra en el ATC 2.

El ATC 2 estará disponible más tarde que el DTC, lo que supone que el DTC será testado sin el ATC 2. Este hecho condicionará todo el proceso de chequeo.

1.1.2 Descripción del proceso de Test

Para llevar a cabo todo el complejo proceso de depuración del Policom DTC se ha se ha estructurado todo el proceso en tres fases.

La figura muestra el proceso completo de test.



1.1.2.1

La fase I

La primera de las fases, a la que denominaremos FASE I, estaría constituida por una serie de pruebas del sistema completo. Se empleará el mismo software que se ha empleado en co-simulación, cuyo comportamiento es conocido estrictamente. La utilización de este software proporcionará una rápida localización de fallos, así como una evaluación global del chip.

La Fase I está compuesta por dos módulos de pruebas:

- Módulo 1.1: consistente en probar el funcionamiento correcto del código residente en el propio DTC. En esta prueba bastará con proporcionar alimentación y analizar el resultado obtenido por el puerto paralelo, que posteriormente se comparará con el resultado que se obtuvo con simulación.
- Módulo 1.2: para esta prueba se utilizará el código que se empleó para las simulaciones de post-layout. En esta caso también son conocidos a priori los resultados de la prueba, con la ventaja con respecto al software anterior de que es podemos alterar el propio software según las necesidades de chequeo. Esto se debe a que la ejecución se lleva a cabo en memoria externa.

Al final de la Fase I se realizará un informe detallando el comportamiento del DTC ante las pruebas realizadas. Su nombre es DTC_R_1 e incluirá como mínimo los siguientes puntos:

- evolución del BPP en simulación vs en tiempo real
- análisis de los resultados y su implicación con las celdas implicadas
- conclusión

1.1.2.2

La fase II

A continuación se realizará sobre el DTC el conjunto de pruebas de la FASE II, cuyo objetivo es chequear celda a celda (excepto la del modem) cada una de las prestaciones que tiene cada celda.

El objetivo de esta fase es realizar un estudio minucioso del comportamiento del chip, con la intención de validar el funcionamiento de todas las celdas

según se describe en la documentación denominada Policom Data Sheet (versión 9.x).

Las pruebas se realizarán a partir de una rutina que se desarrollará para cada celda. Dicha rutina estará compuesta por:

- configuración de celda: a partir de unos parámetros que se irán alterando en cada prueba con objeto de examinar la celda en diferentes condiciones de programabilidad.
- procesamiento que implique la utilización de dicha celda.
- análisis de resultados
- muestra de resultados utilizando cualquier interfaz externa de Policom.

Esta rutina se ejecutará cada vez variando los parámetros de configuración.

Para la realización de esta fase se han dividido las pruebas en dos módulos de pruebas:

- Módulo 2.1: se trata de un conjunto de pruebas de las celdas ASB: los controladores de memoria, tanto externa (EMC) con interna (IMC), y del controlador de Interrupciones (AIC).
- Módulo 2.2: orientado a la validación de las celdas APB: UART, SPI, DAC, ADC, WD, Temporizadores, BPP.

Al final de las pruebas se realizará el informe DTC_R_2 que incluirá para cada celda los siguientes puntos:

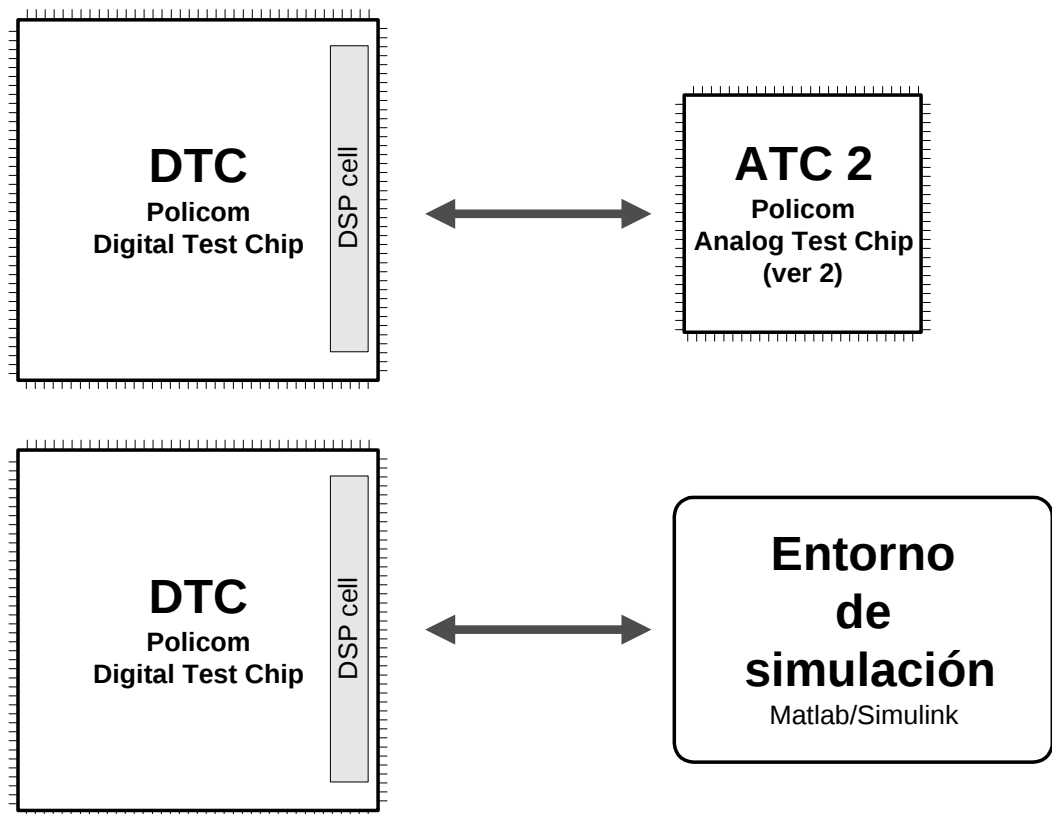
- celda objeto de la prueba y celdas que también participan de manera indirecta en la prueba.
- descripción en diagrama de flujo de la prueba realizada
- tabla con el resultado de las simulaciones para cada conjunto de parámetros utilizados.
- posibles fallos de diseño detectados.
- posibles mejoras de la celda.

1.1.2.3

La fase III

Por último se llevará a cabo la Fase III orientada exclusivamente al chequeo en detalle de la celda SBM, considerada como la más crítica del proyecto.

Esta celda tiene la particularidad de que no está completamente implementada en el DTC, sino que sólo una parte de su funcionalidad se encuentra en la celda incluida en el DTC. Esto dificulta considerablemente el proceso de chequeo y de validación de sus prestaciones. La siguiente gráfica muestra esa división a la que se refiere el texto.



En una situación real, el DTC iría conectado directamente al ATC 2, permitiendo realizar las pruebas que se estimen oportunas. En nuestro caso, y debido a la indisponibilidad del ATC 2, no vemos obligados a sustituir dicho

chip por un complejo entorno de simulación que va proporcionar una respuesta similar a la que proporcionaría el chip ausente. El esquema será detallado más adelante.

Esta particularidad, junto con la complejidad propia de la celda, ha sido las causas que recomiendan dedicar toda una fase de test a esta celda.

Esta fase se subdivide en tres módulos de pruebas ordenados de menos a mayor complejidad de ejecución y observabilidad:

- Módulo 3.1: chequeo de la transmisión.
- Módulo 3.2: chequeo de la recepción, chequeando todas las variables internas que toman parte en la recepción.
- Módulo 3.3: Análisis paramétrico del modem. Una vez comprobada la recepción la transmisión, se realizarán cambios en los diferentes parámetros de control del modem con objeto de indagar en sus prestaciones.

En la ejecución de esta fase es muy importante tener en cuenta las herramientas que nos van a poder suministrar la observabilidad requeridas para valorar las pruebas. En la sección correspondiente a esta fase se expondrá la arquitectura indicada, tanto software como hardware.

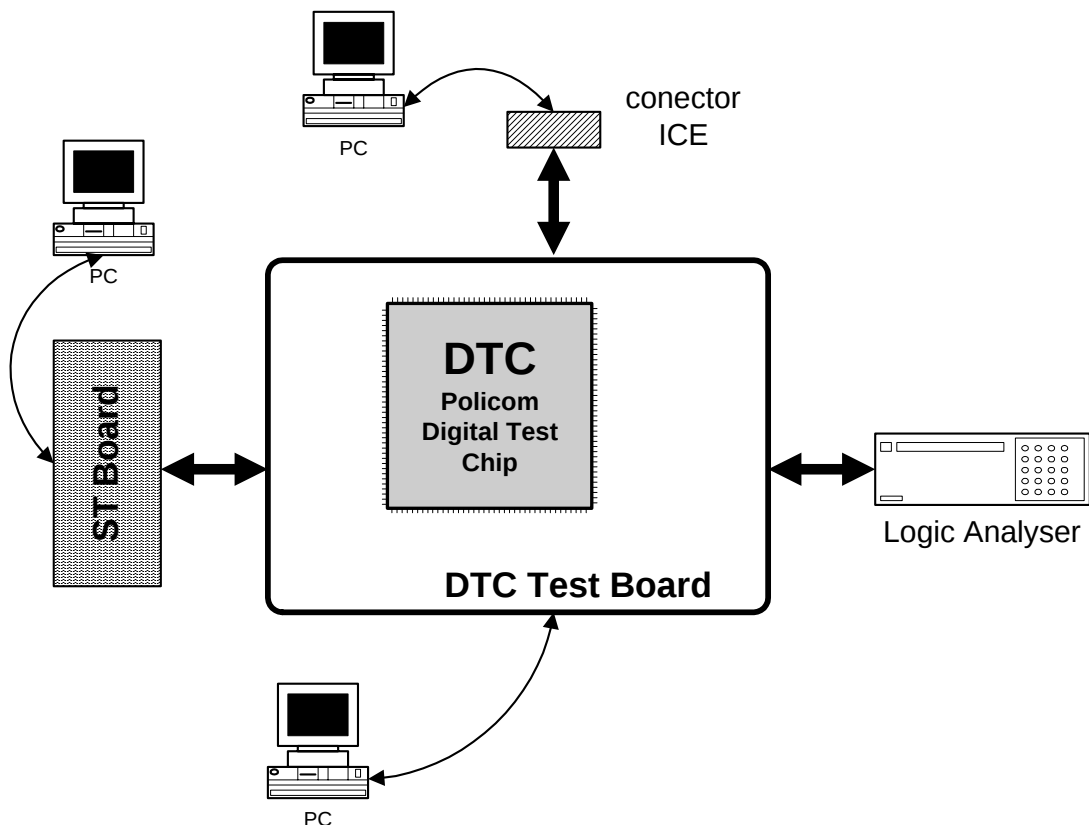
1.1.4 Recursos empleados

1.1.4.1 Hardware

Los recursos hardware disponibles para la realización de las pruebas son los siguientes:

- DTC: chip de prueba
- DTC Test Board: tarjeta de test diseñada especialmente para el DTC.
- SI Board: tarjeta de interfaz entre el DTC (Stadix pins) y un PC que proporcionará la simulación de las partes del SBM que ausentes en el DTC.
- Interfaz ICE
- Analizador lógico: permitirá monitorizar lo que ocurre en los pines del chip.

El siguiente diagrama muestra los recursos hardware que se pretenden emplear:



1.1.4.2

Software

Se diferencian dos tipos de recursos software empleados:

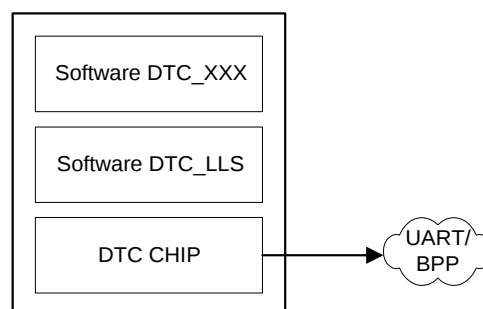
- software ARM para su ejecución en el procesador ARM
- software para PC, ya sea diseñado específicamente para el test, o de uso general

Dentro del software ARM podemos distinguir las siguientes rutinas:

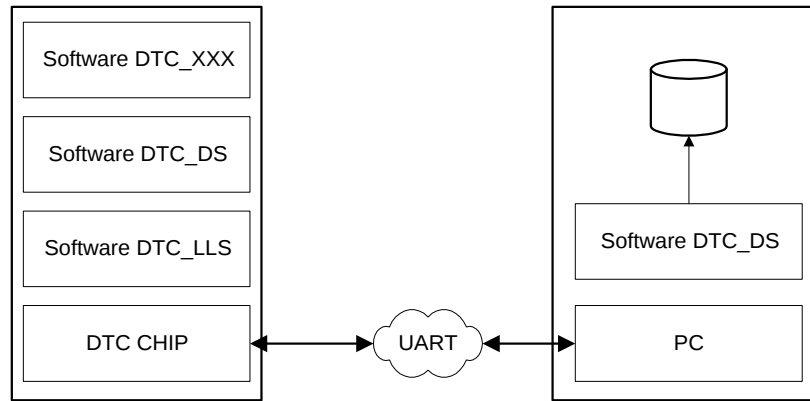
Nombre del software	Funcionalidad	Residente	Interfaz externa utilizada
DTC_1.1	Chequeo del sistema	ROM int.	BPP
DTC_1.2	Chequeo del sistema	ROM ext.	BPP
DTC_2.1_x	Validación de celdas ASB	ROM ext.	BPP
DTC_2.2_x	Validación de celdas APB	ROM ext.	BPP
DTC_3.1_x	Test del SBM en Tx	ROM ext.	Interfaz stadix
DTC_3.2_x	Test del SBM en Rx	ROM ext.	UART / BPP
DTC_3.3_x	Análisis paramétrico del SBM	ROM ext.	UART / BPP
LLS_ver_x	Software de bajo nivel	ROM ext. o int	
DTC_DS_1	Software de depuración	ROM ext.	UART

EL software de ARM puede siguiendo tres esquemas diferentes:

- Un primer esquema, más común, en la que no interviene ICE ni software de depuración DTC_DS. La ejecución se lleva a cabo bien en memoria interna del DTC o bien en memoria externa de DTC. La figura muestra el esquema que se sigue:



- Ejecución empleando software de depuración DTC_DS. Este software residente en Rom externa permite conocer el estado interno del DTC. Su configuración es la siguiente:



- Esquema basado en ICE. ICE es un depurador en tiempo real que permite conocer en cada momento lo que está ocurriendo dentro del DTC. La configuración software será la siguiente:

