

3.-PLL: Bucle de enganche de fase.

3.1.- INTRODUCCIÓN.

Dado nuestro problema, que será sincronizar la frecuencia portadora en un receptor de radio digital, los bucles de enganche de fase son sistemas que se acercan mucho a la solución que vamos a implementar; es por esto que dedicaremos este capítulo a su estudio, y a los posibles esquemas que podríamos plantear a partir de ellos.

En los sistemas reales, como hemos visto, el establecimiento de una base de tiempo común para dispositivos localizados separadamente presenta serios obstáculos. Los sistemas típicos utilizan bases de tiempo independientes, por lo general extraídas de osciladores de cristal (figura 3.1). Estos cristales proporcionan una referencia extremadamente precisa, pero esto no es suficiente para asegurar la integridad de los

datos en tiempo discreto. Lo que realmente necesitamos es que esas bases de tiempo sean idénticas; en otras palabras, el sistema debe estar sincronizado. Ya vimos en el capítulo anterior los problemas que se nos presentan derivados de la no idealidad de las referencias.

Una de las técnicas concretas que se usan para subsanar los conflictos surgidos por la falta de sincronización es el bucle de enganche de fase o PLL (Phase-Locked Loop). Veremos en este capítulo los principios básicos de los PLL's . Tendremos dos aplicaciones prácticas muy importantes para nuestro proyecto, la recuperación de la frecuencia de la portadora y la recuperación de los instantes de muestreo; trataremos con más profundidad la primera de ellas, que es el tema que realmente nos ocupa.

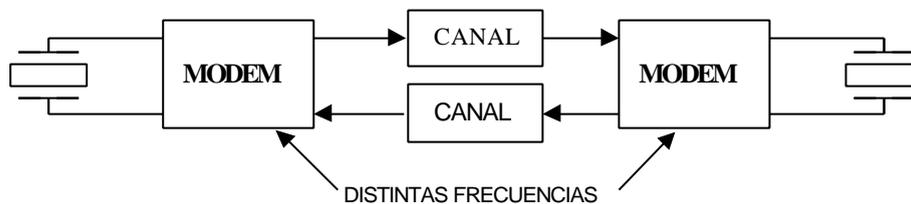


Figura 3.1.- Comunicación de sistemas separados físicamente.

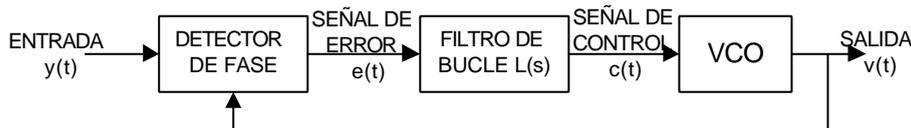


Figura 3.2.- Estructura básica de un PLL continuo

En la figura 3.2 se muestra la estructura básica de un PLL [4]. El oscilador controlado por tensión (VCO) produce una señal $v(t)$ que sigue la fase de la entrada $y(t)$. Un detector de fase mide el error de fase entre la entrada $y(t)$ y la salida del VCO $v(t)$. El error resultante $e(t)$ puede ser filtrado para obtener una señal de control $c(t)$ que dirija el VCO. La idea básica es que si la fase del VCO progresa hacia la fase de la entrada, ña señal de control debe reducirse. Si la fase del VCO se queda atrás, la señal de control debe ser incrementada. Como en cualquier sistema con realimentación, los parámetros

deben ser escogidos para asegurar la estabilidad. El objetivo en el diseño de un PLL varía según la aplicación que se le vaya a dar:

- En recuperación de la temporización en un enlace punto a punto, el objetivo es generar un tono simple estable a la salida del VCO. La frecuencia de este tono debe ser igual a la tasa media de símbolos a la entrada, pero variaciones transitorias en la tasa de símbolos deberían ser ignoradas, así como el ruido y las interferencias. De hecho, cualquier fluctuación en la tasa de símbolos detectada por la recuperación del reloj puede ser considerada una consecuencia de interferencias o ruido, ya que en la mayoría de los canales no hay mecanismos para introducir fluctuaciones significativas en la tasa de símbolos.

- Por el contrario, en la recuperación de portadora el objetivo es seguir la fase de la portadora de la señal de entrada tan próximamente como sea posible, mientras que se intenta minimizar el efecto del ruido. A diferencia de la fase del reloj, existen varios canales importantes que pueden introducir variaciones notables en la fase y la frecuencia de la portadora. Para demodular la señal apropiadamente, estas fluctuaciones deben reflejarse en la portadora usada para la demodulación en el receptor. La salida del VCO no será, entonces, un único tono, a menos que la fase de la portadora de la entrada no varíe.

En la práctica, muchos PLL's no son exactamente como se ve en la figura 3.2; Hay distintas implementaciones para cada bloque, o pueden no aparecer explícitamente como tales. Un PLL puede ser realizado completamente o en parte con circuitos digitales. Sea como sea, aunque la relación entre un PLL real y el esquema mostrado no sea muy obvia, los principios básicos son los mismos para cualquier implementación.

Nos concentraremos en nuestro repaso a estos dispositivos en el estado estacionario, en el comportamiento del PLL cuando la fase está enganchada.

3.2.-PLL IDEAL CONTINUO EN TIEMPO.

Los PLL son conceptualmente simples, pero son sistemas inherentemente no lineales y su análisis puede resultar un poco complejo. Sin embargo, haciendo algunas simplificaciones podemos desarrollar herramientas para su estudio.

3.2.1.- HIPÓTESIS.

Asumimos antes que nada una forma particular para la entrada

$$y(t) = A_y \cos(\omega t + \theta(t)) \quad (3.1)$$

donde A_y y ω_v son constantes. En la práctica, la señal de entrada tendrá variaciones en amplitud, además de en fase y frecuencia, pero mientras el diseño del detector de fase sea apropiado para la forma de una entrada en particular, nuestro análisis será válido. La salida del VCO tiene una forma similar.

$$v(t) = A_v \cos(\omega t + \phi(t)) \quad (3.2)$$

Cuando $\phi(t)$ es constante la frecuencia de la salida del VCO es ω_v , que recibe el nombre de frecuencia natural o frecuencia de libre oscilación del VCO.

3.2.2.-DETECTOR DE FASE IDEAL.

Asumiendo las formas dadas para la entrada y para la salida del VCO, la salida de un detector de fase ideal será

$$e(t) = W(\theta(t) - \phi(t)) \quad (3.3)$$

donde la función $W(\cdot)$, que mostramos en la figura 3.3, refleja la ambigüedad en 2π en la diferencia de fase. A causa de la forma de $W(\cdot)$, este detector de fase se denomina detector de fase en diente de sierra. Hemos asumido ganancia unidad para la función $W(\cdot)$, aunque en la práctica el detector de fase puede tener algún otro valor K_p . Esa ganancia se modela fácilmente como parte de la ganancia del filtro de bucle, por lo que no será necesario incluirla explícitamente. Debido a la mencionada ambigüedad, los cambios repentinos de 2π en $\theta(t)$ o $\phi(t)$ no tienen efectos sobre el sistema (no son detectados por el detector de fase). Esos cambios, llamados *clicks*, suelen ser perjudiciales [4].

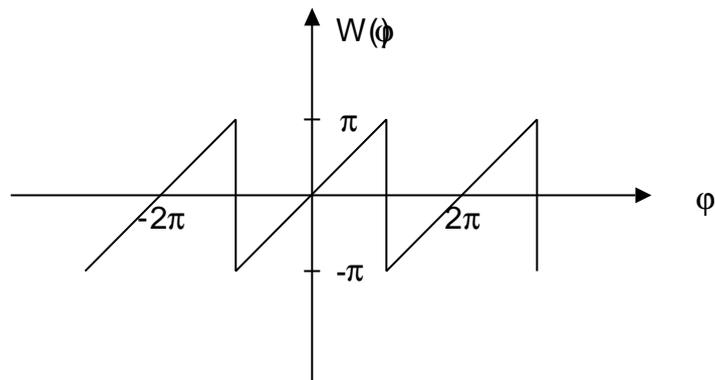


Figura 3.3.- Característica $W(\phi)$ de un detector de fase en diente de sierra.

3.2.3.-VCO IDEAL.

La salida del VCO ideal (figura 3.4) tiene una frecuencia instantánea

$$\frac{d}{dt}[\omega_v t + \phi(t)] = \omega_v + \frac{d\phi(t)}{dt} \quad (3.4)$$

También este bloque puede presentar en la práctica una ganancia, K_v , que se puede modelar como parte de la ganancia del filtro de bucle.

Se trata de intentar controlar directamente la frecuencia instantánea con la entrada de control, $c(t)$. El VCO debería entonces diseñarse de forma que

$$\frac{d\phi(t)}{dt} = c(t) \quad (3.5)$$

A veces, resulta más conveniente el análisis en el dominio de Laplace:

$$s\Phi(s) = C(s) = L(s)E(s) \quad (3.6)$$

donde $C(s)$ es la transformada de Laplace de $c(t)$ y $E(s)$ es la transformada de Laplace de la señal de error $e(t)$.

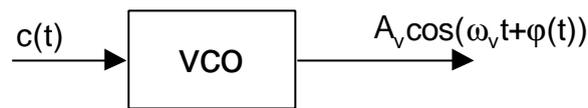


Figura 3.4.- VCO ideal.

3.2.4.-ENGANCHE EN FASE Y EN FRECUENCIA MEDIA.

El PLL ideal está enganchado en fase si

$$\phi(t) = \theta(t) + \phi \quad (3.7)$$

para alguna constante ϕ . Si $\phi = 0$, el PLL está enganchado en fase perfectamente, esto es, la salida del VCO sigue exactamente la fase de la entrada. Estará enganchado a una frecuencia media si

$$\phi(t) = Kt \quad (3.8)$$

para alguna constante K . La frecuencia de salida del VCO es probablemente idéntica a la frecuencia media de la entrada. En el caso de sincronización de reloj es más importante tener este tipo de resultado, mientras que en el caso de sincronización de frecuencia será más importante enganchar la fase que la frecuencia media de la entrada.

Deben existir algunas limitaciones en la fase de la entrada $\theta(t)$ para que el PLL esté enganchado en frecuencia media, ya que la salida del detector de fase está acotada por $\pm\pi$. Para encontrar estas limitaciones, asumamos una forma simple para la fase de la entrada,

$$\theta(t) = \omega_0 t + \theta \quad (3.9)$$

En otras palabras, la entrada $y(t)$ es una senoide de frecuencia $\omega_v + \omega_o$ y fase θ , siendo θ una constante. Asumamos que el PLL está enganchado en frecuencia. Con el fin de permanecer en este estado, el offset de frecuencia ω_o no puede salir de un determinado rango [4].

3.2.5.- ANÁLISIS DE LA DINÁMICA LINEALIZADA.

Los conceptos de enganche de fase y de frecuencia media presuponen el PLL en estado estacionario. Si suponemos que el error de fase es suficientemente pequeño para todo t ,

$$|\theta(t) - \phi(t)| < \pi \quad (3.10)$$

entonces el detector de fase estará operando en su rango lineal,

$$e(t) = \theta(t) - \phi(t) \quad (3.11)$$

y el análisis de la dinámica del PLL es muy simple. La función de transferencia desde la fase $\theta(t)$ hasta la fase $\phi(t)$, tomando las transformadas de Laplace de la ecuación anterior,

$$E(s) = \Theta(s) - \Phi(s) \quad (3.12)$$

y de 3.6

$$E(s) = \frac{s\Phi(s)}{L(s)} \quad (3.13)$$

Combinando esto y resolviendo para $\Phi(s)/\Theta(s)$ obtenemos la función de transferencia de fase

$$\frac{\Phi(s)}{\Theta(s)} = \frac{L(s)}{L(s) + s} \quad (3.14)$$

Se puede comprobar que el número de polos de $\Phi(s)/\Theta(s)$, lo que se denomina orden del PLL, es uno más el número de polos en el filtro de bucle $L(s)$.

Un PLL de primer orden se caracteriza por tener un filtro de bucle con la característica

$$L(s) = K_L \quad (3.15)$$

En este caso, la función de transferencia puede escribirse

$$\frac{\Phi(s)}{\Theta(s)} = \frac{K_L}{K_L + s} \quad (3.16)$$

Esto es un filtro paso de baja con un único polo en $s = -K_L$. Será estable siempre que $K_L > 0$.

Su característica paso de baja es una propiedad muy útil para muchas aplicaciones. Cuando la aplicación requiere enganche en frecuencia media, como hemos comentado que es el caso de la sincronización de reloj, un PLL paso de baja de banda estrecha resultará muy recomendable. Incluso cuando se requiere un seguimiento de la fase, un PLL paso de baja puede ayudar a rechazar parte del ruido, especialmente si se sabe que las variaciones de fase que pretendemos seguir son relativamente lentas.

Si analizamos la función de transferencia (3.16) en $s = 0$, el PLL tiene ganancia unidad para errores de fase dc., o lo que es lo mismo, cuando la fase de la entrada es una constante, $\theta(t) = k$, la fase de la salida es la misma constante, $\phi(t) = k$; en este caso, podemos conseguir un enganche de fase perfecto con cualquier filtro de bucle. Ahora bien, si la fase de la entrada varía con el tiempo, por ejemplo linealmente como sucedería en el caso de pérdida de sincronización de la frecuencia portadora, un PLL de primer orden no puede adquirir un enganche de fase perfecto.

El ancho de banda de un PLL está definido aproximadamente por la función de transferencia $\Phi(s)/\Theta(s)$; disminuir el ancho de banda significaría incrementar la atenuación en las componentes de alta frecuencia en la fase de la entrada o en el ruido, pero para un PLL de primer orden, también reduce el rango en el que podemos enganchar la fase. Para reducir el ancho de banda sin reducir el rango de enganche se puede utilizar un PLL de segundo orden, que contará con un filtro con la característica:

$$L(s) = K_L \frac{s + K_1}{s + K_2} \quad (3.17)$$

3.2.6.- RESPUESTA EN ESTADO ESTACIONARIO.

A menudo resulta útil conocer con precisión el punto de operación en estado estacionario de un PLL dadas ciertas entradas. El error en estado estacionario se define

$$e_{ss} = \lim_{t \rightarrow \infty} e(t) \quad (3.18)$$

Si el PLL no adquiere la fase de forma perfecta entonces $e_{ss} \neq 0$. Si $e(t) = 0$ para $t < 0$ entonces podemos hallar e_{ss} usando el teorema del valor final,

$$e_{ss} = \lim_{s \rightarrow 0} sE(s) \quad (3.19)$$

De lo cual obtenemos

$$E(s) = \frac{s\Theta(s)}{L(s) + s} \quad e_{ss} = \lim_{s \rightarrow 0} \frac{s^2\Theta(s)}{L(s) + s} \quad (3.20)$$

Veamos el caso de pérdida de sincronización de la frecuencia de la señal portadora en $t = 0$. La señal de entrada tiene una fase

$$\theta(t) = \omega_0 t u(t) \quad \Theta(s) = \frac{\omega_0}{s^2} \quad (3.21)$$

donde $u(t)$ es el escalón unidad. Tras un periodo transitorio, el error en estado estacionario será

$$e_{ss} = \lim_{s \rightarrow 0} \frac{\omega_0}{L(s) + s} \quad (3.22)$$

Para un PLL de primer orden, $L(s) = K_L$ y

$$e_{ss} = \frac{\omega_0}{K_L} \quad (3.23)$$

El error no se hace cero, pero se puede reducir incrementando la ganancia del bucle, a costa de incrementar el ancho de banda del bucle. Para un PLL de segundo orden, este error se anulará sólo si el polo del filtro de bucle se encuentra en $s = 0$, lo que se llama un bucle de tipo II. Entonces, al menos un integrador es necesario para anular el error en estado estacionario en presencia de una desviación de frecuencia [4].

3.2.7.- RÉGIMEN TRANSITORIO.

El análisis anterior está hecho en base a la hipótesis de que el error de fase es siempre lo suficientemente pequeño como para que el detector de fase opere en zona lineal, lo cual es razonable cuando el PLL está enganchado a una señal de entrada. Pero esto no es así durante la fase de captura; si hubiera un cambio repentino en la frecuencia de la entrada, el VCO no podría responder a ésta instantáneamente dadas sus limitaciones en la práctica, luego durante un periodo de tiempo no se adquirirá la frecuencia de la señal que recibimos. Como consecuencia, tendremos un lapso de tiempo en el que la diferencia de fase entre la entrada y la salida del VCO puede tomar valores lo bastante grandes como para situar al dispositivo fuera del rango lineal. De hecho, puede fácilmente describir círculos (haciendo cambios repentinos de magnitud 2π para el detector de fase ideal). Durante este tiempo, el análisis linearizado no es válido.

3.3.- PLL'S DISCRETOS EN TIEMPO.

En comunicaciones digitales, los PLL's completamente analógicos son muy raros. La mayoría de los que se utilizan son híbridos que mezclan sistemas continuos y discretos en tiempo.

3.3.1.- MODELO BÁSICO.

Mostramos en la figura 3.5 un PLL discreto en tiempo. Las suposiciones que se hacen sobre la forma de la señal de entrada y de la salida se muestran en la figura; como se puede apreciar son análogas a las que utilizábamos para el PLL analógico. El detector de fase es un versión en tiempo discreto de la considerada anteriormente, y tiene una salida

$$e_k = W(\theta_k - \phi_k) \quad (3.24)$$

donde $W(\cdot)$ la mostramos en la figura 3.3.

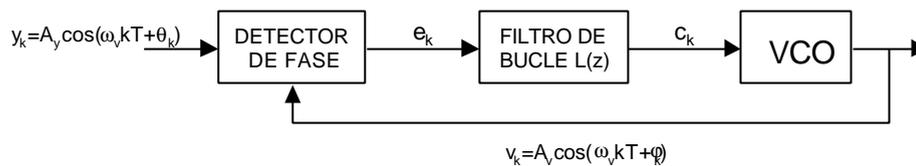


Figura 3.5.- PLL discreto en tiempo con entrada senoidal.

En este caso tenemos un VCO cuyo funcionamiento no es tan obvio como en el anterior a pesar de ser un sistema análogo. La fase de salida del VCO satisface la ecuación

$$\phi_{k+1} - \phi_k = c_k \quad (3.25)$$

Entonces, la salida del sistema será

$$v_{k+1} = A_v \cos(\omega_v (k+1)T + \phi_{k+1}) = A_v \cos(\omega_v kT + \phi_k + \omega_v T + c_k) \quad (3.26)$$

Esto nos lleva a la estructura representada en la figura 3.6. En ella, el bloque sumador es de módulo 2π . Si tomamos la transformada Z de la ecuación (3.25) obtenemos

$$\Phi(z) = \frac{1}{z-1} C(z) = \frac{L(z)}{z-1} E(z) \quad (3.27)$$

donde $L(z)$ es la función de transferencia del filtro de bucle y $E(z)$ es la transformada Z de la señal de error e_k .

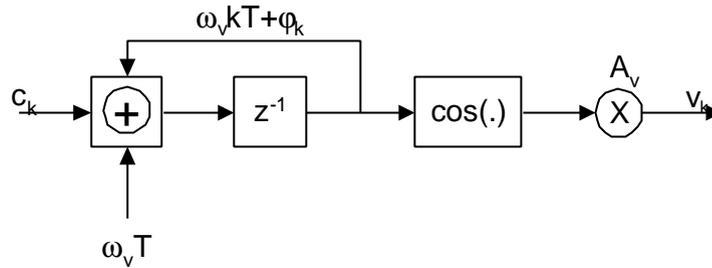


Figura 3.6.- VCO en tiempo discreto.

3.3.2.- DINÁMICA DEL SISTEMA.

Supondremos antes que nada que el error de fase es suficientemente pequeño para hallarnos en zona lineal. La salida del detector de fase será

$$e_k = \theta_k - \phi_k \rightarrow E(z) = \Theta(z) - \Phi(z) \quad (3.28)$$

La función de transferencia del PLL será entonces

$$\frac{\Phi(z)}{\Theta(z)} = \frac{L(z)}{L(z) + z - 1} \quad (3.29)$$

Si evaluamos esta expresión en $z = 1$ vemos que el PLL tiene ganancia unidad para entradas con fase en d.c., tal y como ocurría en el caso en tiempo continuo. También, las consideraciones sobre el orden del PLL y del filtro del bucle son análogas a las que hicimos anteriormente [4].

3.3.3.- ERROR EN ESTADO ESTACIONARIO.

Como antes, el error en estado estacionario es el límite cuando el índice de la muestra k tiende al infinito del error de fase e_k . Para secuencias e_k causales podemos utilizar el teorema del valor final, cuya expresión para el dominio Z es

$$e_{ss} = \lim_{z \rightarrow 1} (z-1)E(z) \quad (3.30)$$

Supongamos que la frecuencia de la entrada es exactamente la frecuencia natural del VCO, pero un offset de fase constante se introduce en $k = 0$:

$$\theta_k = \theta u_k, \quad \rightarrow \quad \Theta(z) = \frac{z\theta}{z-1} \quad (3.31)$$

Entonces

$$e_{ss} = \lim_{z \rightarrow 1} \frac{(z-1)z\theta}{L(z) + z - 1} \quad (3.32)$$

Para cualquier $L(z)$ tal que $L(1) \neq 0$, $e_{ss} = 0$, y el error de fase decae hacia cero.

Supongamos ahora que existe un offset de frecuencia a partir del instante $k = 0$:

$$\theta_k = \omega_0 k u_k \quad \rightarrow \quad \Theta(z) = \frac{z\omega_0}{(z-1)^2} \quad (3.33)$$

En este caso, tendremos

$$e_{ss} = \lim_{z \rightarrow 1} \frac{z\omega_0}{L(z) + z - 1} \quad (3.34)$$

Este error será cero si y sólo si $L(z)$ tiene un polo en $z = 1$; entonces, para que exista enganche de fase perfecto en presencia del offset de frecuencia, el filtro debe tener un integrador, justamente lo que encontrábamos para el caso analógico.

El tipo del PLL discreto se define como uno más el número de polos en $z = 1$. Por lo que acabamos de ver, necesitaríamos un PLL de tipo II para que $e_{ss} = 0$ cuando existe un offset de frecuencia.

3.4.- DETECTORES DE FASE.

Hemos asumido en todo nuestro análisis que contamos con un detector de fase con la característica de la figura 3.3, lo que se llama un detector de tipo diente de sierra. En realidad existe una extensa variedad de detectores de fase que son muy utilizados. Gran parte de los errores de diseño en la recuperación de reloj y portadora proviene del mal diseño del detector de fase.

Entre los otros tipos de detectores podemos considerar el detector de fase sinusoidal, históricamente el miembro más prominente de la familia, consecuencia de su fácil implementación mediante circuitos analógicos. Está también el detector de fase compleja, para sistemas PAM paso de banda, en los cuales es común hacer la mayoría del procesamiento de señal en la señal compleja equivalente paso de baja. Los detectores de fase por muestreo, utilizado a raíz de que se haga común el escenario en que el PLL determina cuando se muestrea la señal de entrada, y las muestras son utilizadas para estimar el error de fase. Por último, destacaremos los detectores basados en la lógica X-OR, cuyas entradas serán señales cuadradas, derivadas de una señal sinusoidal o no (pueden ser señales provenientes de un reloj) [4].

Para muchas aplicaciones, la generación explícita de la salida del VCO no es necesaria, ya que sólo nos interesa su fase; en la figura 3.7 tenemos un ejemplo de PLL que trabaje enteramente en el dominio de la fase. La fase de la entrada es medida con respecto a un reloj fijado, y esa fase nos da la entrada al filtro. La medida de la fase por sí misma se puede implementar digitalmente, por ejemplo midiendo el tiempo entre cruces por cero en la referencia y en la entrada. La operación básica en este PLL no es diferente de la que se realiza en los mencionados anteriormente.

Se puede comprobar que el rango de enganche de un PLL depende del ancho de banda del bucle y del diseño del detector de fase, lo que nos lleva a una relación no deseada entre las propiedades del periodo de adquisición y el comportamiento una vez enganchada la fase. Habrá aplicaciones entonces en las que no podamos tener un rango adecuado a la vez que mantengamos un ancho de banda en el bucle suficientemente pequeño. Las soluciones que se suelen adoptar para incrementar el rango de funcionamiento sin afectar al otro parámetro son, entre otras, el barrido de frecuencias y el añadir un detector de frecuencia al detector de fase. Un detector de frecuencia es intuitivamente muy simple: se compara la frecuencia de la señal de entrada con el

oscilador local en lugar de comparar la fase. Esto equivale a medir la fase sin la ambigüedad en 2π que muestran los detectores de fase.

Dado que para nuestro proyecto utilizaremos una característica en forma de diente de sierra, no entraremos en más detalle sobre las otras características aquí mencionadas.

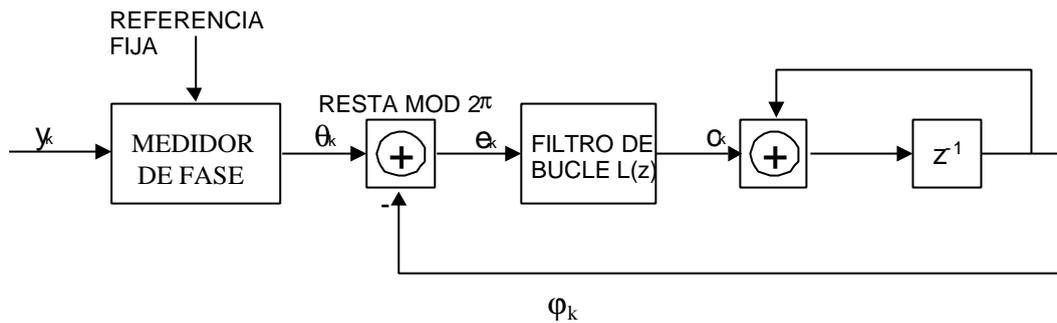


Figura 3.7.- PLL en el dominio de la fase.

3.5.- APLICACIÓN A LA RECUPERACIÓN DE PORTADORA.

En lo sucesivo, nos olvidaremos del problema de la recuperación de los instantes de muestreo, asumiendo que el reloj de símbolos es conocido; nuestro cometido será entonces obtener la frecuencia de la señal portadora. Se puede demostrar que el reloj de símbolo se puede obtener sin tener conocimiento de la fase de la portadora; por lo tanto, lo lógico es adoptar un esquema de recepción en el que primero se detecta el reloj mediante distintas técnicas y después se estima la fase de la portadora. Puede ser que la frecuencia de esta señal provenga de ese reloj. Si la frecuencia de la portadora utilizada en el transmisor es un múltiplo racional fijo de la tasa de símbolos un sintetizador de frecuencia basado en un PLL puede darnos una portadora de gran calidad, incluso si hay un jitter de fase considerable en la señal de reloj extraída. Sin embargo, es fácil que la relación entre la tasa de símbolos y la frecuencia de la portadora se pierda en el trayecto hasta el receptor; por ejemplo, en aplicaciones de comunicaciones móviles en la banda de microondas, la frecuencia de la portadora recibida es susceptible de contener una componente Doppler, pero el reloj de símbolo no (seguiré recibiendo tantos símbolos

como se mandaron, luego la tasa de símbolos no varía); por lo tanto, obtenemos una desviación de frecuencia que puede variar según cambie la velocidad de transmisor y/o receptor.

De entre las posibles técnicas existentes para la recuperación de portadora veremos a continuación una que nos será de particular interés en nuestro estudio.

3.5.1.- RECUPERACIÓN DE PORTADORA DIRIGIDA POR DECISIÓN.

Consideremos una señal paso de banda PAM libre de ruido, cuya expresión analítica está dada por las expresiones (2.8) y (2.9). La expresión que se obtiene una vez se demodula la señal recibida la tenemos en la ecuación (2.44), teniendo en cuenta que existe además una componente de ruido añadida por el canal. En la figura 2.17 veíamos el efecto de la presencia de una desviación de frecuencia ν en la señal recibida.

En la recepción, conocemos la expresión de la señal una vez muestreada, (2.46), pero nos encontramos con un problema: los símbolos c_k no son conocidos, salvo tal vez durante un breve periodo de entrenamiento, al inicio de la conexión. Lo que podemos hacer entonces es usar un símbolo proveniente de un decisor, esto es, estimar el símbolo c_k , en lugar del que realmente se transmitió. El bucle de recuperación resultante es mostrado en la figura 3.8.

Este PLL está íntimamente relacionado con los ya descritos a lo largo de este capítulo, pero el detector de fase tiene una diferencia muy significativa: dado que el detector de fase está dirigido por un decisor, los errores en la decisión darán lugar a errores en la detección.

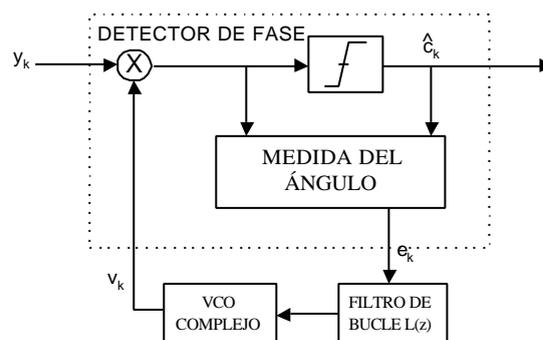


Figura 3.8.- Bucle de recuperación de portadora dirigido por un decisor.

La característica de un detector de fase de este tipo es la que observamos en la figura 3.9; el detector de fase, como se deduce de esta figura y de la figura 2.13, el error de fase nunca puede superar en magnitud el valor $\pi/4$, dado que esa es la distancia máxima que puede haber entre un símbolo ideal y uno detectado dentro de su región de decisión.

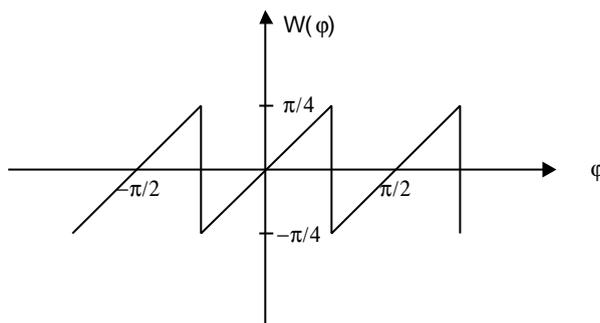


Figura 3.9.- Característica de un detector de fase dirigido por decisión para QPSK.

Consideremos la constelación QPSK de la figura 2.13; si la muestra recibida tiene un error mayor que $\pi/4$ en valor absoluto con respecto a la transmitida, la decisión será errónea, y el error de fase medido será incorrecto. Esto equivale a decir que el error de fase medido es el dado por la ecuación (3.24), donde $W(\cdot)$ es ahora la función que se ve en la figura 3.9. Una consecuencia inmediata es que la portadora obtenida puede tener cualquiera de las cuatro fases posibles, dependiendo de las primeras decisiones. Esto es, se puede llegar a una situación de falso enganche de fase.

Un diseño cuidadoso del bucle, y en especial del filtro $L(z)$, puede conducir a bucles de recuperación de frecuencia que siguen perfectamente el offset de frecuencia dentro de un determinado rango.

Un estudio análogo podemos hacer para una constelación de señales 8-PSK (ver figura 2.14), estando dado en este caso el error de fase por la función de la figura 3.10; para esta modulación el error de fase nunca alcanzará un valor mayor que $\pi/8$ en magnitud, esto es, cuando el error de fase se hace mayor en valor absoluto que esta cantidad el decisor estima la muestra erróneamente, dado que se traspasa la frontera de la región de decisión. También existe entonces para las señales 8-PSK una ambigüedad

en el error de fase, ya que nos podemos encontrar, para una determinada muestra, dentro de la región de decisión correcta o en cualquiera de las siete erróneas.

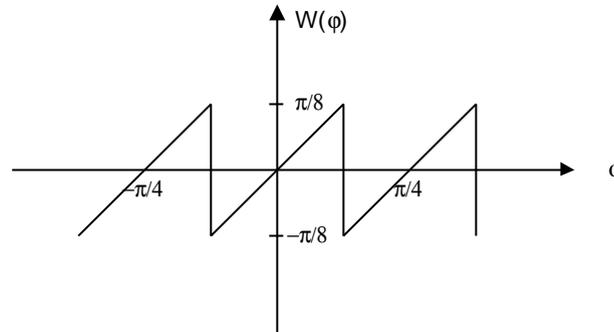


Figura 3.10.- Característica de un detector de fase dirigido por decisión para 8-PSK.

3.6.- UTILIZACIÓN DE LA MODULACIÓN PSK DIFERENCIAL.

La ambigüedad en la fase que hemos descrito es lo que se conoce como falso enganche, y puede dar lugar a unas tasas de error muy altas. La utilización de una modulación PSK convencional no permite la resolución de este problema. Sin embargo, esta situación puede evitarse fácilmente mediante el uso de un codificador diferencial.

En una modulación diferencial, la información está contenida en los cambios de fase en lugar de estarlo en la fase absoluta. Por ejemplo, un incremento en la fase transmitida de π indica la transmisión del par de bits 11, en lugar de estar esta información contenida en una fase absoluta igual a π .

La detección diferencial es utilizada en aplicaciones donde la robustez y la simplicidad son más importantes que la obtención de un comportamiento óptimo en receptores coherentes. Es ampliamente aplicada a la modulación PSK.

En un sistema de detección M-ario PSK diferencial la información está representada por una secuencia $\{\delta_k\}$, cuyos elementos toman valores del conjunto $\{0, 2\pi/M, \dots, 2\pi(M-1)/M\}$. La secuencia es primero codificada diferencialmente como [3]

$$\alpha_k = \alpha_{k-1} + \delta_k \quad \text{mod } 2\pi \quad (3.35)$$

y entonces es mapeada en símbolos de canal $c_k = c_{k-1}e^{j\delta_k}$, los cuales satisfacen la recursión

$$c_k = c_{k-1} e^{j\delta_k} \quad (3.36)$$

En el receptor, los datos $\{\delta_k\}$ son recuperados sin ningún conocimiento de la fase absoluta (figura 3.11). Centrémonos en las muestras a la salida del filtro adaptado del receptor; Paralelamente a los argumentos que nos llevaron hasta la expresión (2.46), obtenemos que

$$y(k) = c_k e^{j(2\pi f_d(kT_m + \tau) + \theta)} + n(k) \quad (3.37)$$

donde f_d es el error residual de frecuencia:

$$f_d = \nu - \hat{\nu} \quad (3.38)$$

Entonces, entrada del detector $z(k) \equiv x(k)x^*(k-1)$ resulta ser

$$z(k) = c_k c_{k-1}^* e^{j2\pi f_d T_m} + N(k) \quad (3.39)$$

donde $N(k)$ es un término de ruido. Alternativamente, podríamos escribir

$$z(k) = e^{j\delta_k} e^{j2\pi f_d T_m} + N(k) \quad (3.40)$$

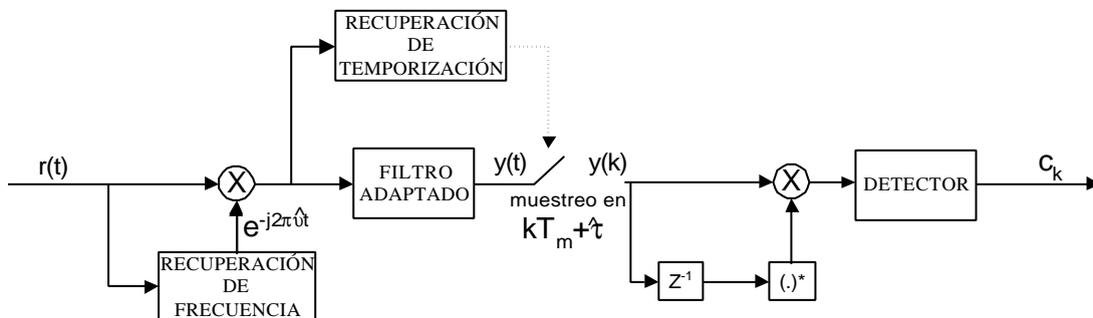


Figura 3.11.- Diagrama de bloques de un detector diferencial.

que tiene la misma forma que la entrada del detector en un receptor coherente:

$$y(k) = e^{j\omega_k} e^{j\phi} + n(k) \quad (3.41)$$

exceptuando que $N(k)$ tiene una varianza mayor que $n(k)$ [3], y la rotación $2\pi f_d T_m$ sustituye al error de fase ϕ . Ningún rastro de la fase de la portadora queda en la expresión (3.40), lo cual significa que el comportamiento del detector es insensible a la fase. De hecho, sólo se ve influido por la rotación inducida por la frecuencia $2\pi f_d T_m$.

La figura 3.12 ilustra la degradación en la probabilidad de error de símbolo debida a una recuperación de frecuencia imperfecta en un sistema con modulación DQPSK. La recuperación del reloj se asume ideal. La curva de abajo representa el comportamiento de un receptor coherente con recuperación de portadora ideal. Se puede observar que la mínima distancia entre la curva coherente y la diferencial más baja es de aproximadamente 2.3 db. Esta es la pérdida mínima que tenemos por utilizar detección diferencial en lugar de coherente. Pérdidas adicionales se deben a una compensación de frecuencia imperfecta, lo que en definitiva siempre se dará en sistemas reales, en los que la situación en que $f_d = 0$ es meramente ideal (siempre habrá un pequeño error residual de frecuencia).

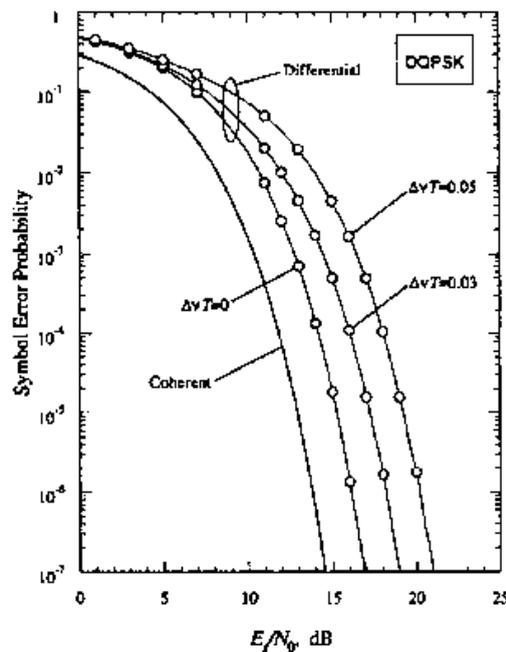


Figura 3.12.- Degradación de la probabilidad de error debida a la utilización de modulación QPSK diferencial en presencia de desviaciones de frecuencia.