

Ciclos de H1 (ciclos máquina)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	Tiempo de transferencia de datos H1
Fuente: Memoria Interna Destino: Memoria Interna	R		R		R											1 ciclo F
Fuente: Memoria Externa, STRB Destino: Memoria Interna	R	R	Cr	I		R	R	R	I		R	R	R	I		4 ciclos F
Fuente: Memoria Externa, MSTRB, IOSTRB Destino: Memoria Interna	R	R	Cr	I		R	R	R	I		R	R	R	I		4 ciclos F

Ciclos de H1 (ciclos máquina)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	Tiempo de transferencia de datos H1
Fuente: Memoria Interna Destino: Memoria Externa, STRB	R		R				R										1 ciclo F
Fuente: Memoria Externa, STRB Destino: Memoria Externa, STRB	R	R	Cr	I					R	R	R	I					4 ciclos F
Fuente: Memoria Externa, MSTRB, IOSTRB Destino: Memoria Externa, STRB	R	R	Cr	I		R	R	R	I								4 ciclos F

Ciclos de H1 (ciclos máquina)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	Tiempo de transferencia de datos H1
Fuente: Memoria Interna Destino: Memoria Externa, STRB	R		R				R										1 ciclo F
Fuente: Memoria Externa, STRB Destino: Memoria Externa, MSTRB, IOSTRB	R	R	Cr	I		R	R	R	I								4 ciclos F
Fuente: Memoria Externa, MSTRB, IOSTRB Destino: Memoria Externa, MSTRB, IOSTRB	R	R	Cr	I					R	R	R	I					4 ciclos F

T = Número de transferencias
Cr = Estados de espera en *Read-DMA*
Cw = Estados de espera en *Write-DMA*
R = *Read-DMA*
W = *Write-DMA*
I = Ciclo de registro interno