



**Escuela Superior de Ingenieros de Sevilla**

**DISEÑO DE UN  
AMPLIFICADOR DE AUDIO CLASE D  
UTILIZANDO MODULADORES SIGMA-DELTA**

Autora. M<sup>a</sup>Dolores Jiménez Otero

Tutor. Ramón González Carvajal

*A mis padres, Antonio y Paqui*

## *Agradecimientos*

---

Quisiera dar las gracias especialmente a mi tutor, D. Ramón González Carvajal, por muchos motivos. El primero de ellos ha sido el haberme planteado realizar este proyecto porque incluye los temas que más me han gustado de la carrera y porque durante este tiempo he disfrutado aprendiendo muchísimas cosas. Entre el resto, destacaría la gran ayuda prestada, su ánimo y paciencia.

Quisiera agradecer también su inestimable colaboración en este proyecto al profesor D.Fernando Muñoz Chavero.

Todos mis agradecimientos a quienes han contribuido indirectamente a este trabajo; a mis padres por el esfuerzo realizado durante todos estos años y la confianza que me han demostrado, a mi hermano por sus consejos y, a mis amigos por entender que no haya podido dedicarles todo el tiempo que me hubiese gustado.

# CONTENIDOS

✓ INTRODUCCIÓN.....	1
✓ CAPÍTULO 1. AMPLIFICADOR DE AUDIO CLASE D.....	5
<b>1.1. ESTUDIO TEÓRICO.....</b>	<b>5</b>
<b>1.1.1. Introducción.....</b>	<b>5</b>
• Estructura y Funcionamiento.....	6
• Eficiencia.....	8
<b>1.1.2. Modulador.....</b>	<b>9</b>
• Técnica analógica PWM.....	9
• Técnica SIGMA-DELTA.....	10
• Frecuencia de conmutación ( $F_{\text{switch}}$ ).....	12
<b>1.1.3. Etapa de potencia.....</b>	<b>13</b>
<b>1.1.4. Filtro LP.....</b>	<b>14</b>
<b>1.2. MODULACIÓN SIGMA-DELTA. ESTUDIO TEÓRICO BÁSICO.....</b>	<b>14</b>
<b>1.2.1. Introducción.....</b>	<b>15</b>
• Conceptos sobre cuantización.....	15
• Estudio del ruido de cuantización de un cuantizador uniforme.....	16
• Relación señal-ruido de un cuantizador uniforme.....	17
▪ Sobremuestreo (Oversampling).....	18
▪ Moldeado de ruido (Noise-Shaping).....	19
<b>1.2.2. Modulador <math>\Sigma</math>-<math>\Delta</math>. Modelo en tiempo discreto.....</b>	<b>20</b>
<b>1.2.3. Modelo de un modulador <math>\Sigma</math>-<math>\Delta</math> tipo LP de primer orden en tiempo discreto.....</b>	<b>23</b>
• Dominio del tiempo.....	24
• Dominio de la frecuencia.....	24

<b>1.2.4. Modelo de un modulador <math>\Sigma</math>-<math>\Delta</math> tipo LP de primer orden en tiempo continuo.....</b>	<b>27</b>
<b>1.2.5. Diseño de un modulador <math>\Sigma</math>-<math>\Delta</math> tipo LP de primer orden en tiempo continuo.....</b>	<b>28</b>
<b>1.3. MODELOS PROPUESTOS PARA EL AMPLIFICADOR DE AUDIO CLASE D.....</b>	<b>30</b>
<b>1.3.1. Señal de entrada.....</b>	<b>30</b>
<b>1.3.2. Modulador.....</b>	<b>31</b>
1.3.2.1. PWM.....	31
1.3.2.2. Sigma-Delta.....	32
• Modelo en tiempo continuo.....	34
• Modelo en tiempo discreto.....	35
<b>1.3.3. Etapa de potencia.....</b>	<b>35</b>
<b>1.3.4. Filtro analógico LP.....</b>	<b>35</b>
<b>1.3.5. Altavoz.....</b>	<b>36</b>
<b>✓ CAPÍTULO 2. DISEÑO DE FILTROS.....</b>	<b>37</b>
<b>2.1. DESARROLLO TEÓRICO.....</b>	<b>37</b>
<b>2.1.1. Filtros LP.....</b>	<b>37</b>
<b>2.1.2. Síntesis de filtros LP.....</b>	<b>40</b>
• Funciones de filtrado.....	40
• Síntesis pasiva.....	42
<b>2.2. DISEÑO DEL FILTRO LP DE UN AMPLIFICADOR DE AUDIO CLASE D.....</b>	<b>43</b>
<b>2.2.1. Aproximación Butterworth.....</b>	<b>43</b>
<b>2.2.2. Procedimiento.....</b>	<b>44</b>
• Cálculo de H(s).....	44
• Síntesis pasiva.....	45

<b>2.2.3. Pruebas y Resultados</b> .....	46
<b>✓ CAPÍTULO 3. MATLAB</b> .....	49
<b>3.1. INTRODUCCIÓN</b> .....	49
<b>3.2. DESCRIPCIÓN DE MODELOS EN MATLAB</b> .....	50
<b>3.2.1. Modulador PWM</b> .....	50
<b>3.2.2. Modulador Sigma-Delta LP de primer orden en tiempo continuo</b> .....	53
<b>3.2.3. Modulador Sigma-Delta LP de primer orden en tiempo discreto</b> .....	56
<b>3.2.4. Etapa de potencia y filtro LP</b> .....	57
<b>3.3. RESULTADOS</b> .....	57
<b>3.3.1. Amplificador de audio Clase D PWM</b> .....	57
<b>3.3.2. Amplificador de audio Clase D Sigma-Delta</b> .....	58
• Modelo en tiempo discreto.....	58
• Modelo en tiempo continuo.....	61
<b>✓ CAPÍTULO 4. IMPLEMENTACIÓN EN CADENCE</b> .....	63
<b>4.1. INTRODUCCIÓN</b> .....	63
<b>4.2. DESCRIPCIÓN DE CIRCUITOS EN CADENCE</b> .....	64
<b>4.2.1. Modulador PWM</b> .....	64
4.2.1.1. Generador de onda triangular.....	64
• Descripción y funcionamiento teórico.....	65
• Descripción CADENCE.....	69
4.2.1.2. Modelo completo.....	73
<b>4.2.2. Modulador Sigma-Delta LP de primer orden en tiempo continuo</b> .....	74
<b>4.2.3. Modulador Sigma-Delta LP de primer orden en tiempo discreto</b> .....	79
<b>4.2.4. Etapa de potencia</b> .....	83
• Diseño de los transistores de potencia.....	84

• Diseño de la cadena de N inversores.....	88
• Consideraciones prácticas.....	91
<b>4.2.5. Filtro LP.....</b>	<b>92</b>
• Diseño del circuito RLC.....	92
• Respuesta en frecuencia del circuito RLC.....	93
<b>4.3. RESULTADOS.....</b>	<b>94</b>
<b>4.3.1. Amplificador de audio Clase D PWM.....</b>	<b>94</b>
<b>4.3.2. Amplificador de audio Clase D Sigma-Delta.....</b>	<b>95</b>
• Modelo en tiempo continuo.....	95
• Modelo en tiempo discreto.....	97
✓ <b>CAPÍTULO 5. CONCLUSIONES.....</b>	<b>98</b>
✓ <b>BIBLIOGRAFÍA</b>	

# INTRODUCCIÓN

Actualmente son muchos los equipos de audio portátiles que existen (teléfonos móviles, reproductores de MP3, CD's, equipos audioprotésicos, etc...). A la hora de diseñarlos cada vez es más importante reducir las dimensiones, aumentar la calidad del sonido y maximizar la duración de la batería.

Para conseguir estos objetivos, se necesitan circuitos con baja tensión de alimentación que ofrezcan una alta eficiencia.

En audio, para atacar a un altavoz, es necesario proporcionarle una elevada potencia (corriente). El elemento del circuito integrado que se encarga de ello es el llamado 'amplificador de potencia para audio', o simplemente 'amplificador de audio'.

La máxima potencia que llega al altavoz vendrá limitada por la eficiencia de dicho amplificador. En los equipos portátiles, este factor incide directamente sobre la duración de la batería.

Los amplificadores de audio convencionales (A, B, AB o C), tienen eficiencias bajas (en torno al 60 %), es decir, sólo proporcionan a la salida un porcentaje de la potencia que les llega; el resto se disipa en el amplificador. Ésto hace que sean sistemas caros y de mayor tamaño, ya que necesitan elementos de refrigeración.

Los amplificadores de audio clase D, cuando son diseñados adecuadamente, tienen eficiencias por encima del 90 % (sólo disipan el 10 % de la potencia). Ésto hace que no necesiten elementos adicionales; lo que se traduce en un menor tamaño y peso.

Estos amplificadores pueden incluso tener baja distorsión a pesar de no ser tan buena como la de los clase AB o A.

Todo ésto ha hecho que se utilicen en la actualidad como una alternativa práctica a los amplificadores convencionales en la mayoría de las aplicaciones, sobre todo en aquellas donde la eficiencia es importante.

Concretamente, resultan atractivos como ‘drivers’ de los altavoces de teléfonos móviles, para los que el optimizar la duración de la batería es un aspecto muy importante.

Los amplificadores de clase D que existen actualmente utilizan moduladores PWM.

En este proyecto se plantea usar otro tipo de modulación.

Recientemente los moduladores Sigma-Delta han ganado protagonismo porque son adecuados en aplicaciones en las que se desea conseguir una señal digital de alta calidad (SNR elevada) a partir de una señal analógica de baja frecuencia. Éste es el caso de las señales de audio.

Además, relajan los requisitos exigidos a la circuitería de alta precisión analógica, por lo que son idóneos en aplicaciones de baja tensión.

Por otro lado, son varias las características de este tipo de modulador las que nos hacen pensar en su uso dentro de un amplificador de audio Clase D.

En primer lugar porque se caracteriza, al igual que la técnica PWM, por proporcionar a la salida una señal digital cuya evolución en el tiempo es proporcional a la amplitud de la señal de entrada al amplificador. En segundo lugar, tampoco cambia la forma del espectro de la señal de entrada, por lo que podrá ser recuperada a la salida del amplificador mediante el uso de un filtro LP.

Gracias al empleo de las técnicas de ‘sobremuestreo’ y ‘moldeado de ruido’ se consigue una señal digital de alta precisión (calidad), en un ancho de banda relativamente pequeño (banda de interés), utilizando un cuantizador de baja resolución. Concretamente, este método de modulación tiene como ventaja que el diseñador puede decidir la relación señal-ruido que desea a la salida.

Para el uso específico de este modulador dentro del amplificador clase D, lo ideal es usar un cuantizador de un bit, el cual es inherentemente lineal. Ésto reduce la no linealidad del modulador y por tanto disminuye la distorsión, lo cual es una de las características que ha de cumplir un amplificador de potencia.

Por todo lo anterior se plantea en este proyecto el estudio de un nuevo tipo de amplificador clase D que utiliza como modulación la técnica Sigma-Delta.

El objetivo del proyecto es ver si este esquema es una alternativa válida al modelo que utiliza modulación PWM.

Para ello se realiza el diseño y simulación del amplificador que ataca al altavoz de un teléfono móvil. Se estudian ambos esquemas, es decir, el convencional (PWM) y el que se aquí propone (Sigma-Delta).

La memoria de este proyecto, se organiza en dos grandes bloques. La primera parte (capítulos 1 y 2) comprende el estudio teórico y diseño de los dos esquemas del amplificador de audio Clase D que se van a comparar.

En la segunda parte (capítulos 3 y 4), se describe la simulación de dichos esquemas y se presentan los resultados obtenidos.

El capítulo 1 incluye, en primer lugar, un estudio teórico sobre el amplificador de audio Clase D.

Se dedica el apartado 1.2 a la teoría y diseño de un modulador Sigma-Delta. Concretamente, nos centraremos en describir los modelos teóricos en tiempo discreto y continuo del modulador de primer orden tipo LP, por ser el que se utiliza en este proyecto. En el último punto del capítulo se describen los modelos propuestos sobre el papel.

El capítulo 2 se dedica al diseño del filtro LP que forma parte del amplificador. Se realiza en primer lugar una introducción teórica para familiarizarnos con la nomenclatura y a continuación se describe el procedimiento a seguir para el cálculo de su función de transferencia, así como para obtener su realización pasiva (RLC).

En el último apartado se calcula la función de transferencia del filtro que se va a emplear en ambos esquemas del amplificador.

Una vez definidos todos los parámetros de los modelos sobre el papel, se pasa a simularlos. Primero se realiza la simulación en Matlab (capítulo 3), para ver si el diseño presenta el comportamiento deseado.

Después se lleva a cabo la simulación en CADENCE empleando la tecnología CMOS de 0.8  $\mu\text{m}$ . Se toma para la fuente de alimentación,  $V_{\text{DD}}$ , el valor 5V, para poder realizar la comparación de ambos esquemas, aunque nuestro objetivo será usar el amplificador propuesto en aplicaciones de baja tensión.

En el apartado 4.2 se realiza una descripción de los modelos utilizados en CADENCE. En cuanto al modulador Sigma-Delta, se han implementado los esquemas en tiempo continuo y en tiempo discreto (SC).

En este capítulo es donde se describe de forma detallada el diseño de la etapa de potencia y del filtro RLC que utilizan ambos esquemas.

En el siguiente apartado se presentan los resultados obtenidos de las simulaciones.

Al final de la memoria se plantean las conclusiones a las que se ha llegado tras realizar el proyecto.

*Sevilla, Junio de 2002*

M.D.J.O

## CAPÍTULO 1

# AMPLIFICADOR DE AUDIO CLASE D

### 1.1. ESTUDIO TEÓRICO.

Se considera necesario hacer una introducción teórica sobre el amplificador de audio Clase D, debido a que la documentación existente no es lo suficientemente amplia ni detallada.

#### 1.1.1. INTRODUCCIÓN.

Un sistema de audio puede constar de varias etapas de amplificación, la última de las cuales es un amplificador de potencia.

El objetivo de los amplificadores de potencia, en cualquier aplicación, es proporcionar la gran cantidad de corriente que necesita la carga. Cuando la carga es un altavoz hablamos de un amplificador de audio.

El amplificador de audio clase D se caracteriza por una elevada **eficiencia** (de más del 90 %). Ésto significa que, proporcionan a la salida más del 90% de la potencia que les llega; el resto se disipa en el amplificador. Esta característica hace que sean interesantes en aplicaciones de baja potencia.

Otro aspecto importante de estos amplificadores es la **distorsión** (THD).

La THD de un amplificador de Clase D ideal es del 0%. Sin embargo, en la práctica la mayoría de los diseños presentan distorsión.

Este factor hace que sólo sea interesante su uso en ciertas aplicaciones de baja potencia.

En este proyecto se plantea usarlos en equipos móviles, porque la distorsión admisible en este caso está entre el 0.5 y el 1 %.

Un amplificador de Clase D es un dispositivo digital porque como veremos funciona en conmutación. Ésto hace que sea estable independientemente de la carga (altavoz).

- **Estructura y funcionamiento.**

En el siguiente esquema se muestra el diagrama de bloques de un amplificador de audio Clase D.

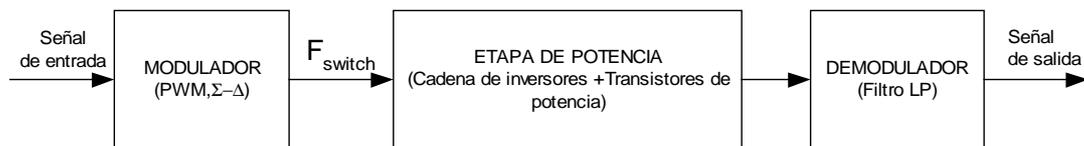


Fig 1.1. Diagrama de bloques del amplificador de audio Clase D.

Vamos a hacer una breve descripción de cada bloque para tener una visión global del principio de funcionamiento de este tipo de amplificador.

La **señal analógica de entrada** es una señal de audio (senoidal de baja frecuencia).

El límite superior del espectro de audio completo se sitúa en 22 KHz. Por lo tanto, la frecuencia de esta señal ha de estar por debajo de este valor.

Sin embargo, en el caso de un teléfono móvil el límite superior es de 12 KHz.

El **Modulador** toma la señal analógica de entrada y genera a partir de ella una señal digital. La frecuencia de la salida, llamada de conmutación ( $F_{\text{switch}}$ ), es fija y mayor que la de la señal original.

La evolución en el tiempo de esta señal digital es proporcional a la amplitud de la señal de entrada al amplificador.

La **etapa de potencia** consiste en una cadena de N inversores CMOS seguida de los transistores de potencia (inversor N+1-ésimo).

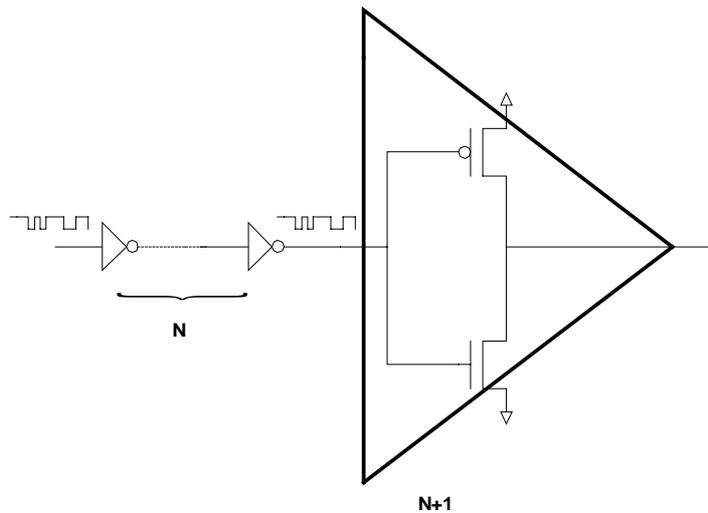


Fig 1.2. Esquema de la etapa de potencia de un amplificador de audio Clase D.

La **cadena de inversores** recibe los pulsos del modulador. A su salida se tendrá también una señal digital del mismo periodo que la de entrada.

La salida de la cadena de inversores ataca la puerta de los **transistores de potencia**, que son los que proporcionarán al altavoz la gran cantidad de potencia (corriente) que éste necesita. Con esta polarización se consigue que los transistores actúen como interruptores ya que funcionan en corte o en zona lineal la mayoría del tiempo. Se dice por ello que este tipo de amplificadores trabaja en conmutación (funcionamiento digital).

Como se verá, los transistores de potencia sólo conducen simultáneamente cuando la señal digital de puerta conmuta de un estado lógico a otro y es únicamente en estos intervalos cuando los transistores funcionan en saturación.

Por otro lado, la rápida conmutación de esta señal disminuye el tiempo que los transistores permanecen en la zona de saturación. De este modo se reduce el consumo de potencia de esta etapa y se consigue aumentar la eficiencia del amplificador.

Es por todo esto por lo que en un amplificador Clase D se necesita modular la señal analógica de entrada en una señal digital de frecuencia elevada que ataque a los transistores de potencia.

Puesto que los transistores de potencia son los del inversor N+1-ésimo, a la salida de la etapa de potencia se obtiene también una señal digital ( $V_{SS}, V_{DD}$ ) cuya evolución en el tiempo sigue siendo proporcional a la señal de entrada al amplificador y cuyo periodo es igual al de la salida del bloque modulador.

El **filtro LP** actúa como demodulador porque convierte los pulsos que recibe en una señal analógica que tiene las mismas características que la señal de entrada al amplificador, salvo quizás, la fase y la amplitud.

- **Eficiencia.**

En este apartado se pretende estudiar qué factores hay que tener en cuenta a la hora de diseñar un amplificador de audio Clase D para conseguir que tenga una eficiencia elevada.

El límite superior de la eficiencia en este tipo de amplificador viene fijado por la combinación de las pérdidas de conducción y de conmutación [10].

#### Pérdidas de conmutación.

Los factores que logran disminuir estas pérdidas son [10]:

- 1) Elegir una baja frecuencia de conmutación. Este valor se fijará durante el diseño del bloque 'Modulador'.
- 2) Elegir transistores MOS de potencia con baja capacidad de puerta ( $C_{GS}$ ).
- 3) Elegir como circuito para atacar a los transistores de potencia uno que tenga una alta capacidad de conducción.

Los elementos de los puntos 2) y 3) dependerán del diseño que se haga de 'la etapa de potencia'.

#### Pérdidas de conducción.

Se reducen si elegimos los transistores MOS de potencia con baja resistencia  $R_{on}$  [10].

Éste parámetro se fijará durante el diseño de 'la etapa de potencia'.

### 1.1.2. MODULADOR.

Actualmente, para generar dichos pulsos, se utiliza la técnica de modulación analógica PWM. En este proyecto se propone utilizar la modulación SIGMA-DELTA.

El objetivo de este punto es describir, de forma breve, ambas técnicas de modulación para entender el funcionamiento de un amplificador de Clase D. Serán estudiadas con mayor profundidad en siguientes apartados de la memoria.

- **Técnica analógica de modulación PWM ( Pulse Width Modulation).**

Con esta técnica se obtiene una señal digital de periodo constante formada por pulsos cuya anchura (duty-cycle) varía de forma proporcional al valor de la amplitud de la señal de entrada en cada instante.

#### Descripción.

Tomaremos como entrada al modulador una señal senoidal de frecuencia  $F_{in}$ .

Como se ilustra en la figura 1.3, la señal de entrada  $V_{in}$  es modulada con otra señal analógica  $V_m$  que tiene una frecuencia fija y mucho mayor que la de la entrada ( $F_m > F_{in}$ ). La forma de onda que se usa como señal moduladora (o portadora),  $V_m$ , es normalmente, la triangular. Un caso particular de ésta sería el diente de sierra (sawtooth).

La señal modulada  $V_d$  (fig 1.3b) o señal PWM se caracteriza porque toma el valor lógico '1' durante el intervalo de tiempo en el cual la amplitud de la entrada ( $V_{in}$ ) es menor que la de la señal de referencia ( $V_m$ ) y '0' en caso contrario.

Es decir, a la salida del modulador se obtiene la siguiente señal digital, para cada instante de tiempo:

$$V_d = \begin{cases} '1' & \text{si } V_{in} < V_m \\ '0' & \text{si } V_{in} > V_m \end{cases}$$

La frecuencia de la señal digital PWM es  $F_m$  (la de la onda moduladora).

### Espectro de la señal modulada PWM.

En la figura 1.4 se observa una componente espectral a la frecuencia de la entrada ( $F_{in}$ ), otra a la frecuencia de la señal moduladora ( $F_m$ ), así como, una banda de componentes alrededor de esta última.

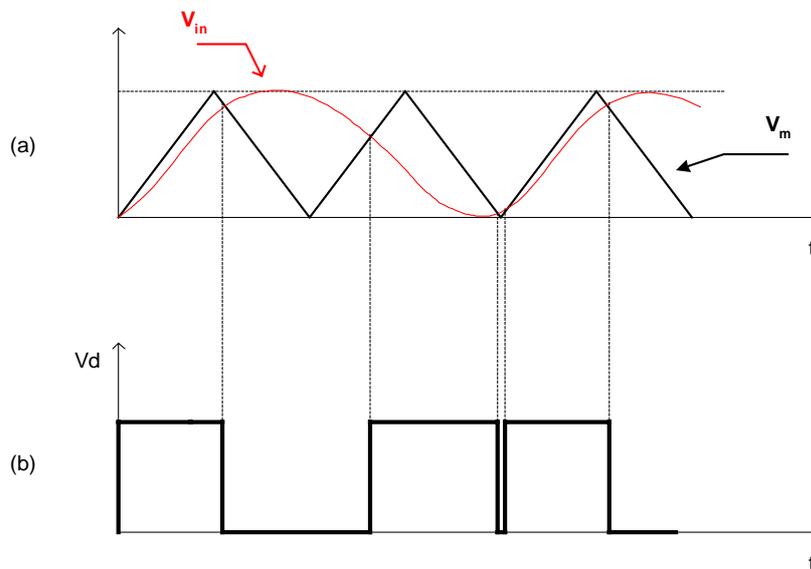


Fig 1.3. Técnica analógica de Modulación PWM.  
 (a) Señal de entrada ( $V_{in}$ ) y señal moduladora ( $V_m$ ).  
 (b) Señal modulada PWM.

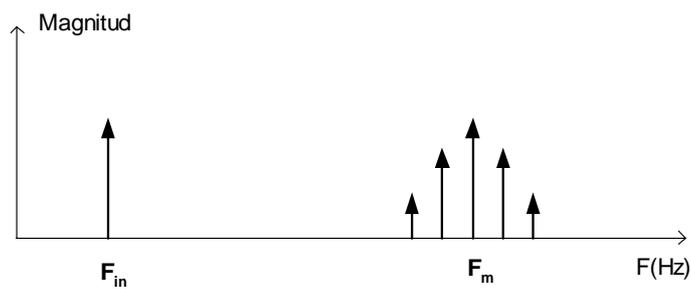


Fig 1.4. Espectro de una señal modulada PWM.

- **Técnica de modulación Sigma-Delta.**

Se trata de una técnica que genera una señal digital cuya evolución en el tiempo depende de la amplitud de la señal analógica de entrada.

La salida del modulador es una señal pulsada de frecuencia mayor que la de la señal analógica original, de periodo constante y duty-cycle fijo del 100%.

Debido a la complejidad de esta técnica, en este punto se hace referencia a aspectos globales de esta modulación necesarios para entender su uso dentro de un amplificador de Clase D. Se volverá a ella en el apartado 1.2.

### Descripción.

Este método de modulación es digital y, como tal, utiliza el muestreo y la cuantización. Por el hecho de utilizarse un cuantizador, se añade a la señal el llamado ruido de cuantización,  $e(n)$ .

Una de las ventajas que hace pensar en el uso del modulador Sigma-Delta frente a otros moduladores digitales es que proporciona una salida digital de alta precisión (SNR elevada). Ésto se consigue gracias al empleo de las técnicas adicionales de ‘sobremuestreo’ y ‘moldeado de ruido’ que reducen el ruido de cuantización en la banda de interés.

Dicha salida tiene una resolución de  $N$  bits (número de bits del cuantizador).

Puesto que se quiere estudiar la posibilidad de usar este modulador en un amplificador de audio Clase D, necesito que la salida tenga baja resolución. Concretamente, se desea que la salida sea de 1 bit, ya que lo que nos interesa es el valor analógico y no el digital. Es por ello que en este proyecto se plantea usar un modulador Sigma-Delta tipo LP con cuantizador sobremuestreado de frecuencia  $F_{sob}$  y resolución 1 bit.

Por tanto, la salida digital tendrá una amplitud que varía entre ‘ $\Delta/2$ ’ y ‘ $-\Delta/2$ ’ y una frecuencia  $F_{sob}$ , como ya se explicará más adelante.

### Espectro de la señal modulada Sigma-Delta.

Este tipo de modulación, como veremos, cambia el espectro del ruido de cuantización pero deja prácticamente inalterado el de la señal analógica de entrada.

En nuestra aplicación, la entrada es de baja frecuencia, por lo que la banda de interés se define como ' $\pm F_o$ '. Utilizaremos, por tanto, un moldeado de ruido de tipo paso-baja.

Con ésto se consigue reducir la potencia del ruido de cuantización en la banda de interés pero, fuera de esa banda, la potencia crece con la frecuencia.

Es decir, dicho de una manera simple para que se entienda, se quita parte del ruido de baja frecuencia (banda de interés) para enviarlo a alta frecuencia.

El espectro de la cadena de bits a la salida del modulador Sigma-Delta contiene una componente espectral a la frecuencia  $F_{in}$  a la que se le superpone el espectro moldeado del ruido de cuantización.

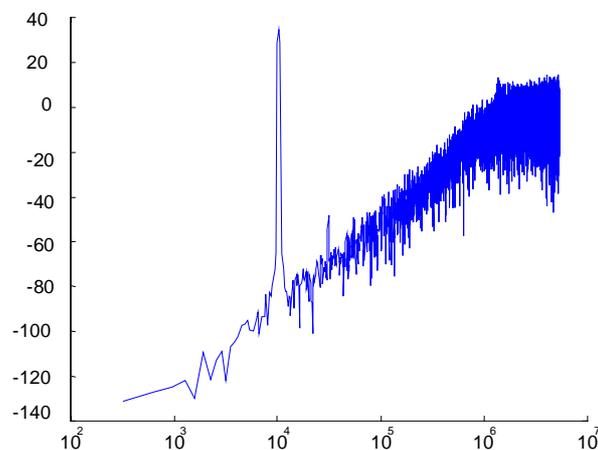


Fig 1.5. Espectro a la salida de un modulador Sigma-Delta tipo LP de segundo orden.

La pendiente con la que crece el ruido a alta frecuencia dependerá del orden del modulador utilizado.

- **Frecuencia de conmutación( $F_{switch}$ ).**

Como sabemos, la salida del modulador se usará para conmutar a los transistores de potencia. Por tanto, la frecuencia de conmutación será la frecuencia de dicha señal digital.

En PWM, la salida tiene una frecuencia igual a la frecuencia de la señal triangular ( $F_m$ ).

En Sigma-Delta, la frecuencia de la señal digital generada es igual a la frecuencia  $F_{sob}$ . Si quisiéramos comparar ambas técnicas, tendríamos que tomar  $F_m$  de igual valor que  $F_{sob}$ .

### 1.1.3. ETAPA DE POTENCIA.

Para proporcionar la gran cantidad de potencia que necesita el altavoz (carga), se utiliza un inversor CMOS cuyos transistores se caracterizan por tener relaciones de aspecto,  $W/L$ , elevadas. A estos transistores se les llama **transistores de potencia**.

Un inversor CMOS presenta a la entrada una capacidad que es directamente proporcional a las dimensiones ( $W,L$ ) de los transistores que lo forman. Puesto que los transistores de potencia tienen dimensiones grandes, existirá una capacidad considerable a la entrada del inversor.

Cuando la entrada conmuta (cambia de valor lógico), se cargará o descargará esta capacidad de entrada.

Si recordamos la característica DC de un inversor CMOS es únicamente durante la transición de un valor lógico a otro cuando conducen los dos transistores.

Puesto que deseamos reducir el consumo de potencia (aumentar la eficiencia), lo que nos va a interesar es disminuir el tiempo que tarda el inversor en conmutar. Para ello habrá que suministrar a esta capacidad mucha intensidad para cargarla y descargarla rápidamente.

Si conectamos directamente el modulador al inversor de potencia, toda esa intensidad la deberá generar el propio modulador. Para evitar esto, se utiliza una **cadena de N inversores** CMOS que atacan al inversor CMOS de potencia (en total,  $N+1$  inversores).

El primer inversor de esta cadena tendrá una relación de aspectos  $(W/L)_{n,1}$  para el transistor NMOS y  $(W/L)_{p,1}$  para el PMOS.

Los transistores del siguiente inversor tendrán como relación de aspectos la del transistor de su mismo tipo en el inversor anterior multiplicada por  $\alpha$ .

Por lo tanto, el transistor PMOS del inversor  $i$ -ésimo ( $i = 1, \dots, N$ ) tendrá como relación de aspectos  $\alpha^{i-1}(W/L)_{p,1}$  y la del NMOS será  $\alpha^{i-1}(W/L)_{n,1}$ .

El modulador podrá atacar al primer inversor. A su vez éste generará la corriente necesaria para poder atacar al siguiente en la cadena (que tendrá capacidad a la entrada mayor que el anterior). Así sucesivamente hasta llegar al último inversor de la cadena (N-ésimo) que podrá generar la corriente necesaria para atacar a la capacidad de entrada del inversor CMOS de potencia.

#### **1.1.4. FILTRO LP.**

La forma del espectro en magnitud a la salida del inversor N+1-ésimo será exactamente igual a la del espectro a la salida del modulador, porque los inversores se caracterizan por tener una respuesta en magnitud igual a la unidad.

Tal y como se vió al describir la técnica de **modulación PWM**, el ruido que aparece en el espectro de la señal PWM debido a la modulación está perfectamente localizado ( $F_m$  y banda de frecuencias alrededor de ella).

Puesto que para el amplificador de Clase D la frecuencia  $F_m$  debe ser alta, bastará con utilizar un filtro LP para recuperar a la salida la señal de entrada (frecuencia  $F_{in}$ ).

En el caso de la **modulación Sigma-Delta**, recordando la forma del espectro de la señal modulada, se observa que al colocar un filtro LP a la salida de la etapa de potencia, se reduce el ruido de cuantización fuera de la banda de señal y se obtiene la señal de entrada con un pequeño ruido superpuesto.

## **1.2. MODULACIÓN SIGMA-DELTA. ESTUDIO TEÓRICO BÁSICO.**

Este apartado se ha de entender como un apéndice que contiene algunos de los conocimientos relacionados con el modulador Sigma-Delta que ha sido necesario adquirir y recordar para realizar el proyecto.

Se ha incluido con el objetivo de facilitar la comprensión de los modelos y conceptos utilizados a lo largo de la memoria en relación a este modulador.

La información que aquí se recoge está basada en bibliografía y artículos ya existentes sobre el tema y no pretende añadir nada nuevo, puesto que éste no es el objetivo del proyecto.

### 1.2.1. INTRODUCCIÓN.

Como ya se ha dicho en el apartado anterior, esta técnica de modulación es digital.

El muestreo y la cuantización de amplitud son la base de todos los moduladores digitales.

El **muestreo** consiste en tomar el valor de la señal de entrada sólo en instantes de tiempo discretos. La diferencia de tiempo entre un instante y el siguiente es el periodo de muestreo ( $T_s$ ).

Un **cuantizador** toma la muestra que le llega,  $x(n)$  y le asigna el valor entero más cercano entre un conjunto finito (niveles de representación o de cuantización).

En esta operación se produce un error, el llamado ruido de cuantización,  $e(n)$ , que es la diferencia entre el valor cuantizado y el real.

- **Conceptos sobre cuantización.**

Definición 1.  $\Delta$  es el tamaño del escalón de cuantización, es decir, la diferencia entre dos niveles de representación consecutivos.

Definición 2. Un cuantizador uniforme es el que se caracteriza porque  $\Delta$  es fijo.

Definición 3. El valor de sobrecarga ( $x_{SC}$ ) es el máximo valor de pico de la señal de entrada al cuantizador.

Definición 4. El rango dinámico del cuantizador es el intervalo  $(-x_{SC}, x_{SC})$ .

Si la muestra cae fuera de este rango se le asigna el último nivel de representación y se dice que el cuantizador ha saturado.

Definición 5. Un cuantizador tipo Mid-Riser tiene la siguiente función de transferencia:

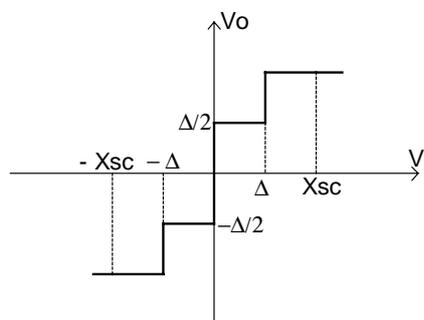


Fig 1.6. Función de transferencia de un cuantizador uniforme tipo Mid-Riser simétrico con L=4 niveles.

Si este cuantizador es de N bits y es simétrico, su número de niveles de representación es  $L=2^N$ .

El valor de sobrecarga para este tipo de cuantizador es:

$$X_{sc} = \frac{2^N}{2} \cdot \Delta \quad (1.1)$$

Definición 6. El ruido granular es el que se produce cuando la muestra cae dentro del rango dinámico del cuantizador.

Definición 7. El ruido de sobrecarga es el que se produce cuando la muestra cae fuera del rango dinámico del cuantizador. Este tipo de ruido, cuando ocurre, puede producir una distorsión severa de la señal. El único remedio consiste en escalar la señal de entrada al cuantizador de forma caiga dentro de  $(-x_{sc}, x_{sc})$ .

Definición 8. El ruido de cuantización es la suma del ruido granular y el de sobrecarga.

- **Estudio del ruido de cuantización de un cuantizador uniforme.**

Para estudiar el ruido de cuantización, supondremos que la entrada está acotada ( $x \leq x_{sc}$ ). Por lo tanto, sólo existe ruido granular.

El **modelo lineal de un cuantizador** consiste en considerar el ruido de cuantización,  $e(n)$ , como una señal aleatoria que se suma a la entrada del cuantizador.

El modelo lineal aproximado de un cuantizador supone que  $e(n)$  es una señal de ruido blanco independiente y de media nula que se distribuye, dentro del rango dinámico, uniformemente entre  $\pm\Delta/2$ .

Se calcula entonces la potencia de  $e(n)$  como la varianza de esa señal aleatoria y se obtiene que la **potencia del ruido de cuantización** es igual a  $P_e = \Delta^2/12$ .

Este valor es independiente de la frecuencia de muestreo que se utilice para generar las muestras.

Puesto que  $e(n)$  se ha modelado como un ruido blanco, su densidad espectral de potencia,  $S_e(F)$ , es constante con la frecuencia (espectro plano) y, tal y como se muestra en la figura, toda su potencia está entre  $\pm F_s/2$ .

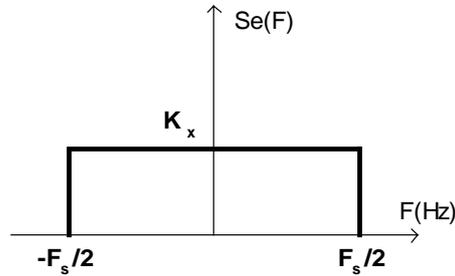


Fig 1.7. Densidad espectral de potencia del ruido de cuantización.

Nota.  $F_s$  (Hz) es la frecuencia de muestreo con la que se han generado las muestras de entrada al cuantizador ( $F_s = 1/T_s$ ).

La altura,  $K_x$ , tiene la expresión:

$$K_x = \frac{\Delta^2}{12 \cdot F_s} \tag{1.2}$$

La **densidad espectral de potencia del ruido de cuantización** es igual a [11]:

$$S_e(F) = \frac{P_e}{F_s} \tag{1.3}$$

Vemos que, a diferencia de  $P_e$ ,  $S_e(F)$  sí depende de la frecuencia de muestreo ( $F_s$ ).

- **Relación señal-ruido de un cuantizador uniforme.**

Suponemos un cuantizador uniforme tipo Mid- Riser y una señal sinusoidal a su entrada.

En este caso, la relación señal a ruido a la salida del cuantizador, suponiendo que no existe error de sobrecarga es [6]:

$$SNR_{\text{máx}} \text{ (dB)} = 6.02 \cdot N + 1.76 \tag{1.4}$$

De esta expresión se deduce que la SNR puede mejorarse incrementando el número de bits del cuantizador (resolución). Desafortunadamente, ésto conlleva un incremento en la dificultad del diseño del circuito, así como la necesidad de un mayor tamaño del chip.

Para evitar ésto, existen técnicas adicionales para alcanzar mayor precisión en cuantizadores, llamadas “oversampling”(sobremuestreo) y “noise-shaping” (moldeado de ruido). El modulador  $\Sigma$ - $\Delta$  utiliza ambas técnicas.

- **Sobremuestreo (Oversampling).**

Al muestrear una señal no podemos tomar cualquier frecuencia de muestreo.

Como sabemos la mínima tasa a la que ha de muestrearse una señal LP limitada en banda a  $F_o$  (Hz) es la frecuencia de Nyquist ( $F_n$ ):

$$F_n = 2 \cdot F_o \quad (1.5)$$

El principio de esta técnica es muestrear la señal analógica de entrada al cuantizador a una frecuencia ( $F_s=F_{sob}$ ) mayor que la de Nyquist.

Se define entonces la relación de sobremuestreo (OSR) como:

$$M \equiv \text{OSR} = \frac{F_{sob}}{2F_o} \quad (1.6)$$

En cuanto al ruido de cuantización, vemos en (1.2), que al crecer la tasa de muestreo ( $F_s$ ), aumenta la anchura donde se define  $S_e(F)$  y disminuye el valor de la altura  $K_x$ .

Si nos quedamos, mediante filtrado LP, con el ruido de cuantización en la banda de interés ( $\pm F_o$ ), se consigue reducir la potencia de ruido.

Por otro lado, como estoy suponiendo la señal de entrada limitada en banda, no se produce solape espectral (aliasing) al sobremuestrearla; es decir, no existe distorsión.

Ésto significa que la potencia de la señal dentro de la banda de interés no cambia por el hecho de sobremuestrearla.

De todo lo anterior se deduce que con este método se logra aumentar la relación SNR en la banda deseada ( $\pm F_o$ ).

La expresión de la relación SNR, en la banda de interés, a la salida del cuantizador con sobremuestreo es [5]:

$$\text{SNR}_{\text{máx}} \text{ (dB)} = 6.02 \cdot N + 1.76 + 10 \cdot \log(\text{OSR}) \quad (1.7)$$

Nota. Seguimos suponiendo un cuantizador uniforme tipo Mid- Riser de N bits y una señal sinusoidal a su entrada.

En la expresión anterior se ve que al utilizar sobremuestreo, se obtiene una mejora de 3 dB en la relación señal- ruido cada vez que la OSR se dobla (3 dB /octava o 0.5 bits/octava).

Ésto es verdad para un cuantizador de N bits. Por lo tanto, el inconveniente del sobremuestreo es que aunque mejora la SNR, no mejora la linealidad [5]. Es por ello que se tiende a usar esta técnica con cuantizadores de 1 bit porque éstos son inherentemente lineales.

Sin embargo, si se desea una alta SNR y además se quiere utilizar un cuantizador de baja resolución ( por ej. N igual a 1 bit), se necesitará una OSR elevada y, en consecuencia, la frecuencia de sobremuestreo ( $F_{\text{sob}}$ ) será muy grande.

Ésto será difícil de conseguir debido a que la tecnología que se usa para implementar el circuito e incluso su propia arquitectura limitan la máxima  $F_{\text{sob}}$  alcanzable.

Es por ello que para mejorar la SNR, utilizando tasas de sobremuestreo ( $F_{\text{sob}}$ ) bajas, los moduladores Sigma-Delta introducen una técnica adicional, el moldeado del ruido de cuantización.

- **Moldeado de ruido (Noise-Shaping).**

El moldeado de ruido consiste en el filtrado del ruido de cuantización para dar forma a su espectro en frecuencia.

Explicaremos esta técnica directamente sobre el modulador Sigma-Delta. Se utilizará el modelo en tiempo discreto porque resulta más intuitivo.

### 1.2.2. MODULADOR $\Sigma$ - $\Delta$ . MODELO EN TIEMPO DISCRETO.

Este modulador utiliza, como se ha dicho anteriormente, las técnicas de moldeado de ruido y sobremuestreo.

Como sabemos, el moldeado de ruido consiste en filtrar el ruido de cuantización. En este apartado veremos cómo la función de filtrado se consigue gracias al uso de la realimentación.

En la siguiente figura se presenta el esquema general de un modulador Sigma-Delta de orden 'm' en tiempo discreto:

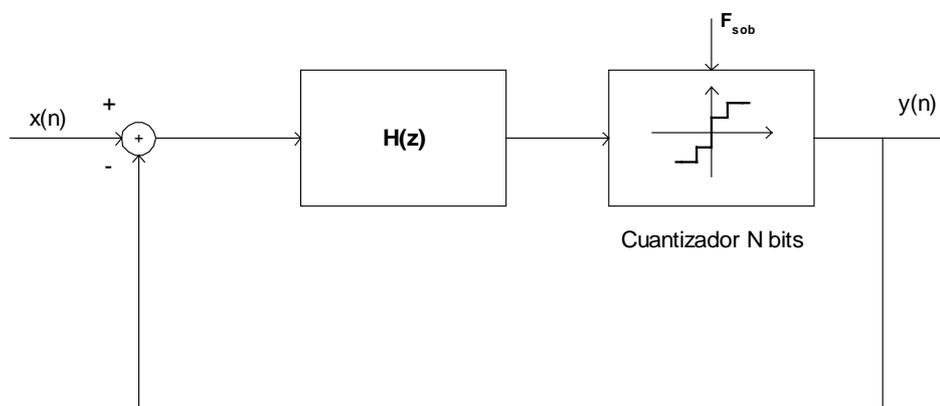


Fig 1.8. Modulador Sigma-Delta de orden 'm' en tiempo discreto.

Utilizaremos su modelo lineal para explicar cómo se consigue el moldeado de ruido de cuantización:

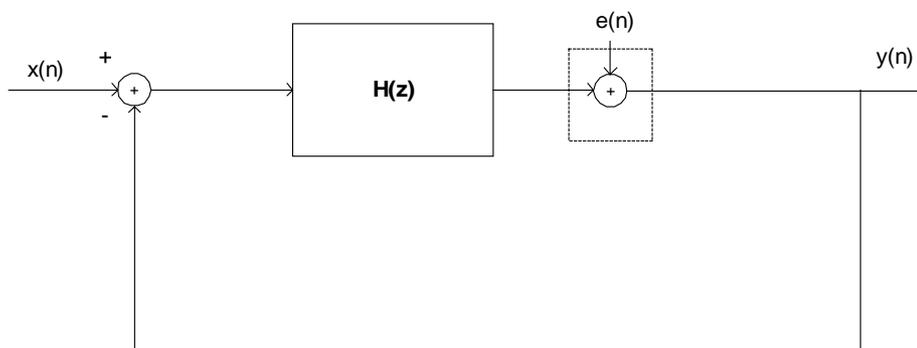


Fig 1.9. Modelo lineal de un modulador Sigma-Delta de orden 'm' en tiempo discreto.

Se puede observar que se ha sustituido el cuantizador (dispositivo no lineal) por su correspondiente modelo lineal (señal de ruido aditiva).

Una vez hecho ésto, podemos tomar las señales  $x(n)$  y  $e(n)$  como señales independientes de entrada al modulador y aplicar la teoría de sistemas lineales. Es decir, la señal de salida del modulador Sigma-Delta se expresará como la combinación de las salidas que se obtendrían si filtrásemos por separado la señal  $x(n)$  y la señal de ruido mediante la correspondiente función de transferencia del mismo nombre.

Según lo anterior, la salida del modulador en el dominio de la frecuencia se expresará como:

$$Y(z) = S_{TF}(z).X(z) + N_{TF}(z).E(z) \quad (1.8)$$

La función de transferencia de señal,  $S_{TF}(z)$ , tendrá la forma:

$$S_{TF}(z) = \frac{Y(z)}{X(z)} = \frac{H(z)}{1 + H(z)} \quad (1.9)$$

y la función de transferencia del ruido,  $N_{TF}(z)$ :

$$N_{TF}(z) = \frac{Y(z)}{E(z)} = \frac{1}{1 + H(z)} \quad (1.10)$$

Como se ha visto, las señales  $x(n)$  y  $e(n)$  pueden ser filtradas independientemente bajo el control del diseñador. Ésto permite a este tipo de modulador separar espectralmente la señal de entrada del ruido de cuantización.

$H(z)$  es la función de transferencia de un sistema lineal de orden 'm'. Es decir, se trata de una función racional en 'z' cuyo denominador se caracteriza porque su mayor potencia es 'm'. Además, el grado del numerador será menor que el del denominador.

$H(z)$  puede ser de tipo paso-baja o paso-banda, según el moldeado de ruido (forma de  $N_{TF}(z)$ ) que queramos conseguir, el cual depende a su vez del tipo de señal de entrada al modulador  $\Sigma$ - $\Delta$ .

El modulador es de tipo LP si se desea un moldeado de ruido de tipo paso-alta; para conseguirlo se utiliza una función  $H(z)$  de tipo paso-baja.

Vamos a centrarnos en este tipo de modulador porque en nuestra aplicación la señal de entrada es de baja frecuencia(audio).

En este caso,  $H(z)$  tiene característica de tipo LP con una alta ganancia DC. El ancho de su banda de paso se elige de forma que contenga la banda de interés(es decir, va de 0 a  $F_o$ ).

Con tal elección,  $S_{TF}(z)$  es de tipo paso-baja, es decir, es de magnitud unidad en la banda de interés y nula fuera de ella. Por lo tanto, en un modulador Sigma-Delta, cambia el espectro en magnitud del ruido, pero el de la señal apenas se ve afectado.

La función de transferencia que afecta al ruido,  $N_{TF}(z)$ , se aproxima a una de tipo paso-alta, es decir, tiene una atenuación alta en la banda de interés y una atenuación baja fuera de dicha banda.

Tal como se ve en la siguiente figura,  $S_e(F)$ , deja de ser constante; el moldeado de ruido consigue reducir  $S_e(F)$  en la banda de interés, pero, fuera de esa banda, la densidad espectral crece con la frecuencia.

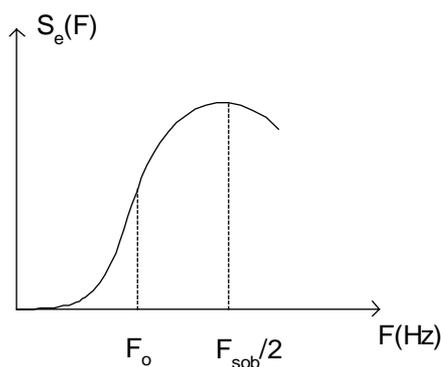


Fig 1.10. Densidad espectral del ruido de cuantización moldeado.

Es decir, el ruido de cuantización deja de tener un espectro constante y pasa a tener la forma de una función de tipo paso-alta.

Si realizamos un filtrado LP, para quedarnos con la banda de señal, se elimina prácticamente el ruido de cuantización fuera de dicha banda.

Puesto que esta técnica apenas afecta a la señal de entrada, su potencia es prácticamente igual. Lo que sí se consigue reducir de manera considerable es la potencia de ruido dentro de la banda deseada, por lo que con este método se aumenta la relación SNR en dicha banda.

Según [4], la mejora que experimenta la relación señal-ruido, debida exclusivamente al moldeado de ruido, en un modulador Sigma-Delta de orden ‘m’ y de tipo paso-baja es igual a ‘6m’ dB.

Se deduce de lo anterior que, se consigue un moldeado de ruido más efectivo cuanto mayor sea el orden del modulador Sigma-Delta. Sin embargo, debido al lazo de realimentación, los moduladores de mayor orden sufren problemas de estabilidad y necesitan una compensación en frecuencia para estabilizar el lazo [7].

**1.2.3. MODELO DE UN MODULADOR  $\Sigma$ - $\Delta$  TIPO LP DE PRIMER ORDEN EN TIEMPO DISCRETO.**

El diagrama de bloques de este modulador es:

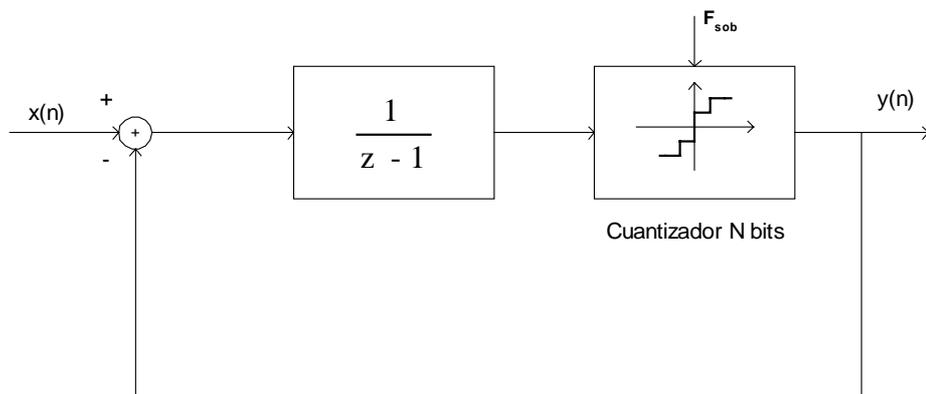


Fig 1.11. Modulador Sigma-Delta tipo LP de primer orden en tiempo discreto.

El cuantizador que se utiliza es sobremuestreado, de frecuencia  $F_{sob}$ ; es decir, toma el valor que hay en su entrada cada  $T_{sob} (=1/ F_{sob})$ .

Para hacer la descripción del comportamiento de este tipo de modulador supondremos un cuantizador de N bits. Sin embargo, debido a razonamientos anteriores, y como se verá más adelante, la mayoría de ellos suele utilizar cuantizador de 1 bit.

Nos detendremos en su descripción en el dominio de la frecuencia porque es aquí donde resulta más intuitivo entender su funcionamiento.

- **Dominio del tiempo.**

La realimentación fuerza al valor medio de la señal de salida del modulador a seguir al valor medio de la señal de entrada.

- **Dominio de la frecuencia.**

Como se trata de un modulador de tipo LP,  $H(z)$  ha de ser de tipo paso-baja. Se ha tomado una aproximación máximamente plana (Butterworth).

Es un modulador de primer orden porque la mayor potencia del denominador de  $H(z)$  es igual a 1. Por lo tanto,  $H(z)$  sólo tiene un polo finito.

Puesto que  $H(z)$  es de tipo LP y sabiendo, por definición, que a la frecuencia del polo la magnitud alcanza su máximo, el polo debe estar en DC ( $\omega = 0$ , o de manera equivalente en  $z = 1$ ).

Ésto explica la forma que tiene  $H(z)$  en el modulador Sigma-Delta de la figura anterior. Esta función de transferencia corresponde a la de un acumulador (o integrador en tiempo discreto).

Una vez definida la forma de  $H(z)$ , se obtienen de (1.9) y (1.10) las expresiones de las funciones de transferencia que afectan a la señal y al ruido en este tipo de modulador Sigma-Delta:

$$S_{TF}(z) = z^{-1} \quad (1.11)$$

$$N_{TF}(z) = 1 - z^{-1} \quad (1.12)$$

$S_{TF}(z)$  corresponde a la función de transferencia de un retraso y  $N_{TF}(z)$  corresponde a la de un diferenciador en tiempo discreto.

Para estudiar la magnitud y la fase de las funciones de transferencia de ruido y de señal, se hace el cambio  $z = e^{jw}$  y  $w = 2\pi FT_{sob} = 2\pi F/F_{sob}$  y después se toma módulo.

- **Estudio de  $S_{TF}(z)$ .**

La magnitud de la señal de entrada al modulador no cambia, puesto que  $|S_{TF}(z)| = 1$  para cualquier frecuencia  $F$  (en Hz).

La que se ve afectada es la fase de la señal, pero como ya se ha dicho, ésto no es importante en aplicaciones de voz.

- **Estudio de  $N_{TF}(z)$ .**

Haciendo el cambio  $z = e^{jw}$  y  $w = 2\pi FT_{sob} = 2\pi F/F_{sob}$ , y tomando módulo, se obtiene[5]:

$$|N_{TF}(F)| = 2 \cdot \operatorname{sen}\left(\frac{\pi F}{F_{sob}}\right) \quad (1.13)$$

Para  $z = 1$  ( $w = F = 0$ ), esta función es igual a cero.

Se observa que crece conforme aumenta la frecuencia y toma su magnitud máxima,  $|N_{TF}(z)| = 2$  para alta frecuencia, es decir, para  $z = -1$  ( $w = \pi = F_{sob}/2$ ).

Se ve como efectivamente en un modulador Sigma-Delta de tipo LP la respuesta en magnitud de la función que afecta al ruido tiene la forma paso-alta. Es decir, el ruido de cuantización se reduce en la banda de interés y aumenta fuera de ésta.

Para saber la pendiente con la que crece el ruido a la salida del modulador, se ve el diagrama de Bode correspondiente a  $N_{TF}(z)$ ; la magnitud crece con pendiente 20 dB/dec, puesto que tiene un cero en el origen ( $w = 0$ ).

- **Estudio de la relación señal a ruido (SNR).**

La potencia de ruido total aumenta (se duplica) respecto a la de un cuantizador sin sobremuestreo y sin moldeado de ruido[12]. Sin embargo, el espectro de ruido ha cambiado de forma y ahora la mayor parte de la potencia de ruido está fuera de la banda de interés.

Puesto que en dicha banda, la potencia de señal permanece inalterada y la de ruido ha disminuido, con este tipo de modulador, la relación señal-ruido aumenta.

La expresión de la relación SNR, en la banda de interés, a la salida de un modulador Sigma-Delta tipo LP de primer orden es [5]:

$$\text{SNR}_{\text{máx}} \text{ (dB)} = 6.02 \cdot N + 1.76 - 5.17 + 30 \cdot \log(\text{OSR}) \quad (1.14)$$

Nota. Se sigue suponiendo un cuantizador uniforme tipo Mid-Riser de N bits y se toma como máxima potencia de señal a la entrada de éste el mismo valor que en los casos anteriores.

Vemos que, en este caso, al utilizar moldeado de ruido, si además sobremuestreamos la señal de entrada al cuantizador, se consigue, cada vez que la OSR se dobla, una mejora de 9 dB/octava (1.5 bits/octava) en la relación señal-ruido. De ellos, 3 dB se deben a la reducción de  $S_e(F)$  debido al sobremuestreo y los 6 dB restantes se deben a la característica de la función de transferencia que afecta al ruido.

- **Cuantizador de 1 bit (dos niveles).**

Debido a que la reducción del ruido de cuantización en el modulador Sigma-Delta es tan efectiva, se puede obtener una salida digital de alta velocidad y alta precisión (SNR elevada) usando un cuantizador de baja resolución (es decir, de un número de bits pequeño). En el caso extremo puedo utilizar un cuantizador de 1 bit (dos niveles de salida).

Se vió, cuando describíamos la técnica de sobremuestreo, que un cuantizador de 1 bit evita problemas de linealidad. Además, se reduce la complejidad del diseño porque puede implementarse utilizando un comparador.

### 1.2.4. MODELO DE UN MODULADOR $\Sigma$ - $\Delta$ TIPO LP DE PRIMER ORDEN EN TIEMPO CONTINUO.

En la siguiente figura se muestra el diagrama de bloques de este modulador:

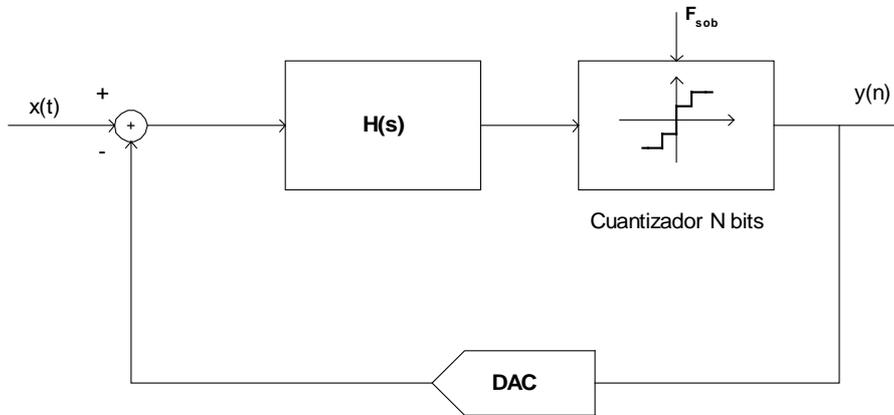


Fig 1.12. Modulador Sigma-Delta tipo LP de primer orden en tiempo continuo.

Vamos a suponer en este apartado que el cuantizador es de 1 bit (dos niveles) con valores de salida '+1' o '-1'.

Según esto, la salida de este modulador será una secuencia de pulsos de periodo constante ( $T_{sob}$ ), mayor que el de la señal de entrada, de duty-cycle fijo (100%) y de amplitud '+1' o '-1'.

El cuantizador ataca a un DAC. Si consideramos el modelo lineal de este tipo de convertidor, supondremos que la entrada son deltas de Dirac y la salida es el resultado de la convolución de estas deltas con la respuesta impulsiva del DAC.

La respuesta impulsiva de este bloque será un pulso rectangular de magnitud la unidad en un intervalo  $(\alpha T_{sob}, \beta T_{sob})$ , es decir:

$$r_{(\alpha, \beta)}(t) = \begin{cases} 1 & \alpha T_{sob} \leq t \leq \beta T_{sob} \\ 0 & \text{e.o.c} \end{cases} \quad (1.15)$$

donde  $0 \leq \alpha \leq \beta \leq 1$ .

En esta definición se incluyen la mayoría de los DAC prácticos.

Nos centraremos en el **DAC tipo RZ (con retorno a cero)** porque es el más usado, ya que reduce la interferencia entre símbolos y los problemas de exceso de retraso que aparecen en los moduladores  $\Sigma$ - $\Delta$  paso-baja en tiempo continuo [4].

En este caso  $(\alpha, \beta) = (0, 0.5)$ . Es decir, para este convertidor el pulso es:

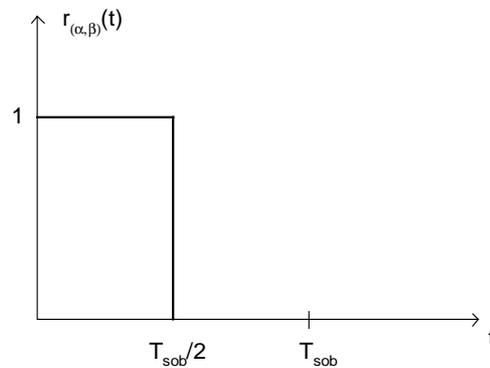


Fig 1.13. Función de transferencia del DAC tipo RZ.

A la salida del DAC, la secuencia digital que se obtiene toma valores '+1', '0', '-1', cada  $T_{sob}/2$ , ya que para obtener la amplitud lo que se hace es multiplicar la salida del cuantizador ('+1', '-1'), por la respuesta impulsiva del DAC. Como ésta última tiene un duty-cycle del 50 %, la señal de salida del DAC retorna a cero siempre cada  $T_{sob}/2$ .

Vemos, por tanto que, este convertidor toma la salida digital y la transforma de nuevo en un tren de pulsos analógicos que se resta a la señal de entrada.

### 1.2.5. DISEÑO DE UN MODULADOR $\Sigma$ - $\Delta$ TIPO LP DE PRIMER ORDEN EN TIEMPO CONTINUO [4].

En este apartado se va a explicar cómo ha de ser  $H(s)$  para que este modelo en tiempo continuo sea equivalente al de tiempo discreto de la figura 1.11.

Se parte del modelo en tiempo continuo visto en el apartado anterior y se modela el cuantizador sobremuestreado con un S&H de frecuencia  $F_{sob}$ , seguido de un cuantizador de N bits. El hacer el muestreo explícito al cuantizador no cambia el comportamiento y sí facilita el cálculo de la equivalencia entre modelos.

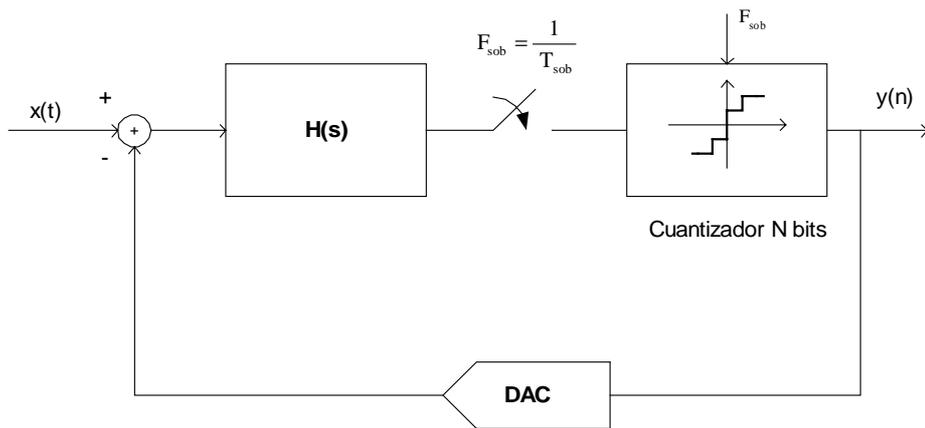


Fig 1.14. Modelo equivalente del Modulador  $\Sigma$ - $\Delta$  tipo LP de primer orden en tiempo continuo.

Según el procedimiento de diseño planteado en [4], para que los modelos del Sigma-Delta en tiempo discreto y en tiempo continuo sean equivalentes, es decir, tengan el mismo comportamiento de moldeado de ruido, se aplica la transformación  $z = e^{sT}$  (invariante al impulso) para obtener los polos del dominio 's' a partir de los del dominio 'z'.

Nota: T es el periodo de muestreo (en nuestro caso,  $T = T_{sob}$ ).

Después, se elige la forma del pulso DAC y de [4] se obtiene la expresión de H(s) equivalente a la H(z) dada.

Para el caso de un DAC de tipo RZ, se obtiene:

$$H(s) = \frac{2}{sT_s} \tag{1.16}$$

Esta función de transferencia H(s) corresponde a un integrador en tiempo continuo, es decir, en el dominio de la frecuencia tiene una característica LP.

### 1.3. MODELOS PROPUESTOS PARA EL AMPLIFICADOR DE AUDIO CLASE D.

En este apartado se presentan los dos modelos de amplificador de audio Clase D que se van a estudiar en este proyecto.

La descripción de cada modelo se corresponde con el diagrama de bloques genérico visto en el apartado 1.1.

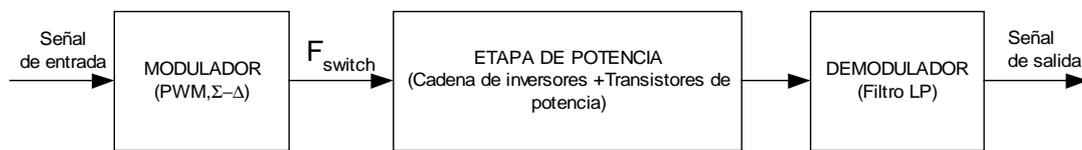


Fig 1.15 .Diagrama de bloques del amplificador de audio Clase D.

Nos centraremos en describir el bloque ‘Modulador’ por ser lo novedoso de este proyecto.

Se razonará el por qué de la elección de valores para los parámetros de diseño relacionados.

#### 1.3.1. SEÑAL DE ENTRADA.

La entrada a un amplificador de audio Clase D se modela como una señal senoidal de frecuencia  $F_{in}$  dentro de la banda de audio, es decir, inferior a 22KHz.

El espectro de una señal senoidal es de tipo paso-baja, con dos componentes espectrales (deltas en  $\pm F_{in}$ ). Se trata pues de una señal limitada en banda a  $\pm F_{in}$ .

La idea de este proyecto es usar el amplificador de Clase D para telefonía móvil. Por lo tanto, la señal de entrada al amplificador será una **señal de voz GSM**.

El espectro de audio GSM tiene como frecuencia superior  $F_0=12\text{KHz}$ . Por tanto, la frecuencia de la señal de entrada ( $F_{in}$ ) ha de estar dentro de esta banda.

En el diseño que utiliza modulación PWM, se aplica una entrada de frecuencia  $F_{in} = 5\text{KHz}$  y amplitud entre 0 y 5V.

Para el que utiliza un modulador Sigma-Delta, la entrada tomada en el modelo es de la misma frecuencia pero la amplitud varía entre  $-1\text{V}$  y  $+1\text{V}$ .

### 1.3.2. MODULADOR.

La diferencia fundamental entre los dos esquemas que se proponen en este proyecto para el amplificador Clase D radica en el bloque ‘Modulador’.

Además de estudiar si la técnica Sigma-Delta es viable, se realiza también el diseño e implementación del esquema que usa modulación PWM.

#### 1.3.2.1. MODULADOR PWM.

El esquema que se va a utilizar en este proyecto para implementar el modulador PWM está sacado directamente de la descripción teórica que se ha hecho de esta técnica de modulación en el apartado 1.1.

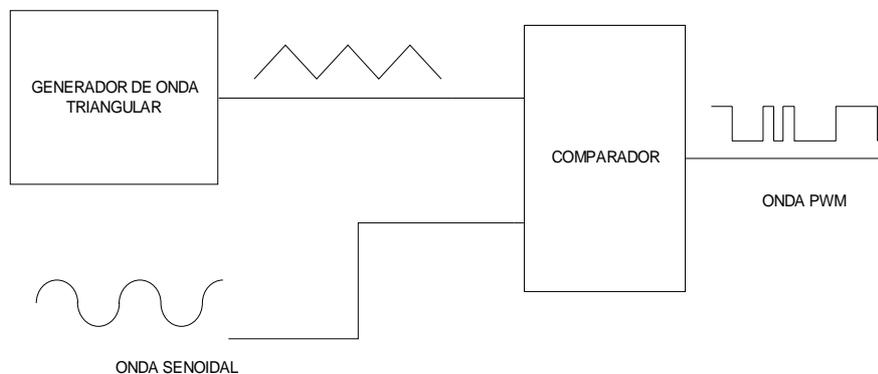


Fig 1.16. Diagrama de bloques del modulador PWM.

Lo primero que se va a decidir son los parámetros que definen la onda triangular (frecuencia y amplitud).

Sabemos que la frecuencia de la señal PWM es igual a la frecuencia de la portadora ( $F_m$ ).

La señal PWM que se utiliza en un amplificador de clase D ha de tener una frecuencia elevada, puesto que a esa frecuencia es a la que conmutan los transistores de potencia ( $F_{\text{switch}}$ ).

Sin embargo, sabemos que una alta frecuencia de funcionamiento incrementa las pérdidas de conmutación y por tanto reduce la eficiencia del amplificador. Además, también se incrementan las EMI/RFI radiadas [10].

Por otro lado, si recordamos el espectro de una señal PWM, el que esta frecuencia sea pequeña hace más difícil el diseño del filtro que se necesita para eliminarla a ella y a la banda de componentes que la rodean. Nos interesará además que el filtro deje pasar el menor número de armónicos de  $F_m$  que sea posible porque así disminuye la distorsión (THD) a la salida del amplificador.

Es por ello que a la hora de elegir la frecuencia de la señal PWM, tendremos que tener en cuenta todos estos factores.

De [13] se toma que la frecuencia que se necesita para la señal PWM en un amplificador de audio Clase D ha de ser al menos 25 veces mayor que el ancho de banda de la señal que está siendo reproducida.

Si suponemos una señal en el límite de la banda de GSM (caso más desfavorable), la frecuencia  $F_m$  ha de cumplir la siguiente relación:

$$F_m \geq 25 \cdot F_o = 0.3\text{MHz} \quad (1.17)$$

Se ha tomado  $F_m = 0.5 \text{ MHz}$ . Éste es además el valor de  $F_{\text{switch}}$  para el esquema de amplificador que incluye este tipo de modulación.

Por otro lado, la amplitud de la moduladora se toma igual a la de la onda senoidal, es decir, entre 0 y 5V.

### 1.3.2.2. MODULADOR SIGMA\_DELTA.

Puesto que la idea del proyecto es poder utilizar la modulación Sigma-Delta en un amplificador de Clase D para telefonía móvil, la señal de entrada a este tipo de modulador será una **señal de voz GSM**.

La banda de interés en este caso está limitada superiormente por  $F_o = 12 \text{ KHz}$ .

Como ya sabemos, una señal de entrada al amplificador de frecuencia igual al límite superior de dicho espectro debe muestrearse como mínimo a la frecuencia  $F_n = 24 \text{ KHz}$ .

En este proyecto se va a utilizar un **modulador tipo paso-baja de primer orden**.

Se elige de tipo paso-baja porque como se explicó en el apartado 1.2.2, el moldeado de ruido está relacionado con el tipo de señal a la entrada del modulador, la cual acabamos de ver que es de tipo LP.

De [5] sabemos que el orden del filtro analógico paso-baja debería ser al menos un orden más alto que el del modulador  $\Sigma\text{-}\Delta$ , para que de este modo el ruido de cuantización a la salida del filtro tenga un ancho de banda similar al del filtro analógico ( $F_o$ ).

Como veremos, el filtro LP en el amplificador Clase D se toma del mismo orden en ambos diseños; es decir, el filtro es de segundo orden (tipo RLC). Es por ello por lo que el modulador se ha tomado de primer orden.

El inconveniente de este tipo de moduladores es una presencia excesiva de tonos en el espectro de salida.

Existen métodos en la bibliografía que indican cómo eliminarlos del espectro. Sin embargo, en este proyecto no nos centraremos en ellos porque lo que nos interesa es ver si este tipo de modulación es viable para un amplificador de audio Clase D.

Como se vió en el apartado 1.2, los moduladores Sigma-Delta utilizan un **cuantizador sobremuestreado** (tanto en el modelo en tiempo discreto como en el de tiempo continuo).

El cuantizador que vamos a emplear es de  $N$  igual a 1 bit (dos niveles) de tipo Mid-Riser con  $\Delta=2$ . Por tanto, a la salida del modulador se obtiene una señal digital de amplitud '+1' y '-1'.

La señal analógica de entrada al cuantizador se muestrea a una frecuencia ( $F_s = F_{sob}$ ) mayor que la de Nyquist. De la expresión (1.6) podemos despejar  $F_{sob}$ .

$$F_{sob} = M \cdot F_n \quad (1.18)$$

Se necesita calcular el valor de la relación de sobremuestreo ( $M=OSR$ ).

Para ello se utiliza la expresión (1.14) que relaciona el Rango Dinámico ( $SNR_{m\acute{a}x}$ ) de un Modulador Sigma-Delta de primer orden tipo LP con OSR.

$$SNR_{m\acute{a}x} \text{ (dB)} = 6.02 \cdot N + 1.76 - 5.17 + 30 \cdot \log(OSR) \quad (1.19)$$

Si se desea que el rango dinámico del modulador sea  $SNR_{m\acute{a}x} = 55$  dB y  $N=1$  bit, resulta  $M=88$ . Sustituyendo todos los datos en la expresión (1.18), se obtiene que la frecuencia de sobremuestreo ha de ser  $F_{sob} = 2.11$  MHz. Éste es también el valor de  $F_{switch}$  para el esquema de amplificador que incluye este tipo de modulación.

Se observa que la frecuencia de conmutación en este caso también cumple la relación (1.17); concretamente,  $F_{switch}$  es aproximadamente dos décadas mayor que el límite superior de la banda de interés ( $F_o$ ).

- **Modelo Sigma-Delta en tiempo continuo.**

El modelo que se va a utilizar en el proyecto se muestra en la figura 1.17.

Este modelo procede del teórico visto en el apartado 1.2.5 que se particulariza para un cuantizador de 1 bit.

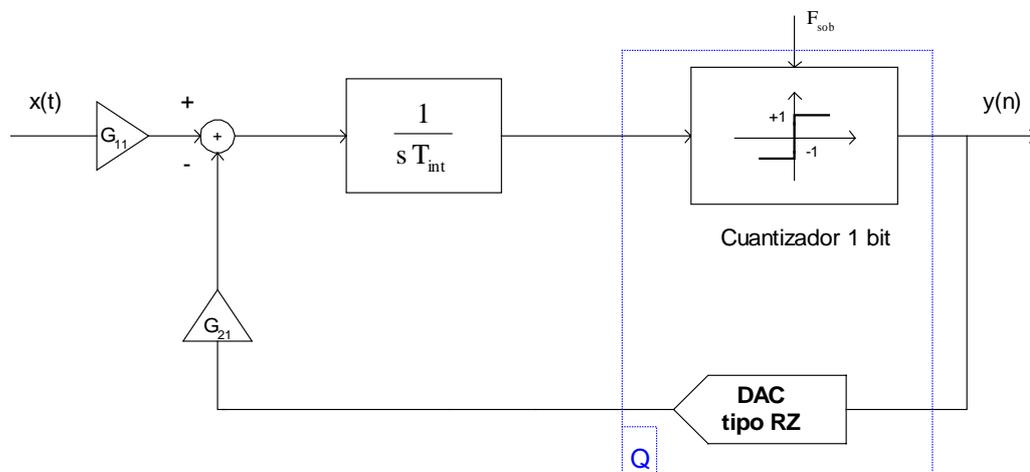


Fig.1.17. Modelo usado para la implementación de un modulador Sigma-Delta tipo LP de primer orden.

Sin embargo, en este modelo el integrador tiene una constante de tiempo igual a  $T_{int} < T_{sob}$ , para que a la hora de implementar físicamente el integrador podamos emplear un opamp con unas especificaciones en frecuencia ( $\Delta_o$ , ugf) que hagan que sea fácilmente realizable.

Los valores de  $G_{11}$ ,  $G_{21}$  se ajustarán al rango dinámico de la señal de entrada al modulador.

- **Modelo Sigma-Delta en tiempo discreto.**

Se toma el modelo teórico del apartado 1.2.3 particularizado para un cuantizador de 1 bit.

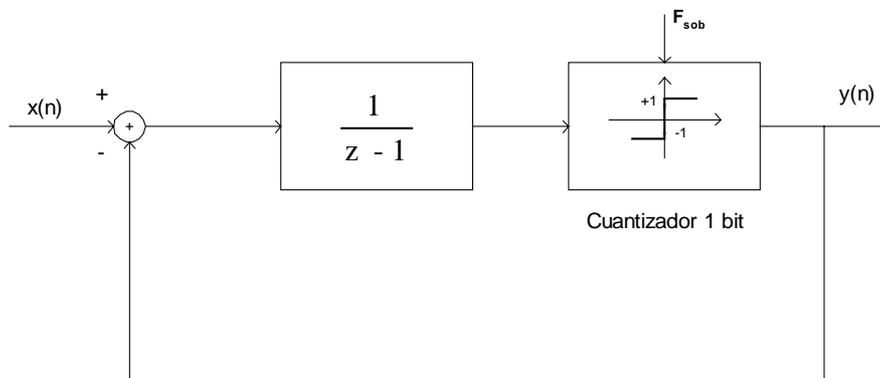


Fig 1.18. Modelo en tiempo discreto del Modulador Sigma-Delta usado en diseño del amplificador de audio Clase D.

### 1.3.3. ETAPA DE POTENCIA.

La etapa de potencia se toma igual para ambos diseños del amplificador Clase D. El cálculo del número adecuado de inversores y de las dimensiones de los transistores que los forman se verá detalladamente en el capítulo 4 (CADENCE) porque como veremos no será necesario incluirla en el modelo que se haga en Matlab.

### 1.3.4. FILTRO ANALÓGICO LP.

El filtro analógico tipo LP que se va a emplear en ambos diseños del amplificador es un Butterworth de segundo orden.

### ▪ Aproximación Butterworth

Se dedica el capítulo 2 de la memoria al estudio teórico y diseño de este filtro. Allí se razonará por qué se elige la aproximación Butterworth.

### ▪ Filtro de segundo orden

Los amplificadores de audio Clase D que existen en la actualidad utilizan modulación PWM. En este caso el espectro tiene el ruido muy localizado a alta frecuencia por lo que utilizan un filtro LP de orden 2.

Se pretende ver con este proyecto si es viable emplear modulación Sigma-Delta en el amplificador, por lo que nuestra solución no puede ser más compleja en cuanto al filtro.

### 1.3.5. ALTAVOZ.

Este proyecto se centra en el diseño de un amplificador de clase D para aplicaciones de audio.

Para modelar eléctricamente el altavoz se considera una resistencia en paralelo con una capacidad, tal y como se muestra en la figura.

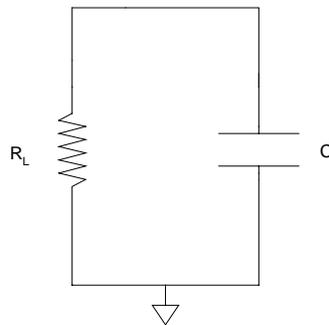


Fig 1.19. Modelo eléctrico del altavoz.

El valor que se va a tomar para  $R_L$  es  $8\Omega$ .

En aplicaciones de baja potencia, se emplea el altavoz como parte de la topología del filtro LP que se acaba de describir en el punto anterior. Ésto es lo que se va a hacer en este proyecto.

## CAPÍTULO 2

# DISEÑO DE FILTROS

### 2.1. DESARROLLO TEÓRICO.

Los filtros son sistemas que procesan una señal de entrada alterando su espectro de magnitud y/o fase.

Se representan en el dominio de la frecuencia por su función de transferencia,  $H(s)$ .

Conocida la respuesta en magnitud y en fase deseadas (especificaciones), tendremos que encontrar la  $H(s)$  adecuada.

Sin embargo, es bastante complicado encontrar un sistema que las cumpla exactamente, por lo que buscaremos una función de transferencia que lo haga lo mejor posible dentro de unos ciertos márgenes de tolerancia (aproximación).

En el diseño nos centraremos en satisfacer las restricciones en magnitud. Si las de fase no se cumplen, la solución sería utilizar sistemas pasa-todo. No nos detendremos en este último punto porque en nuestra aplicación (voz) el valor de la fase no nos afecta.

Una vez conocida  $H(s)$ , habrá que realizar físicamente un sistema que la implemente.

#### 2.1.1. FILTROS LP.

El diseño de filtros analógicos utilizando las aproximaciones clásicas se basa en establecer una serie de restricciones (especificaciones), en forma de plantilla, sobre la magnitud de la respuesta en frecuencia.

En la figura 2.1 se muestra el diagrama de magnitud (plantilla) para el caso de un filtro analógico paso baja (LP).

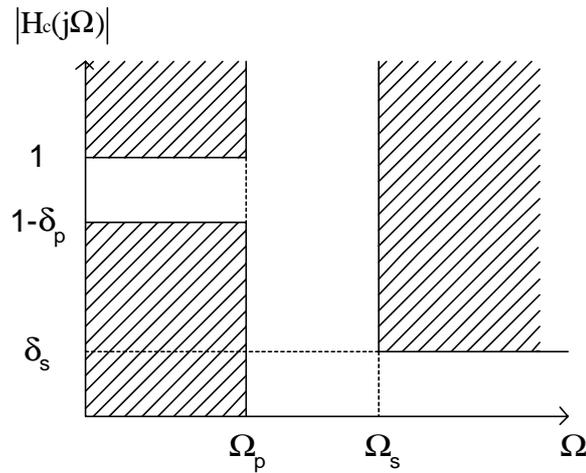


Fig.2.1. Diagrama de magnitud de un filtro LP.

$\Omega$  frecuencia analógica(rad/s).

$\delta_p$  rizado en la banda de paso (escala lineal).

$\delta_s$  rizado en la banda de rechazo (escala lineal).

$\Omega_p$  frecuencia superior de la banda de paso (rad/s).

$\Omega_s$  frecuencia inferior de la banda de rechazo (rad/s).

En la banda de paso (BP), la respuesta en frecuencia debe satisfacer:

$$1 \geq |H_c(j\Omega)| \geq 1 - \delta_p \quad |\Omega| \leq \Omega_p$$

Y en la banda de rechazo(BR):

$$|H_c(j\Omega)| \leq \delta_s \quad |\Omega| \geq \Omega_s$$

El intervalo  $\Omega_p \leq \Omega \leq \Omega_s$  es la banda de transición.

Las regiones sombreadas son las zonas prohibidas.

Sin embargo, es muy común trabajar con las especificaciones en unidades logarítmicas (dB). Para ello, se toman las especificaciones de magnitud en escala lineal y se aplica el operador  $20 \log(\ )$ .

Se llama  $H_{\text{máx}}$  a la magnitud en dB que se corresponde con  $\delta_s$  y  $H_{\text{mín}}$  a la que se corresponde con  $\delta_p$ .

Son varias las aproximaciones de especificaciones paso de baja que existen. Nos centraremos en la de Butterworth porque es la que se va a utilizar en este proyecto.

Un filtro LP diseñado utilizando la **aproximación Butterworth** se caracteriza porque la magnitud de su respuesta en frecuencia es máximamente plana tanto en la banda de paso como en la de rechazo(ver figura 2.2).

Ésto implica que todos sus ceros (banda de rechazo) están en el infinito y todos sus polos (banda de paso) serán complejos conjugados.

Otras propiedades de esta aproximación LP son:

- 1) El máximo de la magnitud se alcanza en  $\Omega = 0$  y su valor es  $|H_c(j\Omega)| = 1$  (0 dB).
- 2) La frecuencia de corte de 3-dB ( $\Omega_o$ ) es aquella en la que la magnitud vale 0.707 (la magnitud ha caído 3 dB respecto al máximo).
- 3) Para frecuencias mucho mayores que  $\Omega_o$ , la característica en magnitud decrece con pendiente de  $20 N$  dB/decada (  $N$ , orden de la aproximación).
- 4) La función de transferencia de un filtro LP tipo Butterworth de orden  $N$  tiene la forma:

$$H(s)_{\text{BUT}} = \prod_{k=0}^{N-1} \frac{-s_k}{s - s_k}$$

Para el caso particular de un filtro Butterworth de segundo orden, la expresión sería:

$$H(s)_{\text{BUT orden 2}} = \frac{A}{s^2 + Bs + A}$$

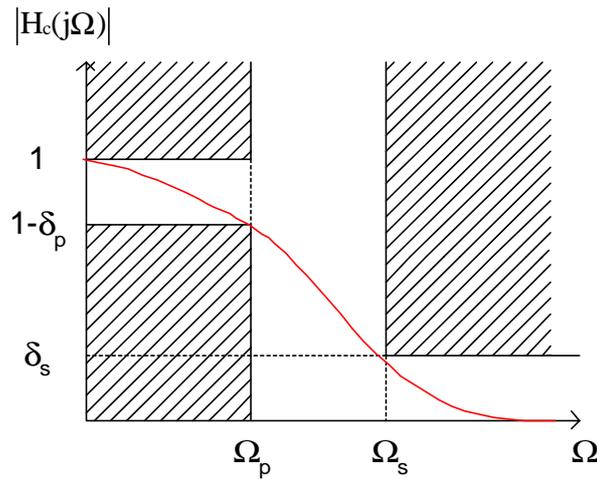


Fig.2.2. Diagrama de magnitud de un filtro LP aproximación tipo Butterworth.

### 2.1.2. SÍNTESIS DE FILTROS LP.

- **Funciones de filtrado.**

Una vez conocida la función de transferencia del filtro que cumple nuestras especificaciones, para poder implementarlo se usan las funciones de filtrado.

Las más simples son las funciones bicuadráticas (orden 2). Se utilizarán como bloques básicos en el diseño de filtros de mayor orden.

$$H(s) = \frac{a_2 s^2 + a_1 s + a_0}{b_2 s^2 + b_1 s + b_0} \quad (2.1)$$

La **función (o sección) biquadrática paso de baja** es un caso particular de la expresión anterior ( $a_1=0$ ,  $a_2=0$ ) que puede representarse como:

$$H(s) = \frac{\Omega_0^2}{s^2 + \frac{\Omega_0}{Q}s + \Omega_0^2} \quad (2.2)$$

O de manera análoga:

$$H(s) = \frac{\Omega_0^2}{s^2 + (2\Omega_0\xi)s + \Omega_0^2} \quad (2.3)$$

La equivalencia entre las dos se debe a la relación  $Q = \frac{1}{2\xi}$  (2.4).

Se observa en ambas expresiones que la ganancia para la frecuencia  $\Omega = 0$  ( $s=j\Omega$ ) es la unidad. Es decir, están normalizadas en ganancia.

Si estudiamos el diagrama polo-cero correspondiente a la sección biquadrática paso-baja:

-Cero doble en el infinito.

-Dos polos complejos conjugados en el semiplano izquierdo 's'(sistema estable) situados en:

$$s_{1,2} = \frac{-\Omega_0}{2Q} \pm j \frac{\Omega_0}{2Q} \sqrt{4Q^2 - 1} \quad (2.5)$$

Para implementar un **filtro LP tipo Butterworth de segundo orden**, se observa de la comparación de su función de transferencia con la expresión (2.3), que necesito utilizar únicamente una función de filtrado LP. Además, para esta aproximación se cumple que el valor de  $\xi$  en (2.3) es fijo e igual a 0.707, lo que nos lleva a un valor fijo de Q en la expresión (2.4) igual a 0.707.

- **Síntesis pasiva.**

Nos centraremos en la síntesis pasiva de la función de filtrado LP anterior por ser la que necesito para implementar un filtro LP Butterworth de segundo orden.

Para conseguirlo se utilizan los llamados **circuitos sintonizados LP**. Aunque son varias las topologías que nos servirían para este propósito, lo visto sobre el altavoz en el apartado 1.3.5 nos lleva a pensar que el circuito más adecuado a nuestra aplicación es el que se muestra en la siguiente figura.

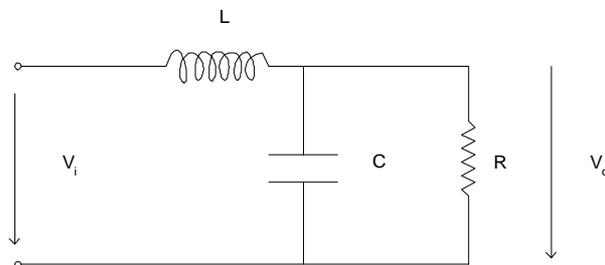


Fig.2.3. Circuito sintonizado LP.

La función de transferencia de este filtro puede expresarse como:

$$H(s)_{RLC} = \frac{V_o}{V_i} = \frac{\Omega_0^2}{s^2 + \Omega_b s + \Omega_0^2} \quad (2.6)$$

donde  $\Omega_0 = \frac{1}{\sqrt{LC}}$  (*rad / s*) es la frecuencia de resonancia del filtro.

y  $\Omega_b = \frac{1}{RC}$  (*rad / s*)

Conviene hacer notar que los coeficientes de este filtro están dados en rad/s.

El factor de calidad de este circuito:

$$Q = R \sqrt{\frac{C}{L}} \quad (2.7)$$

Este filtro se caracteriza porque el máximo de su respuesta en magnitud se alcanza a la frecuencia de resonancia y su valor es  $|H(j\Omega_0)| = Q$ .

## 2.2. DISEÑO DEL FILTRO LP DE UN AMPLIFICADOR DE AUDIO CLASE D.

Como ya se dijo en el anterior capítulo, el filtro más adecuado para un amplificador de audio clase D es un LP tipo Butterworth de segundo orden.

En este apartado se razonará en primer lugar por qué se ha elegido la aproximación Butterworth frente a otras aproximaciones de tipo LP. A continuación se describirá el método a seguir para obtener  $H(s)$  y la implementación pasiva del filtro. Por último, se aplicará todo lo anterior a nuestro proyecto.

### 2.2.1. APROXIMACIÓN BUTTERWORTH.

De [10] sabemos que el filtro ha de tener la banda de paso máximamente plana (MP). Esta característica evita la distorsión de magnitud y mejora el rango dinámico (SNR) del sistema.

Son varias las aproximaciones de especificaciones paso baja que tienen la banda de paso MP: Chebyshev inverso, Bessel, Butterworth.

Se comprueba que, para el mismo orden del filtro, las aproximaciones que se implementan con un menor número de elementos (menos espacio) son las de Bessel y Butterworth.

El filtro de Bessel se caracteriza, además, por proporcionar fase lineal, lo que implica que no exista distorsión de fase.

En nuestra aplicación (voz), no será importante la fase pero sí deseamos cumplir determinadas especificaciones de magnitud.

Aunque ambas tienen una respuesta prácticamente plana en la banda de paso, se elige la de Butterworth porque en ella esta característica es más acentuada.

### **2.2.2. PROCEDIMIENTO.**

- **Cálculo de  $H(s)$ .**

Dadas las especificaciones en magnitud deseadas, se busca obtener la función de transferencia  $H(s)$ . Aunque se puede realizar este cálculo “a mano”, existen varios programas de ordenador que facilitan enormemente esta tarea (FILTER, NAF2, etc...).

En este proyecto se utiliza el programa NAF2 (MS-DOS).

En el menú principal entramos en Approximation. Se despliega un nuevo menú en el que habrá que especificar los siguientes datos:

-Type of filter: Low-pass.

-Approximation + Specifications: elegimos Butterworth y aparece una pantalla en la que se piden los valores que definen el diagrama de magnitud ( $H_{\text{máx}}$ ,  $H_{\text{mín}}$ ).

La magnitud ha de venir dada en dB.

Los límites de las bandas han de darse en Hz.

Nota. Recordar que  $\Omega = 2\pi F$  (donde que  $\Omega$  está dada en rad/s y  $F$  está dada en Hz).

-Result Coefficients: en este nuevo menú podemos leer pulsando ‘Coefficients a(i), b(i)’ los coeficientes en ‘s’ que definen el numerador y el denominador de la función de transferencia buscada.

También podemos obtener el factor de calidad (Q) y la frecuencia de resonancia,  $F_0$ (Hz) de cada sección de segundo orden que componga el filtro.

Para probar la  $H(s)$  calculada se añade el bloque “filtro LP analógico Butterworth” en el modelo que se hará en Matlab para cada diseño del amplificador. En su cuadro de diálogo se introducen los coeficientes que definen a esta función de transferencia.

- **Síntesis pasiva del filtro (RLC).**

En este apartado se describe cómo se calculan los valores del circuito RLC que implementará la función de transferencia  $H(s)$  obtenida.

La función de transferencia resultado del programa NAF2 tendrá la forma de una función de filtrado LP bicuadrática:

$$H(s) = \frac{F_0^2}{s^2 + F_1 s + F_0^2} \quad (2.8)$$

Está normalizada en ganancia y desnormalizada en frecuencia y los coeficientes vienen dados en Hz.

Si comparamos la expresión anterior con la del circuito elegido para implementarla (exp 2.6), tendremos que pasar antes los coeficientes obtenidos por NAF2 a rad/s. Se utiliza para ello la expresión  $\Omega = 2\pi F$  (donde  $\Omega$  está dada en rad/s y  $F$  está dada en Hz).

De la comparación se obtienen las ecuaciones:

$$\frac{1}{LC} = 4\pi^2 \cdot F_0^2 \quad (2.9)$$

$$\frac{1}{RC} = 2\pi \cdot F_1 \quad (2.10)$$

Tomando  $R = 8 \Omega$  (altavoz), se despejan los valores de  $L$  y  $C$ .

### 2.2.2. PRUEBAS Y RESULTADOS.

Como sabemos, hay que decidir en primer lugar las especificaciones en magnitud que ha de cumplir el filtro a utilizar en ambos diseños del amplificador.

Puesto que deseamos recuperar a la salida del filtro la señal senoidal (frecuencia  $F_{in}$ ), hemos de fijarnos en el espectro en magnitud que existe a la entrada del filtro LP para elegir las especificaciones que ha de cumplir éste.

Sabemos que a la salida de la cadena de inversores el espectro en magnitud es igual al que existe a la entrada de ésta. Por lo tanto, habrá que fijarse en el espectro de la señal que hay a la salida de cada modulador.

Si nos fijamos en ambos diseños, se ve que el límite de la banda de paso,  $\Omega_p (F_p)$ , ha de escogerse de forma que ésta incluya a la señal de interés, es decir,  $F_p \geq 5 \text{ KHz}$ .

Además, se ha de elegir la frecuencia inferior de la banda de rechazo,  $\Omega_s$  ( $F_s$ ), de forma que no se deje pasar la frecuencia moduladora ( $F_m$ ) y los armónicos que aparecen alrededor de ella en el espectro de la señal PWM.

Por otro lado, como deseamos que el filtro sea Butterworth de segundo orden, la relación entre  $\Omega_p$  y  $\Omega_s$  ha de ser tal que se obtenga una banda de transición grande.

Como ya se ha dicho al ver el procedimiento de diseño, tras elegir las especificaciones se calcula la función de transferencia  $H(s)$  con el programa NAF2 y se prueba en Matlab.

Se han probado varios filtros en ambos diseños de amplificador y se ha observado que en el caso PWM todos proporcionaban resultados muy parecidos.

Sin embargo, en el caso de la modulación SIGMA\_DELTA, los resultados variaban dependiendo de las especificaciones elegidas. Ésto se debe a que en el espectro del modulador LP de primer orden aparecen una serie de armónicos.

Se intentará al diseñar el filtro que  $\Omega_p$  sea tal que deje pasar el menor número de armónicos posible y que los que entren sea de la menor magnitud posible.

Por lo tanto, será el filtro que dé mejores resultados en el esquema que usa modulación Sigma-Delta el que se utilizará en ambos diseños. Las especificaciones de este filtro son:

$$F_p = 6 \text{ KHz.}$$

$$F_s = 0.4 \text{ MHz.}$$

$$H_{\text{máx}} = -3 \text{ dB.}$$

$$H_{\text{mín}} = -60 \text{ dB.}$$

La función de transferencia  $H(s)$  correspondiente a estas especificaciones (NAF2) es la siguiente.

$$H(s) = \frac{3.60856 \cdot 10^7}{s^2 + 8.49536 \cdot 10^3 s + 3.60856 \cdot 10^7}$$

El cálculo de la síntesis pasiva del filtro RLC que implementa esta función de transferencia se verá en el capítulo de CADENCE porque será allí donde se utilicen los valores de R, L y C.

## CAPÍTULO 3

# MATLAB

### 3.1. INTRODUCCIÓN.

En el primer capítulo se han descrito y modelado sobre el papel dos métodos para la construcción de un amplificador de audio Clase D.

Queremos estudiar y compararlos para ver si el método propuesto es una alternativa al que se utiliza actualmente.

Una forma de ver esto es crear un modelo para cada idea, simularlo y ver qué ocurre.

Para ello se ha usado el paquete Simulink, debido a sus múltiples ventajas.

#### **Descripción.**

Simulink es un paquete de programas que pertenece a la familia de productos Matlab y que es usado para modelar, simular y analizar sistemas dinámicos.

Gracias a su interfaz gráfica podemos construir un modelo como un diagrama de bloques sin tener que profundizar a priori en la realización física.

También podemos simularlo y con los visores (Scope, Power Spectral Density, etc...) obtener resultados gráficos mientras la simulación está aún activa.

Se logra con esta herramienta una exactitud razonable y una velocidad de simulación rápida.

Los resultados de la simulación pueden ser enviados a bloques Workspace para poder ser procesados y visualizados tras la simulación (pej. calcular FFT).

Aprovecharemos estas características de Simulink para ver, antes de implementarlo, si el modelo planteado se ajusta a lo que queremos que haga nuestro sistema.

### 3.2. DESCRIPCIÓN DE MODELOS EN MATLAB.

#### 3.2.1. MODULADOR PWM.

Se parte del modelo visto en el apartado 1.3.2.1 para el modulador PWM.

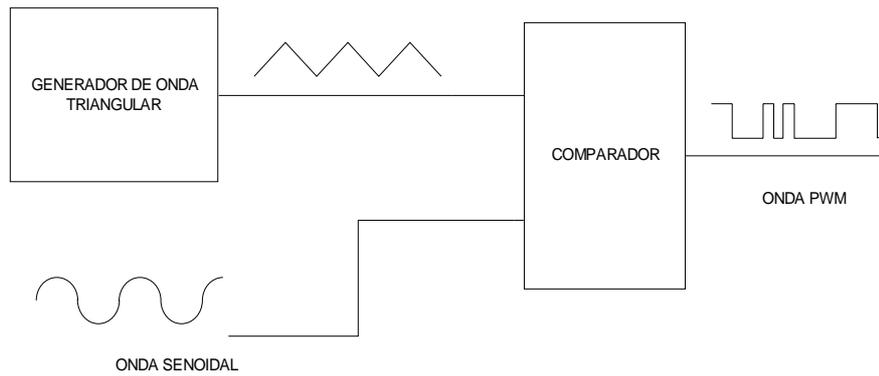


Fig 3.1. Diagrama de bloques del modulador PWM.

El esquema del modelo generado en Matlab es el siguiente.

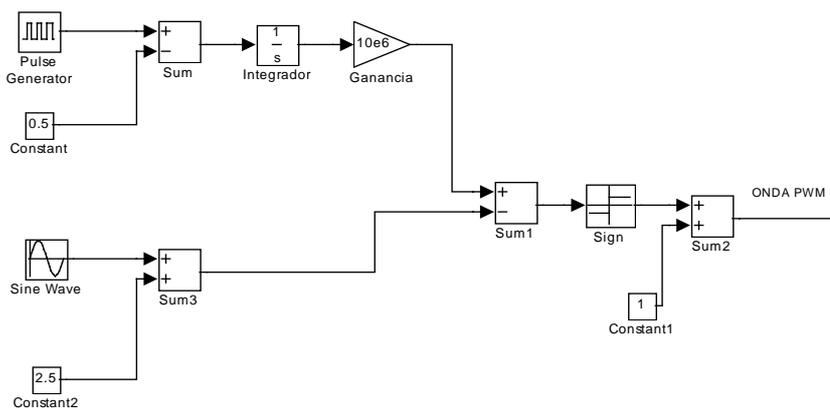


Fig.3.2. Modelo simulink del modulador PWM.

La **señal de audio** a la entrada se modela con una señal senoidal ( Sine Wave) de frecuencia  $F_{in} = 5 \text{ KHz}$  ( $T_{in} = 0.2 \text{ ms}$ ) y amplitud  $V_{pp} = 5V$ .

En el cuadro de diálogo para el bloque ‘Sine Wave’ se pide la frecuencia en rad/s por lo que aplicamos la expresión  $\Omega = 2\pi F$  (donde  $\Omega$  está dada en rad/s y  $F$  está dada en Hz).

Se obtiene  $\Omega_{in} = 31416 \text{ rad/s} = 0.03 \cdot 10^6 \text{ rad/s}$ .

La amplitud que se ha de especificar es la de pico, es decir,  $V_p = 2.5V$ .

Los demás parámetros (fase, sample time) toman valor nulo.

Se suma a esta señal la constante 2.5 para conseguir que su amplitud vaya entre 0 y 5V.

La **señal moduladora** que utilizaremos será una onda triangular de amplitud  $V_p = 5V$  sin nivel de continua y de frecuencia  $F_{rampa} = 0.5 \text{ MHz}$  ( $T_{rampa} = 2 \mu\text{s}$ ).

Para generarla se utiliza un tren de pulsos (Pulse Generator) de amplitud  $V_{pp} = 1V$  y de frecuencia igual a la de la onda triangular deseada. En el cuadro de diálogo de este bloque se pide la frecuencia en rad/s, es decir,  $\Omega_{rampa} = 3141593 \text{ rad/s} = 3 \cdot 10^6 \text{ rad/s}$ . Se toma un duty- cycle igual al 50 % del periodo y el tiempo de inicio igual a 0 sgs.

Puesto que la idea es integrar este tren de pulsos para obtener la señal triangular, necesitamos darle un nivel de continua nulo para que la rampa empiece en 0V.

Añadimos para este fin un bloque sumador (Sum) que resta al tren el valor 0.5 ( bloque Constant de valor 0.5).

El tren resultante (que varía en amplitud entre 0.5V y -0.5V) se integra (bloque Integrador) y el resultado es una onda triangular. Sin embargo, la amplitud máxima es  $0.5 \cdot 10^{-6} V$  ( $0.5 * (T_{rampa} / 2)$ ) y nosotros deseamos que tenga 5V.

Por este motivo, será necesario añadir un bloque de ganancia igual a  $10 \cdot 10^6$ .

Tal y como se vió en el primer capítulo la señal modulada PWM se obtiene al comparar la señal de audio con el tren triangular. Es decir:

$$V_d = \begin{cases} '1' & \text{si } V_{in} < V_m \\ '0' & \text{si } V_{in} > V_m \end{cases} \quad (3.1)$$

O de forma equivalente:

$$V_d = \begin{cases} '1' & \text{si } V_m - V_{in} > 0 \\ '0' & \text{si } V_m - V_{in} < 0 \end{cases} \quad (3.2)$$

Ésto nos servirá para modelar el **comparador** en Simulink.

En primer lugar se calcula la diferencia de ambas señales y al resultado se le aplica la siguiente operación:

$$V_d = \begin{cases} 2 & \text{si } V_m - V_{in} > 0 \\ 0 & \text{si } V_m - V_{in} < 0 \end{cases} \quad (3.3)$$

Para modelar la operación anterior tomamos un bloque Sign (función signo) cuya característica es:

$$V_{out} = \begin{cases} 1 & \text{si } V_{ent} > 0 \\ -1 & \text{si } V_{ent} < 0 \end{cases} \quad (3.4)$$

Donde 'Vent' es la tensión a la entrada de la función signo y 'Vout' la tensión a su salida.

Puesto que deseamos obtener una señal digital ('0','1') tal y como se especifica en (3.1), sumamos a la característica anterior la constante 1.

Se colocan visores (DSP, Scope) cuyos parámetros se ajustan a los de la señal que se busca obtener.

### 3.2.2. MODULADOR SIGMA-DELTA DE PRIMER ORDEN TIPO LP EN TIEMPO CONTINUO.

Se parte del modelo en tiempo continuo visto en el apartado 1.3.2.2 del modulador Sigma-Delta que se va a usar para el amplificador Clase D.

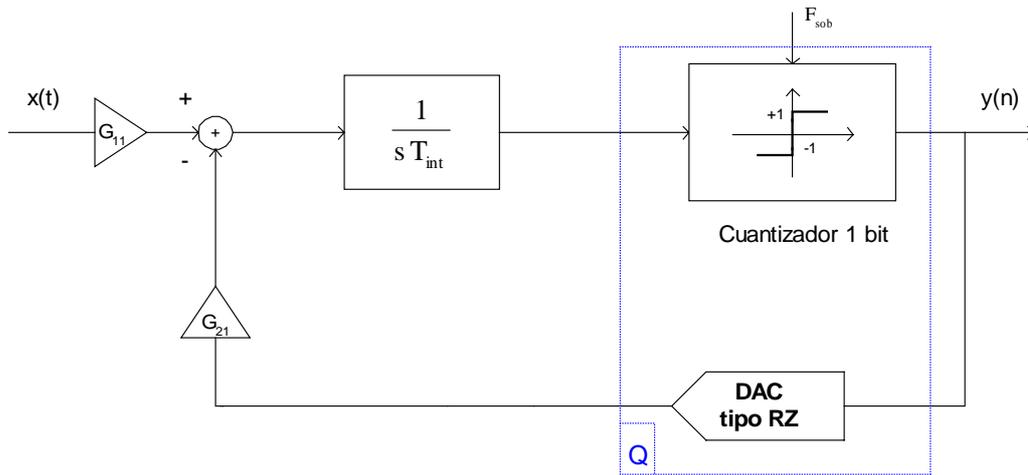


Fig.3.3. Modelo en tiempo continuo usado para la implementación de un modulador Sigma-Delta tipo LP de primer orden.

El fichero utilizado en Simulink para implementarlo se llama “cadence\_mod\_memo.mdl”.

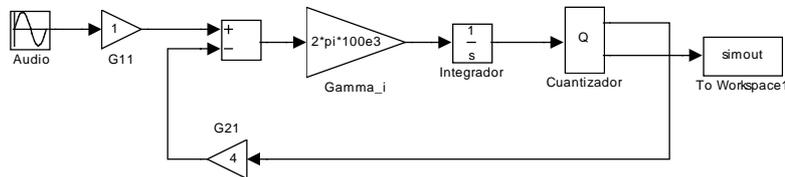


Fig.3.4. Modelo simulink del modulador sigma-delta de primer orden tipo LP

La **señal de audio** a la entrada tendrá las mismas características que en el esquema PWM salvo la amplitud que en este caso valdrá  $V_{pp}= 2V$ .

En el cuadro de diálogo para el bloque Sine Wave, la amplitud que he de especificar es la de pico, es decir  $V_p= 1V$ .

La función de transferencia del **integrador en tiempo continuo** que utilizamos es:

$$H_{int}(s) = \frac{1}{T_{int} \cdot s} = \frac{\Omega_{int}}{s} \quad (3.5)$$

Para conseguirla en Simulink lo que hacemos es utilizar un bloque integrador en tiempo continuo '1/s' junto con un bloque de ganancia de valor ,  $\Omega_{int} = 2\pi \cdot F_{int}$  (rad/s).

Se ha elegido como ancho de banda del integrador  $F_{int} = 100\text{KHz}$ .

A la salida conectamos un bloque que se ha llamado **cuantizador (Q)**.

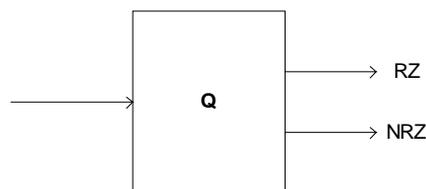


Fig.3.5. Bloque 'cuantizador' de Simulink.

El cuantizador genera dos salidas digitales. La salida superior tiene formato POLAR RZ (con retorno a cero cada  $T_s/2$ ) y la inferior es POLAR NRZ (sin retorno a cero).

Consta internamente de una función Signo a la que le llega una muestra de la señal de entrada cada  $T_s$ . A su salida se obtiene una señal NRZ de periodo  $T_s$  de amplitud '+1' y '-1'.

A partir de esta señal, el bloque 'Q' genera la señal RZ internamente gracias al uso de un bloque 'Switch'.

En el cuadro de diálogo del bloque 'Q' se especifica  $T_s$  igual a  $T_{sob}$ .

Con el bloque ‘cuantizador’(Q) se está implementando la cadena del modelo del sigma-delta en tiempo continuo formada por el cuantizador de un bit sobremuestreado a  $F_{sob}$  y el convertidor CDA de tipo RZ.

La salida que se realimenta es la de formato POLAR RZ tal y como se razonó en el primer capítulo.

A cada una de las salidas de este bloque se le conecta a un bloque **Workspace** para ser estudiadas tras la simulación. La salida NRZ (salida del modulador Sigma-Delta) estará conectada al bloque ‘simout’.

En el cuadro de diálogo de estos bloques se especifica el nombre del vector donde queremos que se guarden los resultados así como el tiempo con que se muestrea cada salida del cuantizador para generar un nuevo dato en los vectores. Tomamos  $1/F_{sob}$ , puesto que queremos que se guarden los valores correspondientes a los instantes en que se ha cuantizado la señal a la salida del integrador.

Tal y como se explicó al ver el modelo del amplificador clase D Sigma-Delta las ganancias  $G_{11}$  y  $G_{21}$  están relacionadas con el rango dinámico posible de la señal de entrada al modulador para que éste funcione correctamente.

Para ajustar dichas ganancias se han realizado varias pruebas consistentes en cambiar el valor de  $G_{21}$  y dejar fijo  $G_{11}$ (igual a 1).

Para comprobar la validez de cada una de ellas, tras acabar la simulación se teclea la orden plot (simout) en el intérprete de comandos de Matlab y se ve si se obtiene toda la pantalla rellena (es decir, no existen huecos en la señal NRZ generada por el modulador).

Tras varias pruebas, se obtiene que  $G_{21} = 3$  es el menor valor de ganancia que da buenos resultados. Por lo tanto, ha de tomarse  $G_{21} \geq 3$ .

Se toma  $G_{21} = 4$  por razones que se explicarán en el capítulo 4 (CADENCE).

### 3.2.3. MODULADOR SIGMA-DELTA DE PRIMER ORDEN TIPO LP EN TIEMPO DISCRETO.

Se parte del modelo en tiempo discreto visto en el apartado 1.2.3, particularizado para un cuantizador de 1 bit.

El fichero utilizado en Simulink para implementarlo se llama “sigma\_delta\_discreto\_2.mdl”.

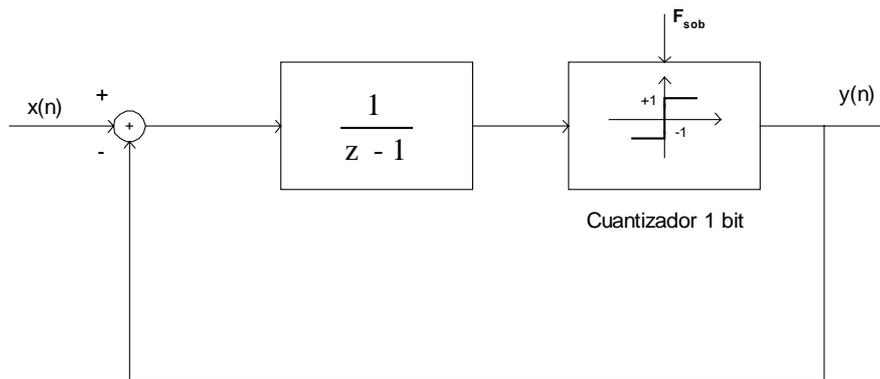


Fig 3.6. Modelo en tiempo discreto del Modulator Sigma-Delta usado en diseño del amplificador de audio Clase D.

El esquema del modelo generado en Matlab es el siguiente.

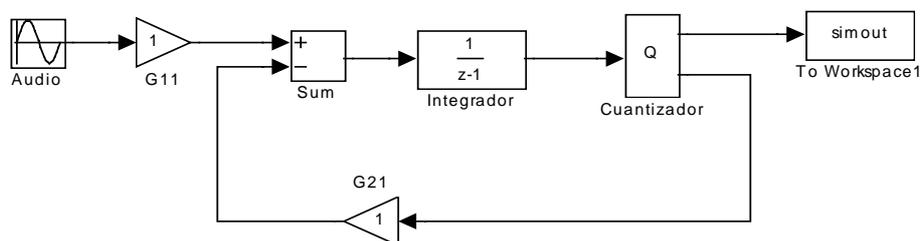


Fig.3.7. Modelo simulink del modulator sigma-delta tipo LP de primer orden en tiempo discreto.

Utilizamos también en este modelo el bloque ‘Q’, pero en este caso la salida que se realimenta es la NRZ, ya que como se ve en el modelo aquí no existe convertidor CDA.

Con idea de poder estudiar la señal de salida, se conecta la rama NRZ a un bloque WorkSpace llamado 'simout'.

#### **3.2.4. ETAPA DE POTENCIA Y FILTRO LP.**

El esquema de un amplificador de audio Clase D visto en el apartado 1.1 muestra como el modulador va seguido de la llamada etapa de potencia (cadena de N+1 inversores) y de un filtro LP.

No es necesario colocar la **cadena de inversores** en los modelos Matlab porque su característica de transferencia tiene magnitud igual a la unidad.

La función de transferencia del **filtro LP** ha sido calculada a partir de las especificaciones deseadas utilizando el programa NAF2, tal y como se detalló en el capítulo anterior.

En los esquemas que emplean modulación Sigma-Delta (tiempo continuo y discreto), es la salida NRZ del bloque 'Q' la que se conecta al filtro LP.

### **3.3. RESULTADOS.**

Una vez que se ha comprobado el correcto funcionamiento de los moduladores, se añade el resto de elementos del modelo del amplificador y se simula.

#### **3.3.1. AMPLIFICADOR DE AUDIO CLASE D PWM.**

El fichero creado en Simulink se ha llamado "Class\_D\_PWM\_memo.mdl".

Tras la simulación, se observa en los visores cómo se obtiene a la salida del amplificador una señal senoidal de la misma frecuencia que la entrada pero de menor amplitud.

### 3.3.2. AMPLIFICADOR DE AUDIO CLASE D SIGMA-DELTA.

- **Tiempo discreto.**

El fichero creado en Simulink se ha llamado "sigma\_delta\_discreto\_2\_completo.mdl".

Se observa que a la salida de este modulador se obtiene una señal senoidal de la misma frecuencia que la de entrada, pero de menor amplitud.

Tras realizar la simulación del modelo, podemos obtener el espectro de potencia de la salida del modulador. Para ello se ejecuta un fichero Matlab proporcionado por el tutor del proyecto; en la siguiente figura se muestra el resultado.

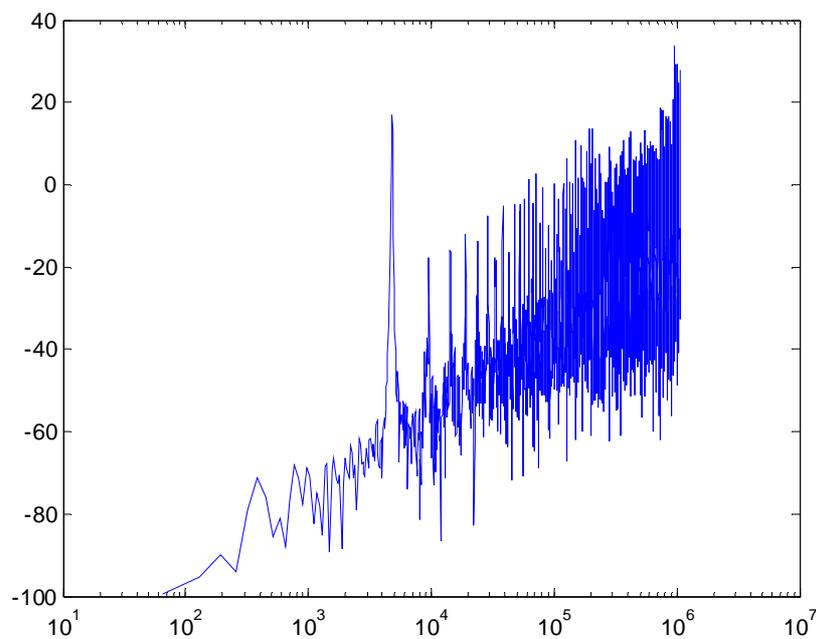


Fig 3.8. Espectro obtenido a la salida del modulador  $\Sigma\text{-}\Delta$  tipo LP de primer orden en tiempo discreto.

Se observa como efectivamente aparecen tonos en el espectro de salida de un modulador Sigma-Delta de primer orden. Se observa, además, como la energía de los tonos aumenta con la frecuencia.

Los tonos son componentes espectrales que aparecen a la salida del modulador debido a que se generan secuencias periódicas del ruido de cuantización (es decir,  $e(n)$  no es una señal aleatoria). Ésto se debe a componentes de continua a la entrada del modulador.

Una forma de contrarrestarlos es aplicar una **señal ‘dither’** a la entrada del modulador.

Se trata de una señal de pequeña potencia y frecuencia fuera de la banda de interés que se añade con la idea de eliminar la correlación de la secuencia  $e(n)$ .

Esta señal es superpuesta a la señal de audio de entrada. Para ello, habrá que añadir en el modelo en Matlab un bloque ‘Sum’.

- En primer lugar se ha probado una señal cuadrada a alta frecuencia (fuera de la banda de interés); en la siguiente figura se muestra el resultado.

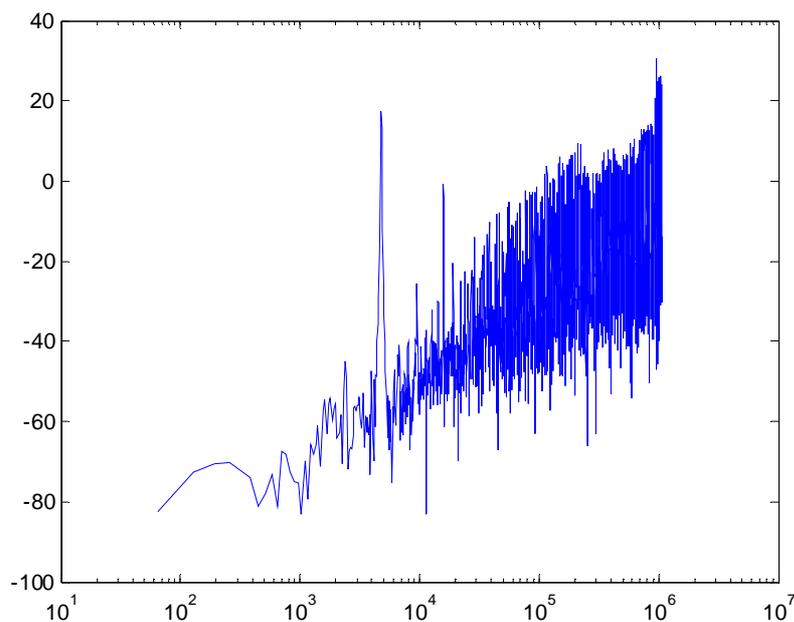


Fig 3. 9. Espectro obtenido a la salida del modulador  $\Sigma$ - $\Delta$  tipo LP de primer orden en tiempo discreto usando una señal cuadrada de alta frecuencia para eliminar los tonos.

Se observa que, si bien han desaparecido tonos de alta frecuencia, permanecen tonos en la banda de interés (baja frecuencia). En nuestra aplicación, el filtro LP dejará pasar estos tonos; es por ello por lo que la salida presenta una distorsión adicional.

- En segundo lugar se ha probado una señal senoidal de baja frecuencia fuera de la banda audible (200Hz) y de amplitud pequeña ( $V_p=0.1V$ ).

En la siguiente figura se muestra el resultado.

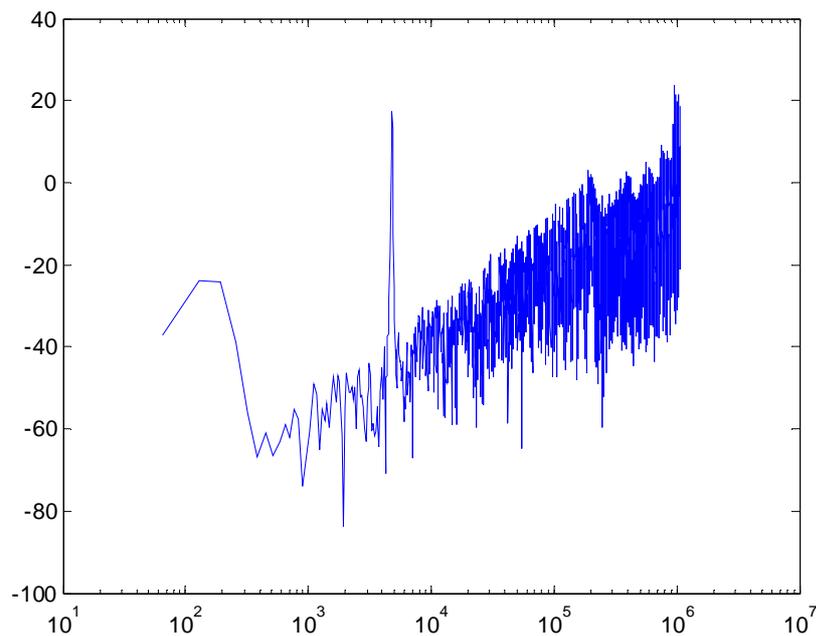


Fig 3.10. Espectro obtenido a la salida del modulador  $\Sigma$ - $\Delta$  tipo LP de primer orden en tiempo discreto usando una señal senoidal de baja frecuencia para eliminar los tonos.

Se ve que esta solución es la que mejor resuelve el problema de los armónicos.

Sin embargo, estas modificaciones no se han aplicado a los modelos del amplificador Clase D definitivos porque el objetivo del proyecto es ver si es viable usar un modulador Sigma-Delta en este tipo de amplificador. Lo que sí se ha querido exponer con este estudio es que podría mejorarse la distorsión de la señal de salida del esquema que usa modulación Sigma-Delta.

- **Tiempo continuo.**

El fichero creado en Simulink para implementarlo se llama “cadence.mdl”.

A la salida de este modulador se obtiene también una señal senoidal de la misma frecuencia que la de entrada, pero de menor amplitud.

Se repite el estudio hecho para el modelo en tiempo discreto a este otro modelo.

En la siguiente figura se muestra el espectro de potencia de la salida de este modulador.

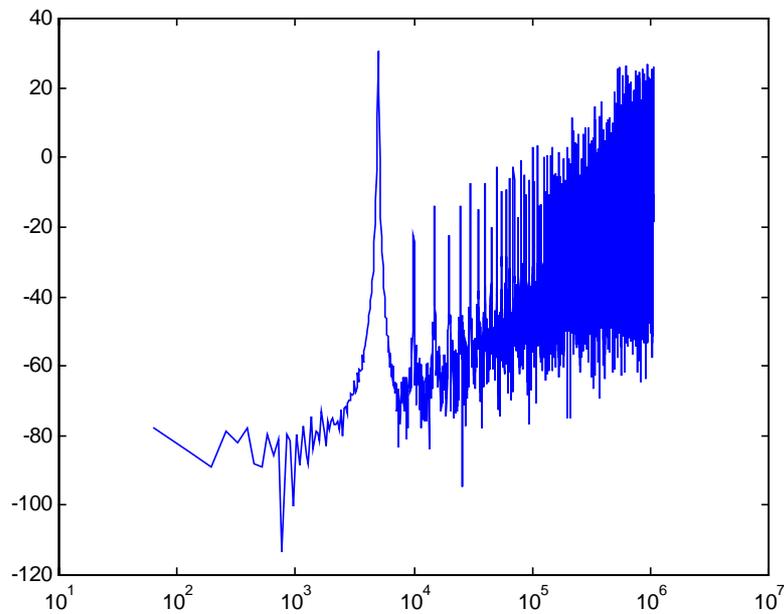


Fig 3.11. Espectro obtenido a la salida del modulador  $\Sigma$ - $\Delta$  tipo LP de primer orden en tiempo continuo.

Si la comparamos con la figura correspondiente en el modelo en tiempo discreto, vemos que tiene prácticamente la misma forma, lo que cambia un poco es la potencia para la frecuencia de entrada.

En cuanto a los métodos para eliminar los tonos, en este modelo sólo se ha probado con una señal senoidal de baja frecuencia, por ser la solución que dió mejor resultado en el modelo en tiempo discreto; en la siguiente figura se muestra el resultado.

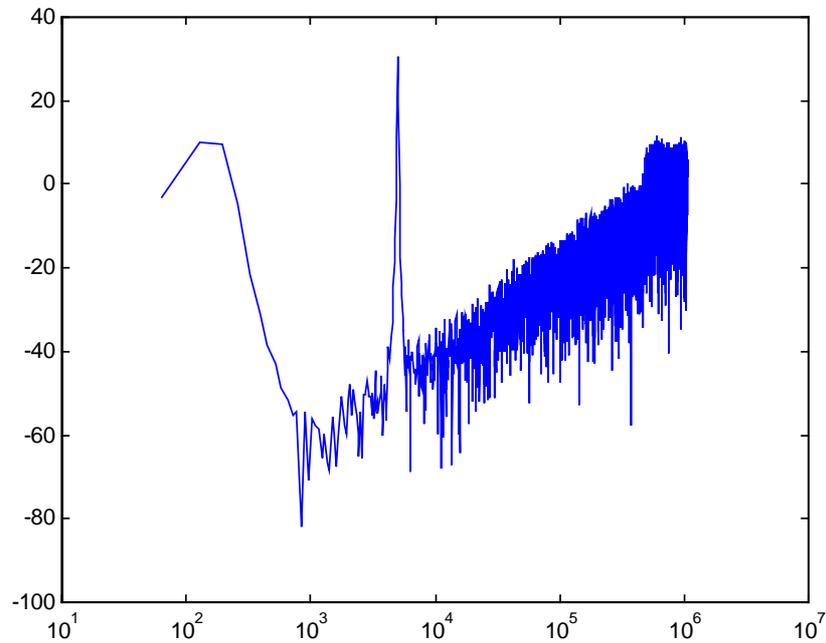


Fig 3.12. Espectro obtenido a la salida del modulador  $\Sigma$ - $\Delta$  tipo LP de primer orden en tiempo continuo usando una señal senoidal de baja frecuencia para eliminar los tonos.

## CAPÍTULO 4

# IMPLEMENTACIÓN EN CADENCE

### 4.1. INTRODUCCIÓN.

En el capítulo anterior se ha comprobado mediante la herramienta Simulink la validez de los dos modelos planteados sobre el papel para un amplificador de Clase D. Como ya se ha dicho, estos modelos se han generado sin tener que profundizar en su realización física.

Sin embargo, en la práctica, se tendrá la descripción a nivel de transistor de un circuito cuyo comportamiento nos gustaría simular. Lo más apropiado es utilizar para ello 'simuladores de circuito completo' tales como SPICE o CADENCE.

En este proyecto se utiliza la herramienta de diseño CADENCE por ser más adecuada para simulaciones a nivel de tiempo discreto.

#### **Descripción.**

Para cada modelo se genera una celda. Ésta, a su vez, puede contener otras celdas ya definidas.

De manera similar al programa Simulink, la herramienta CADENCE permite la especificación de un circuito mediante celdas 'ahdl' que modelan a través del código el comportamiento de los bloques que lo componen. Ésto permite al usuario ver los efectos de las no-idealidades de cada bloque sobre el funcionamiento del circuito completo, a la vez que se consigue una mayor velocidad de simulación.

Las celdas 'ahdl' se sustituirán por la descripción a nivel de transistor correspondiente una vez comprobados los resultados de simulación obtenidos.

La herramienta CADENCE permite simular nuestro diseño y realizar todo tipo de operaciones sobre los resultados (cálculo de THD, diagrama de Bode, DFT, etc...).

## 4.2. DESCRIPCIÓN DE CIRCUITOS EN CADENCE.

Todos las celdas CADENCE que se han realizado en este proyecto se encuentran en la librería “AMPLI\_CLASS\_D”.

### 4.2.1. MODULADOR PWM.

Según se vió en el apartado 1.3.2.1, la siguiente figura muestra el diagrama de bloques que vamos a utilizar para implementar el modulador PWM.

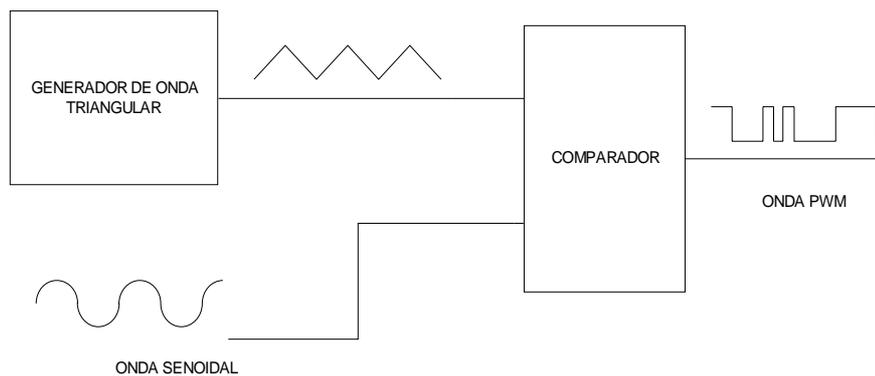


Fig 4.1. Diagrama de bloques del modulador PWM.

La celda que contiene el modelo completo del modulador PWM se ha llamado GEN\_RAMPA\_test.

Dedicaremos un apartado a describir detalladamente el bloque ‘Generador de onda triangular’ puesto que hasta ahora en la memoria no se ha profundizado sobre el modulador PWM.

#### 4.2.1.1. GENERADOR DE ONDA TRIANGULAR.

Se ha llamado “GEN\_RAMPA” a la celda que modela este bloque.

En primer lugar se simula en CADENCE el esquemático que se va a emplear para generar la onda triangular.

Una vez comprobado el correcto funcionamiento de nuestro diseño, se puede crear el símbolo correspondiente. La idea de crear un símbolo es que los parámetros que definen la señal triangular (periodo, amplitud máxima y mínima) puedan ser elegidos en función de las especificaciones del diseño en el que se vaya a utilizar esta celda.

- **Descripción y funcionamiento teórico.**

Se probaron varios esquemas y el que resultó ser más robusto es el que se muestra en la siguiente figura.

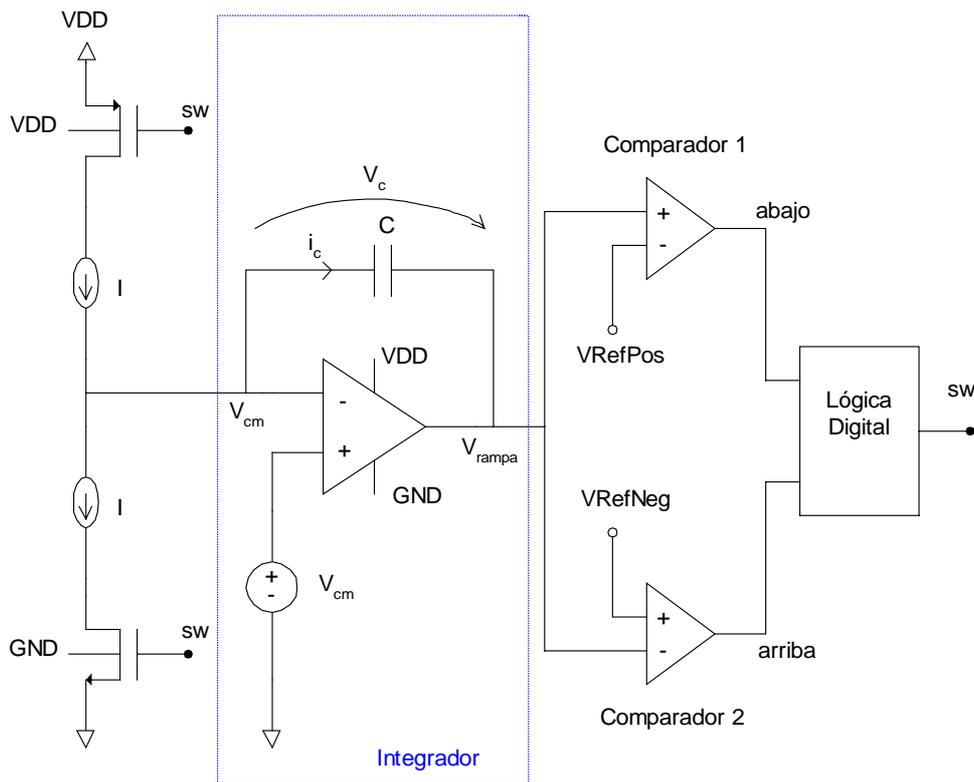


Fig 4.2. Circuito Generador de onda triangular.

Para describir cómo este modelo sobre el papel genera una onda triangular, vamos a hacer un recorrido a través de los distintos sub-bloques que lo componen, explicando la relación entre ellos.

### **Integrador**

Llamamos  $V_{\text{rampa}}$  a la tensión a la salida de este sub-bloque.

Si nos fijamos en el condensador, la tensión que cae sobre éste tiene la expresión:

$$V_c = V_{\text{cm}} - V_{\text{rampa}} \quad (4.1)$$

Por otro lado, la intensidad y la tensión en él están relacionadas por:

$$V_c = \pm \frac{i_c}{C} \cdot t \quad (4.2)$$

para  $t \neq 0$ .

Nota. Para obtener (4.2) se han supuesto condiciones iniciales nulas para el condensador, es decir,  $V_c(0) = 0$  V.

El signo '+' es para la carga del condensador y el signo '-' es para la descarga.

Combinando las ecuaciones (4.1) y la (4.2) con signo positivo, y haciendo  $i_c = I$ , se obtiene la expresión de la tensión a la salida del integrador, durante la carga del condensador :

$$V_{\text{rampa}} = V_{\text{cm}} - \frac{I}{C} \cdot t \quad (4.3)$$

En este caso, la ecuación que define a  $V_{\text{rampa}}$  es una recta de pendiente negativa ( $-I/C$ ).

Es decir,  $V_{\text{rampa}}$  decrece cuando el condensador se está cargando.

Planteando las ecuaciones para el caso en el que el condensador se descarga, se llega a:

$$V_{\text{rampa}} = V_{\text{cm}} + \frac{I}{C} \cdot t \quad (4.4)$$

En este caso, la ecuación que define a  $V_{\text{rampa}}$  es una recta de pendiente positiva ( $I/C$ ). Es decir,  $V_{\text{rampa}}$  crece cuando el condensador se está descargando.

Sin embargo, buscamos generar una onda triangular entre GND y  $V_{\text{DD}}$ , con nivel de continua igual a  $V_{\text{cm}}$ . Por tanto, debe controlarse que las rectas no crezcan o decrezcan por encima o por debajo de estos valores, respectivamente.

### **Interruptores.**

Los transistores MOS a la entrada del integrador funcionan como interruptores. Ambos son controlados a través de la puerta mediante una señal digital llamada 'sw'(switch).

Cuando un transistor conduce, el otro está cortado y, el condensador utiliza ' $R_{\text{on}}$ ' del que conduce para cargarse o descargarse.

Gracias al uso de esta señal se controla el tiempo que el condensador está cargándose o descargándose.

Si la señal 'sw' toma el valor lógico '0', el transistor NMOS está cortado (interruptor abierto) y el PMOS conduce(interruptor cerrado). En este caso, el condensador se carga y, como se ha comentado,  $V_{\text{rampa}}$  decrece (recta de pendiente  $- I/C$ ).

Si por el contrario, 'sw' toma el valor lógico '1', el transistor PMOS está cortado (interruptor abierto) y el NMOS conduce (interruptor cerrado). En este caso, el condensador se descarga y,  $V_{\text{rampa}}$  crece (recta de pendiente  $I/C$ ).

Con el mecanismo de control proporcionado por 'sw', las ecuaciones (4.3) y (4.4) nos muestran como a la salida del integrador se obtiene efectivamente una onda triangular entre GND y  $V_{\text{DD}}$ , con nivel de continua igual a  $V_{\text{cm}}$ , cuya pendiente de subida es igual en magnitud a la de bajada ( $I/C$ ).

## Comparadores

$V_{refPos}$  será un valor de tensión muy próximo a  $V_{DD}$  y  $V_{refNeg}$  un valor muy próximo a GND, ambos dentro del intervalo  $[GND, V_{DD}]$  tal y como se muestra en la figura.

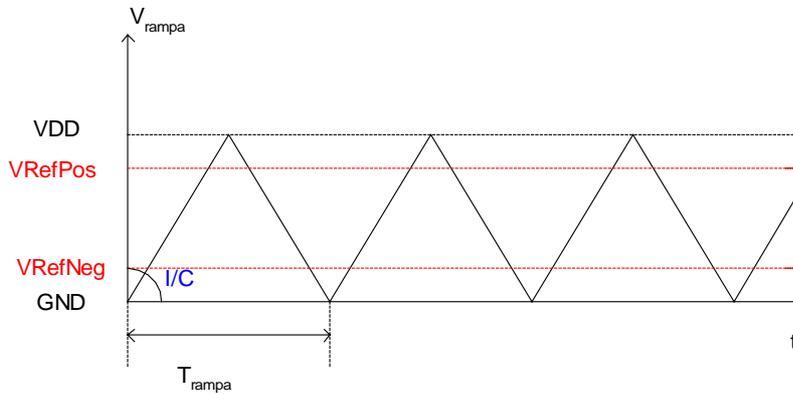


Fig.4.3. Onda triangular.

En el comparador 1, se comprueba si la salida del integrador ( $V_{rampa}$ ) es mayor que la tensión  $V_{refPos}$ . Si es así, la salida de este comparador es abajo = '1'.

En el comparador 2, se comprueba si  $V_{rampa}$  está por debajo de la tensión  $V_{refNeg}$ . Si es así, la salida de este comparador es arriba = '1'.

## Lógica Digital.

Debido a la configuración dada a la unión de los comparadores, sólo son posibles los siguientes casos:

- **abajo='1' y arriba ='0'**. Se obtiene cuando la salida del integrador está en el intervalo,  $V_{RefPos} < V_{rampa} \leq V_{DD}$ . En este caso la rampa estaba subiendo y debe empezar a bajar. Por lo tanto, la señal 'sw' debe cambiar su valor a '0'.
- **abajo='0' y arriba ='1'**. Se obtiene cuando la salida del integrador está en el intervalo,  $V_{RefNeg} > V_{rampa} \geq GND$ . En este caso la rampa estaba bajando y debe empezar a subir. Según esto, la señal 'sw' ha de cambiar su valor a '1'.
- **abajo='0' y arriba ='0'**. Se obtiene cuando la salida del integrador está en el intervalo,  $V_{RefPos} \leq V_{rampa} \leq V_{RefNeg}$ . En este caso, la rampa sigue bajando o

subiendo, según sea el caso. Por lo tanto, la señal 'sw' debe permanecer con el valor que tenía.

Según lo anterior, la función lógica que he de implementar es:

$$sw = \begin{cases} '0' & \text{si abajo} = '1' \text{ y arriba} = '0' \\ '1' & \text{si arriba} = '1' \text{ y abajo} = '0' \end{cases} \quad (4.5)$$

Esto se hará como veremos en el bloque llamado 'Lógica Digital'.

- **Descripción CADENCE.**

La señal analógica de entrada al amplificador de audio Clase D PWM es una señal senoidal de amplitud 5 V y frecuencia  $F_{in} = 5\text{KHz}$ .

Para el modulador PWM se necesita una onda triangular de amplitud igual a la de la onda senoidal, es decir, amplitud entre 0 y 5 V.

Como sabemos, el periodo de dicha onda viene dado por la frecuencia  $F_m$  ( $F_{rampa}$ ), que es a su vez, la frecuencia de conmutación deseada para el amplificador Clase D.

Para el diseño del amplificador que utiliza el modulador PWM queremos una frecuencia  $F_{rampa} = 0.5\text{ MHz}$ , o lo que es lo mismo,  $T_{rampa} = 2\ \mu\text{s}$ .

### **Integrador.**

Para calcular el **valor de la fuente 'I'** que alimenta al integrador, utilizaremos la expresión (4.4); es decir, nos fijamos en la descarga del condensador, ya que implica que  $V_{rampa}$  crece.

$$V_{rampa} = V_{cm} + \frac{I}{C} \cdot t$$

Puesto que las pendientes de subida y de bajada son iguales en magnitud, si el periodo de la onda triangular deseada es  $T_{rampa}$ , la rampa llegará a su valor máximo ( $V_{DD}$ ) en  $T_{rampa}/2$ .

Sustituyendo,  $t = T_{rampa}/2$  y  $V_{rampa} = V_{DD}$ , se obtiene el valor de 'I'.

El **condensador** del integrador se ha elegido de valor  $C = 5\text{pF}$  (por tratarse de un valor integrable). En el cuadro de diálogo en CADENCE para este elemento es donde se especifica que las condiciones iniciales son nulas.

Para los datos del proyecto, se sustituye  $t = 1\ \mu\text{s}$ ,  $V_{DD} = 5\text{V}$ ,  $V_{cm} = 2.5\ \text{V}$  y se obtiene  $I = 12.5\ \mu\text{A}$ .

En las primeras simulaciones, se utilizaron dos fuentes de intensidad independientes, una para cada interruptor, tal y como se muestra en la fig. 4.2. Cada una de estas fuentes no se conecta directamente a su interruptor, sino a través de un ‘Espejo de Corriente Simple’. Cada espejo utiliza transistores del mismo tipo que el interruptor al que se une. Sin embargo, buscando la idea de crear un símbolo para el bloque ‘generador de onda triangular’, se modifica el esquemático para poder utilizar una única fuente de intensidad ( $I_{bias}$ ).

Los transistores de todos los espejos son del mismo tamaño ( $W/L = 10/1$ ), para realizar así una copia de la corriente.

Se ha implementado el **amplificador operacional** mediante la celda “OPAMP\_7\_simple” de la librería AHDL disponible en el Departamento.

### **Interruptores CMOS.**

Las dimensiones tomadas para los dos transistores MOS atacados en la puerta por la señal ‘sw’ son  $W/L = 10/1$ .

### **Comparadores.**

Se han implementado los **comparadores** mediante celda ‘comparador’ de la librería disponible en el Departamento.

Su funcionamiento se describe con la siguiente expresión.

$$V_{out} = \begin{cases} '1' & \text{si } V_+ > V_- \\ '0' & \text{si } V_+ < V_- \end{cases}$$

Se toma 'VRefPos' igual a 4.5 V y 'VRefNeg' igual a 0.5 V. Se conectan a las patas de los comparadores tal y como se muestra en el esquema de la fig.4.2.

**Lógica Digital.**

La señal 'sw' es la salida de un bloque de lógica digital de entradas 'arriba' y 'abajo'. Tras varias pruebas, se obtiene que la mejor opción es usar un biestable RS asíncrono (latch RS), debido a la necesidad de que la señal 'sw' no cambie el valor que tenía en el caso en que arriba = abajo= '0'.

Si recordamos, el biestable RS tiene la siguiente tabla de verdad:

R	S	Q <sub>n+1</sub>
0	0	Q <sub>n</sub>
0	1	1 (Set)
1	0	0 (Reset)
1	1	No usar

El estado de un biestable RS sólo cambia cuando las entradas toman valores lógicos distintos, por lo que se consigue mantener el estado en el caso arriba= abajo='0' , tal y como buscábamos.

Observando la tabla de verdad del biestable y la definición de 'sw' dada por (4.5), se ve que la señal 'abajo' ha de conectarse con la entrada 'R' y la señal 'arriba' ha de conectarse a la entradas 'S'.

Debido a la configuración de los comparadores, no es posible el caso arriba= abajo= '1', por lo que no existe ningún problema al usar este biestable para nuestro propósito.

Se elige para su implementación el esquema de este biestable que utiliza puertas NOR.

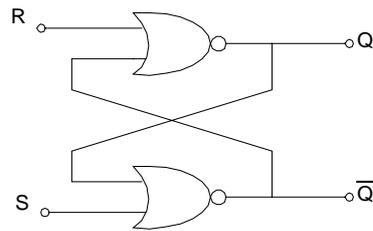


Fig.4.4. Esquema de un biestable RS mediante el uso de puertas NOR.

Como sabemos, una **puerta lógica NOR** puede implementarse, usando lógica CMOS, mediante el siguiente circuito.

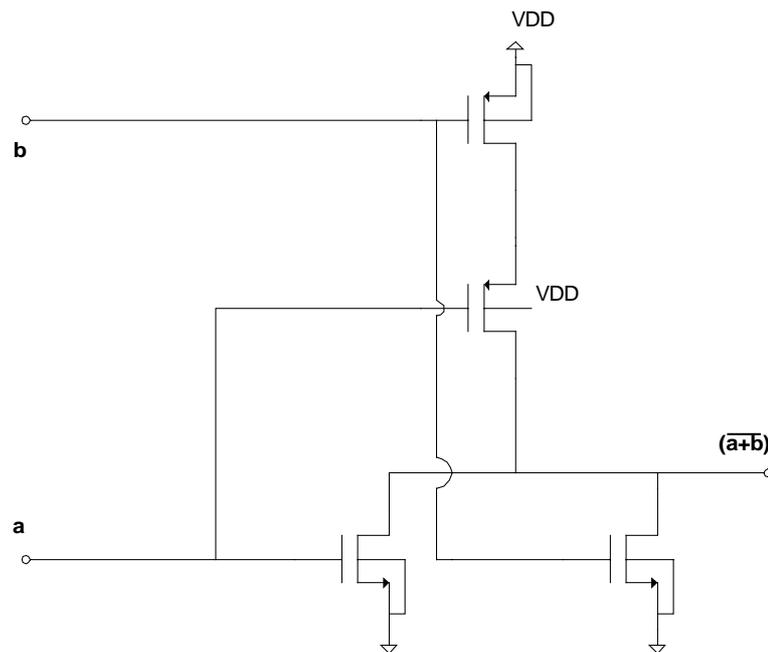


Fig.4.5. Implementación de una puerta lógica NOR mediante lógica CMOS.

La celda que modela este elemento en CADENCE se ha llamado “PTA\_NOR”.

En primer lugar, se ha realizado el esquemático correspondiente a una puerta NOR, conectando los transistores según el esquema anterior.

Para los transistores PMOS se ha elegido la relación de aspectos  $W/L = 3/1$  y para los NMOS la relación  $W/L = 1/1$ .

Después se ha generado el símbolo para este esquemático.

En la salida 'OUTN' se obtiene la función lógica NOR de las entradas A y B.

La celda que modela el **biestable RS** en CADENCE se ha llamado "Biest\_RS".

Primero se realiza el esquemático que se muestra en la fig.4.4, utilizando la vista 'symbol' de la celda "PTA\_NOR" que acabamos de describir.

Después se crea el símbolo para el biestable RS.

En la salida 'Q' se obtiene la tabla de verdad de un biestable RS de entradas 'R' y 'S'.

La salida 'QN' proporciona el valor negado de 'Q'. En nuestro esquemático no necesitamos esta salida, por lo que se une al elemento de la librería 'Basic' llamado 'noconn'.

#### 4.2.1.2. MODELO COMPLETO.

Volvemos al esquema completo visto al principio de este apartado en Fig.4.1.

Se ha implementado el **comparador** mediante celda 'comparador' de la librería disponible en el Departamento y para modelar el **generador de onda triangular** se utiliza el símbolo 'GEN\_RAMPA' creado.

Si recordamos la descripción que se hizo de la técnica de modulación PWM en el apartado 2.1.1, a la salida del modulador se ha de obtener la siguiente señal digital, para cada instante de tiempo.

$$V_d = \begin{cases} '1' & \text{si } V_{in} < V_m \\ '0' & \text{si } V_{in} > V_m \end{cases}$$

Si vemos en el apartado anterior la descripción del comparador usado, la señal de entrada ( $V_{in}$ ) se ha de conectar a la pata '-' del comparador y la salida del generador de onda triangular ( $V_{rampa}$ ) lo hará a la pata '+' de dicho elemento.

#### 4.2.2. MODULADOR SIGMA-DELTA LP DE PRIMER ORDEN EN TIEMPO CONTINUO.

Se parte del modelo en tiempo continuo visto en el apartado 1.3.2.2 para este modulador.

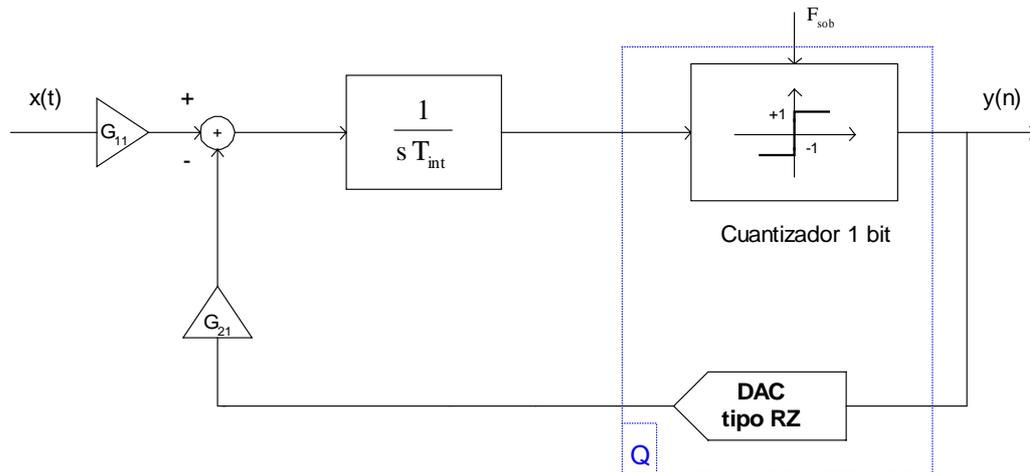


Fig.4.6. Modelo usado para la implementación de un modulador Sigma-Delta tipo LP de primer orden.

La celda que lo modela en CADENCE se ha llamado “Sigma\_delta\_1or\_sw”.

Se implementa este circuito utilizando la estructura balanceada correspondiente. Con ello se busca conseguir mayor SNR y mejor THD (ya que con este tipo de estructuras se aumenta la potencia de señal y se eliminan los armónicos pares).

#### Entrada.

La señal analógica de entrada al amplificador de audio Clase D Sigma-Delta es una señal senoidal de amplitud de pico 1 V, valor de continua nulo y frecuencia  $F_{in} = 5\text{KHz}$ .

A partir de ésta se genera la entrada balanceada a este modulador ( $V_{inp}$ ,  $V_{inn}$ ).

**Integrador en tiempo continuo.**

Se utiliza un ‘Integrador No Inversor Balanceado’, cuyo esquema se muestra en la siguiente figura.

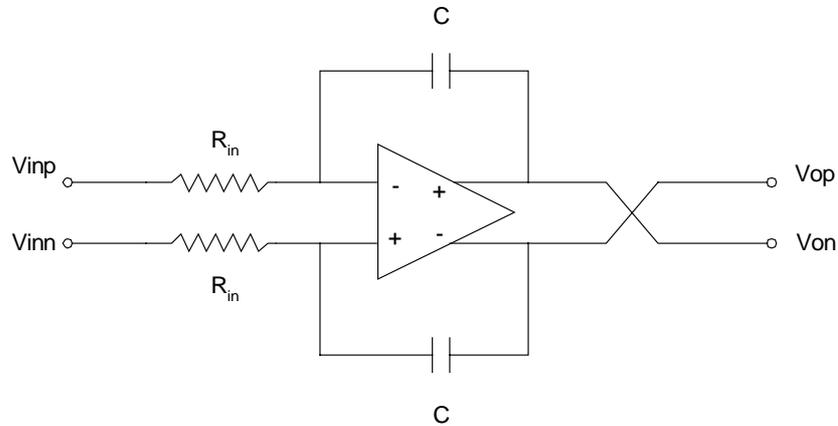


Fig.4.7. Estructura Balanceada de un circuito integrador no inversor.

El **condensador** de cada rama se ha elegido de valor **C = 5pF** por el mismo razonamiento hecho para el modulador PWM. En el cuadro de diálogo en CADENCE para este elemento se especifican condiciones iniciales nulas.

Se ha implementado el **amplificador operacional diferencial** utilizando la celda “OPAMP\_dif ” de la librería AHDL disponible en el Departamento. Se modifica la capacidad de salida que trae este elemento por defecto(C1) y se hace igual al valor del condensador del integrador(C1= C= 5pF).

El valor de **R<sub>in</sub>** depende del ancho de banda del integrador(F<sub>int</sub>) mediante la expresión:

$$R_{in} \cdot C = \frac{1}{2 \pi \cdot F_{int}} \tag{4.6}$$

Al elegir F<sub>int</sub>=100KHz, se obtiene R<sub>in</sub> =318.3KΩ.

## **Realimentación.**

Para implementar en CADENCE el **convertidor DAC tipo RZ** que existe en la rama de realimentación de la fig.4.6 se utiliza la celda “comparador” de la librería AHDL ‘RAQUEL’ disponible en el Departamento.

Este bloque es un comparador diferencial en tiempo discreto ya que lo que hace es tomar el valor de sus entradas cuando el terminal FDOS se activa, las compara y genera las salidas tal y como se muestra en la siguiente expresión.

$$V_{INP} - V_{INN} = \begin{cases} > 0 & V_{OUTP} = '1' \text{ y } V_{OUTN} = '0' \\ < 0 & V_{OUTP} = '0' \text{ y } V_{OUTN} = '1' \\ = 0 & V_{OUTP} = '0' \text{ y } V_{OUTN} = '0' \end{cases}$$

Según se vió en el apartado 1.2.4 la señal a la salida de este DAC ha de tener periodo  $T_{sob}$ . Para conseguirlo se conecta el terminal FDOS del comparador a la señal ‘FDOS’. Dicha señal es generada mediante una fuente de pulsos de amplitud 0 y 5V, con valor de continua nulo, periodo 500 nsg y tiempo de subida y bajada iguales a 1nsg.

Nota.  $F_{sob}=2.11\text{MHz}$  que corresponde a un periodo  $T_{sob}= 500\text{nsg}$ .

Con ésto, la salida diferencial del comparador ( $V_{OUTP} - V_{OUTN}$ ) será la señal RZ esperada a la salida del DAC (es decir, toma valores ‘+1’, ‘-1’, ‘0’, tiene un duty-cycle del 50% y es de periodo  $T_{sob}$ ).

Cada una de las salidas de este comparador ataca a una **resistencia  $R_{DAC}$** .

Para calcular el valor de éstas, se utiliza la relación entre  $G_{11}$  y  $G_{21}$  vista en Matlab para el correcto funcionamiento del modulador.

$$\frac{G_{21}}{G_{11}} \geq 3$$

Esta relación entre ganancias se traduce en la siguiente relación para las resistencias que las implementan.

$$R_{DAC} = \frac{R_{in}}{G_{21}} \quad (4.7)$$

Se sustituye el valor calculado para  $R_{in}$  y se toma  $G_{21} = 4$  porque, aunque se vio en Matlab que con este valor de ganancia el cuantizador está más cerca de saturar que con  $G_{21} = 3$ , la resistencia  $R_{DAC}$  que se obtiene es menor. El resultado es  $R_{DAC}=79.58K\Omega$ .

### **Cuantizador con sobremuestreo**

Para implementar el cuantizador tipo Mid-Riser de dos niveles ('+1', '-1') se emplea también un comparador diferencial en tiempo discreto.

Se necesita modificar el código 'ahdl' de la celda empleada para modelar el DAC porque la diferencia de sus salidas debe ser en este caso una señal cuya amplitud varíe entre '+1' y '-1' (tipo NRZ). La celda 'ahdl' que recoge esta modificación es "comparador\_ramon".

En este caso, cuando el terminal FDOS se activa la función implementada es la siguiente.

$$V_{INP} - V_{INN} = \begin{cases} \geq 0 & V_{OUTP} = '1' \text{ y } V_{OUTN} = '0' \\ < 0 & V_{OUTP} = '0' \text{ y } V_{OUTN} = '1' \end{cases}$$

Como sabemos el cuantizador que se quiere modelar es sobremuestreado de frecuencia  $F_{sob}$ . Para conseguirlo se une la señal 'FDOS' al terminal del mismo nombre en la celda "comparador\_ramón".

Con esto, la salida diferencial del comparador ( $V_{OUTP} - V_{OUTN}$ ) será la señal NRZ esperada a la salida del modulador (es decir, toma valores '+1', '-1', tiene un duty-cycle del 100% y es de periodo  $T_{sob}$ ).

### **Circuito S&H.**

En las primeras simulaciones que se hicieron del modelo planteado, los resultados obtenidos no eran los correspondientes a un modulador Sigma-Delta; el diseño oscilaba porque las entradas a los comparadores variaban con el tiempo durante la comparación.

Tras varias pruebas se obtuvo que la solución estaba en utilizar un circuito `sample_and_hold` (S&H) en cada salida del integrador.

En primer lugar se probó con la celda `'sample_n_hold'` de la librería AHDL del Departamento. Una vez confirmado que se trataba de la solución al problema, se sustituyó por su modelo.

La forma más simple de realizar un circuito S&H, como sabemos, es un interruptor y un condensador.

El **condensador** de cada S&H se ha elegido de valor  $C = 1\text{pF}$ . En el cuadro de diálogo en CADENCE para este elemento se especifican condiciones iniciales nulas.

Se ha implementado cada **interruptor** utilizando la vista `'symbol'` de la celda `"SWITCH"` disponible en la librería AHDL del Departamento.

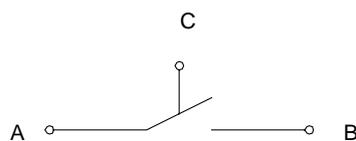


Fig.4.8. Símbolo de la celda `'SWITCH'` (ahdl).

Si observamos el código `'ahdl'` correspondiente a esta celda, cuando  $C='1'$ , se cierra el interruptor y el valor de señal que hay en `'A'` aparece en `'B'`, es decir, se toma una muestra de la señal.

Cuando la señal que se conecta al terminal `'C'` pasa a valer `'0'`, el interruptor se abre y se mantiene almacenado en el condensador el valor de la muestra durante el tiempo que el interruptor permanece abierto.

Con el circuito S&H se muestrea y se mantiene el valor de la salida del integrador para que cuando el comparador actúe tome una entrada que esté ya estabilizada (valor fijo).

Puesto que el comparador `'ahdl'` actúa por nivel (FDOS activo), necesito que el interruptor se abra (`'C'` se desactive) en el instante en que el comparador empieza a actuar. Ésto se consigue conectando la señal FDOSN al terminal `'C'` de cada interruptor.

Para generar la señal FDOSN a partir de FDOS, se utiliza un inversor CMOS en el que el transistor PMOS tiene dimensiones,  $W/L = 30/1$  y el NMOS,  $W/L = 10/1$ .

### 4.2.3. MODULADOR SIGMA-DELTA LP DE PRIMER ORDEN EN TIEMPO DISCRETO.

Lo que se ha implementado es directamente el modelo teórico del Modulador Sigma-Delta tipo LP de primer orden en tiempo discreto visto en el apartado 1.2.3 particularizado para un cuantizador de  $N=1$  bit.

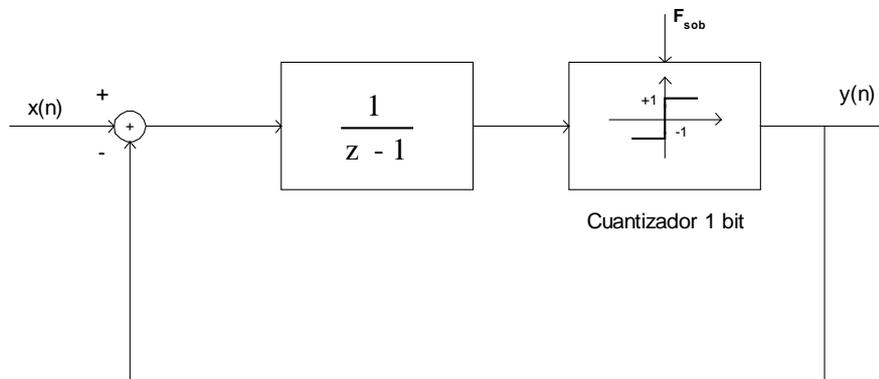


Fig 4.9. Modelo en tiempo discreto del Modulador Sigma-Delta usado en el diseño del amplificador de audio Clase D.

La celda que lo modela en CADENCE se ha llamado “sigma\_delta”.

Al igual que en el modelo del Sigma-Delta en tiempo continuo se utiliza una estructura balanceada.

La técnica usada para su implementación es la llamada de capacidades conmutadas, ‘SC’ (Switch-Capacitor).

Una vez comprobado el correcto funcionamiento de este modulador, se crea el símbolo llamado “sigma-delta” que contiene este esquemático.

#### **Entrada.**

La señal analógica de entrada a este modulador es balanceada ( $V_{inp}$ ,  $V_{inn}$ ).

### Integrador en tiempo discreto.

La estructura balanceada que lo implementa se muestra en la siguiente figura [5].

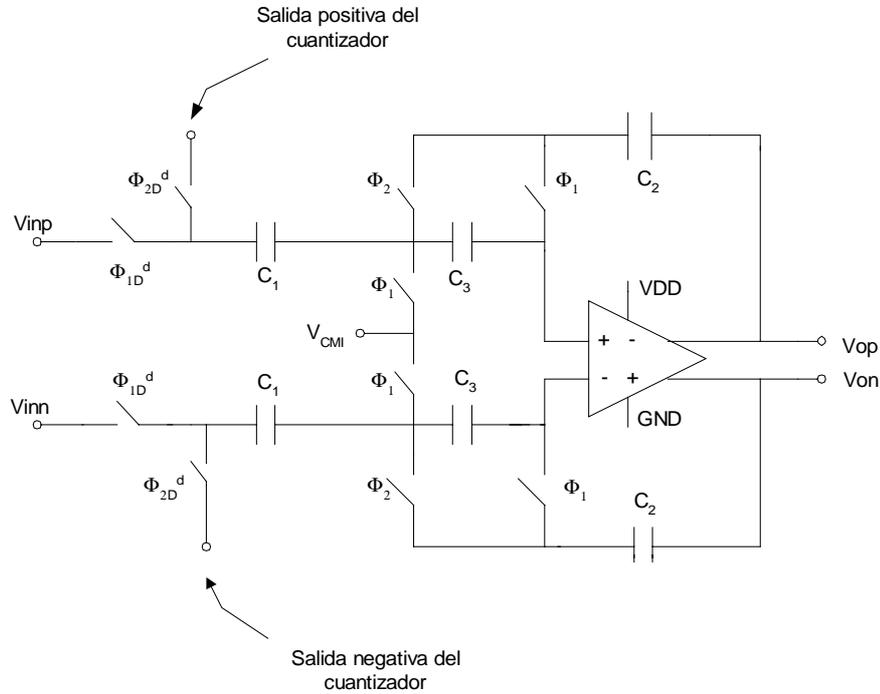


Fig 4.10. Realización SC del Integrador No Inversor Balanceado.

Si nos fijamos en la operación que se realiza sobre una de las entradas de esta estructura, vemos que se trata del circuito ‘Integrador No Inversor SC Insensible a Parásitos’.

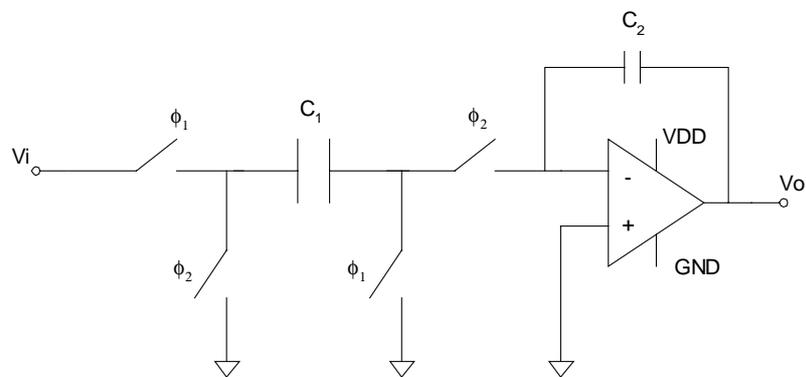


Fig 4.11. Integrador No Inversor SC Insensible a Parásitos.

Nota.  $\phi_1$  y  $\phi_2$  son los relojes que gobiernan a los interruptores. No se solapan en el tiempo. Cuando valen '1', el interruptor se cierra.

Este montaje tiene la siguiente función de transferencia.

$$H^{oo}(z) = \frac{\alpha_1 \cdot z^{-1}}{1 - z^{-1}} \quad (4.8)$$

donde

$$\alpha_1 = \frac{C_1}{C_2} \quad (4.9)$$

Se eligen todas las capacidades de valor igual a 0.5 pF.

Por lo tanto,  $\alpha_1$  vale la unidad, tal y como se buscaba.

Se observa que si  $C_2$  aumenta,  $\alpha_1$  disminuye, con lo que a la vez que se integra se consigue disminuir la amplitud de la salida de este bloque. El efecto es el contrario si  $C_2$  disminuye. Sin embargo, en ambos casos, el comportamiento del modulador no cambia.

Con ésto se quiere mostrar cómo se puede ajustar el rango de salida del amplificador operacional diferencial al rango dinámico de la señal de entrada al modulador, para evitar la saturación del comparador que está conectado a su salida.

Todos los interruptores que se utilizan en el diseño de la fig.4.10 se modelan con la celda "PUERTA 2" de la librería AHDL disponible en el Departamento.

Los relojes  $\phi_1$ ,  $\phi_2$ ,  $\phi_{1D}$ ,  $\phi_{2D}$ , son los que gobiernan a los interruptores y se modelan en CADENCE con las señales FI, FDOS, FID, FDOSD respectivamente.

Se observa en la fig.4.10 que los relojes a la entrada han de ser desfasados (D) y doblados (d) respecto a los demás relojes.

Los interruptores se hacen con transistores MOS, los cuales presentan capacidades parásitas. Al desfazar de forma controlada los relojes se pretende evitar que si se abre un interruptor antes que otro, la capacidad parásita tenga un camino a tierra para descargarse, ya que ésto haría que cambiase la tensión almacenada en la capacidad conmutada y por tanto se produjese un error (el valor considerado es distinto al que se muestreó).

La razón por la que se plantea en el esquema el que los relojes sean doblados es su uso en aplicaciones de baja tensión. En este proyecto sólo se han desplazado dichos relojes porque se pretende ver si el modulador Sigma-Delta es una alternativa a la modulación PWM en el diseño de un amplificador Clase D.

Se ha implementado el **amplificador operacional diferencial** utilizando la celda “OPAMP\_dif ” de la librería AHDL disponible en el Departamento. Se modifica la capacidad de salida que trae este elemento por defecto( $C_1$ ) y se hace igual al valor del condensador del integrador( $C_1 = C_2 = 0.5 \text{ pF}$ ).

En cada entrada del opamp diferencial, aparece una circuitería adicional que tiene como objetivo contrarrestar el efecto del ruido ‘flicker’.

En tiempo discreto no hace falta utilizar un circuito S&H en cada salida del integrador porque el muestreo se realiza a la entrada del modulador.

### **Cuantizador con sobremuestreo**

El cuantizador del modelo es de tipo Mid-Riser con niveles de salida ‘+1’ y ‘-1’. Se modela al igual que en tiempo continuo con la celda “comparador\_ramon” de la librería AHDL disponible en el Departamento.

A diferencia de dicho montaje, aquí se utiliza la señal FI como reloj para el sobremuestreo. Ésto es así porque en la rama de realimentación se muestrea la salida del comparador con FDOS(D) activo, por lo tanto, el comparador se ha de desactivar un tiempo antes de que se muestree su salida, para asegurar que el valor tomado es estable.

### **Realimentación.**

Para generar referencias de tensión estables en las ramas de realimentación, se conecta a cada salida del comparador el siguiente montaje.

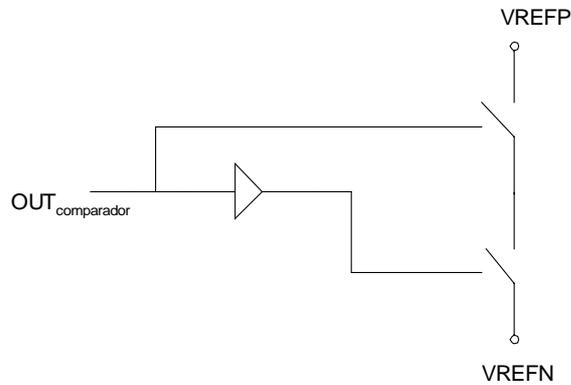


Fig 4.12. Estructura en cada salida del comparador.

Para evitar usar un inversor se utiliza el hecho de que cuando en la salida ‘OUTP’ del “comparador\_ramon” se tiene un valor lógico, en la salida ‘OUTN’ se tiene el valor lógico negado.

Este esquema también es útil cuando usemos este modulador en el amplificador Clase D, porque con él se consigue que no sea el comparador el que tenga que dar la tensión que alimenta al filtro.

Los interruptores utilizados a la salida del comparador para este propósito se modelan con la celda “PUERTA\_TEST” de la librería AHDL disponible en el Departamento.

#### **4.2.4. ETAPA DE POTENCIA.**

En este apartado se describe el método que se ha seguido para diseñar los inversores CMOS.

En primer lugar se dimensiona el último inversor (transistores de potencia), que es el que ataca al altavoz, y después se dimensiona la cadena que se necesita para que el modulador pueda atacar al inversor de potencia.

- **Diseño de los transistores de potencia (inversor N+1-ésimo).**

Según [1] la eficiencia de un amplificador de audio clase D se calcula con la expresión:

$$\text{Eficiencia} = \frac{\text{potencia\_altavoz}}{\text{potencia\_altavoz} + \text{potencia\_IC}} \quad (4.10)$$

$P_{\text{avg}} \equiv \text{potencia\_altavoz} \equiv \text{potencia media que deseamos proporcionar al altavoz (carga)}$ .

$\text{IC\_power} \equiv \text{potencia disipada en el chip}$ .

Si recordamos el diagrama de bloques del amplificador clase D, llamaremos IC (chip) al conjunto formado por los bloques modulador y etapa de potencia (cadena de inversores y los transistores de potencia).

Nota. En esta definición se desprecia la potencia disipada en la bobina que se añade al altavoz para conseguir el filtrado LP.

Deseamos tener para nuestro amplificador una eficiencia del 92.15% .Es decir, nuestro diseño debe proporcionar a la salida (altavoz) el 92.15 % de la potencia que aparece a la entrada, o lo que es lo mismo, en el chip se consume un 7.85 % de dicha potencia.

Además, se desea que la potencia disipada en el altavoz (carga) sea  $P_{\text{avg}} = 1\text{W}$  (para normalizar).

Según estas especificaciones, la potencia que debe haber a la entrada del amplificador ( $P_{\text{TOTAL}}$ ) ha de ser:

$$P_{\text{TOTAL}} = \frac{1 \cdot 100}{92.15} = 1.085 \text{ W}$$

Ésta será la suma de la disipada en el chip ( $P_{\text{chip}}$ ) y en el altavoz.

Se especifica que en el chip se disipa un 7.85 % de la potencia de entrada, por lo que

$$P_{\text{chip}} = 0.0852 \text{ W.}$$

$P_{\text{chip}}$  es la suma de las potencias disipadas en la etapa de modulación, en la cadena de inversores y en los transistores de potencia.

Tomamos de [1] que la potencia disipada en la etapa de modulación y en la cadena de inversores es igual a 0.03 W. De ésto se deduce que la disipada en los transistores de potencia es igual 0.0552 W.

Como se ha descrito anteriormente, en nuestro diseño de amplificador la carga es atacada por un inversor CMOS (N+1-ésimo) que está formado por dos transistores de potencia.

Por lo que llegamos a que la potencia disipada en cada transistor de este último inversor CMOS es  $P_d = (0.0552)/2 = 0.0276 \text{ W}$ .

Partiendo de los valores anteriores de  $P_{\text{avg}}$  y  $P_d$  se van a calcular a continuación las dimensiones que han de tener los transistores de potencia para obtener la eficiencia deseada.

Las expresiones en (4.11) relacionan la potencia y la corriente en un transistor de potencia [1]. Se han sustituido nuestras especificaciones.

$$I_{p-p} = \sqrt{\frac{8P_{\text{avg}}}{R_L}} = 1\text{A}$$

$$I_m = \frac{I_{p-p}}{2} = 0.5\text{A}$$

$$I_{\text{rms}} = \frac{I_m}{\sqrt{2}} = 0.354\text{A}$$

(4.11)

$$P_d = I_{\text{rms}}^2 \cdot R_{\text{on}} = 0.0276 \text{ W}$$

$P_d \equiv$  potencia disipada en cada transistor de potencia.

$I_{rms} \equiv$  valor rms de corriente suministrada por un transistor de potencia para proporcionar  $P_{avg}$  a la carga.

$I_{p-p} \equiv$  valor de corriente pico-pico.

$R_{on} \equiv$  resistencia ON (conducción) de un transistor de potencia.

$R_L \equiv$  resistencia que modela el altavoz (carga). Tomamos  $R_L = 8\Omega$ .

Nota. El modelo de un altavoz consiste en un condensador y una resistencia  $R_L$  en paralelo. Sin embargo, para el cálculo de la potencia  $P_{avg}$  sólo se tendrá en cuenta  $R_L$  porque la potencia disipada en el condensador es despreciable.

De la última ecuación de (4.11) se despeja  $R_{on} = 0.2202 \Omega = 220.2 \text{ m}\Omega$ .

El valor de  $R_{on}$  obtenido confirma lo que se ha dicho en apartado 1.1 sobre la eficiencia de un amplificador de Clase D. Es decir, para diseñar un amplificador de eficiencia elevada, se ha de elegir un valor pequeño para la resistencia  $R_{on}$  de los transistores de potencia.

Según [1], una vez conocida la  $R_{on}$ , podemos obtener las dimensiones del transistor de potencia NMOS, con la siguiente expresión:

$$R_{on} = \frac{L}{\mu_n C_{ox} W_n (V_{GS} - V_T)} \quad (4.12)$$

Se puede utilizar esta expresión para calcular la anchura del transistor PMOS de potencia ( $W_p$ ); para ello habrá que poner  $|V_{Tp}|$  donde pone  $V_T$ ,  $\mu_p$  en lugar de  $\mu_n$  y  $V_{SG}$  en lugar de  $V_{GS}$ .

Nota. Para el cálculo de las dimensiones se ha supuesto que los dos transistores conducen en saturación porque es el caso más desfavorable (desde el punto de vista de consumo) que se presenta durante la conmutación de estado de un inversor CMOS.

La tecnología que vamos a usar es la CMOS 0.8 $\mu$ m CXQ de AMS.

\*Transistor NMOS:

Supondremos la longitud mínima, es decir,  $L_n = 0.8\mu\text{m}$ .

Tomamos  $V_{GS} = V_{DD} = 5\text{ V}$ .

Los valores de los demás parámetros necesarios se han tomado de los catálogos que proporciona AMS ( $\mu_n C_{ox} = K_{PN} = 95\mu\text{A}/\text{V}^2$ ,  $V_T = V_{Tn} = 0.7\text{ V}$ ).

\*Transistor PMOS:

Los valores de catálogo son ahora  $K_{PP} = \mu_p C_{ox} = 32\mu\text{A}/\text{V}^2$ ,  $V_{Tp} = -0.8\text{ V}$ .

Tomamos  $L_p = 0.8\mu\text{m}$  y  $V_{SG} = V_{DD} = 5\text{ V}$ .

Se obtiene que las dimensiones de los transistores del inversor CMOS N+1-ésimo son:

\*Transistor NMOS:  $W_n = 8893\mu\text{m}$ .

$L_n = 0.8\mu\text{m}$ .

\*Transistor PMOS:  $W_p = 27031\mu\text{m}$ .

$L_p = 0.8\mu\text{m}$ .

En [2] se demuestra que si, para cada inversor, suponemos los transistores de longitud mínima ( $L_n = L_p$ ), para garantizar que la conmutación de '1' a '0' es igual que la de '0' a '1' (igualdad de corrientes) se ha de cumplir que  $W_p = 3W_n$ .

Como acabamos de ver, el inversor N+1-ésimo cumple lo anterior porque la relación entre anchuras es de 3.03.

Nosotros tomaremos  $W_p = 3W_n$  para todos los inversores. De este modo, para cada inversor de la cadena, conocida la anchura del transistor NMOS ( $W_n$ ), se obtiene rápidamente la anchura del transistor PMOS ( $W_p$ ).

- **Diseño de la cadena de N inversores.**

Como ya se dijo, para poder atacar a la capacidad de entrada del inversor de potencia se va a utilizar una cadena de N inversores CMOS. En este apartado vamos a describir el método que se ha usado en este proyecto para calcular el número adecuado de etapas inversoras, así como el dimensionamiento de los transistores de cada una de ellas.

Para una puerta inversora CMOS, los tiempos de conmutación ( $t_{LH}$ ,  $t_{HL}$ ) se calculan con las expresiones [2]:

$$t_{LH} = R_{on,p}(C_{outn} + C_{outp} + C_L)$$

$$t_{HL} = R_{on,n}(C_{outn} + C_{outp} + C_L)$$

Estos tiempos son directamente proporcionales a  $C_L$  por lo que aumentan si le conectamos a la salida otra puerta inversora ( $C_L$ ).

Son también directamente proporcionales a las capacidades de salida de los transistores que lo forman ( $C_{outp}$ ,  $C_{outn}$ ). Estas capacidades dependen directamente de  $W$ , por lo que un incremento de la anchura provoca un aumento de los tiempos  $t_{LH}$ ,  $t_{HL}$  de esa puerta.

Además, los tiempos de conmutación son directamente proporcionales a  $R_{on,p}$  o  $R_{on,n}$ . Estas resistencias disminuyen si aumenta  $W$ , por lo que un incremento de  $W$  provoca a su vez que disminuyan los tiempos de conmutación del inversor.

En este proyecto se utiliza una cadena de N+1 inversores (incluido el inversor de potencia).

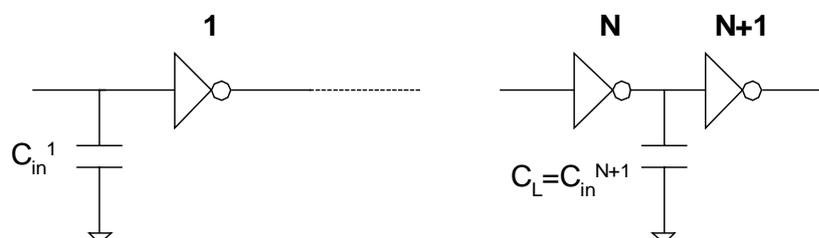


Fig 4.13. Estructura de la etapa de potencia.

En ella los transistores de un inversor tendrán como relación de aspectos la del transistor de su mismo tipo en el inversor anterior multiplicada por  $\alpha$ .

Como ya se ha visto, un incremento de  $W$  provoca por un lado el aumento de los tiempos de conmutación de una etapa respecto a la anterior (porque  $C_{out}$  crece ) y por otro una disminución de estos mismos tiempos (porque  $R_{on}$  decrece ).

Además, al conectarle a la salida otra etapa se está aumentando  $C_L$  y por tanto también  $t_{LH}$  y  $t_{HL}$ .

Puesto que los tiempos de conmutación son directamente proporcionales a  $R_{on}$  ,  $C_L$  y a  $C_{out}$  habrá que buscar un compromiso entre todos estos factores de forma que se consiga que estos tiempos sean lo más parecidos para todos los inversores de la cadena (reparto de carga), consiguiendo con ello que los pulsos tengan la misma anchura tras pasar por cada inversor.

Este factor es importante en nuestro diseño porque los moduladores generan señales digitales cuya evolución en el tiempo es proporcional a la señal senoidal. Por tanto, no debe modificarse dicha evolución porque la salida de los  $N+1$  inversores llega al filtro LP donde es demodulada.

Según [2] el número óptimo de inversores ( $N$ ) que puedo conectar para conseguir esto viene dado por:

$$N = \ln \left[ \frac{C_L}{C_{in}^1} \right] \quad (4.13)$$

$C_L$  es la capacidad de carga del inversor  $N$ -ésimo.

$C_{in}^1$  es la capacidad de entrada del primer inversor.

donde

$$C_{in}^1 = C_{ox}' (W_n + W_p) \quad (4.14)$$

$W_p$ ,  $W_n$  corresponden a los transistores del primer inversor. Tomamos,  $W_p = 3\mu\text{m}$  y  $W_n = 1\mu\text{m}$ .

La capacidad  $C_L$  será igual a la capacidad de entrada del inversor  $N+1$ -ésimo ( $C_{in}^{N+1}$ ) puesto que es el que actúa como carga del inversor  $N$ -ésimo. Por lo tanto, se calculará sustituyendo en la expresión (4.14) las dimensiones de los transistores del inversor  $N+1$ -ésimo anteriormente calculadas.

Con todo esto se obtiene de (4.13) que el número óptimo de etapas inversoras para atacar al inversor de potencia es:

$$N = 9 \text{ etapas.}$$

Vemos que el número total de inversores ( $N+1$ ) es 10 (par). Con esto, la fase de la señal digital a la entrada del filtro no cambia respecto a la que presentaba la señal a la salida del modulador.

Si el número obtenido hubiese sido impar no afectaría al funcionamiento, puesto que el amplificador que se está diseñando es para audio y la fase no es importante en aplicaciones de voz.

Una vez conocido  $N$ , podemos calcular las dimensiones de todos los inversores de la cadena.

Por la propia definición de la cadena de inversores se cumple:

$$W_{p,i} = \alpha W_{p,i-1} \quad \text{para } i = 2 \dots N$$

Por lo tanto, el número de multiplicaciones que debo realizar para obtener  $W_{p,10}$  a partir de  $W_{p,1}$  es igual a  $N$ .

Planteo, pues, la ecuación:

$$W_{p,10} = \alpha^N W_{p,1} \quad (4.15)$$

Y sustituyendo nuestros valores se obtiene  $\alpha = 2.75$ .

Con todos estos datos, se calculan con la expresión anterior las anchuras de los transistores PMOS. Para calcular las de los NMOS se utiliza la expresión vista anteriormente para un inversor CMOS es decir,  $W_p = 3W_n$ .

Ésto es igual para todos los inversores.

Los resultados se muestran en la siguiente tabla:

Dimensiones ( $\mu\text{m}$ )	Inversor i-ésimo									
	1	2	3	4	5	6	7	8	9	10
PMOS ( $W_p$ )	3	8.25	22.69	62.39	171.57	471.83	1297.5	3568.2	9812.57	26984.5
NMOS( $W_n$ )	1	2.75	7.56	20.79	57.19	157.27	432.5	1189.4	3270.85	8994.6

Tabla 4.1. Dimensiones de los transistores de los inversores de la etapa de potencia.

Nota. Suponemos para todos los transistores dimensiones de longitud mínimas ( $L_p = L_n = 0.8 \mu\text{m}$ ) porque así la intensidad proporcionada es mayor.

- **Consideraciones prácticas.**

En el cálculo visto se ha supuesto que la suma de la potencia disipada en la etapa de modulación y en la cadena de inversores es la misma tanto para el diseño PWM como para el Sigma-Delta (e igual a  $0.03 W$ ).

Si considerásemos que la  $P_d$  obtenida es igual para ambos diseños, se obtendrían las mismas dimensiones para la cadena de  $N$  inversores que va delante de los transistores de potencia y por tanto el mismo consumo. La diferencia estaría, pues, en la etapa de modulación y por tanto en  $P_{\text{chip}}$ .

El valor  $0.03 W$  se ha tomado de [1] donde se dimensiona la cadena de inversores para el caso de un modulador Sigma-Delta. Por lo tanto, ha de considerarse este dato como

un límite mínimo de esta suma, ya que acabamos de ver que el consumo en la cadena de inversores es fijo y por otro lado, se espera que el de la etapa de modulación Sigma-Delta sea menor que el de la PWM.

Debido a su mayor consumo, el diseño del amplificador de clase D que utiliza la modulación PWM tendrá  $P_{\text{chip}}$  mayor y por tanto una eficiencia menor.

En cualquier caso, la suma de la potencia disipada en la etapa de modulación y en la cadena de inversores es una fracción muy pequeña del total y los valores de eficiencia en ambos diseños serán parecidos y altos (característica de los amplificadores de Clase D).

Por tanto, podemos considerar la misma eficiencia para ambos y utilizar en CADENCE la cadena de N+1 inversores que se acaba de calcular en los dos diseños del amplificador Clase D, porque el error que se está cometiendo es pequeño.

#### **4.2.5. FILTRO ANALÓGICO LP.**

Como ya se comentó, se va a utilizar el mismo filtro para ambos esquemas del amplificador Clase D. Por lo tanto los resultados que aquí se obtengan son válidos para ambos diseños.

Siguiendo el procedimiento visto en el capítulo “Diseño de Filtros”, en este apartado se va a obtener la realización pasiva del filtro analógico LP que se necesita en el amplificador de audio Clase D.

- **Diseño del circuito RLC.**

Como ya se vio en el capítulo 2, la función de transferencia para el filtro LP que proporciona mejores resultados en Matlab es:

$$H(s) = \frac{3.60856 \cdot 10^7}{s^2 + 8.49536 \cdot 10^3 s + 3.60856 \cdot 10^7}$$

Si recordamos la teoría sobre filtros vista en el apartado 2.1, los valores de los elementos R, L y C del circuito elegido para implementar la función de transferencia deseada se calculan con las siguientes expresiones.

$$\frac{1}{LC} = 4\pi^2 \cdot F_0^2$$

$$\frac{1}{RC} = 2\pi \cdot F_1$$

$F_1$  es el coeficiente de 's' del denominador de H(s).

$F_0^2$  el término independiente del denominador de H(s).

Si sustituimos,  $R=8\Omega$ , se obtienen los valores,  $L=299.75\mu\text{H}$ ,  $C=2.34\mu\text{F}$ .

- **Respuesta en frecuencia del circuito RLC.**

Creamos en la librería CADENCE de este proyecto la celda “filtro” que contiene el siguiente esquema:

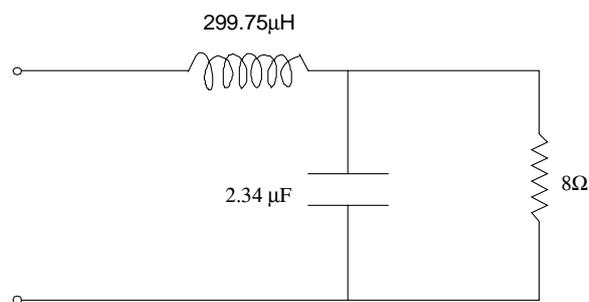


Fig.4.14. Síntesis pasiva del filtro LP analógico de tipo Butterworth.

Para estudiar su respuesta en frecuencia, se realiza en CADENCE un análisis AC de esta celda.

Como ya se ha comentado, sólo nos interesa la respuesta en magnitud de este filtro. Es por ello que se representa la magnitud en dB a la salida del filtro frente a la frecuencia.

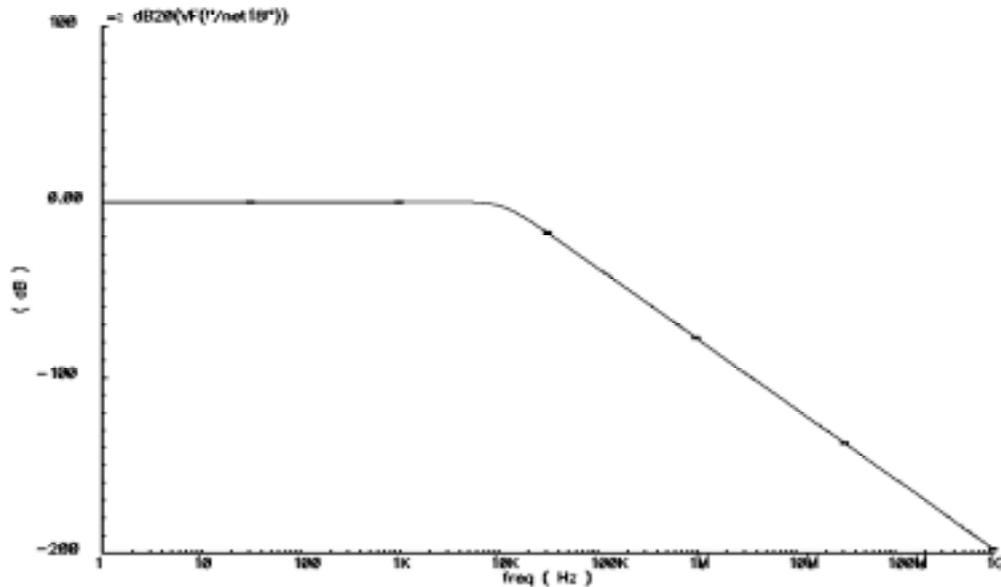


Fig 4.15. Respuesta en magnitud del filtro LP analógico.

Se observa que, tal y como se desea, la magnitud es prácticamente plana para la frecuencia de interés, es decir, 5KHz.

### 4.3. RESULTADOS.

Tras generar en CADENCE todos los bloques necesarios para implementar los dos diseños del amplificador Clase D, en este apartado se muestran y estudian los resultados que se obtienen tras su simulación. Ésto nos servirá para plantear en el siguiente capítulo las conclusiones a las que se ha llegado tras realizar este proyecto.

#### 4.3.1. AMPLIFICADOR DE AUDIO CLASE D PWM.

Se parte de la celda “GEN\_RAMPA\_test” que corresponde al bloque modulador PWM y, siguiendo el esquema de un amplificador de audio Clase D visto en la teoría, se conecta su salida a la cadena de inversores y el filtro previamente diseñados.

Tras la simulación, se observa que a la salida del último inversor, no se obtiene una señal digital como ocurre en la salida del resto de inversores de la cadena. Ésto se debe a que el último inversor (transistores de potencia) es el que ataca a la carga proporcionándole la corriente que necesita.

Para solucionar ésto, se añade una ‘capacidad de bypass’ entre el último inversor y el filtro RLC. Esta capacidad a alta frecuencia es un cortocircuito y con ella se consigue la estabilidad de la polarización sin que disminuya la tensión.

Se toma el valor  $C_{\text{bypass}} = 100 \mu\text{F}$ .

Se estudia la respuesta en frecuencia de este nuevo filtro realizando el análisis AC en CADENCE y se representa el diagrama de Bode de la magnitud.

Se observa que esta capacidad modifica la respuesta en frecuencia del filtro, pero su pequeño valor tiene un impacto despreciable sobre la frecuencia superior de la banda de paso ( $F_p$ ) y lo que es muy importante, la frecuencia de interés ( $F_{\text{sin}} = 5 \text{ KHz}$ ) está dentro de la banda de paso(máximamente plana).

Por lo tanto, la ‘capacidad de bypass’ hace que a muy bajas frecuencias la magnitud no tenga la forma teórica de un filtro LP Butterworth, pero ésto no afecta al funcionamiento del amplificador diseñado en este proyecto.

A la salida se obtiene una señal senoidal de la misma frecuencia que la señal de entrada al amplificador. Se ha medido la distorsión de esta señal y se ha obtenido  $\text{THD} = 0.3\%$ .

#### **4.3.2. AMPLIFICADOR DE AUDIO CLASE D SIGMA-DELTA.**

- **Modelo en tiempo continuo.**

Volviendo al apartado 1.1 donde se vió el diagrama de bloques de un amplificador de audio Clase D, la salida del modulador Sigma-Delta (+1, -1) ha de atacar la entrada de la etapa de potencia.

Si recordamos el diseño hecho en CADENCE del modulador Sigma-Delta en tiempo continuo, esta señal es la salida diferencial de la celda “comparador\_ramon”.

Sin embargo, para recuperar la señal original es suficiente filtrar una de las dos salidas del comparador ( $V_{OUTN}$ ). Ésto es así porque la única diferencia entre la señal que se filtra y la que se debería filtrar es el nivel de continua y por tanto, la potencia.

La salida de la cadena de inversores se ha de conectar al filtro RLC. Al igual que en el caso del amplificador que usa la modulación PWM, en este diseño también se necesita añadir la 'capacidad de bypass' entre ellos.

Tras conectar todos los bloques ya generados en CADENCE se procede a su simulación.

En la siguiente figura se muestra la salida de este amplificador de audio Clase D. Se puede observar como efectivamente se obtiene una señal sinusoidal de la misma frecuencia que la señal de entrada al amplificador.

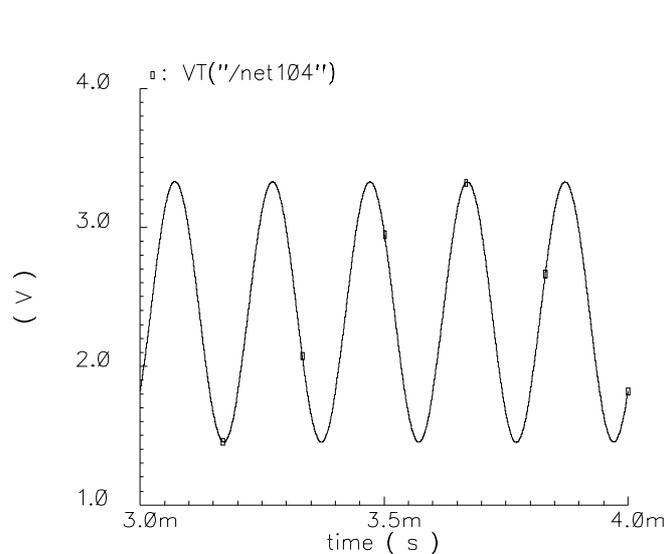


Fig 4.16. Señal a la salida del filtro LP analógico.

Si recordamos, la entrada a este modulador tiene una amplitud  $V_{pp} = 2V$ . Se observa que la señal ha sufrido una pequeña atenuación.

Se ha medido la distorsión de esta señal y se ha obtenido  $THD = 1\%$ .

- **Modelo en tiempo discreto.**

Se toma como entrada al amplificador un seno de amplitud de pico 1V, valor de continua nulo y frecuencia  $F_{in}= 5 \text{ KHz}$ . A partir de ésta se genera la entrada balanceada para el modulador( $V_{inp}$ ,  $V_{inn}$ ).

Se parte del símbolo generado para el modulador en tiempo discreto. Se toman los valores  $V_{REFP}=3.75 \text{ V}$  y  $V_{REFN}= 1.25\text{V}$  (valores típicos) y se conecta a una de sus salidas, los mismos elementos que en el modelo en tiempo continuo.

Tras conectarlos todos, se procede a la simulación en CADENCE.

En la siguiente figura se muestra la salida de este amplificador de audio Clase D. Se puede observar como efectivamente se obtiene una señal sinusoidal de la misma frecuencia que la señal de entrada al amplificador.

Si recordamos, la entrada a este modulador tiene una amplitud  $V_{pp} =2\text{V}$ . Se observa que la señal ha sufrido una pequeña atenuación.

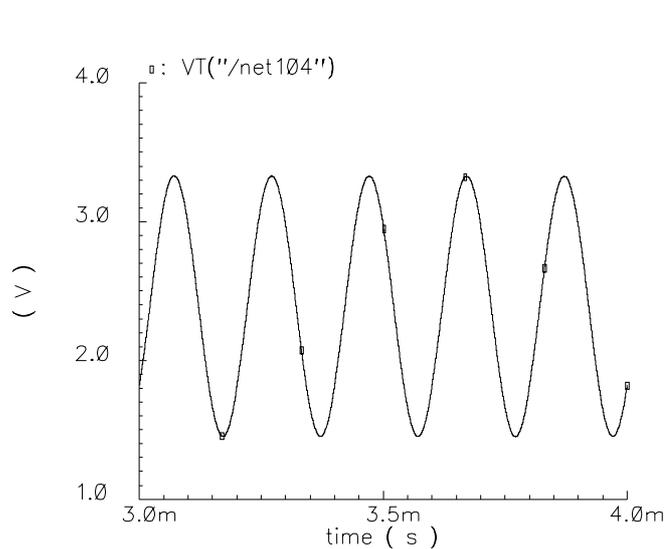


Fig 4.17. Señal a la salida del filtro LP analógico.

Se ha medido la distorsión de esta señal y se ha obtenido  $\text{THD} =0.5\%$ .

## CAPÍTULO 5

# CONCLUSIONES

En este proyecto se ha estudiado la aplicación de un amplificador Clase D para telefonía móvil(GSM).

La idea de plantear el uso de la modulación Sigma-Delta como alternativa a la de PWM se debe a que las características de esta nueva técnica hacen pensar en la aparición de ventajas adicionales para el amplificador Clase D que lo harían aún más adecuado para esta aplicación.

Se han estudiado, diseñado y simulado ambos esquemas.

- **Conclusiones.**

Del estudio hecho en este proyecto se ha obtenido como resultado que el uso de la técnica Sigma-Delta dentro de un amplificador de audio Clase D es válido, porque a la salida se obtiene una señal senoidal de la misma frecuencia que la de entrada.

Viendo los resultados que se han obtenido en la simulación en CADENCE, se puede afirmar que los valores de distorsión (THD) medidos para el esquema que usa la técnica Sigma-Delta, tanto en el modelo en tiempo continuo como en el discreto, están dentro del rango admisible para este tipo de aplicación (0.5-1%).

Sin embargo, la distorsión que presenta el amplificador que usa la técnica PWM es menor que la del que se propone como alternativa.

Se ha observado, por otro lado, que la relación señal-ruido a la salida del modulador Sigma-Delta podría mejorarse si se eliminasen los tonos que aparecen en el espectro, propios del tipo de modulador empleado. Ésto nos hace pensar en una forma de reducir el valor de distorsión obtenido para el amplificador Clase D Sigma-Delta.

Atendiendo a los métodos planteados en la bibliografía para conseguir eliminar dichos tonos, se ha estudiado en este proyecto (capítulo 3) la aplicación de distintas señales ‘dither’ a la entrada del modulador y se ha observado cómo efectivamente el uso de una señal senoidal de baja frecuencia, fuera de la banda audible, es un método válido para contrarrestarlos. Sin embargo, no se ha llegado a implementar en CADENCE porque éste no era el objetivo del proyecto.

Por todo lo anterior, se ha mostrado con este proyecto que el diseño de amplificador Clase D que emplea la modulación Sigma-Delta es adecuado para equipos de telefonía móvil.

Si bien se obtienen valores de distorsión peores, la ventaja de usar este tipo de modulador en un amplificador Clase D está en que este circuito es el mejor que existe actualmente para aplicaciones de baja tensión y porque, además permite que el diseñador pueda decidir de antemano la relación SNR (calidad) que desea a la salida.

# BIBLIOGRAFÍA.

- [1] Jun-woo Lee, Jae-shin Lee, Gun-sang Lee, Suki Kim (IEEE Senior Member). 'A 2W BTL Single-Chip Class-D Power Amplifier with Very High Efficiency for Audio Applications'. ISCAS 2000, May 28-31. pp.V-493, V-496.
- [2] Apuntes de la asignatura 'Microelectrónica Digital', 4º curso Ingeniería de Telecomunicación. Tema 'Inversor CMOS'.
- [3] Steven R. Norsworthy, Richard Schreier, Gabor C. Temes. 'Delta-Sigma Data Converters: Theory, Design and Simulation'. IEEE PRESS, 1997.
- [4] James A. Cherry, W. Martin Snelgrove. 'Continuous-time Delta-Sigma Modulators for High-Speed A/D conversion': Theory, Practice and Fundamental Performance Limits'. Kluwer Academic Publishers, 2000.
- [5] David A. Johns, Ken Martin. 'Analog Integrated Circuit Design'. John Wiley & Sons, Inc. 1997. pp.531-551.
- [6] Apuntes de la asignatura 'Transmisión de Datos', 3º curso Ingeniería de Telecomunicación. Tema 'Cuantización'.
- [7] Lucien Johannes Breems. 'Continuous-Time sigma-Delta Modulation for IF A/D Conversion in Radio Receivers'. 2001.
- [8] Apuntes de la asignatura 'Análisis y Síntesis de Circuitos', 3º curso Ingeniería de Telecomunicación. Tema 'Diseño de filtros'.
- [9] Notas de aplicación de MAXIM 'Output-Filter Optimization for Class-D Audio Amplifiers'.
- [10] Jeffrey D. Sherman 'Class D Amplifiers provide high efficiency for audio systems'. EDN, Mayo 1995.
- [11] John G. Proakis, Dimitris G. Manolakis; traducción, Verónica Santalla del Río, Jose Luis Alba Castro. 'Tratamiento Digital de Señales. Principios, Algoritmos y Aplicaciones'. Prentice & Hall, 2000.
- [12] Alan V. Oppenheim, Ronald W. Schaffer, con John R. Buck. "Tratamiento de señales en tiempo discreto". Prentice hall, 2000.
- [13] Notas de aplicación de MOTOROLA 'Class D Amplifier using DSP5680x'.
- [14] Apuntes de la asignatura 'Diseño de circuitos y Sistemas Electrónicos', 4º curso Ingeniería de Telecomunicación. Tema 'Circuitos SC'.