

- En la primera de ellas, en respuesta a una entrada V_i , el valor de salida es una función del signo de V_i , proveniente de $|V_i - V_{off}| > V_{his}$, donde V_{off} y V_{his} representa el offset y la histéresis del comparador respectivamente.
- En la otra la salida se determina aleatoriamente en el modelo de la dinámica de histéresis.
- En la última simplemente no cambia por ser el modelo determinista.

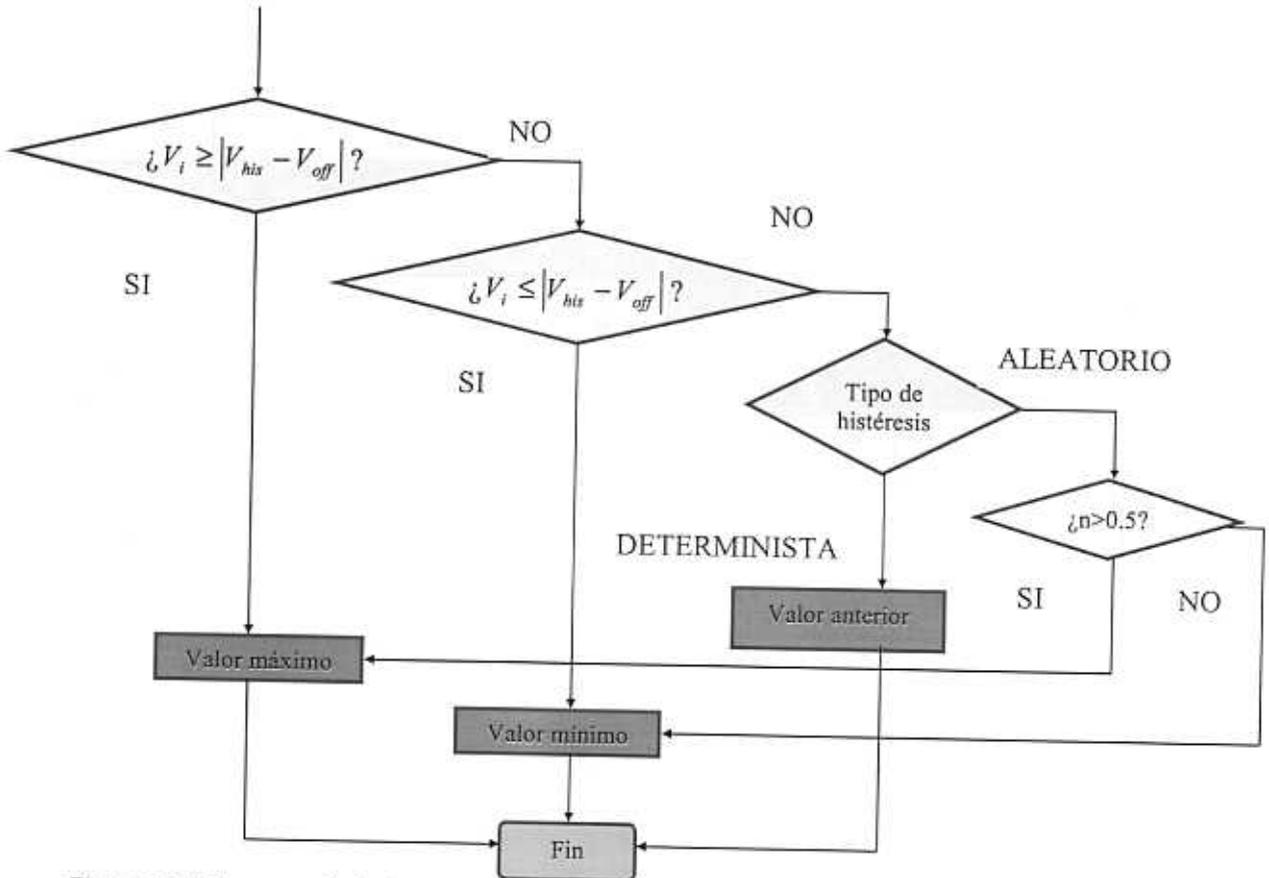


Figura 3.20. Diagrama de flujo del modelo del comparador

3.5.2. Modelo en VHDL y VERILOG

El modelo de comparador tiene como entradas aparte de la tensión de entrada, los parámetros que se pueden necesitar variar durante la simulación que son: la tensión de offset (V_{off}) y la tensión de histéresis (V_{his}), ambas en voltios. Otras entradas necesarias son el Reset, que sirve para resetear el bloque a su estado inicial que es a la tensión máxima, y el reloj, que sirve para que el comparador solo cambie su salida con los flancos de bajada del reloj. Esto se puede ver en la Figura 3.21.

Como GENERICS en VHDL o parámetros en VERILOG necesita el valor máximo y el valor mínimo de salida y el tipo de histéresis que tiene el comparador, 0 determinista o 1 aleatoria.