



Proyecto Fin de Carrera

**Estudio de las no idealidades  
de los moduladores  
Sigma-Delta multitasa**



Autor: M<sup>a</sup> Dolores López Chica  
Tutor: Francisco Colodro Ruiz

Quisiera agradecer a mi tutor D. Francisco Colodro su paciencia y ayuda para la realización de este proyecto y a mis padres y mi novio por animarme a proseguir con él y acompañarme en mis horas frente al ordenador.

## **Índice:**

|                                                                     |           |
|---------------------------------------------------------------------|-----------|
| <b>1.- OBJETIVOS DEL PROYECTO.....</b>                              | <b>19</b> |
| 1.1.- INTRODUCCIÓN .....                                            | 19        |
| 1.2.- OBJETIVOS .....                                               | 22        |
| <br><b>2.- MODULACIÓN DIGITAL. MODULADORES SIGMA-DELTA.....</b>     | <b>24</b> |
| 2.1.- INTRODUCCIÓN .....                                            | 24        |
| 2.2.- CUANTIZACIÓN.....                                             | 24        |
| 2.3.- MODULACIÓN SIGMA-DELTA .....                                  | 26        |
| <br><b>3.- MODULADOR SIGMA-DELTA MULTIBIT Y MULTITASA: MM-SD</b>    |           |
| .....                                                               | <b>32</b> |
| 3.1.- INTRODUCCIÓN .....                                            | 32        |
| 3.2.- DESCRIPCIÓN DEL MODULADOR MM-SD .....                         | 33        |
| 3.3.- SIMULACIONES Y RESULTADOS.....                                | 35        |
| <br><b>4.- MODULADOR SIGMA-DELTA MULTITASA DE 1 BIT: MS-SD.....</b> | <b>39</b> |
| 4.1.- INTRODUCCIÓN .....                                            | 39        |
| 4.2.- DESCRIPCIÓN DEL MODULADOR MS-SD.....                          | 39        |
| 4.3.- SIMULACIONES Y RESULTADOS.....                                | 43        |
| <br><b>5.- MODULADOR SIGMA-DELTA MULTITASA EN CASCADA: MC-SD</b>    |           |
| .....                                                               | <b>45</b> |
| 5.1.- INTRODUCCIÓN .....                                            | 45        |
| 5.2.- DESCRIPCIÓN DEL MODULADOR MC-SD .....                         | 46        |
| 5.3.- SIMULACIONES Y RESULTADOS.....                                | 48        |
| <br><b>6.- MODELOS PARA LAS NO-IDEALIDADES EN LOS</b>               |           |
| <b>MODULADORES SIGMA-DELTA.....</b>                                 | <b>50</b> |
| 6.1.- INTRODUCCIÓN .....                                            | 50        |
| 6.2.- INESTABILIDAD DEL RELOJ.....                                  | 50        |
| 6.3.- RUIDO EN EL INTEGRADOR.....                                   | 52        |
| 6.3.1.- <i>Ruido térmico de los interruptores</i> .....             | 53        |
| 6.3.2.- <i>Ruido del amplificador operacional</i> .....             | 55        |
| 6.4.- NO IDEALIDADES DEL INTEGRADOR .....                           | 56        |
| 6.4.1.- <i>Ganancia en Continua</i> .....                           | 57        |
| 6.4.2.- <i>Ancho de banda finito y slew rate</i> .....              | 57        |
| 6.4.3.- <i>Saturación</i> .....                                     | 60        |

|                                                                                                  |           |
|--------------------------------------------------------------------------------------------------|-----------|
| <b>7.- MODELOS SIMULINK® PARA LAS ARQUITECTURAS PRESENTADAS Y COMPARATIVAS .....</b>             | <b>61</b> |
| 7.1.- INTRODUCCIÓN.....                                                                          | 61        |
| 7.2. RESULTADOS TEÓRICOS .....                                                                   | 63        |
| 7.2.1.- <i>Introducción</i> .....                                                                | 63        |
| 7.2.2.- <i>Caso ideal</i> .....                                                                  | 67        |
| (a) Arquitectura sd2c .....                                                                      | 67        |
| (b) Arquitectura sd2c_3bit .....                                                                 | 68        |
| (c) Arquitectura sd2mm.....                                                                      | 69        |
| (d) Arquitectura sd2ms .....                                                                     | 70        |
| (e) Arquitectura sd4mc .....                                                                     | 71        |
| 7.2.3.- <i>Ruidos jitter, térmico y del amplificador operacional</i> .....                       | 72        |
| 7.2.3.1.- Jitter .....                                                                           | 72        |
| (a) Arquitectura sd2c .....                                                                      | 73        |
| (b) Arquitecturas sd2mm, sd2ms y sd2c_3bit .....                                                 | 73        |
| (c) Arquitectura sd4mc .....                                                                     | 74        |
| 7.2.3.2.- Ruido en el integrador .....                                                           | 74        |
| (a) Arquitectura sd2c .....                                                                      | 74        |
| (b) Arquitecturas sd2mm, sd2ms y sd2c_3bit .....                                                 | 76        |
| (c) Arquitectura sd4mc .....                                                                     | 77        |
| 7.2.3.3.- Valores límites de los parámetros calculados teóricamente .....                        | 78        |
| 7.3.- RESULTADOS DE SIMULACIÓN.....                                                              | 79        |
| 7.3.1.- <i>Introducción</i> .....                                                                | 79        |
| 7.3.2.- <i>Caso ideal</i> .....                                                                  | 79        |
| (a) Arquitectura sd2c .....                                                                      | 79        |
| (b) Arquitectura sd2c_3bit .....                                                                 | 81        |
| (c) Arquitectura sd2mm.....                                                                      | 82        |
| (d) Arquitectura sd2ms .....                                                                     | 84        |
| (e) Arquitectura sd4mc .....                                                                     | 86        |
| (f) Comparación caso ideal.....                                                                  | 87        |
| 7.3.3. <i>No idealidades</i> .....                                                               | 89        |
| 7.3.3.1.- Jitter .....                                                                           | 90        |
| (a) Arquitectura sd2c .....                                                                      | 90        |
| (b) Arquitectura sd2c_3bit .....                                                                 | 92        |
| (c) Arquitectura sd2mm.....                                                                      | 93        |
| (d) Arquitectura sd2ms .....                                                                     | 94        |
| (e) Arquitectura sd4mc .....                                                                     | 96        |
| (f) Resultados: Valores límites del parámetro delta .....                                        | 97        |
| 7.3.3.2.- Ruido en el integrador .....                                                           | 98        |
| (a) Arquitectura sd2c .....                                                                      | 99        |
| (b) Arquitectura sd2c_3bit .....                                                                 | 103       |
| (c) Arquitectura sd2mm.....                                                                      | 106       |
| (d) Arquitectura sd2ms .....                                                                     | 109       |
| (e) Arquitectura sd4mc .....                                                                     | 112       |
| (f) Resultados: Valores límites de los parámetros $C_s$ y $V_n$ .....                            | 115       |
| 7.3.3.3. No idealidades del integrador .....                                                     | 117       |
| (a) Arquitectura sd2c .....                                                                      | 119       |
| (b) Arquitectura sd2c_3bit .....                                                                 | 121       |
| (c) Arquitectura sd2mm.....                                                                      | 122       |
| (d) Arquitectura sd2ms .....                                                                     | 124       |
| (e) Arquitectura sd4mc .....                                                                     | 126       |
| (f) Resultados: Valores límites de los parámetros $A_o$ , $V_{sat}$ , $\tau$ y $SR$ .....        | 127       |
| 7.3.3.4. Efectos conjuntos de jitter, ruido del integrador y no idealidades del integrador ..... | 129       |
| (a) Arquitectura sd2c .....                                                                      | 129       |
| (b) Arquitectura sd2c_3bit .....                                                                 | 131       |
| (c) Arquitectura sd2mm.....                                                                      | 132       |

|                                                         |     |
|---------------------------------------------------------|-----|
| (d) Arquitectura sd2ms .....                            | 134 |
| (e) Arquitectura sd4mc .....                            | 136 |
| (f) Resultados: Valores límites de los parámetros ..... | 138 |

|                                                                                      |            |
|--------------------------------------------------------------------------------------|------------|
| <b>8.- APÉNDICE A: REALIZACIÓN ELECTRÓNICA DE<br/>MODULADORES SD MULTITASA .....</b> | <b>140</b> |
| 8.1.- INTRODUCCIÓN .....                                                             | 140        |
| 8.2.- REALIZACIÓN COMPLETA DEL S&H.....                                              | 141        |
| 8.3.- ACUMULACIÓN ALTERNADA DE LA CARGA .....                                        | 142        |
| 8.4.- RESULTADOS DE SIMULACIÓN.....                                                  | 145        |
| 8.4.1.- <i>El modulador SD multitasa y multibit</i> .....                            | 145        |
| 8.4.2.- <i>El modulador SD multitasa en cascada</i> .....                            | 146        |
| 8.4.3.- <i>Modulador SD multitasa y single bit</i> .....                             | 147        |
| <br><b>9.- APÉNDICE B: FUNCIONES MATLABÒ .....</b>                                   | <b>150</b> |
| <br><b>10.- APÉNDICE C: BLOQUES SIMULINKÒ .....</b>                                  | <b>157</b> |
| <br><b>GLOSARIO DE TÉRMINOS Y ACRÓNIMOS.....</b>                                     | <b>167</b> |
| <br><b>BIBLIOGRAFÍA.....</b>                                                         | <b>168</b> |

## Índice de figuras:

|               |                                                                                                                                                      |    |
|---------------|------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| ➤ Figura 1.1. | Modulación por codificación de pulsos convencional, incluyendo filtros analógicos para controlar el ruido de aliasing y suavizado de la salida ..... | 20 |
| ➤ Figura 1.2. | Modulación por codificación de pulsos con sobremuestreo .....                                                                                        | 21 |
| ➤ Figura 2.1. | (a) Característica de un cuantizador uniforme multinivel representado mediante una ganancia lineal $G$ y un error $e$ (b) Error de cuantización..... | 25 |
| ➤ Figura 2.2. | (a) Esquema del modulador Sigma-Delta (b) Circuito equivalente.....                                                                                  | 27 |
| ➤ Figura 2.3. | Error de cuantización frente al ruido de cuantización para el modulador sigma-delta.....                                                             | 29 |
| ➤ Figura 2.4. | Modulador sigma-delta de segundo orden.....                                                                                                          | 30 |
| ➤ Figura 3.1. | Arquitectura del modulador MM-SD .....                                                                                                               | 33 |
| ➤ Figura 3.2. | Resultados de simulación para $h=2$ , $OSR=128$ y $M_r=2$ .....                                                                                      | 37 |
| ➤ Figura 3.3. | Resultados de simulación para $h=2$ , $OSR=128$ y $M_r=4$ .....                                                                                      | 37 |
| ➤ Figura 3.4. | Resultados de simulación para $h=2$ , $OSR=128$ y $M_r=8$ .....                                                                                      | 37 |
| ➤ Figura 4.1. | Moduladores SD multitasa. (a) Modulador MM-SD (b) Modulador MS-SD.....                                                                               | 40 |
| ➤ Figura 4.2. | Amplitud y retraso de grupo de la expresión 4.2.8 para $M_r=2, 4, 8$ .....                                                                           | 43 |
| ➤ Figura 4.3. | SNDR para diferentes moduladores sigma-delta de segundo orden.....                                                                                   | 44 |
| ➤ Figura 5.1. | Modulador SD 2-2 multitasa en cascada.....                                                                                                           | 47 |
| ➤ Figura 5.2. | Relación SNDR frente a la amplitud de la señal de entrada para moduladores SD de orden 2-2 en cascada .....                                          | 49 |
| ➤ Figura 6.1. | Modelo de jitter aleatorio en el muestreo .....                                                                                                      | 51 |

|                |                                                                                                                                  |    |
|----------------|----------------------------------------------------------------------------------------------------------------------------------|----|
| ➤ Figura 6.2.  | Modelo de un integrador 'ruidoso' .....                                                                                          | 53 |
| ➤ Figura 6.3.  | Integrador single-ended SC .....                                                                                                 | 53 |
| ➤ Figura 6.4.  | Modelo del ruido térmico de los interruptores (bloque<br>kT/C ).....                                                             | 54 |
| ➤ Figura 6.5.  | Modelo del ruido del amplificador operacional.....                                                                               | 55 |
| ➤ Figura 6.6.  | Modelo de un integrador real.....                                                                                                | 56 |
| ➤ Figura 6.7.  | Circuito equivalente durante la fase de integración.....                                                                         | 58 |
| ➤ Figura 6.8.  | Diagrama del algoritmo usado para modelar las<br>limitaciones de ancho de banda y slew-rate del<br>amplificador operacional..... | 59 |
|                |                                                                                                                                  |    |
| ➤ Figura 7.1.  | SNDR teórica y de simulación en el caso ideal para la<br>arquitectura sd2c.....                                                  | 68 |
| ➤ Figura 7.2.  | SNDR teórica y de simulación en el caso ideal para la<br>arquitectura sd2c_3bit.....                                             | 69 |
| ➤ Figura 7.3.  | SNDR teórica y de simulación en el caso ideal para la<br>arquitectura sd2mm.....                                                 | 70 |
| ➤ Figura 7.4.  | SNDR teórica y de simulación en el caso ideal para la<br>arquitectura sd2ms .....                                                | 71 |
| ➤ Figura 7.5.  | SNDR teórica y de simulación en el caso ideal para la<br>arquitectura sd4mc .....                                                | 72 |
| ➤ Figura 7.6.  | Modulador SD de 2º orden de 1-bit: sd2c.....                                                                                     | 80 |
| ➤ Figura 7.7.  | SNDR del modulador SD2C frente a la amplitud de la<br>señal de entrada.....                                                      | 80 |
| ➤ Figura 7.8.  | Modulador sobremuestreo- 3bit de 2º orden:<br>sd2c_3bit.....                                                                     | 81 |
| ➤ Figura 7.9.  | SNDR del modulador SD2C_3bit frente a la amplitud<br>de la señal de entrada.....                                                 | 82 |
| ➤ Figura 7.10. | Modulador Multitasa-Multibit de 2º orden: sd2mm.....                                                                             | 83 |
| ➤ Figura 7.11. | SNDR del modulador SD2MM frente a la amplitud de<br>la señal de entrada.....                                                     | 84 |
| ➤ Figura 7.12. | Modulador Multitasa- 1bit de 2º orden: sd2ms .....                                                                               | 85 |
| ➤ Figura 7.13. | SNDR del modulador SD2MS frente a la amplitud de<br>la señal de entrada.....                                                     | 85 |

|                                                                                                                                                               |     |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|
| ➤ Figura 7.14. Modulador SD 2-2 Multitasa en cascada: sd4mc .....                                                                                             | 86  |
| ➤ Figura 7.15. SNDR del modulador SD4MC frente a la amplitud de la señal de entrada.....                                                                      | 87  |
| ➤ Figura 7.16. Relación SNDR frente a la amplitud de la señal de entrada en el caso ideal, para las arquitecturas SD2C, SD2C_3bit, SD2MM, SD2MS y SD4MC ..... | 88  |
| ➤ Figura 7.17. Modelo de modulador SD con Jitter.....                                                                                                         | 90  |
| ➤ Figura 7.18. Relación SNDR frente a la Amplitud de la señal de entrada del modulador sd2c afectado por ruido Jitter.....                                    | 91  |
| ➤ Figura 7.19. Relación SNDR frente a la Amplitud de la señal de entrada del modulador sd2c_3bit afectado por ruido Jitter .....                              | 92  |
| ➤ Figura 7.20. Relación SNDR frente a la Amplitud de la señal de entrada del modulador sd2mm afectado por ruido Jitter .....                                  | 93  |
| ➤ Figura 7.21. Relación SNDR frente a la Amplitud de la señal de entrada del modulador sd2ms afectado por ruido Jitter.....                                   | 95  |
| ➤ Figura 7.22. Relación SNDR frente a la Amplitud de la señal de entrada del modulador sd4mc afectado por ruido Jitter.....                                   | 96  |
| ➤ Figura 7.23. Modelo de modulador SD considerando el ruido en los integradores.....                                                                          | 98  |
| ➤ Figura 7.24. Relación SNDR frente a la amplitud para el modulador sd2c afectado por el ruido térmico .....                                                  | 100 |
| ➤ Figura 7.25. Relación SNDR frente a la amplitud para el modulador sd2c afectado con ruido en el integrador.....                                             | 101 |
| ➤ Figura 7.26. Relación SNDR frente a la amplitud para el modulador sd2c_3bit afectado por ruido térmico.....                                                 | 103 |
| ➤ Figura 7.27. Relación SNDR frente a la amplitud para el modulador sd2c_3bit afectado con ruido en el integrador.....                                        | 104 |
| ➤ Figura 7.28. Relación SNDR frente a la amplitud para el modulador sd2mm afectado por ruido térmico.....                                                     | 106 |
| ➤ Figura 7.29. Relación SNDR frente a la amplitud para el modulador sd2mm afectado con ruido en el integrador .....                                           | 107 |

|                                                                                                                                                                               |     |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|
| ➤ Figura 7.30. Relación SNDR frente a la amplitud para el modulador sd2ms afectado por ruido térmico .....                                                                    | 109 |
| ➤ Figura 7.31. Relación SNDR frente a la amplitud para el modulador sd2ms afectado con ruido en el integrador.....                                                            | 110 |
| ➤ Figura 7.32. Relación SNDR frente a la amplitud para el modulador sd4mc afectado por ruido térmico .....                                                                    | 112 |
| ➤ Figura 7.33. Relación SNDR frente a la amplitud para el modulador sd4mc afectado con ruido en el integrador.....                                                            | 113 |
| ➤ Figura 7.34. Modelo Simulink® del integrador real.....                                                                                                                      | 118 |
| ➤ Figura 7.35. Modelo arquitectura sd2c considerando jitter, ruido y no idealidades del integrador .....                                                                      | 129 |
| ➤ Figura 7.36. Modelo arquitectura sd2c_3bit considerando jitter, ruido y no idealidades del integrador.....                                                                  | 131 |
| ➤ Figura 7.37. Modelo arquitectura sd2mm considerando jitter, ruido y no idealidades del integrador .....                                                                     | 133 |
| ➤ Figura 7.38. Modelo arquitectura sd2ms considerando jitter, ruido y no idealidades del integrador .....                                                                     | 135 |
| ➤ Figura 7.39. Modelo arquitectura sd4mc considerando jitter, ruido y no idealidades del integrador .....                                                                     | 137 |
|                                                                                                                                                                               |     |
| ➤ Figura 8.1. Arquitectura del modulador SD2MM de segundo orden. El primer integrador trabaja a una frecuencia 4 veces menor que el segundo .....                             | 140 |
| ➤ Figura 8.2. Detalle de los integradores y el S&H completo.....                                                                                                              | 141 |
| ➤ Figura 8.3. Arquitectura funcional del modulador SD2MM con acumulación alterna de la salida del primer integrador en el segundo .....                                       | 142 |
| ➤ Figura 8.4. Circuitería analógica del modulador SD multifrecuencia. El primer integrador trabaja a una frecuencia 4 veces menor que el segundo.....                         | 143 |
| ➤ Figura 8.5. Fases de muestreo e integración del modulador. S1: muestreo de ambos condensadores del primer integrador ( $\phi_{s1}$ ); I1: integración del primer integrador |     |

|                 |                                                                                                                                                                                                                  |     |
|-----------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|
|                 | ( $\phi_{I1}$ ); S2: muestreo de $C_{s2}(\phi_{s2})$ ; S3: muestreo de $C_{f2}(\phi_{s3})$ ; I2: integración del segundo integrador ( $\phi_{I2}$ ); I3: integración del segundo integrador ( $\phi_{I3}$ )..... | 144 |
| ➤ Figura 8.6.   | SNDR vs. Amplitud del SD2MM. Línea con círculos S&H completo: $R(z)=(1+z^{-1}+z^{-2}+z^{-3})/4$ y línea con cruces S&H con acumulación alternada de carga: $R(z)=(1+z^{-2})/2$ .....                             | 145 |
| ➤ Figura 8.7.   | SD multitasa 2-2 con S&H completo .....                                                                                                                                                                          | 146 |
| ➤ Figura 8.8.   | SD multitasa 2-2 con S&H con acumulación alternativa .....                                                                                                                                                       | 146 |
| ➤ Figura 8.9.   | Modulador SD multitasa en cascada. Línea con círculos S&H completo: $R(z)=(1+z^{-1}+z^{-2}+z^{-3})/4$ y línea con cruces S&H con acumulación alternada de carga: $R(z)=(1+z^{-2})/2$ .....                       | 147 |
| ➤ Figura 8.10.  | Modulador SD multitasa-singlebit con S&H completo.....                                                                                                                                                           | 148 |
| ➤ Figura 8.11.  | Modulador SD multitasa-singlebit con S&H de acumulación alternativa .....                                                                                                                                        | 148 |
| ➤ Figura 8.12.  | Modulador SD multitasa y singlebit. Línea con círculos S&H completo: $R(z)=(1+z^{-1}+z^{-2}+z^{-3})/4$ y línea con cruces S&H con acumulación alternada de carga: $R(z)=(1+z^{-2})/2$ .....                      | 149 |
| ➤ Figura 10.1.  | Bloque Simulink® Sine Wave.....                                                                                                                                                                                  | 158 |
| ➤ Figura 10.2.  | Bloque Simulink® Constant.....                                                                                                                                                                                   | 158 |
| ➤ Figura 10.3.  | Bloque Simulink® Random Number .....                                                                                                                                                                             | 159 |
| ➤ Figura 10.4.  | Bloque Simulink® To Workspace.....                                                                                                                                                                               | 159 |
| ➤ Figura 10.5.  | Bloque Simulink® Unit Delay.....                                                                                                                                                                                 | 160 |
| ➤ Figura 10.6.  | Bloque Simulink® Zero-Order Hold .....                                                                                                                                                                           | 161 |
| ➤ Figura 10.7.  | Bloque Simulink® Discrete Filter.....                                                                                                                                                                            | 161 |
| ➤ Figura 10.8.  | Bloque Simulink® Gain.....                                                                                                                                                                                       | 161 |
| ➤ Figura 10.9.  | Bloque Simulink® Sum.....                                                                                                                                                                                        | 162 |
| ➤ Figura 10.10. | Bloque Simulink® Derivative .....                                                                                                                                                                                | 163 |
| ➤ Figura 10.11. | Bloque Simulink® Sign.....                                                                                                                                                                                       | 163 |

|                                                  |     |
|--------------------------------------------------|-----|
| ➤ Figura 10.12. Bloque Simulink® Saturation..... | 163 |
| ➤ Figura 10.13. Bloque Simulink® Quantizer.....  | 164 |
| ➤ Figura 10.14. Bloque Simulink® MATLAB Fcn..... | 164 |
| ➤ Figura 10.15. Bloque Simulink® Inport.....     | 164 |
| ➤ Figura 10.16. Bloque Simulink® Outport.....    | 165 |
| ➤ Figura 10.17. Bloque Simulink® Subsystem.....  | 166 |
| ➤ Figura 10.18. Bloque Simulink® Mux .....       | 166 |

## Índice de Tablas:

- Tabla 1. Valores de amplitud y frecuencia de la señal de entrada y frecuencias de trabajo de los integradores para las distintas arquitecturas ..... 62
- Tabla 2. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con jitter es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd2c, calculados teóricamente..... 73
- Tabla 3. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con jitter es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para las arquitecturas sd2mm, sd2ms y sd2c\_3bit calculados teóricamente..... 73
- Tabla 4. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con jitter es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd4mc calculados teóricamente..... 74
- Tabla 5. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma aislada para la arquitectura sd2c ..... 75
- Tabla 6. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma conjunta para la arquitectura sd2c..... 75
- Tabla 7. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es

|             |                                                                                                                                                                                                                                                                                                                                                         |    |
|-------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
|             | mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma aislada para las arquitecturas sd2mm, sd2ms y sd2c_3bit.....                                                                                                             | 76 |
| ➤ Tabla 8.  | Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma conjunta para las arquitecturas sd2mm, sd2ms y sd2c_3bit..... | 77 |
| ➤ Tabla 9.  | Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma aislada para la arquitectura sd4mc .....                      | 77 |
| ➤ Tabla 10. | Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma conjunta para la arquitectura sd4mc.....                      | 78 |
| ➤ Tabla 11. | Valores límites de los parámetros delta, $C_s$ y $V_n$ calculados teóricamente.....                                                                                                                                                                                                                                                                     | 78 |
| ➤ Tabla 12. | Relación SNDR máxima y MD de las arquitecturas en el caso ideal.....                                                                                                                                                                                                                                                                                    | 88 |
| ➤ Tabla 13. | Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, para distintos valores de delta en la arquitectura sd2c.....                                                                                            | 91 |

- Tabla 14. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, para distintos valores de delta en la arquitectura sd2c\_3bit ..... 93
- Tabla 15. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, para distintos valores de delta en la arquitectura sd2mm..... 94
- Tabla 16. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, para distintos valores de delta en la arquitectura sd2ms ..... 95
- Tabla 17. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, para distintos valores de delta en la arquitectura sd4mc ..... 97
- Tabla 18. Valores máximos del parámetro delta para las distintas arquitecturas ..... 97
- Tabla 19. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma aislada para la arquitectura sd2c ..... 102
- Tabla 20. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma conjunta para la arquitectura sd2c..... 103

- Tabla 21. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma aislada para la arquitectura sd2c\_3bit..... 105
- Tabla 22. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma conjunta para la arquitectura sd2c\_3bit..... 105
- Tabla 23. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma aislada para la arquitectura sd2mm..... 108
- Tabla 24. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma conjunta para la arquitectura sd2mm..... 108
- Tabla 25. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma aislada para la arquitectura sd2ms..... 111
- Tabla 26. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos

|             |                                                                                                                                                                                                                                                                                                                                    |     |
|-------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|
|             | de ruido térmico y ruido en el amplificador operacional de forma conjunta para la arquitectura sd2ms.....                                                                                                                                                                                                                          | 111 |
| ➤ Tabla 27. | Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma aislada para la arquitectura sd4mc ..... | 114 |
| ➤ Tabla 28. | Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma conjunta para la arquitectura sd4mc..... | 114 |
| ➤ Tabla 29. | Valores mínimos del parámetro $C_s$ para las distintas arquitecturas considerando sólo el ruido térmico.....                                                                                                                                                                                                                       | 115 |
| ➤ Tabla 30. | Valores máximos del parámetro $V_n$ para las distintas arquitecturas considerando sólo el ruido del amplificador operacional.....                                                                                                                                                                                                  | 116 |
| ➤ Tabla 31. | Valores límites de los parámetros $C_s$ y $V_n$ para las distintas arquitecturas.....                                                                                                                                                                                                                                              | 116 |
| ➤ Tabla 32. | Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para distintos valores de $V_{sat}$ y $A_o$ considerándolos de forma aislada para la arquitectura sd2c.....        | 119 |
| ➤ Tabla 33. | Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd2c.....                                                                                     | 120 |
| ➤ Tabla 34. | Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un                                                                                                                                                                                                                               |     |

- integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para distintos valores de  $V_{sat}$  y  $A_o$  considerándolos de forma aislada para la arquitectura sd2c\_3bit ..... 121
- Tabla 35. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd2c\_3bit..... 122
  - Tabla 36. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para distintos valores de  $V_{sat}$  y  $A_o$  considerándolos de forma aislada para la arquitectura sd2mm..... 123
  - Tabla 37. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd2mm..... 124
  - Tabla 38. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para distintos valores de  $V_{sat}$  y  $A_o$  considerándolos de forma aislada para la arquitectura sd2ms ..... 124
  - Tabla 39. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd2ms ..... 125
  - Tabla 40. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor

|             |                                                                                                                                                                                                                                                  |     |
|-------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|
|             | máximo de esta diferencia y amplitud donde se produce para distintos valores de $V_{sat}$ y $A_o$ considerándolos de forma aislada para la arquitectura sd4mc .....                                                                              | 126 |
| ➤ Tabla 41. | Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd4mc ..... | 127 |
| ➤ Tabla 42. | Valores mínimos de los parámetros $V_{sat}$ y $A_o$ si se consideran sus efectos de forma aislada para las distintas arquitecturas .....                                                                                                         | 128 |
| ➤ Tabla 43. | Valores límites de los parámetros de las no idealidades del integrador para las distintas arquitecturas .....                                                                                                                                    | 128 |
| ➤ Tabla 44. | Relación SNDR máxima, MD y número de valores donde la diferencia entre SNDR en el caso ideal y no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd2c.....                    | 130 |
| ➤ Tabla 45. | Relación SNDR máxima, MD y número de valores donde la diferencia entre SNDR en el caso ideal y no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd2c_3bit .....              | 132 |
| ➤ Tabla 46. | Relación SNDR máxima, MD y número de valores donde la diferencia entre SNDR en el caso ideal y no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd2mm.....                   | 134 |
| ➤ Tabla 47. | Relación SNDR máxima, MD y número de valores donde la diferencia entre SNDR en el caso ideal y no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd2ms .....                  | 136 |

- Tabla 48. Relación SNDR máxima, MD y número de valores donde la diferencia entre SNDR en el caso ideal y no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd4mc..... 137
- Tabla 49. Valores límites para los parámetros que representan las no idealidades..... 138

## **1.- Objetivos del Proyecto.**

### **1.1.- Introducción.**

En la actualidad, y desde hace años, asistimos a un incremento del uso de sistemas digitales en todas las aplicaciones que tradicionalmente eran realizadas con tecnología analógica, sistemas que operan con señales analógicas. Esto es debido a que existen importantes ventajas que hacen preferible e incluso imprescindible en algunos casos, el uso de sistemas digitales.

Los sistemas digitales, presentan entre otras, las siguientes ventajas:

- Inmunidad frente al ruido de las señales digitales.
- La potencia de cálculo de los microprocesadores actuales, posibilita la aplicación a señales digitales de complicados algoritmos en tiempo real, tales como encriptación, compresión, filtros, algoritmos predictivos, operaciones matemáticas, ... imposibles de conseguir con tecnología analógica.
- Las aplicaciones de control desarrolladas para sectores muy diversos como procesos industriales, aeronáutica, navegación, automoción,... han provocado el uso masivo de controladores digitales, que permiten operar con gran cantidad de variables y aplicar a éstas esquemas de control complejos, impensables con tecnología analógica.
- La relativa facilidad para actualizar, adaptar y controlar sistemas digitales es también un factor decisivo en el gran auge de estos sistemas.

En este entorno, la conversión de las señales analógicas a digitales se ha convertido en una necesidad fundamental, y ha sido objeto de innumerables estudios y avances, que van estrechamente unidos a las mejoras en las técnicas de implementación de circuitos.

En la construcción de estos convertidores, los métodos de sobremuestreo son muy utilizados, debido a que evitan muchas de las dificultades de los

métodos tradicionales de conversión A/D y D/A. Veamos según [1], la descripción de los convertidores de Nyquist y de sobremuestreo.

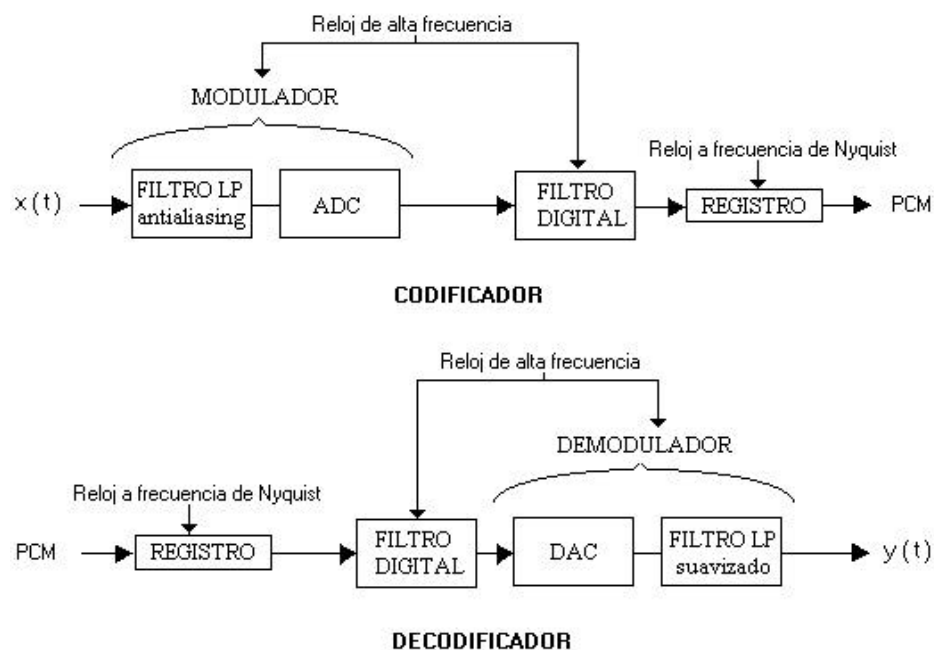
Los convertidores de Nyquist, ilustrados en la Figura 1.1, tienen atributos que hacen difícil la implementación de sus circuitos en tecnología fine-line VLSI, como son el uso de filtros analógicos, la necesidad de circuitos analógicos de alta precisión y su vulnerabilidad al ruido y las interferencias. La ventaja de los convertidores de Nyquist es el uso de una frecuencia de muestreo relativamente pequeña, normalmente la tasa de Nyquist de la señal, es decir, dos veces el ancho de banda de la señal.



**Figura 1.1. Modulación por codificación de pulsos convencional, incluyendo filtros analógicos para controlar el ruido de aliasing y suavizado de la salida.**

El filtro paso de baja a la entrada del codificador convencional de la Figura 1.1, atenúa el ruido en alta frecuencia y las componentes de señal fuera de banda, que caerían dentro de la banda de la señal cuando esta es muestreada a la tasa de Nyquist. Las propiedades de este filtro son normalmente especificadas para cada aplicación. El circuito A/D puede tomar diferentes formas, como un convertidor flash para operaciones rápidas, un convertidor de aproximaciones sucesivas para tasas moderadas, y convertidores en rampa para aplicaciones lentas. En el decodificador el filtro suaviza la salida muestreada del circuito D/A; el suavizado requerido forma parte de las especificaciones del convertidor. Los circuitos de estos convertidores de Nyquist requieren componentes analógicos de alta precisión para conseguir alta resolución.

Los convertidores de sobremuestreo, ilustrados en la Figura 1.2, pueden usar componentes analógicos simples y de alta tolerancia, aunque requieren de etapas de procesamiento digital de la señal rápidas y complejas. Estos convertidores modulan la entrada analógica en un código digital simple, usualmente palabras de 1 sólo bit, a una frecuencia mucho mayor que la tasa de Nyquist. Consiguen cambiar resolución en tiempo por resolución en amplitud de tal manera que pueden usarse circuitos analógicos imprecisos. El uso de modulación y demodulación de alta frecuencia consigue relajar las especificaciones del filtro analógico antialiasing en la entrada del convertidor A/D, así como del filtro de suavizado a la salida del convertidor D/A, estas especificaciones son menos estrictas lo cual simplifica y abarata su diseño.



**Figura 1.2. Modulación por codificación de pulsos con sobremuestreo.**

El filtro digital en el codificador de la Figura 1.2, suaviza la salida del modulador digital, atenuando el ruido, interferencias y las componentes de alta frecuencia de la señal para evitar aliasing cuando el código vuelve a muestrearse a la tasa de Nyquist. Otro filtro digital interpola el código en el decodificador en una señal de alta tasa antes de ser demodulada.

Los convertidores de sobremuestreo hacen un uso extensivo del procesamiento digital, aprovechando el hecho de que la tecnología fine-line VLSI CMOS es más apta para construir circuitos digitales rápidos que circuitos analógicos precisos. Al trabajar a una frecuencia que muestreo varios ordenes de magnitud mayor que la tasa de Nyquist, los métodos de sobremuestreo son apropiados para trabajar con señales de frecuencias relativamente pequeñas. Así, son muy usados en aplicaciones de audio, telefonía e instrumentación. La aplicación de estos métodos en señales de video o sistemas de radar aún deben esperar a que estén disponibles tecnologías más rápidas.

## **1.2.- Objetivos.**

El objetivo de este proyecto es el estudio de la influencia sobre la relación SNDR y MD de distintas no idealidades de los componentes de uno de los convertidores de sobremuestreo más usados en la actualidad: los moduladores Sigma-Delta. Se estudiarán moduladores de una única tasa de sobremuestreo y moduladores multitasa. Se obtendrán valores límites para los parámetros con que representamos estas no idealidades de manera que el detrimento en la relación SNDR de las distintas arquitecturas no supere los 3 dB y viendo si alguna de las arquitecturas bajo estudio presenta una robustez destacable frente a las no idealidades.

Para ello en los siguientes capítulos iremos describiendo distintas arquitecturas de moduladores Sigma-Delta y modelos que nos permitirán realizar simulaciones exhaustivas de los moduladores teniendo en cuenta la mayoría de las no idealidades. Comenzaremos describiendo en el capítulo 2 el funcionamiento cualitativo de los moduladores SD de primer y segundo orden. En los capítulos 3 y 4 presentamos dos arquitecturas de moduladores SD multitasa de segundo orden. El capítulo 5 muestra una arquitectura de un modulador SD multitasa en cascada de cuarto orden. En el capítulo 6 se describen los modelos para las no idealidades y se definen los parámetros que usaremos para representarlas. El capítulo 7 muestra los resultados obtenidos de forma teórica y mediante las simulaciones realizadas con los modelos de los

moduladores en Simulink®, a los que paulatinamente se van añadiendo los modelos de las no idealidades para obtener valores límites de los parámetros que las representan. Para finalizar este capítulo se construyen los modelos de las arquitecturas en Simulink® añadiendo todas las no idealidades para calcular el valor límite de los parámetros cuando todos los efectos se consideran de forma conjunta.

Para poder realizar las simulaciones con Simulink® y obtener los resultados presentados en las tablas y gráficas de las curvas SNDR-Amplitud de capítulo 7, se han creado una serie de funciones Matlab® que se describen en el apéndice B. En el apéndice C podemos ver la funcionalidad de cada uno de los bloques constitutivos de los modelos Simulink®.

El apéndice A tiene especial interés ya que aquí estudiamos una posible mejora para la realización electrónica de uno de los componentes indispensables en un modulador SD multitasa: el Sample&Hold. Las gráficas de las curvas SNDR-Amplitud obtenidas mediante simulaciones nos muestran la validez de esta realización.

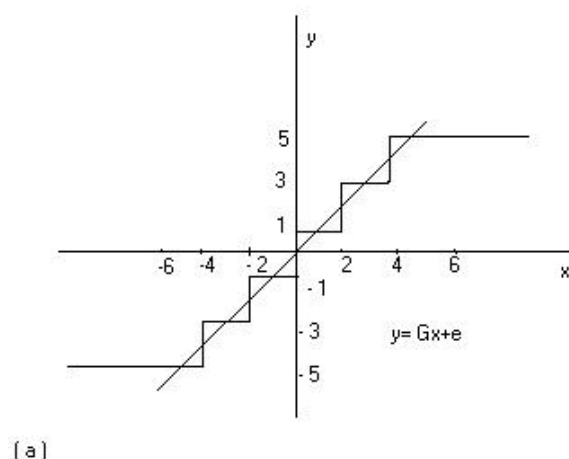
## 2.- Modulación digital. Moduladores Sigma-Delta.

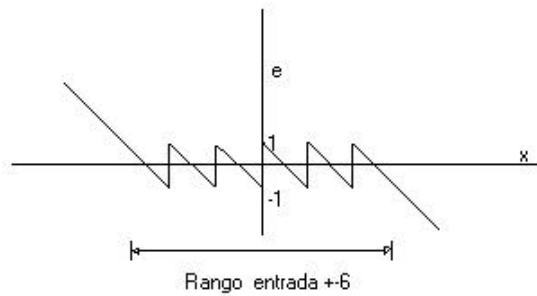
### 2.1.- Introducción.

En este apartado veremos uno de los convertidores de sobremuestreo más usados: El modulador Sigma-delta. Haremos un breve repaso al proceso de cuantización, presente en todos los convertidores e íntimamente relacionado con su funcionamiento. Seguiremos el planteamiento de [1].

### 2.2.- Cuantización.

Cuantizar la amplitud y muestrear la señal en el tiempo son dos de los procesos presentes en todos los convertidores A/D. Muestrear la señal no introduce distorsión en la información de esta, siempre que este muestreo se produzca a una frecuencia superior a la de Nyquist, sin embargo, el proceso de cuantización produce una pérdida de señal que no puede recuperarse, provocando distorsión. Uno de los objetivos principales en el diseño de los moduladores es limitar esta distorsión.





(b)

**Figura 2.1. (a) Característica de un cuantizador uniforme multinivel representado mediante una ganancia lineal  $G$  y un error  $e$  (b) Error de cuantización.**

La Figura 2.1.a muestra un cuantizador uniforme que redondea una señal continua  $x$  a enteros impares en el rango de  $\pm 5$ . En este ejemplo, el tamaño del escalón  $D$  es 2. Podemos representar la señal cuantizada  $y$  como una función lineal  $Gx$  más un error  $e$ :

$$y = Gx + e \quad (2.2.1)$$

donde  $G$  es la pendiente de la línea recta que pasa por el eje de coordenadas de la curva de transferencia del cuantizador, y  $e$  es un error de la forma de la Figura 2.1.b; como puede observarse, si el cuantizador no se satura, el error está acotado entre  $\pm \Delta/2$ .

El valor del error está completamente definido por la entrada, pero si la entrada cambia aleatoriamente entre muestras, sin causar la saturación del cuantizador, entonces este error está totalmente incorrelado entre muestras [2] y tiene igual probabilidad de tomar cualquier valor entre  $\pm \Delta/2$ . Entonces si asumimos que el error tiene propiedades estadísticas que son independientes de

la señal de entrada, podemos representarlo como un ruido de valor cuadrático medio:

$$e_{\text{rms}}^2 = \frac{1}{\Delta} \int_{-\Delta/2}^{+\Delta/2} e^2 de = \frac{\Delta^2}{12} \quad (2.2.2)$$

Y con una densidad espectral de potencia:

$$E(f) = e_{\text{rms}} \sqrt{2T} \quad T = \frac{1}{f_s} \quad (2.2.3)$$

Si definimos la tasa de sobremuestreo como la frecuencia de muestreo de la señal entre la frecuencia de Nyquist:

$$\text{OSR} = \frac{f_s}{2f_o} \quad (2.2.4)$$

La potencia de ruido que cae en la banda de paso de la señal,

$$n_o^2 = \int_0^{f_o} e^2(f) df = e_{\text{rms}}^2 (2f_o T) = \frac{e_{\text{rms}}^2}{\text{OSR}} \quad (2.2.5)$$

Como vemos el sobremuestreo reduce el ruido de cuantización en la banda de la señal. Cada vez que se dobla la frecuencia de muestreo se reduce el ruido en 3 dB.

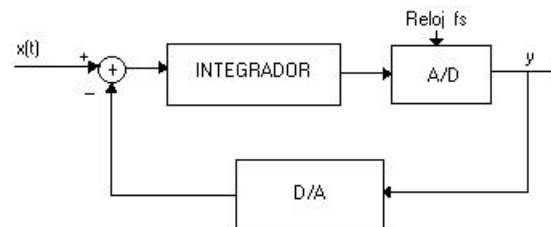
Los resultados obtenidos son válidos siempre y cuando la señal de entrada cambie aleatoriamente entre muestras.

### **2.3.- Modulación Sigma-Delta.**

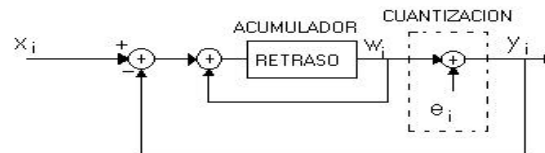
Los moduladores sigma-delta modelan el espectro del ruido de cuantización, consiguiendo que la mayor parte de la potencia del ruido quede en

altas frecuencias, lejos de la banda de la señal, donde puede eliminarse mediante filtros digitales.

El esquema de un modulador sigma-delta [3] es el de la figura 2.2.a. Aunque estos moduladores usualmente emplean dos niveles de cuantización, tomaremos de momento un cuantizador uniforme multinivel, con ganancia unitaria  $G=1$ .



(a)



(b)

**Figura 2.2. (a) Esquema del modulador Sigma-Delta (b) Circuito equivalente**

La entrada del circuito es alimentada al cuantizador a través del integrador, y la salida cuantizada es realimentada y restada a la señal de entrada. Esta realimentación fuerza a que el valor promedio de la señal cuantizada siga el valor promedio de la entrada. Cualquier diferencia entre ellas se acumula en el integrador y se corrige a sí misma.

Analicemos el modulador con su modelo equivalente en tiempo discreto de la figura 2.2.b. Aquí representamos la cuantización mediante la ecuación  $y = Gx + e$ , donde  $e$  es el error, y tomaremos la ganancia  $G=1$ . El integrador es representado como un acumulador. Podemos ver que la salida del integrador es:

$$w_i = x_{i-1} - e_{i-1} \quad (2.3.1)$$

y la señal cuantizada:

$$y_i = x_{i-1} + (e_i - e_{i-1}) \quad (2.3.2)$$

que en el dominio  $z$  quedaría:

$$Y(z) = z^{-1}X(z) + E(z)(1 - z^{-1}) \quad (2.3.3)$$

el circuito hace que el ruido de cuantización sea la primera diferencia del error de cuantización y deja la señal sin cambios, excepto por un retraso.

Como comentamos en el apartado anterior, si la señal de entrada varía aleatoriamente entre muestras, podemos tratar el error de cuantización como un ruido incorrelado con la señal. La densidad espectral del ruido de cuantización es:

$$N(z) = E(z)(1 - z^{-1}) \quad (2.3.4)$$

que podemos expresar como:

$$N(f) = E(f) \left| 1 - e^{-j\omega T} \right| = 2e_{\text{rms}} \sqrt{2T} \sin \left( \frac{\omega T}{2} \right) \quad (2.3.5)$$

En la figura 2.3 se representa las densidades espectrales del ruido de cuantización con la del error de cuantización. Podemos ver cómo el ruido en bajas frecuencias es menor, sin embargo en altas frecuencias es mayor.

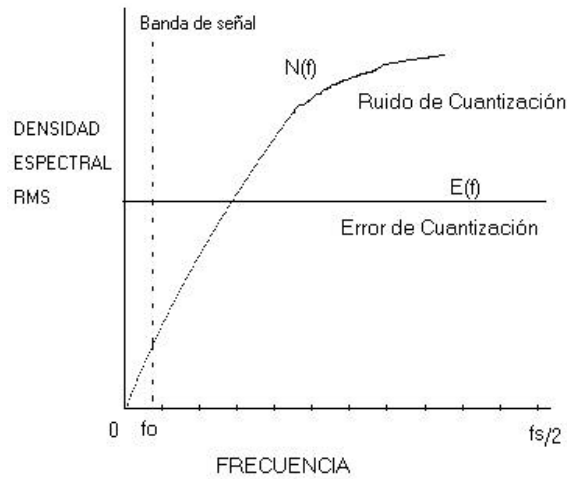
La potencia de ruido en la banda de la señal es:

$$n_o^2 = \int_0^{f_o} |N(f)|^2 df \approx e_{rms}^2 \frac{\pi^2}{3} (2f_o T)^3, \quad f_s^2 \gg f_o^2 \quad (2.3.6)$$

y su valor rms:

$$n_o = e_{rms} \frac{\pi}{\sqrt{3}} (2f_o T)^{3/2} = e_{rms} \frac{\pi}{\sqrt{3}} (\text{OSR})^{-3/2} \quad (2.3.7)$$

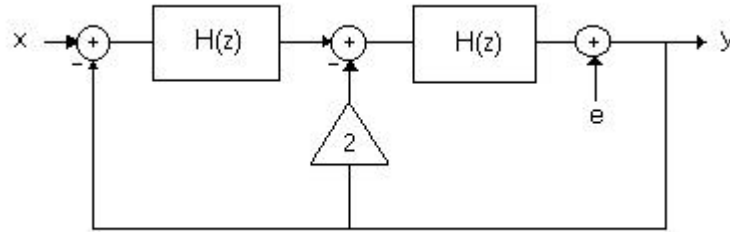
Cada vez que se dobla la frecuencia de muestreo, el ruido disminuye en 9 dB en la banda de la señal. Sin embargo se hace necesario un filtro digital para eliminar las componentes de ruido de alta frecuencia.



**Figura 2.3. Error de cuantización frente al ruido de cuantización para el modulador sigma-delta.**

Al igual que para el modulador sigma-delta de primer orden de la figura 2.2, podemos estudiar el comportamiento de un modulador sigma-delta de segundo orden de la figura 2.4, donde

$$H(z) = \frac{z^{-1}}{(1 - z^{-1})} \quad (2.3.8)$$



**Figura 2.4. Modulador sigma-delta de segundo orden.**

Así tenemos que la salida vendrá dada por la siguiente expresión:

$$\begin{aligned} Y(z) &= -2Y(z)H(z) + X(z)H^2(z) - Y(z)H^2(z) + E(z) \\ Y(z) &= z^2 X(z) + (1 - z^{-1})^2 E(z) \end{aligned} \quad (2.3.9)$$

Tenemos ahora que el ruido de cuantización es la segunda diferencia del error de cuantización.

La densidad espectral del ruido queda como:

$$N(f) = 4e_{\text{rms}} \sqrt{2T} \sin^2 \left( \frac{\omega T}{2} \right) \quad (2.3.10)$$

y el valor rms del ruido en la banda de la señal,

$$n_o = e_{\text{rms}} \frac{\pi^2}{\sqrt{5}} (2f_o T)^{5/2}, \quad f_s^2 \gg f_o^2 \quad (2.3.11)$$

Cada vez que se dobla la frecuencia de muestreo tenemos una disminución de 15 dB en el ruido. Si comparamos este resultado con el obtenido para el modulador de primer orden vemos que conforme aumentamos el orden

del modulador se produce una disminución del ruido en la banda de paso de la señal.

En general, cuando hay  $L$  integradores, es decir, para moduladores de orden  $L$ , y el sistema es estable, puede demostrarse que la densidad espectral de potencia del ruido de cuantización es:

$$|N_L(f)| = e_{\text{rms}} \sqrt{2T} \left( 2 \sin \left( \frac{\omega T}{2} \right) \right)^L \quad (2.3.12)$$

y para  $OSR > 2$ , el ruido rms en la banda de la señal es aproximadamente:

$$n_o = e_{\text{rms}} \frac{\pi^L}{\sqrt{2L+1}} (2f_o T)^{L+1/2} \quad (2.3.13)$$

El ruido cae  $3(2L+1) \text{ dB}$  cada vez que se dobla la tasa de muestreo. Estos resultados, incitan a la creación de moduladores de alto orden, aunque existen dificultades para implementar estos circuitos, cuando  $L > 2$ .

Nos centraremos en adelante en moduladores de segundo orden. Describiremos varias arquitecturas que mediante la utilización de distintas frecuencias de sobremuestreo, y circuitería digital adicional, consiguen mejoras para el diseño e implementación de estos moduladores sin detrimento en su funcionamiento.

### 3.- Modulador Sigma-Delta multibit y multitasa: MM-SD

#### 3.1.- Introducción.

En este capítulo describimos el modulador SD multitasa y multibit siguiendo [4].

Idealmente, la potencia del ruido de cuantización en un convertidor A/D sigma-delta es proporcional a  $(OSR)^{-(2L+1)}$ , donde  $OSR$  es la tasa de sobremuestreo y  $L$  es el orden del modulador. Para convertidores de alto rendimiento existe un compromiso entre  $OSR$  y  $L$ . Valores elevados para  $OSR$  implican integradores de alta velocidad mientras que aumentar el orden del modulador  $L$  provoca inestabilidad. Además, en ambos casos el consumo de potencia del circuito aumenta.

Las arquitecturas multibit han sido usadas para resolver este compromiso. Los moduladores multibit dan una mejora directa de  $6n$  dB sobre los moduladores de un sólo bit, donde  $n$  es el número de bits. Además la ganancia del cuantizador está mejor definida y esto hace que el sistema sea más estable. Desafortunadamente existen muchos inconvenientes; el más importante es el concerniente a la exactitud del convertidor D/A en el bucle de realimentación. Se han realizado muchos intentos para relajar este problema, modificando la topología clásica [5]-[6], incluyendo corrección digital [7]-[8] o ajuste dinámico de los elementos [9]-[10].

Aunque la parte más crítica en un convertidor A/D sigma-delta multibit es el convertidor D/A en el bucle de realimentación, el convertidor A/D interno tiene una contribución al consumo de potencia y al área del circuito que no debe ser ignorado.

Una arquitectura que consigue eliminar este convertidor A/D es el modulador MM-SD. Éste basa su funcionamiento en sustituir el ADC por un incremento en la tasa de sobremuestreo del segundo integrador. Este hecho hace

que puedan usarse capacidades más pequeñas en la última etapa del modulador, reduciendo el consumo de potencia de éste. Cabe notar que un incremento en la tasa de sobremuestreo en la última etapa no es crítico, puesto que el aumento del ruido y distorsión de esta etapa debido a la disminución de las capacidades es atenuado por un factor  $OSR^{2L-1}$ .

### 3.2.- Descripción del modulador MM-SD.

La figura 3.1, muestra la arquitectura del modulador sigma-delta multibit y multitasa. Aunque nos centremos en un modulador de segundo orden, la idea puede extenderse a moduladores de alto orden, tanto para topologías de un solo bucle, como para topologías en cascada.

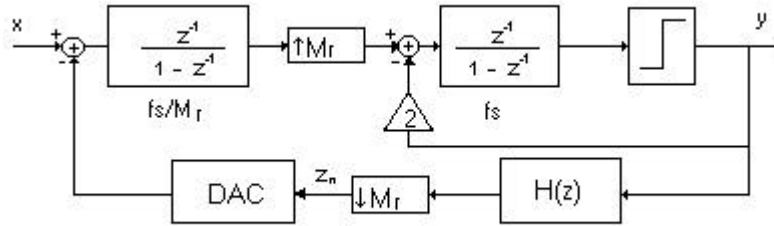


Figura 3.1. Arquitectura del modulador MM-SD.

La frecuencia de muestreo del primer integrador es  $f_s/M_r$  y la del segundo es  $f_s = OSR \cdot f_N$  donde  $f_N$  es la frecuencia de Nyquist.

La salida del modulador  $y_n$  debe volver a muestrearse a una tasa más reducida antes de ser realimentada al primer integrador. Además debe ser filtrada antes de este diezmado, para evitar que las componentes espectrales de  $y_n$  próximas a  $f_s/M_r$  y sus armónicos, sean introducidas en la banda de la señal. Este filtrado es realizado por  $H(z)$  que es un filtro peine.

El bucle interno garantiza la estabilidad del sistema y determina el comportamiento en alta frecuencia y el bucle externo domina la respuesta en baja frecuencia. Para esto  $y_n$  es realimentada al segundo integrador, mientras que los cambios que  $H(z)$  produce en las altas frecuencias de  $y_n$  no cambian el comportamiento en baja frecuencia del modulador.

Considerando que el retraso unitario  $z^{-1}$  a una tasa  $f_s/M_r$  es equivalente a  $z^{-M_r}$  a una tasa de  $f_s$ , el ruido de cuantización de baja frecuencia en el modulador MM-SD es filtrado por una función de transferencia:

$$\text{NTF}(z) \approx (1 - z^{-M_r})(1 - z^{-1}) \quad (3.2.1)$$

El cociente  $(1 - z^{-M_r})/(1 - z^{-1})$  tiene un valor para la frecuencia cero de  $M_r$  y la potencia del ruido de cuantización (QNP) en la banda de la señal es  $M_r^2$  veces mayor que QNP en un modulador sigma-delta de segundo orden convencional que trabaje a una frecuencia de muestreo de  $f_s$ .

Haciendo uso de las aproximaciones habituales [1], la potencia del ruido de cuantización viene dado por:

$$\text{QNP}(M_r, \Delta, f_s) = \frac{\pi^4}{60} \frac{f_N^5 \cdot M_r^2 \cdot \Delta^2}{f_s^5} \quad (3.2.2)$$

donde  $\text{QNP}(m, d, f)$  es la potencia del ruido de cuantización de un modulador sigma-delta con paso de cuantización  $d$ , frecuencia de muestreo en el primer integrador  $f/m$  y  $f$  en el segundo integrador.

Para evaluar el comportamiento teórico del modulador MM-SD, compararemos la expresión (3.2.2) con las QNP de dos arquitecturas convencionales:

- (a) Modulador sigma-delta de 1-bit de segundo orden con los dos integradores trabajando a la frecuencia de  $f_s/M_r$ :

$$\frac{\text{QNP}(1, \Delta, f_s/M_r)}{\text{QNP}(M_r, \Delta, f_s)} = M_r^3 \quad (3.2.3)$$

El ruido de cuantización caería en 9 dB cada vez que la frecuencia del segundo integrador se doblase.

(b) Modulador sigma-delta de n-bits de segundo orden con los dos integradores trabajando a una frecuencia de  $f_s/M_r$  :

$$\frac{\text{QNP}(1, \Delta/2^n, f_s/M_r)}{\text{QNP}(M_r, \Delta, f_s)} = \frac{M_r^3}{2^{2n}} \quad (3.2.4)$$

De acuerdo con (3.2.4) el rendimiento teórico del modulador MM-SD y el de un modulador sigma-delta de n-bits convencional serían equivalentes si:

$$n = \frac{3}{2} \log_2(M_r) \quad (3.2.5)$$

Este resultado muestra que la ganancia en resolución proviene de la sustitución del convertidor A/D por una frecuencia de muestreo mayor en el segundo integrador.

### 3.3.- Simulaciones y resultados.

Mostraremos algunos de los resultados y conclusiones a los que han llegado varios estudios. El filtro peine ha sido muy estudiado [11] como filtro en el proceso de diezmado de los moduladores sigma-delta. Cuando la entrada es bipolar con valores +1 y -1, el código generado por el diezmador, toma los valores enteros en el rango desde  $-M_r^h$  hasta  $M_r^h$ , donde  $h$  es el orden del filtro peine.

Teniendo en cuenta que el filtro peine tiene una respuesta al impulso finita con coeficientes enteros, cuando la ganancia en DC ( $M_r^h$ ) es un número par y su entrada toma valores -1 ó +1 el valor absoluto de su salida es siempre un número par, y la resolución del convertidor D/A debe ser :

$$n = \log_2(M_r^h + 1) \text{ bits.} \quad (3.3.1)$$

Las simulaciones muestran que el valor óptimo para el orden del filtro en el bucle de realimentación del modulador MM-SD es  $h=2$ . Para  $h=1$  el aliasing en el proceso de diezmado hace que baje la relación señal a ruido, mientras que para  $h>2$  el incremento en SNR es despreciable.

Las figuras 3.2, 3.3 y 3.4, presentan los resultados obtenidos para tres valores diferentes de  $M_r$ ,  $h=2$  y  $OSR=128$ , en ellas se representa la relación SNDR (relación señal /(distorsión +ruido)) frente a la amplitud de la señal de entrada.

La línea continua representa al modulador MM-SD de la Figura 3.1 usando un DAC de  $M_r^2 + 1$  niveles. La línea continua con rombos es para el modulador SD multibit convencional, trabajando a una tasa de  $f_s/M_r$  y usando el mismo DAC. Finalmente, la línea discontinua es para un modulador sigma-delta de 1 bit, trabajando a la tasa de  $f_s/M_r$ .

Podemos ver que para amplitudes grandes de la señal las simulaciones coinciden con el valor de las ecuaciones (3.2.3) y (3.2.4). Sin embargo, para valores pequeños de amplitud de la señal, el ruido de cuantización en la banda de la señal para el modulador MM-SD es menor que el valor dado en (3.2.2) y su SNDR es mayor que la SNDR del modulador sigma-delta multibit convencional.

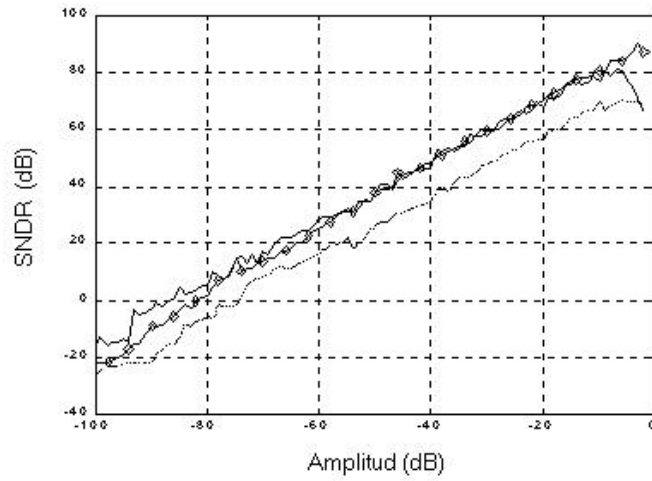


Figura 3.2. Resultados de simulación para  $h=2$ ,  $OSR=128$  y  $M_r=2$

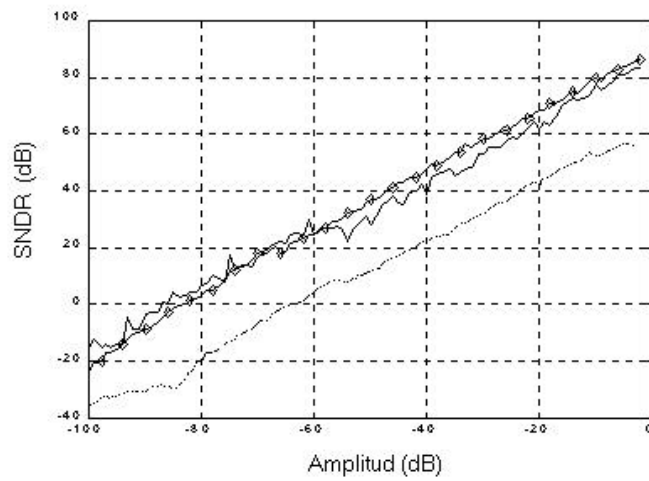


Figura 3.3. Resultados de simulación para  $h=2$ ,  $OSR=128$  y  $M_r=4$ .

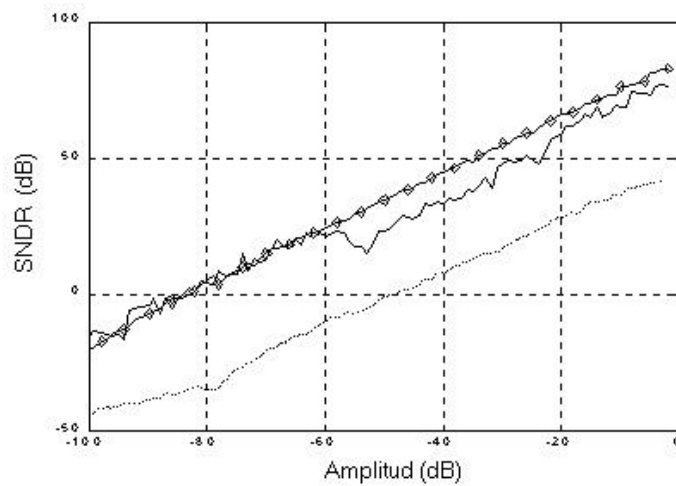


Figura 3.4. Resultados de simulación para  $h=2$ ,  $OSR=128$  y  $M_r=8$ .

Los resultados teóricos y las simulaciones, nos muestran que el comportamiento del modulador MM-SD es similar, y en algunos casos mejor, que el de un modulador sigma-delta convencional de  $n$ -bits, donde  $n = \log_2 (M_r^2 + 1)$  es el número de bits del DAC del bucle de realimentación. Sin embargo, al no ser necesario el ADC en el camino principal, en el modulador MM-SD se espera un ahorro en el área y la potencia consumida por el circuito si lo comparamos con el modulador sigma-delta multibit convencional.

## **4.- Modulador Sigma-Delta multitasa de 1 bit: MS-SD.**

### **4.1.- Introducción.**

Este capítulo describe el modulador sigma-delta multitasa de 1 bit siguiendo [12].

El uso de diferentes tasas de sobremuestreo a lo largo de la estructura de un modulador sigma-delta puede aliviar algunos de los principales problemas de su diseño. Puesto que los integradores tienen una ganancia muy alta en las frecuencias de la banda base, el ruido en esta banda y la distorsión generada en el primer integrador es muy atenuado cuando es referido a la entrada del modulador. Debido a esto, el comportamiento del ruido y la distorsión de un modulador sigma-delta está principalmente determinado por el primer integrador, el cual, determina la potencia consumida por el resto del modulador.

En el capítulo 3 hemos visto cómo el modulador MM-SD reemplaza el convertidor A/D del camino principal por un incremento en la tasa de sobremuestreo del último integrador del bucle, con lo que se espera una disminución en el área y potencia consumida por el modulador, sin detrimento de la resolución. Otro de los problemas en el diseño, como explicábamos, era el convertidor D/A del bucle de realimentación. En este capítulo, veremos una arquitectura que obtiene un comportamiento similar al del MM-SD con una realimentación de 1 bit, eliminando así los inconvenientes inherentes al uso del convertidor D/A de alta resolución.

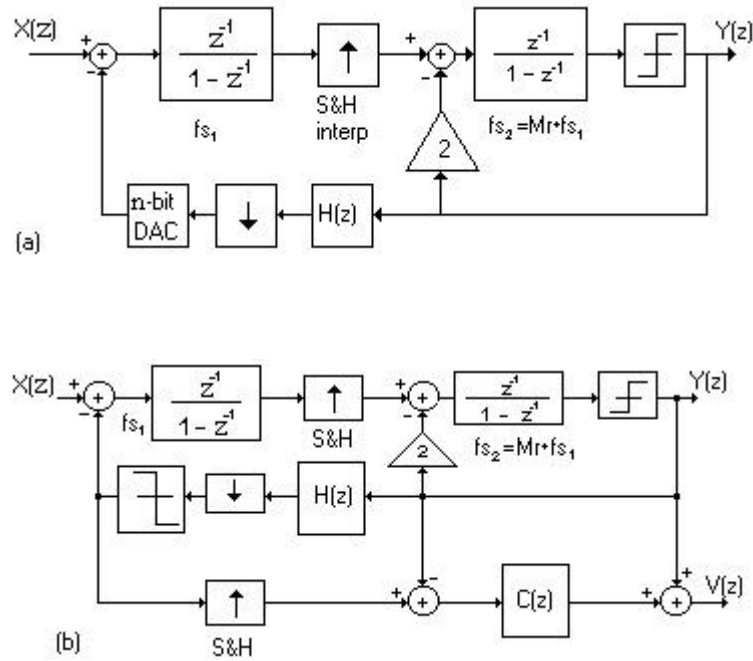
### **4.2.- Descripción del modulador MS-SD.**

Aunque el modulador MM-SD consigue una reducción en la tasa de sobremuestreo del primer integrador, la presencia del convertidor D/A en el bucle de realimentación introduce los inconvenientes inherentes de las arquitecturas multibit. Una nueva topología es la del modulador MS-SD que

consigue un comportamiento similar a los moduladores sigma-delta multibit, evitando los efectos negativos de los convertidores A/D y D/A en los caminos directo y de realimentación, respectivamente.

Basándonos en el modulador de segundo orden MM-SD de la Figura 4.1.a, reemplazamos el convertidor D/A multibit en el camino de realimentación por un DAC de un sólo bit. Figura 4.1.b. El error introducido en el bucle de realimentación es calculado en el dominio digital, restando la salida del modulador y de una versión sobremuestreada de la salida del DAC de 1 bit.

A este término de error se le da una forma apropiada mediante un filtro de cancelación  $C(z)$ , y es sumado a la salida del modulador y para conseguir la nueva salida del modulador  $v$ .



**Figura 4.1. Moduladores SD multitasa. (a) Modulador MM-SD (b) Modulador MS-SD.**

Si  $f_N$  es la frecuencia de Nyquist, llamemos  $OSR_1 = f_{s1} / f_N$  a la tasa de sobremuestreo del primer integrador y  $OSR_2 = f_{s2} / f_N = (M_r f_{s1}) / f_N = M_r OSR_1$  a

la tasa de sobremuestreo del segundo integrador.  $M_r$  es el incremento en la tasa de sobremuestreo del segundo integrador.

En la Figura 4.1,  $Z^{-1}$  y  $z^{-1}$  son retrasos unitarios a las frecuencias de muestreo  $f_{s1}$  y  $f_{s2}$  respectivamente. Y el valor de  $n$  del convertidor D/A del modulador MM-SD de orden  $L$  es:

$$n = L \cdot \log_2(M_r) \quad (4.2.1)$$

Llamemos  $T(z)$  y  $E(z)$  a los errores introducidos en los cuantizadores de 1 bit localizados en los caminos de realimentación y directo, respectivamente. La salida del modulador  $Y(z)$  viene dada por la siguiente expresión:

$$Y(z) \approx \text{NTF}(z) \cdot E(z) + \text{STF}(z) \cdot (X(z) - T(z)) \quad (4.2.2)$$

donde NTF es la función de transferencia de ruido que viene dada por:

$$\text{NTF}(z) = \frac{(1 - z^{-1})^2}{F(z)} \quad (4.2.3)$$

y STF es la función de transferencia de la señal, y viene dada por:

$$\text{STF}(z) = \frac{1}{M_r} \cdot \frac{z^{-(M_r+1)}}{F(z)} \quad (4.2.4)$$

El denominador común:

$$F(z) = 1 - z^{-2} + \frac{z^{-(M_r+1)}}{M_r} \cdot H(z) \quad (4.2.5)$$

En estas ecuaciones, el error introducido por el aliasing causado en el proceso de diezmado, ha sido ignorado, excepto por el factor  $1/M_r$ . Puede demostrarse que la contribución de este error en la banda de la señal es

despreciable comparado con el ruido de cuantización dentro de la banda si  $H(z)$  es un filtro peine de segundo orden, e incluso si éste es de primer orden.

En el camino donde se localiza el filtro de cancelación tenemos:

$$V(z) = Y(z) + C(z) \cdot \left\{ \frac{1}{M_r} \cdot R(z) \cdot [T(z) + H(z) \cdot Y(z)] - Y(z) \right\} \quad (4.2.6)$$

donde  $R(z)$  es la función de transferencia del interpolador S&H:

$$R(z) = \frac{1 - z^{-M_r}}{1 - z^{-1}} \quad (4.2.7)$$

Para evaluar la contribución del error de cuantización en el bucle de realimentación  $T(z)$  a la salida del modulador, sustituimos  $E(z) = 0$  y  $X(z) = 0$  en la ecuación (4.2.2). Aplicando el resultado a la ecuación (4.2.6) y reordenando los términos, obtenemos que el filtro de cancelación, que elimina el término de error  $T(z)$  es:

$$C(z) = \frac{STF(z)}{\frac{1}{M_r} \cdot R(z) + \left[ 1 - \frac{1}{M_r} \cdot R(z) \cdot H(z) \right] \cdot STF(z)} = \frac{z^{-(M_r+1)}}{R(z) \cdot (1 - z^{-2}) + z^{-(M_r+1)}}$$

y reemplazando  $R(z)$  tenemos:

$$C(z) = \frac{z^{-(M_r+1)}}{1 + z^{-1} - z^{-M_r}} \quad (4.2.8)$$

Este filtro de cancelación es inestable (ya que sus polos están fuera del círculo de radio unidad) y por tanto no podemos implementarlo. De todas formas, para valores razonables de  $M_r$ , la expresión (4.2.8) puede ser aproximada por un retraso de  $2M_r$ , entonces  $C(z) \gg z^{-2M_r}$ . La figura 4.2, muestra

la amplitud y el retraso de grupo de la expresión (4.2.8) en la banda de paso, para distintos valores de  $M_r$ , demostrando que la aproximación es válida para  $M_r \leq 8$ .

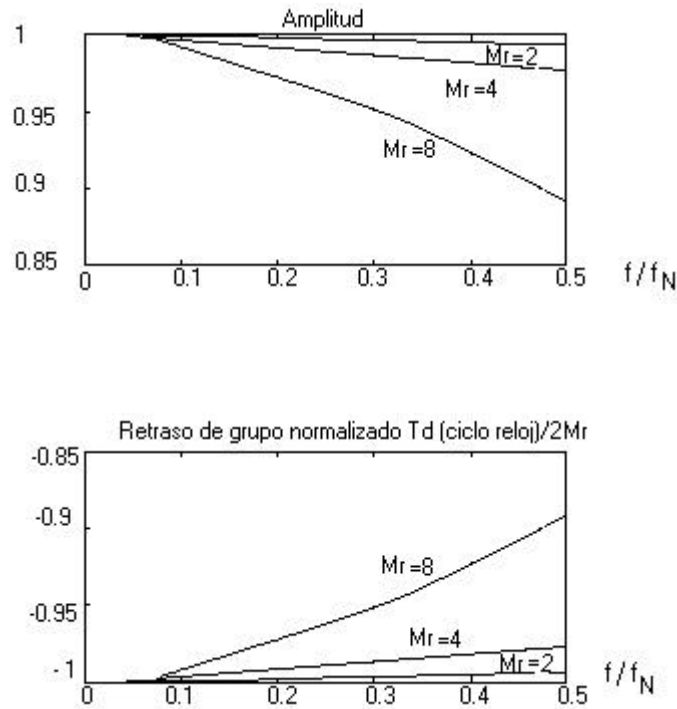
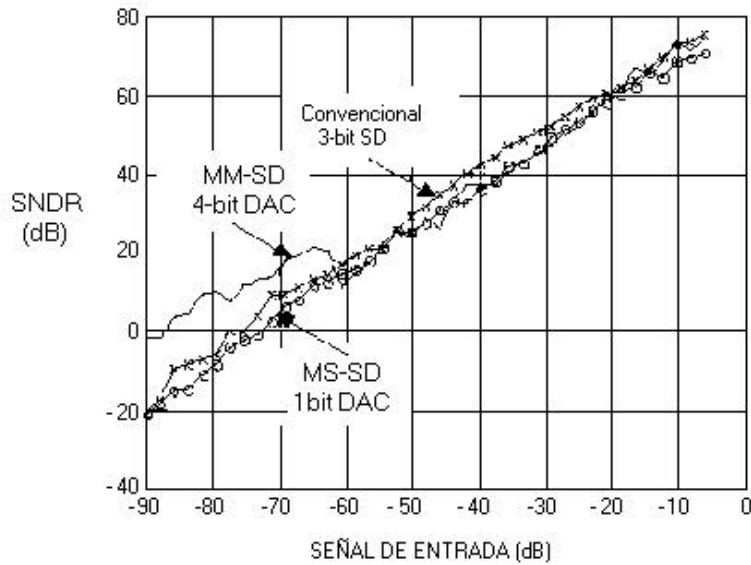


Figura 4.2. Amplitud y retraso de grupo de la expresión 4.2.8 para  $M_r = 2, 4, 8$ .

#### 4.3.- Simulaciones y resultados.

Vemos que con una implementación tan simple del filtro de cancelación  $C(z)$ , la figura 4.3 nos muestra la relación señal a ruido y distorsión del modulador MS-SD de la figura 4.1.b comparado con dos moduladores: el MM-SD de la figura 4.1.a con un DAC de 4-bit en el bucle de realimentación y un modulador sigma-delta convencional de 3 bits funcionando a la tasa de sobremuestro  $OSR_I$ . En estas curvas  $OSR_I = 32$  y  $M_r = 4$ . Podemos observar que el comportamiento de los tres moduladores es muy próximo para amplitudes de señal grandes. Para señales pequeñas vemos que el modulador MM-SD tiene un comportamiento mejor que el resto, esto es debido a efectos de segundo orden en esta arquitectura.



**Figura 4.3. SNDR para diferentes moduladores sigma-delta de segundo orden.**

Podemos construir moduladores MS-SD de orden  $L > 2$ . Al igual que para el modulador MM-SD, en los moduladores MS-SD de alto orden, sólo el primer integrador funciona a la frecuencia de muestreo menor  $f_{s1}$ , el resto opera a  $f_{s2} = M_r f_{s1}$ . El filtro de diezrado  $H(z)$  es un filtro peine digital de orden  $L-1$ .

## 5.- Modulador Sigma-Delta multitasa en cascada: MC-SD.

### 5.1.- Introducción.

Este capítulo describe el modulador sigma-delta multitasa en cascada siguiendo [13].

En el capítulo 3 describimos un nuevo tipo de modulador SD de una etapa, donde el primer integrador trabaja a una tasa de sobremuestreo menor que la del resto de los integradores. Puesto que la salida  $y$  tiene una tasa de muestreo alta, debe ser diezmada antes de realimentarse al primer integrador. Con este fin, deben incluirse en el bucle de realimentación un filtro digital  $H(z)$  y un convertidor DAC. Esta arquitectura puede ser considerada como un modulador multibit, donde el ADC en el camino directo ha sido reemplazado por un incremento en la tasa de muestreo de los últimos integradores. Por este motivo fue llamado Modulador sigma-delta multitasa y multibit (MM-SD).

Aunque los moduladores MM-SD consiguen una reducción en la tasa de sobremuestreo del primer integrador, introducen en el camino de realimentación un filtro de diezmado y un convertidor multibit DAC. Las no linealidades inherentes a estos bloques deben ser compensados mediante hardware adicional. De hecho, puesto que el convertidor DAC multibit está en el camino de realimentación, sus no linealidades se suman directamente a la señal de entrada, por lo que la linealidad del modulador no es mejor que la del DAC multibit.

En el capítulo 4 describimos el modulador multitasa de un bit MS-SD, que obtiene un comportamiento similar al del MM-SD con una realimentación de 1 bit, eliminando así los inconvenientes inherentes al uso del convertidor DAC.

En este capítulo describimos otra arquitectura que consigue una reducción en la tasa de sobremuestreo del primer integrador sin los efectos

negativos del convertidor DAC interno. Es la arquitectura SD multitasa en cascada: MC-SD.

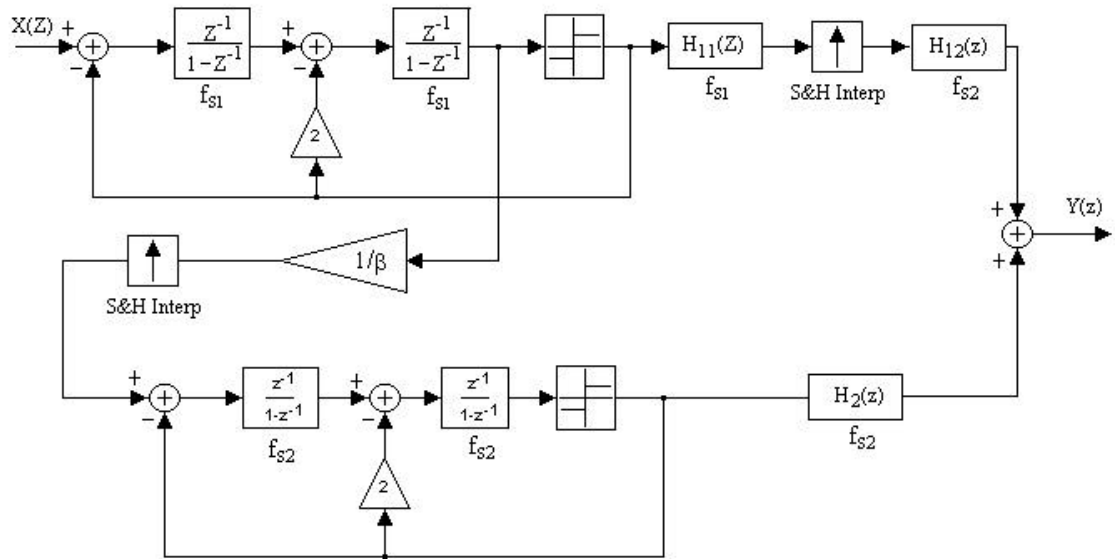
## 5.2.- Descripción del modulador MC-SD.

Los moduladores SD de alto orden pueden contruirse con moduladores SD de bajo orden en cascada [14], de este modo, se conservan las propiedades de estabilidad de las estructuras de bajo orden (primer y segundo orden). En un modulador SD en cascada una medida del término de error de la  $i$ -ésima etapa es digitalizada en la etapa  $i+1$ , y sus salidas son combinadas en el dominio digital de tal forma que el ruido en la  $i$ -ésima etapa es cancelado. Para conseguir esta cancelación, ha de prestarse especial atención a los desajustes entre los coeficientes en los flujos de señal analógica y digital.

Como en los integradores de los moduladores de una única etapa, al ruido de cada etapa sucesiva de un modulador en cascada, cuando es referido a la entrada del modulador, se le da forma en un grado mayor que el ruido de la etapa anterior. Mientras más alto sea el orden del modelado del ruido, mayor es la atenuación en la banda de paso. Por lo tanto, los requisitos de cancelación del ruido de la segunda etapa son menores que los de la primera etapa. Debido al modelado del ruido, normalmente sólo la primera etapa de la cascada requiere unas consideraciones especiales en el diseño y determina el consumo de potencia de todo el modulador.

El procesamiento de señal multitasa puede ser también aplicado en los moduladores SD en cascada para reducir el consumo de potencia. Ya que el consumo de potencia se incrementa rápidamente con la frecuencia de muestreo cuando los amplificadores operacionales operan cerca de su máximo ancho de banda, podemos esperar una reducción significativa en el consumo de potencia si la primera etapa opera con una tasa de sobremuestreo menor que la del resto de las etapas. En el modulador SD en cascada multitasa (MC-SD) la primera etapa opera a una frecuencia de muestreo menor:  $f_{s1}$ , mientras que el resto de las etapas operan a una frecuencia de muestreo mayor:  $f_{s2} = M_r f_{s1}$ , donde  $M_r$  es el

incremento en la tasa de sobremuestreo en las últimas etapas del modulador. La figura 5.1 muestra un modulador MC-SD de 2 etapas de 2º orden. Si comparamos esta figura con un modulador en cascada convencional de una única tasa de sobremuestreo, la única diferencia en la parte analógica está en el interpolador localizado entre las etapas. Se ha elegido la implementación más simple de un interpolador, un mantenedor de orden 0 (S&H) ya que sólo debe mantener la señal de entrada  $M_r$  ciclos de reloj, sin requerir hardware adicional, aunque se pueden considerar otras implementaciones para el interpolador como por ejemplo una implementación lineal.



**Figura 5.1. Modulador SD 2-2 multitasa en cascada.**

Hagamos un análisis del modulador SD en cascada 2-2 (2 etapas de 2º orden) de la figura 5.1. Suponiendo un ajuste perfecto entre los coeficientes en los dominios digital y analógico, la transformada Z de la salida del modulador es:

$$\begin{aligned}
 Y(z) &\approx Z^{-2} \cdot z^{-2} \cdot X(z) + (1 - Z^{-1})^2 \cdot (1 - z^{-1})^2 \cdot E_2(z) \\
 &= z^{-2(M_r+1)} \cdot X(z) + (1 - z^{-M_r})^2 \cdot (1 - z^{-1})^2 \cdot E_2(z)
 \end{aligned}
 \tag{5.2.1}$$

donde  $E_2(z)$  es el ruido de cuantización en el modulador de la segunda etapa y  $Z^{-1}=z^{-M_r}$  es un retraso unitario a la frecuencia de muestreo más baja  $f_{s1}$ .

Siguiendo el planteamiento de [1] los filtros de cancelación de error quedan de la siguiente forma:

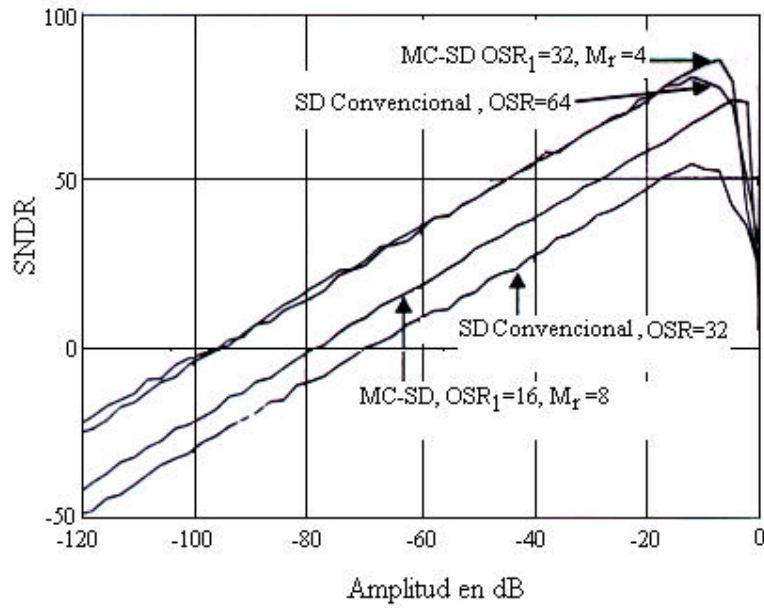
$$H_1(z) = H_{1,1}(Z) \cdot H_{1,2}(z) = (2Z^{-1} - Z^{-2}) \cdot z^{-2} \quad (5.2.2)$$

$$H_2(z) = \beta \cdot (1 - z^{-M_r})^2 \quad (5.2.3)$$

El filtro  $H_1(z)$  puede implementarse como una cascada de dos filtros, el primero,  $H_{1,1}(Z)$  que trabaja la frecuencia de muestreo menor ( $f_{s1}$ ) y el segundo,  $H_{1,2}(z)$  trabajando a la frecuencia de muestreo mayor  $f_{s2}$ . Cabe notar que el interpolador Sample & Hold localizado entre los filtros  $H_{1,1}(Z)$  y  $H_{1,2}(z)$  compensa los efectos del interpolador Sample & Hold localizado entre las etapas en el dominio analógico, por lo tanto, su función de transferencia no ha sido incluida en el filtro de cancelación  $H_1(z)$ . El coeficiente  $\beta$  en  $H_2(z)$  cancela el coeficiente  $1/\beta$  que aparece entre las etapas en el dominio analógico. Un valor apropiado para  $\beta$  es  $M_r$ .

### 5.3.- Simulaciones y resultados.

Considerando que la ganancia en bajas frecuencias de los integradores en la segunda etapa es  $20\log_{10}(M_r)$  dB mayor que la de los integradores de la primera etapa, teóricamente cabría esperar una mejora en la relación SNDR de  $40\log_{10}(M_r)$  dB respecto a la SNDR de un modulador en cascada con dos etapas de segundo orden donde todos los integradores trabajan a la frecuencia menor ( $f_{s1}$ ). Por ejemplo, si  $M_r=4$  la mejora esperada es de 24 dB. Estos resultados son validados mediante simulación (usando Simulink®) como podemos ver en la figura 5.2. Esta figura muestra la relación SNDR de cuatro moduladores SD en cascada de orden 2-2.



**Figura 5.2. Relación SNDR frente a la amplitud de la señal de entrada para moduladores SD de orden 2-2 en cascada.**

Si comparamos el modulador MC-SD con  $OSR_1=32$  y  $M_r=4$  (y entonces  $OSR_2=128$ ) con un modulador convencional con  $OSR_1=OSR_2=64$ , de acuerdo con la figura 5.2, la relación SNDR de las dos implementaciones son aproximadamente iguales. Este resultado muestra que una reducción en la tasa de sobremuestreo de la primera etapa del modulador puede ser compensada por un incremento similar en la tasa de sobremuestreo de las restantes etapas del modulador, cuyos efectos en el consumo de potencia no son muy críticos. Por otro lado, el modulador MC-SD necesita un filtro de cancelación digital de mayor complejidad, con una de sus partes trabajando a la frecuencia de muestreo mayor ( $f_{s2}$ ).

## **6.- Modelos para las no-idealidades en los moduladores Sigma-Delta.**

### **6.1.- Introducción.**

Los moduladores sigma-delta son los convertidores A/D más apropiados para aplicaciones de alta resolución y baja frecuencia, en vista a su linealidad, sus reducidos requerimientos para los filtros antialiasing y su robusta implementación analógica. Además, canjeando exactitud con velocidad, los moduladores sigma-delta permiten conseguir alta resolución con baja sensibilidad a las imperfecciones de los componentes analógicos sin requerir de éstos ajustes posteriores a su fabricación. En el diseño de moduladores sigma-delta de alta resolución de capacidades conmutadas, debemos optimizar gran número de parámetros, incluida la resolución de los bloques constitutivos, para conseguir la relación señal a ruido deseada. En vistas a la no linealidad inherente al bucle de los moduladores sigma-delta, este proceso de optimización debe ser realizado mediante simulaciones del comportamiento. En este capítulo presentaremos modelos de Simulink® [15] que nos permitirán realizar simulaciones exhaustivas de cualquier modulador sigma-delta teniendo en cuenta la mayoría de las no idealidades, como inestabilidad en el reloj de muestreo (jitter), ruido térmico  $kT/C$  y los parámetros del amplificador operacional (ruido, ganancia finita, ancho de banda finito, slew-rate y tensiones de saturación) basándonos en [16].

### **6.2.- Inestabilidad del reloj.**

El efecto del jitter en el reloj en un modulador sigma-delta de capacidades conmutadas (SC SD) puede ser calculado de una manera bastante simple, ya que la operación de un circuito SC depende de la transferencia de carga completa durante cada fase del reloj. De hecho, una vez que la señal analógica ha sido muestreada, el circuito SC es un sistema de datos muestreados donde las variaciones en el periodo del reloj no tienen un efecto directo en el comportamiento del circuito.

Debido a esto el efecto del jitter en el reloj de un circuito SC queda completamente descrito computando sus efectos en el muestreo de la señal de entrada. Esto también significa que el efecto del jitter en el reloj de un modulador SD es independiente de la estructura y el orden del modulador.

La inestabilidad en el reloj de muestreo se traduce en un muestreo no uniforme e incrementa la potencia de error total a la salida del cuantizador. La magnitud de este error es una función de las propiedades estadísticas del jitter y de la señal de entrada al convertidor. El error introducido cuando una señal sinusoidal de amplitud  $A$  y frecuencia  $f_{in}$  es muestreada en un instante que posee una cantidad de error  $d$  viene dado por:

$$x(t + \delta) - x(t) \approx 2\pi f_{in} \delta A \cos(2\pi f_{in} t) = \delta \frac{d}{dt} x(t) \quad (6.2.1)$$

Este efecto puede simularse con Simulink® usando el modelo de la figura 6.1, el cual implementa la ecuación (6.2.1). Aquí asumiremos que la incertidumbre en el muestreo  $d$  es un proceso aleatorio Gaussiano con desviación estándar  $Dt$  (parámetro *delta* en la figura 6.1). El que el sobremuestreo sea útil para reducir el error introducido por el jitter, depende de la naturaleza del jitter. Si nosotros asumimos el jitter blanco, el error resultante tiene una densidad espectral de potencia uniforme entre  $0$  y  $f_s/2$ , con una potencia total de  $(2\pi f_{in} Dt A)^2 / 2$ . En este caso la potencia total del error se verá reducida por la tasa de sobremuestreo [17].

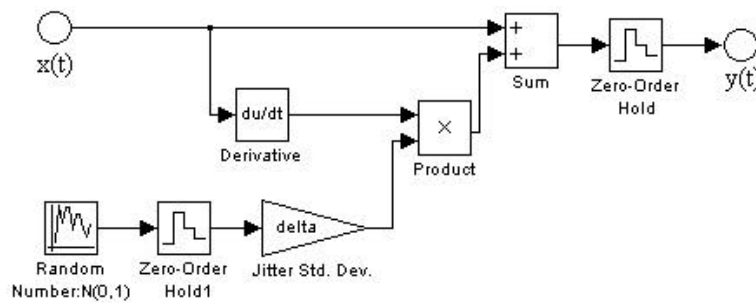


Figura 6.1. Modelo de jitter aleatorio en el muestreo.

El bloque random number es un generador de números aleatorios que siguen una distribución Gaussiana con media 0 y desviación estándar 1, estos números se dan al circuito a la frecuencia de trabajo que corresponda mediante el bloque mantenedor de orden cero, y son multiplicados por una constante:  $\delta$ , consiguiendo así que la distribución tenga media 0 y desviación estándar  $\delta$ , tal y como queremos representar la incertidumbre en el instante de muestreo.

El derivador obtiene la derivada con respecto al tiempo de la señal de entrada  $x(t)$ , y al multiplicarse por  $\delta$  se obtiene la ecuación  $\delta \frac{d}{dt}(x(t))$ . Si a esto le sumamos  $x(t)$  y muestreamos con el mantenedor, tenemos la salida deseada:  $y(t) = x(t + \delta)$

La frecuencia de trabajo de los mantenedores será la del primer integrador del modulador sigma-delta, al cual, le damos la entrada con la incertidumbre en el muestreo  $x(t + \delta)$ .

### **6.3.- Ruido en el integrador.**

El más importante de las fuentes de ruido que afectan al comportamiento de un modulador SC SD es el ruido térmico asociado a los interruptores de muestreo y el ruido intrínseco del amplificador operacional. La potencia total de ruido del circuito es la suma de la potencia teórica del ruido de cuantización en el bucle, la potencia del ruido de los interruptores y la potencia del ruido del amplificador operacional. Debido a la gran ganancia en baja frecuencia del primer integrador, el comportamiento del ruido en un modulador SD está determinado principalmente por el ruido provocado por los interruptores y el amplificador operacional de la etapa de entrada.

Estos efectos se pueden simular muy bien con Simulink® usando el modelo de un integrador 'ruidoso' de la figura 6.2, donde el coeficiente  $b$  representa la ganancia del integrador, la cual, referida al esquema del integrador

single-ended SC mostrado en la figura 6.3, es igual a  $C_s/C_f$ . A continuación describimos cada fuente de ruido y su modelo.

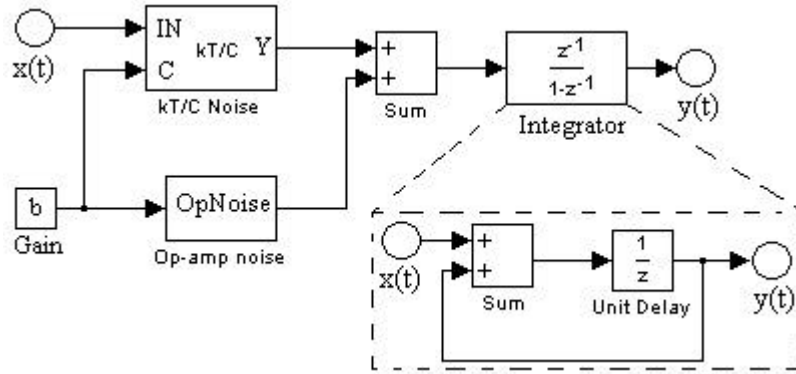


Figura 6.2. Modelo de un integrador 'ruidoso'.

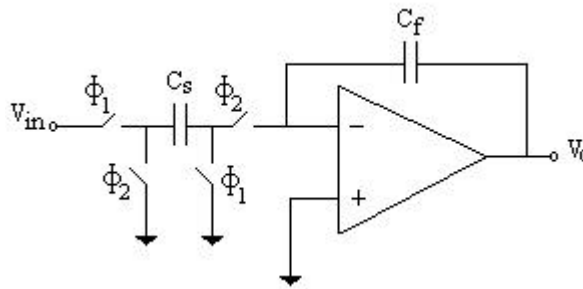


Figura 6.3. Integrador single-ended SC.

### 6.3.1.- Ruido térmico de los interruptores.

El ruido térmico está causado por la fluctuación de los portadores debido a la energía térmica y está presente siempre, incluso en el equilibrio. El ruido térmico tiene un espectro blanco y está limitado en banda por la constante de tiempo de las capacidades conmutadas o el ancho de banda del amplificador operacional. Por tanto, debe tenerse en cuenta para ambos, los interruptores y el amplificador operacional en un circuito SC. Considerando la capacidad de muestreo  $C_s$  en el circuito de la figura 6.3, esta está en serie con un interruptor, con resistencia finita  $R_{on}$ , que periódicamente se abre, llevando una tensión con

ruido dentro de la capacidad. La potencia total de ruido puede evaluarse con la expresión [18]:

$$e_T^2 = \int_0^\infty \frac{4kT_o R_{on}}{1 + (2\pi f R_{on} C_s)^2} df = \frac{kT_o}{C_s} \quad (6.3.1)$$

donde  $k$  es la constante de Boltzman y  $T_o$  la temperatura absoluta y la resistencia es modelada como una fuente de ruido en serie de potencia:  $4kT_o R_{on} df$ . La tensión de ruido térmico del interruptor  $n_T(t)$  (normalmente llamado ruido  $kT/C$ ) está superpuesta a la tensión de entrada, llegando a:

$$V_o(t) = [V_{in}(t) + n_T(t)]b = \left[ V_{in}(t) + \sqrt{\frac{kT_o}{bC_f}} n(t) \right] b \quad (6.3.2)$$

donde  $n(t)$  representa un proceso aleatorio Gaussiano con desviación estándar la unidad y  $b$  es la ganancia del integrador. Esta ecuación es implementada mediante el modelo de la figura 6.4. en el cual generamos el ruido aleatorio Gaussiano  $n(t)$  mediante los bloques random number y el mantenedor de orden cero. Este ruido es multiplicado por una constante generada en el bloque de ruido  $kT/C$  que es  $\sqrt{kT_o/bC_f}$ . Este resultado es sumado a la señal de entrada  $x(t)=V_{in}(t)$  y multiplicado por la ganancia del integrador representada por una constante  $b$ . Así obtenemos a la salida ( $y(t)=V_o(t)$ ) la ecuación (6.3.2).

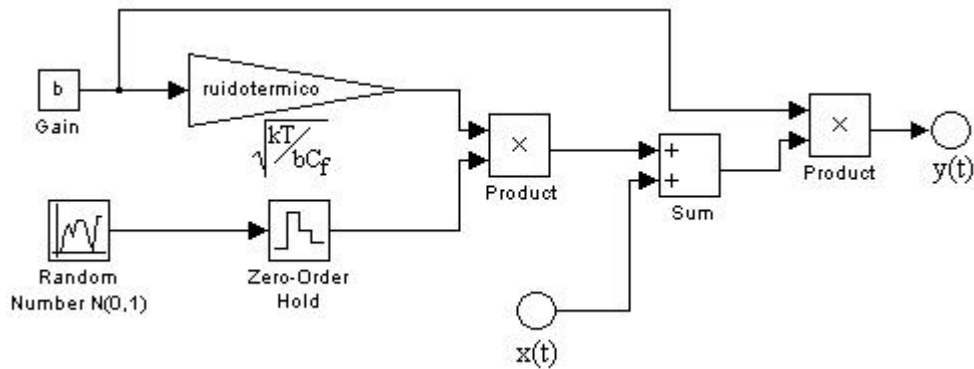


Figura 6.4. Modelo del ruido térmico de los interruptores (bloque  $kT/C$  ).

Puesto que el ruido es superpuesto en la banda desde 0 a  $f_s/2$ , su espectro final es blanco con densidad espectral

$$S(f) = \frac{2kT_o}{f_s C_s} \quad (6.3.3)$$

Normalmente el primer integrador, tendrá dos capacidades de entrada conmutadas, una portando la señal y otra proveyendo la realimentación desde la salida del modulador, cada una de ellas contribuye a la potencia total de error. Por tanto en el bucle de realimentación tendremos otro bloque  $kT/C$ .

### 6.3.2.- Ruido del amplificador operacional.

La figura 6.5 muestra el modelo usado para simular el efecto del ruido del amplificador operacional. Aquí,  $V_n$  representa la tensión de ruido rms total referido a la entrada del amplificador. A este valor contribuyen el ruido flicker ( $1/f$ ), el ruido térmico de banda ancha y el offset en continua. La potencia de error total del amplificador operacional  $V_n^2$  puede ser evaluada, mediante simulaciones, en el circuito de la figura 6.3 durante la fase  $\Phi_2$ , sumando las contribuciones al ruido de todos los dispositivos referidas a la entrada del amplificador operacional e integrando el resultado sobre todo el espectro de frecuencia.

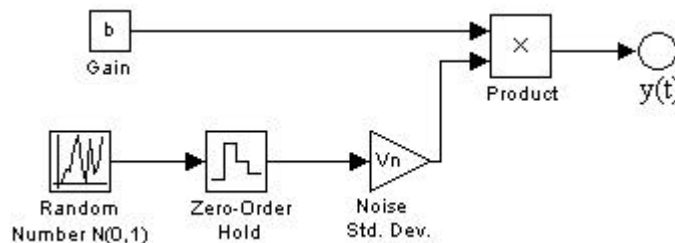


Figura 6.5. Modelo del ruido del amplificador operacional.

De nuevo generamos un ruido aleatorio gaussiano de media 0 y desviación estándar  $V_n$  mediante los bloques random number, el mantenedor de

orden cero y una constante multiplicativa  $V_n$ , que al multiplicarse por la ganancia del integrador  $b$  nos dá el ruido del amplificador operacional, que como vemos en la figura 6.2, sumaremos junto al ruido térmico a la entrada del modelo de un integrador ideal para conseguir los efectos de un integrador real con ruido.

#### 6.4.- No idealidades del integrador.

El modelo de Simulink® de un integrador ideal con ganancia unidad se muestra en el cuadro entre líneas discontinuas de la figura 6.2. Su función de transferencia es:

$$H(z) = \frac{z^{-1}}{1 - z^{-1}} \quad (6.4.1)$$

La implementación analógica del circuito integrador, se desvía de su comportamiento ideal debido a varios efectos no ideales. Una de las principales causas en la degradación del comportamiento de un modulador SC SD son las transferencias de carga incompletas en el integrador SC. Este efecto no ideal es consecuencia de las no idealidades del amplificador operacional, como ganancia finita, ancho de banda finito, slew-rate y tensiones de saturación. Vamos a considerar estas causas individualmente en los siguientes apartados. La figura 6.6 muestra el modelo de un integrador real que incluye todas las no idealidades.

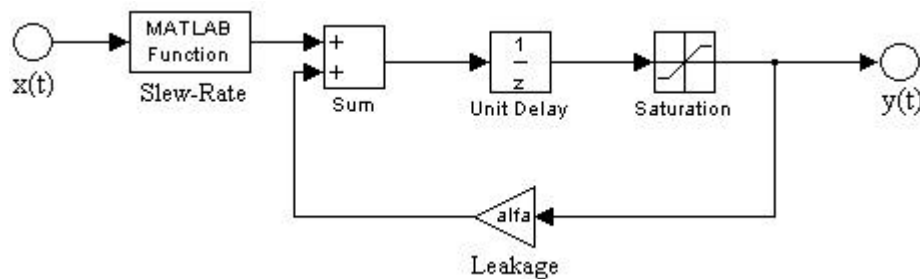


Figura 6.6. Modelo de un integrador real.

**6.4.1.- Ganancia en Continua.**

La ganancia en continua de un integrador ideal, como el descrito por la ecuación  $H(z) = z^{-1} / (1 - z^{-1})$ , es infinita. En la práctica, esta ganancia es finita por limitaciones en el circuito. La consecuencia de esta pérdida de corriente o dispersión (Leakage) del integrador es que sólo una fracción  $\alpha$  de la salida del integrador en el instante anterior es sumada a cada nueva entrada (parámetro alfa en la figura 6.6). La función de transferencia del integrador con pérdidas es:

$$H(z) = \frac{z^{-1}}{1 - \alpha z^{-1}} \quad (6.4.2)$$

La ganancia en DC es:

$$A_0 = H(0) = \frac{1}{1 - \alpha} \quad (6.4.3)$$

La consecuencia es que la ganancia finita en bajas frecuencias incrementa el ruido dentro de la banda.

**6.4.2.- Ancho de banda finito y slew rate.**

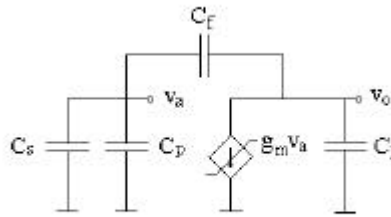
Estos dos efectos están modelados en la figura 6.6 como un bloque constitutivo situado a la entrada del integrador y que implementa una función de MATLAB®. Los efectos de ancho de banda finito y slew rate están relacionados entre sí y pueden ser interpretados como una ganancia no lineal [19]. Considerando un modelo de primer orden para el amplificador del circuito integrador SC de la figura 6.3 durante la fase de integración (cuando  $\Phi_2$  está activado) cuyo circuito equivalente mostramos en la figura 6.7, la evolución de la salida durante el n-ésimo periodo de integración es:

$$V_o(t) = V_o(nT - T/2) + bV_s \left[ 1 - e^{\left( \frac{t - (nT - T/2)}{\tau} \right)} \right], \quad nT - T/2 < t < nT \quad (6.4.4)$$

donde  $V_s = V_{in}(nT - T/2)$ ,  $b$  es la ganancia del integrador y  $t$  es la inversa del ancho de banda del amplificador expresado en rad/s. Una expresión aproximada para  $t$  [20] es:

$$\tau = \frac{C_s + C_p + C_l \left[ 1 + \frac{C_s + C_p}{C_f} \right]}{g_m} \quad (6.4.5)$$

donde  $g_m$  es la transconductancia del amplificador,  $C_l$  es la capacidad de carga a la salida del integrador y  $C_p$  es la capacidad parásita a la entrada.



**Figura 6.7. Circuito equivalente durante la fase de integración.**

La pendiente de la curva de la expresión 6.4.4 alcanza su valor máximo cuando  $t = nT - T/2$ , y es:

$$\left. \frac{d}{dt} V_o(t) \right|_{\max} = b \frac{V_s}{\tau} \quad (6.4.6)$$

Debemos considerar ahora dos casos separados:

1. El valor especificado en la ecuación (6.4.6) es menor que el slew-rate del amplificador operacional (SR). En este caso no existe limitación por el slew-rate y la evolución de  $V_o$  sigue la ecuación (6.4.4)
2. El valor especificado en la ecuación (6.4.6) es mayor que SR. En este caso el amplificador operacional se ve afectado por el slew-rate y por tanto, la primera parte de la evolución temporal de  $V_o$  ( $t < t_o$ ) es lineal con pendiente SR. Se siguen las siguientes ecuaciones (suponiendo  $t_o < T/2$ ):

$$nT - T/2 < t \leq t_o \quad V_o(t) = V_o(nT - T/2) + SRt \quad (6.4.7)$$

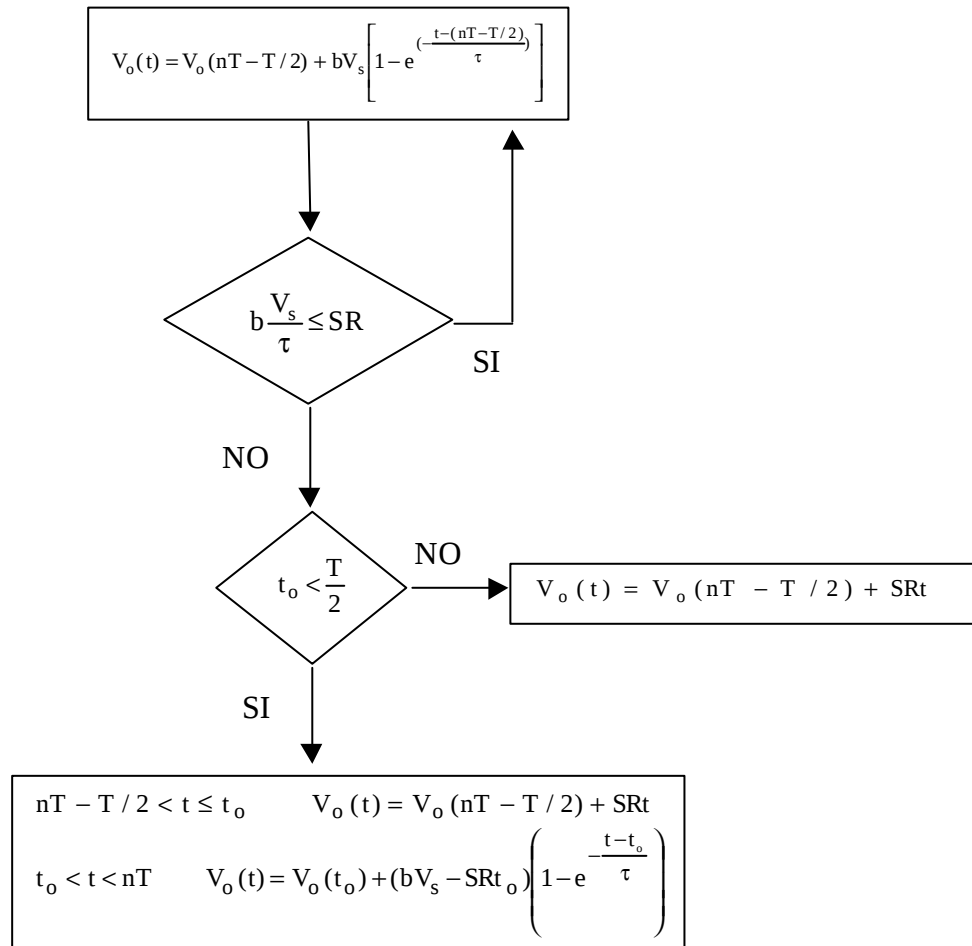
$$t_o < t < nT \quad V_o(t) = V_o(t_o) + (bV_s - SRt_o) \left( 1 - e^{-\frac{t-t_o}{\tau}} \right) \quad (6.4.8)$$

Imponiendo la condición de continuidad en las derivadas de (6.4.7) y (6.4.8) tenemos que:

$$t_o = \frac{bV_s}{SR} - \tau \quad (6.4.9)$$

Si  $t_o \geq T/2$  la evolución temporal de  $V_o(t)$  es lineal siguiendo la ecuación (6.4.7).

El siguiente diagrama muestra el algoritmo que hemos descrito:



**Figura 6.8. Diagrama del algoritmo usado para modelar las limitaciones de ancho de banda y slew-rate del amplificador operacional.**

La función MATLAB® de la figura 6.6 implementa el algoritmo anterior para calcular el valor de  $V_o(nT) - V_o(nT - T/2) = V_o(nT) - V_o(nT - T)$ , que será diferente de  $V_s$  debido a las limitaciones en la ganancia, ancho de banda y slew-rate del amplificador operacional. Las limitaciones de la tasa de cambio del voltaje de salida del amplificador (slew-rate) producen distorsión armónica, reduciendo la relación SNDR del modulador SD.

#### **6.4.3.- Saturación.**

Debemos tener en cuenta los niveles de saturación del amplificador operacional usado. Esto puede hacerse en Simulink® fácilmente usando un bloque de saturación dentro del bucle de realimentación del integrador, como vemos en la figura 6.6.

## 7.- Modelos Simulink® para las arquitecturas presentadas y comparativas.

### 7.1.- Introducción.

Pasaremos ahora a modelar y comparar distintas arquitecturas de moduladores Sigma Delta, tanto para el caso en que se utiliza una única tasa de sobremuestreo, como en los multitasa descritos en los apartados anteriores.

Veremos cómo se comportan estos moduladores mediante la comparación de dos figuras de mérito, en el caso ideal y cuando se introducen las distintas no idealidades en los modelos, y obtendremos el valor límite de los parámetros que representan estas no idealidades para las distintas arquitecturas.

Las figuras de mérito usualmente usadas son: La relación señal a ruido-distorsión: SNDR y el margen dinámico del modulador: MD. Para éste tomaremos como valor mínimo el de la amplitud de la señal senoidal de entrada que produce una SNDR=0 dB, es decir, la amplitud es tan pequeña que no puede ser distinguida del ruido. El máximo como la amplitud que nos da una SNDR máxima. Por lo tanto lo calcularemos de la siguiente forma:

$$MD \text{ (dB)} = 20\log(V_{\max\text{SNDR}}) - 20\log(V_{\text{ceroSNDR}}) \quad (7.1.1)$$

Para esto construiremos modelos de los moduladores en Simulink®, los cuales ejecutaremos mediante funciones Matlab® que les darán los valores de los parámetros. Los modelos en Simulink® de las arquitecturas, los iremos viendo en los siguientes apartados, y las funciones Matlab® están recogidas en el apéndice B. El objetivo de estas funciones es obtener para cada amplitud de la señal senoidal de entrada cuál es la relación SNDR de la arquitectura en estudio. Para ello se definen los valores de los parámetros tales como la amplitud (en el rango entre -100 y 0 dB) y la frecuencia de la señal de entrada  $f_p$ , la frecuencia de sobremuestreo  $f_s$ , número de puntos de la transformada DFT ( $N_{\text{ptos}}=2^{16}$ ), número de muestras de ejecución para el modelo Simulink®, etc. Mediante un

bucle, ejecutamos el modelo del modulador para cada una de las amplitudes de la señal de entrada, y calculamos el valor de la relación SNDR. El cálculo del ruido lo realizamos en la banda de paso de la señal:  $[0, f_N/2]$ . Los periodos de trabajo de los integradores en las distintas arquitecturas se han escogido de forma que las potencias del ruido de cuantización sean equiparables. Los resultados que obtendremos se mantendrán si escalamos las frecuencias  $f_p$  y  $f_s$ . En la siguiente tabla se resumen los valores utilizados:

| Arquitectura | Amplitud<br>dB | $f_p$<br>(Hz) | $f_N$<br>(Hz) | $f_s$<br>(Hz) | Frec. trabajo 1º<br>integrador<br>(1º modulador<br>para sd4mc) | Frec. trabajo 2º<br>integrador<br>(2º modulador<br>para sd4mc) | OSR <sub>1</sub> | OSR <sub>2</sub> |
|--------------|----------------|---------------|---------------|---------------|----------------------------------------------------------------|----------------------------------------------------------------|------------------|------------------|
| sd2c         | [0,100]        | 0.3125        | 8             | 1024          | $f_s/2$                                                        | $f_s/2$                                                        | 64               | 64               |
| sd2c_3bit    | [0,100]        | 0.3125        | 8             | 1024          | $f_s/4$                                                        | $f_s/4$                                                        | 32               | 32               |
| sd2mm        | [0,100]        | 0.3125        | 8             | 1024          | $f_s/4$                                                        | $f_s$                                                          | 32               | 128              |
| sd2ms        | [0,100]        | 0.3125        | 8             | 1024          | $f_s/4$                                                        | $f_s$                                                          | 32               | 128              |
| sd4mc        | [0,100]        | 0.1563        | 8             | 512           | $f_s/4$                                                        | $f_s$                                                          | 16               | 64               |

**Tabla 1.- Valores de amplitud y frecuencia de la señal de entrada y frecuencias de trabajo de los integradores para las distintas arquitecturas.**

Para cada una de las no idealidades que consideraremos (jitter, ruido del integrador y no idealidades del integrador) se definirá un segundo bucle en el que se dará el valor al parámetro que representa la no idealidad. Así para cada valor del parámetro calcularemos la SNDR del modulador en todo el rango de valores de la amplitud de la señal de entrada.

Una vez obtenidos los valores de la SNDR para todo el rango de amplitudes, tanto en el caso ideal como cuando consideramos las no idealidades, el cálculo del margen dinámico se realiza de forma sencilla mediante otra función Matlab®.

El análisis de los efectos de las no idealidades se va a realizar de forma paulatina, viendo en principio las variaciones en la SNDR y MD de cada arquitectura cuando sólo está presente una no idealidad, y comparándolas en este

caso según el valor límite obtenido para el parámetro que la representa. El criterio para dar el valor límite es considerar éste el que provoca una caída de más de 3 dB en la relación SNDR del modulador respecto a su valor en el caso ideal. Más tarde consideraremos todos los efectos de forma conjunta, viendo las consecuencias en el SNDR y el MD y obteniendo los valores límites de los parámetros en este caso.

Este estudio puede también realizarse de forma teórica, calculando las potencias de la señal y de los ruidos de cuantización, jitter, térmico y del amplificador operacional con fórmulas aproximadas, obteniendo así la relación SNDR. De esta forma, dispondremos de una idea de los resultados que vamos a obtener con las simulaciones.

## **7.2. Resultados teóricos.**

### **7.2.1.- Introducción.**

En este apartado calcularemos de forma teórica y aproximada la relación SNDR y MD de las arquitecturas tanto en el caso ideal, que es aquel donde sólo tendremos en cuenta el ruido de cuantización, como cuando se tienen en cuenta los ruidos jitter, térmico y del amplificador operacional junto al de cuantización.

Una vez obtenidas las relaciones SNDR en cada caso procederemos a compararlas, de igual forma a como lo haremos con las simulaciones, para obtener el valor límite de los parámetros que nos representan los ruidos.

Las formulas para el cálculo de las potencias, han sido descritas en los capítulos anteriores y son las siguientes:

- La potencia de la señal de salida del modulador será la potencia media de una señal sinusoidal de amplitud  $A$ :

$$P_{SEÑAL} = \frac{A^2}{2} \quad (7.2.1)$$

- Una expresión aproximada para la potencia del ruido de cuantización de un modulador SD de segundo orden que describíamos en el capítulo 3 es:

$$P_Q(m, d, f) = \frac{\pi^4}{60} \cdot \frac{f_N^5 \cdot m^2 \cdot d^2}{f^5} \quad (7.2.2)$$

donde  $d$  es el paso de cuantización,  $f/m$  es la frecuencia de muestreo del primer integrador,  $f$  la frecuencia de muestreo del segundo integrador y  $f_N$  la frecuencia de Nyquist.

- Las potencias de los ruidos jitter, térmico y del amplificador operacional en la banda de paso de la señal, se describieron en el capítulo 6 en función de los parámetros que los representan y son:

La potencia del ruido jitter en el intervalo  $[0, f_N/2]$ ,

$$P_{JITTER}(\delta) = \frac{(2 \cdot \pi \cdot f_p \cdot \delta \cdot A)^2}{2 \cdot OSR} \quad (7.2.3)$$

donde  $f_p$  y  $A$  son la frecuencia y amplitud de la señal sinusoidal de entrada,  $\delta$  es la desviación estándar del proceso aleatorio Gaussiano con que describimos el jitter, y  $OSR$  es el factor de sobremuestreo.

La potencia del ruido térmico en el intervalo  $[0, f_N/2]$ ,

$$P_{TERMICO} = \frac{4 \cdot k \cdot T_o}{C_s \cdot OSR} \quad (7.2.4)$$

donde  $k$  es la constante de Boltzman,  $T_o$  la temperatura absoluta,  $C_s$  es la capacidad de muestreo del circuito integrador de capacidades conmutadas y  $OSR$  es el factor de sobremuestreo.

La potencia de ruido intrínseco del amplificador operacional,

$$P_{\text{RUIDO\_OPAMP}} = V_n^2 \quad (7.2.5)$$

donde  $V_n$  representa la tensión de ruido rms total referido a la entrada del amplificador operacional.

Como vemos las fórmulas para los ruidos jitter, térmico y del amplificador operacional no dependen de la arquitectura del modulador, sino del valor del parámetro y del factor de sobremuestreo del primer integrador, y puesto que tomaremos los mismos valores para los parámetros en todas las arquitecturas consideradas, tendremos igual potencia de ruido excepto para las arquitecturas SD2C y SD4MC donde el factor de sobremuestreo del primer integrador es distinto. La potencia de la señal también será la misma y por tanto, lo que va a diferenciar la relación SNDR en las arquitecturas SD2C\_3bit, SD2MM y SD2MS, será la potencia del ruido de cuantización. Particularicemos la ecuación 7.2.2. para cada arquitectura:

- En la arquitectura sd2c los integradores trabajan a una frecuencia  $f_s/2$  y el cuantizador es de 1-bit con paso de cuantización  $D=2$ , la potencia del ruido de cuantización queda:

$$P_{Q_{sd2c}}(1, \Delta, f_s/2) = \frac{\pi^4}{60} \cdot \frac{f_N^5 \cdot \Delta^2 \cdot 2^5}{f_s^5} \quad (7.2.6)$$

- En las arquitecturas sd2mm y sd2ms el primer integrador trabaja a una frecuencia  $f_s/4$  y el segundo integrador a la frecuencia  $f_s$ . El cuantizador es de 1-bit con paso de cuantización  $D=2$ , la potencia del ruido de cuantización es:

$$P_{Q_{sd2mm}}(4, \Delta, f_s) = P_{Q_{sd2ms}}(4, \Delta, f_s) = \frac{\pi^4}{60} \cdot \frac{f_N^5 \cdot \Delta^2 \cdot 4^2}{f_s^5} \quad (7.2.7)$$

- En la arquitectura sd2c\_3bit los integradores trabajan a la frecuencia  $f_s/4$  y el cuantizador es de 3 bits con paso de cuantización  $D=1/4$ , la potencia del ruido de cuantización es:

$$P_{Qsd2c\_3bit}(1, 1/4, f_s/4) = P_{Qsd2c\_3bit}(1, \Delta/2^3, f_s/4) \Big|_{\Delta=2} = \frac{\pi^4}{60} \cdot \frac{f_N^5 \cdot \Delta^2 \cdot 4^5}{f_s^5 \cdot 2^6} \quad (7.2.8)$$

Las expresiones 7.2.7 y 7.2.8 son iguales. Como vimos en el apartado 3.2. las expresiones para la potencia del ruido de cuantización en un modulador sigma-delta multitasa y multibit y de un modulador sigma-delta convencional de n-bit eran equivalentes si  $n = \frac{3}{2} \log_2(M_r)$ , y puesto que  $M_r=4$  estamos en ese caso.

Por tanto, para las arquitecturas sd2mm, sd2ms y sd2c\_3bit tendremos los mismos resultados teóricos para la relación SNDR tanto en el caso ideal como cuando se tiene ruido jitter, térmico y del amplificador operacional.

- En la arquitectura sd4mc los integradores del primer modulador de la cascada trabajan a la frecuencia  $f_s/4$  y los del segundo modulador a  $f_s$ , los cuantizadores son de 1 bit y el paso de cuantización  $D=2$ . Esta arquitectura es de cuarto orden, y por tanto debemos obtener una expresión para la potencia del ruido de cuantización.

Según [1] para un modulador SD de orden  $L$  en cascada, el valor rms del ruido de cuantización en la banda de la señal es:

$$n_o = e_{rms} \frac{\pi^L}{\sqrt{2L+1}} (OSR)^{-(L+1/2)} \quad (7.2.9)$$

Y haciendo uso del mismo razonamiento que seguimos en el apartado 3.2, obtenemos ahora que el valor en DC de la función de transferencia del ruido de cuantización es  $M_r^2$  y la potencia del ruido de cuantización en la banda de la señal es  $M_r^4$  veces mayor que la potencia del ruido de cuantización en un modulador SD convencional que trabaje a una frecuencia de muestreo de  $f_s$ . Por tanto una expresión aproximada para la potencia del ruido de cuantización en el modulador SD4MC es:

$$P_{Qsd4mc} = n_0^2 \Big|_{L=4} \cdot M_r^4 = \frac{\Delta^2}{12} \cdot \frac{\pi^8}{9} \cdot \left( \frac{f_N}{f_s} \right)^9 \cdot M_r^4 = \frac{\pi^8}{108} \cdot \frac{f_N^9 \cdot \Delta^2 \cdot M_r^4}{f_s^9} \quad (7.2.10)$$

### 7.2.2.- Caso ideal.

El caso ideal será en el que sólo tendremos en cuenta el ruido de cuantización. Para tener una idea aproximada de la igualdad de los resultados teóricos y de las simulaciones, veamos gráficamente cómo son los resultados para el caso ideal en las simulaciones y teóricamente.

#### (a) Arquitectura sd2c.

Los resultados de la simulación para esta arquitectura nos dan una relación  $SNDR_{max} = 71.30$  dB que se produce para una amplitud de la señal de entrada de  $-2.5$  dB y un margen dinámico  $MD = 74.24$  dB.

En la figura 7.1 representamos los resultados obtenidos mediante simulación y los resultados teóricos. Vemos que son próximos, aunque en nuestro cálculo teórico no se aprecia la caída en la relación SNDR para la amplitud de la señal de 0 dB.

Teóricamente la relación  $SNDR_{max} = 79.17$  dB para la amplitud de 0 dB y el margen dinámico  $MD = 79.17$  dB

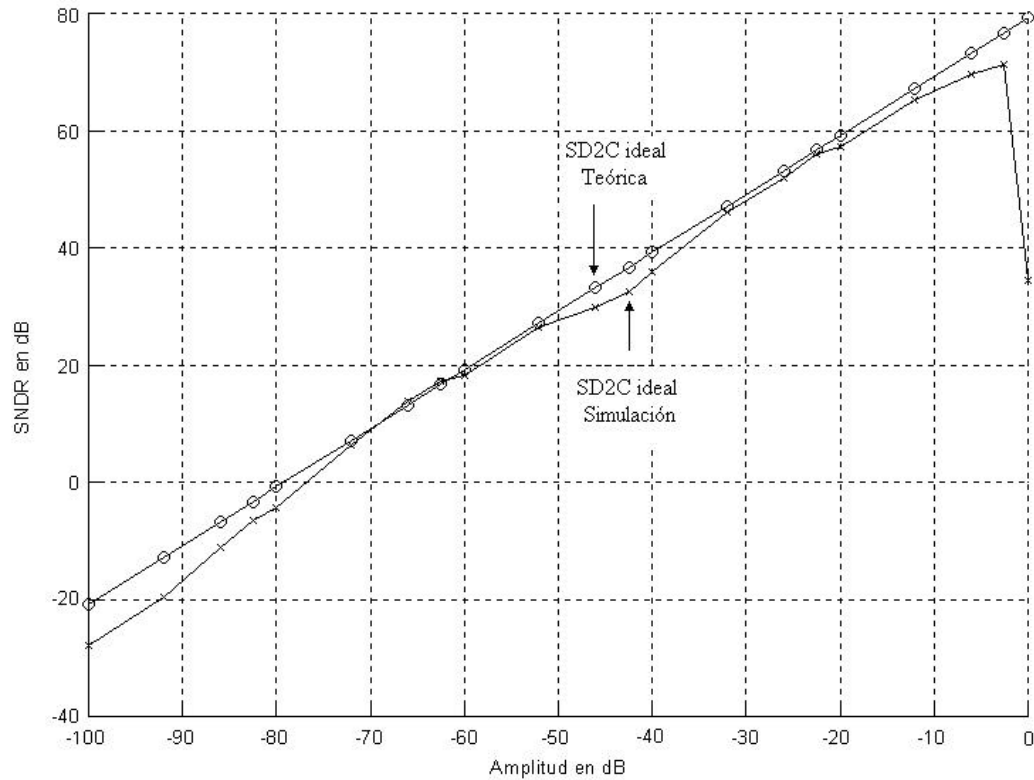


Figura 7.1. SNDR teórica y de simulación en el caso ideal para la arquitectura sd2c.

### (b) Arquitectura sd2c\_3bit .

Los resultados de la simulación para esta arquitectura nos dan una relación  $\text{SNDR}_{\text{max}} = 80.2 \text{ dB}$  que se produce para una amplitud de la señal de entrada de  $-2.5 \text{ dB}$  y un margen dinámico  $\text{MD} = 74.39 \text{ dB}$ .

En la figura 7.2 representamos los resultados obtenidos mediante simulación y los resultados teóricos. Vemos que son próximos, aunque en nuestro cálculo teórico no se aprecia la caída en la relación SNDR para la amplitud de la señal de  $0 \text{ dB}$ .

Teóricamente la relación  $\text{SNDR}_{\text{max}} = 82.18 \text{ dB}$  para la amplitud de  $0 \text{ dB}$  y el margen dinámico  $\text{MD} = 82.18 \text{ dB}$

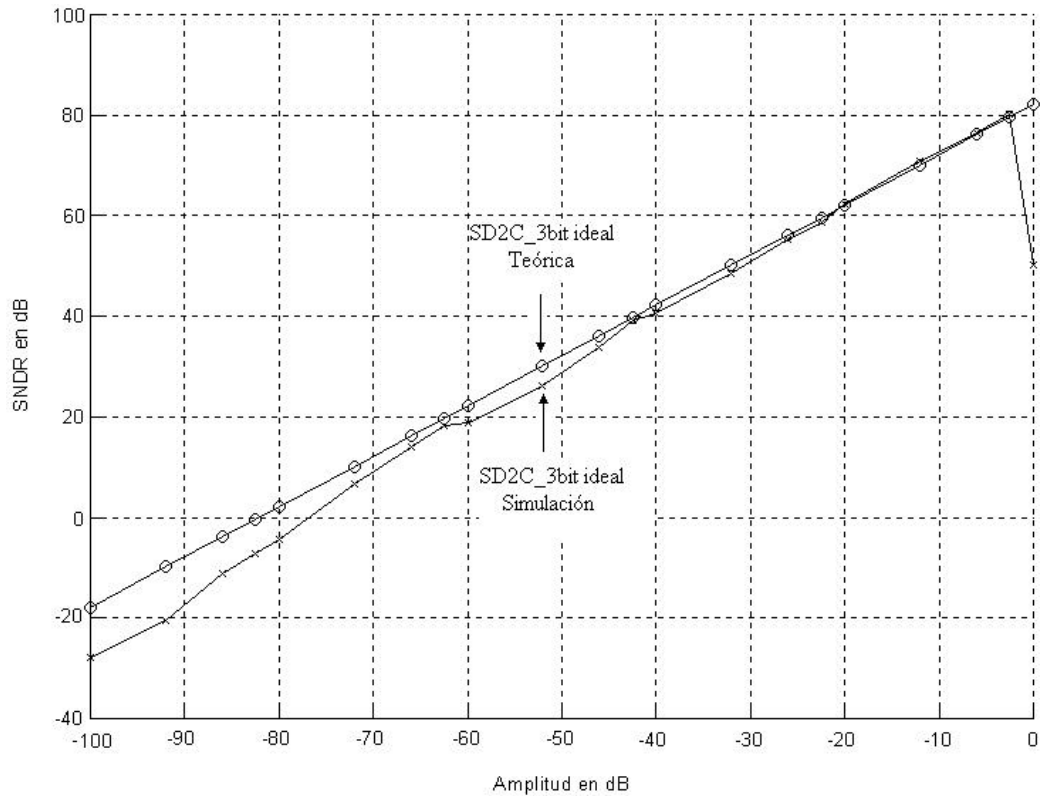


Figura 7.2. SNDR teórica y de simulación en el caso ideal para la arquitectura sd2c\_3bit.

### (c) Arquitectura sd2mm.

Los resultados de la simulación para esta arquitectura nos dan una relación  $\text{SNDR}_{\max} = 78.32 \text{ dB}$  que se produce para una amplitud de la señal de entrada de  $-2.5 \text{ dB}$  y un margen dinámico  $\text{MD} = 85.1 \text{ dB}$ .

En la figura 7.3 representamos los resultados obtenidos mediante simulación y los resultados teóricos. En este caso existe una diferencia considerable entre ambos, en la teórica no se aprecia la caída en la relación SNDR para la amplitud de la señal de  $0 \text{ dB}$ , ni tampoco la mejora en la relación SNDR que se tiene en esta arquitectura para señales de amplitudes menores a  $-70 \text{ dB}$ .

Teóricamente la relación  $\text{SNDR}_{\max} = 82.18 \text{ dB}$  para la amplitud de  $0 \text{ dB}$  y el margen dinámico  $\text{MD} = 82.18 \text{ dB}$

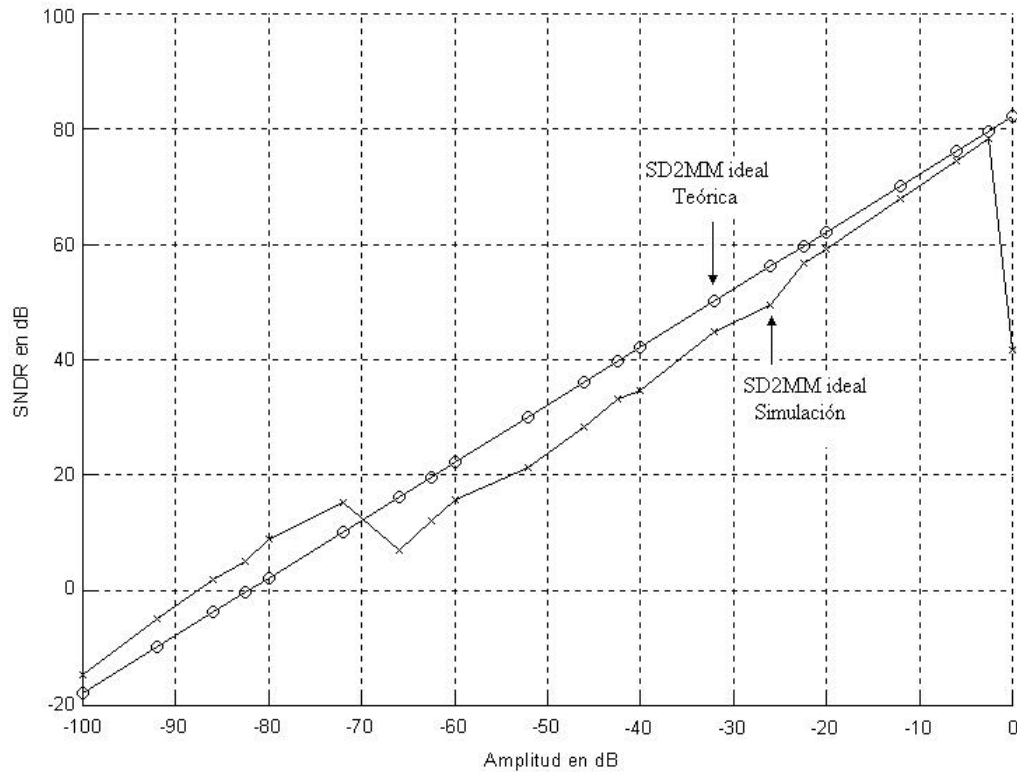


Figura 7.3. SNDR teórica y de simulación en el caso ideal para la arquitectura sd2mm.

#### (d) Arquitectura sd2ms.

Los resultados de la simulación para esta arquitectura nos dan una relación  $\text{SNDR}_{\text{max}} = 74.89 \text{ dB}$  que se produce para una amplitud de la señal de entrada de  $-2.5 \text{ dB}$  y un margen dinámico  $\text{MD} = 72.77 \text{ dB}$ .

En la figura 7.4 representamos los resultados obtenidos mediante simulación y los resultados teóricos. También en este caso existe una diferencia considerable entre ambos, siendo la teórica unos 10 dB mayor que la de simulación.

Teóricamente la relación  $\text{SNDR}_{\text{max}} = 82.18 \text{ dB}$  para la amplitud de  $0 \text{ dB}$  y el margen dinámico  $\text{MD} = 82.18 \text{ dB}$

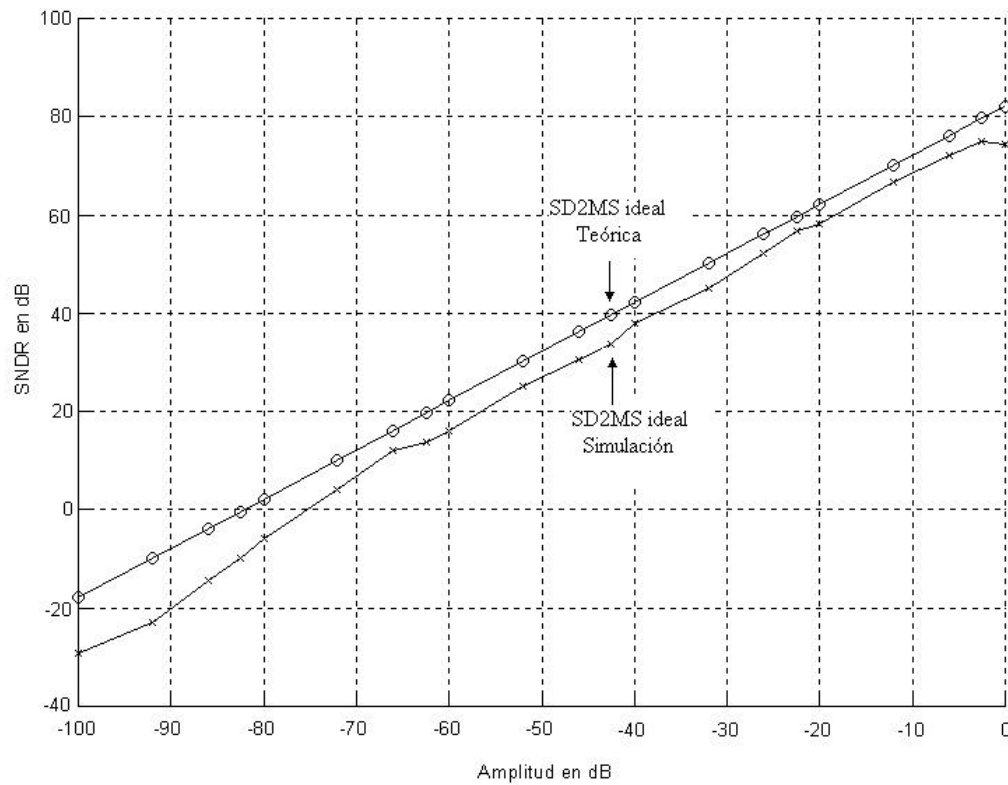


Figura 7.4. SNDR teórica y de simulación en el caso ideal para la arquitectura sd2ms.

#### (e) Arquitectura sd4mc.

Los resultados de la simulación para esta arquitectura nos dan una relación  $\text{SNDR}_{\max} = 82.35 \text{ dB}$  que se produce para una amplitud de la señal de entrada de  $-6.0206 \text{ dB}$  y un margen dinámico  $\text{MD} = 89.95 \text{ dB}$ .

En la figura 7.5 representamos los resultados obtenidos mediante simulación y los resultados teóricos. También en este caso existe una diferencia considerable entre ambos, siendo la teórica unos 15 dB mayor que la de simulación.

Teóricamente la relación  $\text{SNDR}_{\max} = 110.01 \text{ dB}$  para la amplitud de  $0 \text{ dB}$  y el margen dinámico  $\text{MD} = 110 \text{ dB}$

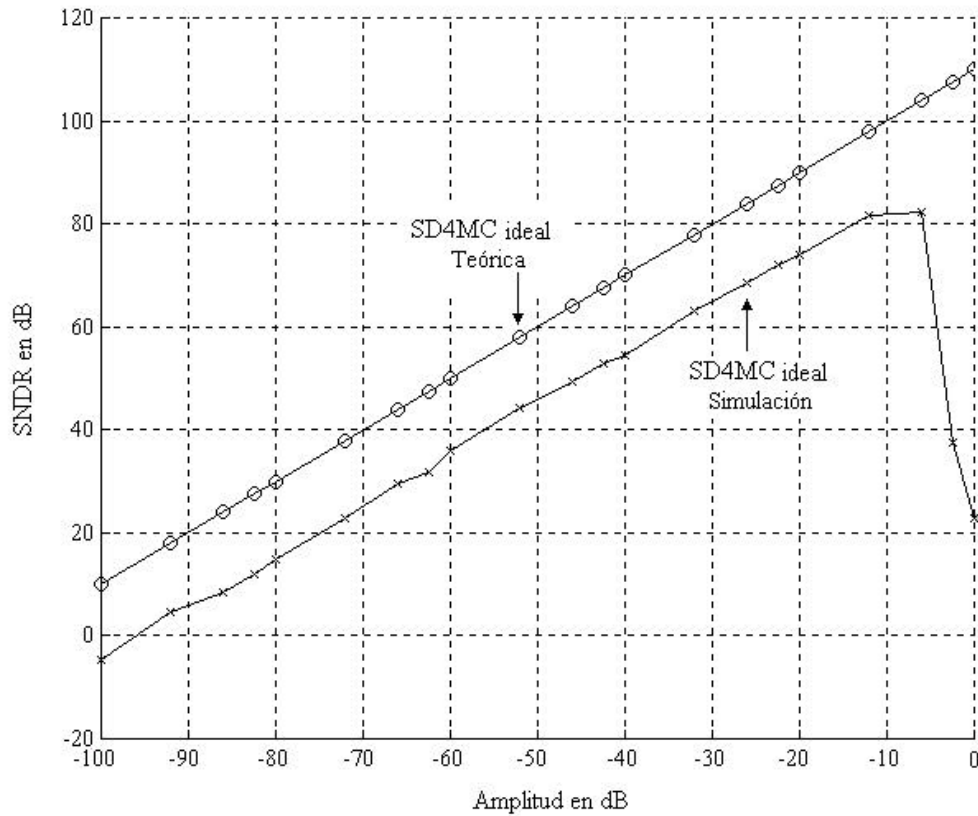


Figura 7.5. SNDR teórica y de simulación en el caso ideal para la arquitectura sd4mc.

### 7.2.3.- Ruidos jitter, térmico y del amplificador operacional.

Veamos teóricamente cuales son los valores máximos para los parámetros que describen los ruidos. Para ello, calcularemos la relación SNDR cuando está presente cada ruido y la compararemos con la del caso ideal teórico.

Como hemos apuntado en la introducción de este apartado, los resultados teóricos para las arquitecturas sd2mm, sd2ms y sd2c\_3bit serán los mismos, ya que los valores de la potencia de los ruidos son iguales para todas, al igual que la potencia de la señal.

#### 7.2.3.1.- Jitter.

Calcularemos la relación SNDR cuando está presente este ruido como:

$$\text{SNDR}|_{\text{dB}} = 10 \cdot \log_{10} \left( \frac{P_{\text{SEÑAL}}}{P_Q + P_{\text{JITTER}}} \right) \quad (7.2.11)$$

**(a) Arquitectura sd2c.**

En la tabla 2 vemos los resultados teóricos para el ruido jitter. Si mantenemos el criterio de tomar como valor máximo para delta el que hace que la relación SNDR no se diferencie en ningún punto más de 3 dB respecto de su valor ideal, tenemos como valor máximo  $\delta = t_s/5$ .

| delta     | SNDRmax (dB) | MD (dB) | Nºdif3dB | Max.Dif. | A maxdif (dB) |
|-----------|--------------|---------|----------|----------|---------------|
| Ideal     | 79.17        | 79.17   | -        | -        | -             |
| $t_s/100$ | 79.17        | 79.17   | 0        | 0        | 0             |
| $t_s/50$  | 79.17        | 79.17   | 0        | 0.01     | 0             |
| $t_s/10$  | 78.97        | 79.17   | 0        | 0.20     | 0             |
| $t_s/5$   | 78.42        | 79.17   | 0        | 0.76     | 0             |
| $t_s/2$   | 75.77        | 79.17   | 1        | 3.40     | 0             |
| $t_s$     | 71.58        | 79.17   | 3        | 7.60     | 0             |

**Tabla 2.** Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con jitter es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd2c, calculados teóricamente.

**(b) Arquitecturas sd2mm, sd2ms y sd2c\_3bit.**

La tabla 3 nos muestra los resultados teóricos para el ruido jitter. El valor máximo del parámetro es  $\delta = t_s/5$ .

| delta     | SNDRmax (dB) | MD (dB) | Nºdif3dB | Max.Dif. | A maxdif (dB) |
|-----------|--------------|---------|----------|----------|---------------|
| Ideal     | 82.18        | 82.18   | -        | -        | -             |
| $t_s/100$ | 82.18        | 82.18   | 0        | 0.01     | 0             |
| $t_s/50$  | 82.15        | 82.18   | 0        | 0.03     | 0             |
| $t_s/10$  | 81.43        | 82.18   | 0        | 0.76     | 0             |
| $t_s/5$   | 79.73        | 82.18   | 0        | 2.45     | 0             |
| $t_s/2$   | 74.59        | 82.18   | 3        | 7.60     | 0             |
| $t_s$     | 69.17        | 82.18   | 4        | 13.01    | 0             |

**Tabla 3.** Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con jitter es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para las arquitecturas sd2mm, sd2ms y sd2c\_3bit calculados teóricamente.

**(c) Arquitectura sd4mc.**

En la tabla 4 vemos los resultados teóricos para el ruido jitter. El valor máximo del parámetro es  $\delta = t_s/200$ .

| $\delta$  | SNDRmax (dB) | MD (dB) | Nºdif3dB | Max.Dif. | A maxdif (dB) |
|-----------|--------------|---------|----------|----------|---------------|
| Ideal     | 110.01       | 110     | -        | -        | -             |
| $t_s/500$ | 109.62       | 110     | 0        | 0.38     | 0             |
| $t_s/200$ | 108.03       | 110     | 0        | 1.97     | 0             |
| $t_s/100$ | 104.82       | 110     | 2        | 5.19     | 0             |
| $t_s/50$  | 99.92        | 110     | 3        | 10.09    | 0             |
| $t_s/10$  | 86.37        | 110     | 6        | 23.64    | 0             |
| $t_s/5$   | 80.36        | 110     | 7        | 29.64    | 0             |
| $t_s/2$   | 72.41        | 110     | 8        | 37.60    | 0             |
| $t_s$     | 66.39        | 110     | 10       | 43.62    | 0             |

**Tabla 4. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con jitter es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd4mc calculados teóricamente.**

**7.2.3.2.- Ruido en el integrador.**

Calcularemos la relación SNDR cuando está presente este ruido como:

$$SNDR|_{dB} = 10 \cdot \log_{10} \left( \frac{P_{SEÑAL}}{P_Q + P_{TERMICO} + P_{RUIDO\_OPAMP}} \right) \quad (7.2.12)$$

**(a) Arquitectura sd2c.**

Considerando los ruidos térmico y del amplificador operacional tanto de forma aislada (tabla 5) como conjuntamente (tabla 6) obtenemos que los valores límites de los parámetros son:  $C_s = 100 \text{ fF}$  y  $V_n = 50 \text{ uv}$ .

| C <sub>s</sub>    | V <sub>n</sub><br>(v) | SNDR<br>Max<br>(dB) | MD<br>(dB) | Nºdif<br>3dB | Max.<br>Dif. | A<br>maxdif<br>(dB) | C <sub>s</sub> (F) | V <sub>n</sub>                                                 | SNDR<br>Max<br>(dB) | MD<br>(dB) | Nºdif<br>3dB | Max.<br>Dif. | A<br>maxdif<br>(dB) |
|-------------------|-----------------------|---------------------|------------|--------------|--------------|---------------------|--------------------|----------------------------------------------------------------|---------------------|------------|--------------|--------------|---------------------|
| Ideal             |                       | 79.17               | 79.17      | -            | -            | -                   | Ideal              |                                                                | 79.17               | 79.17      | -            | -            | -                   |
| Sin ruido térmico | 1 p                   | 79.17               | 79.17      | 0            | 0            | -100                | 10 <sup>-18</sup>  | Sin ruido en el amplificador operacional<br>V <sub>n</sub> = 0 | 33.27               | 33.27      | 21           | 45.90        | -100                |
|                   | 500p                  | 79.17               | 79.17      | 0            | 0            | -100                | 1 f                |                                                                | 63.16               | 63.16      | 21           | 16.01        | -100                |
|                   | 1 n                   | 79.17               | 79.17      | 0            | 0            | -100                | 100 f              |                                                                | 77.75               | 77.75      | 0            | 1.43         | -100                |
|                   | 100 n                 | 79.17               | 79.17      | 0            | 0            | -100                | 250 f              |                                                                | 78.55               | 78.55      | 0            | 0.63         | -100                |
|                   | 1 u                   | 79.17               | 79.17      | 0            | 0            | -100                | 500 f              |                                                                | 78.85               | 78.85      | 0            | 0.33         | -100                |
|                   | 50 u                  | 77.67               | 77.67      | 0            | 1.50         | -100                | 750 f              |                                                                | 78.95               | 78.95      | 0            | 0.22         | -100                |
|                   | 100 u                 | 74.94               | 74.94      | 21           | 4.24         | -100                | 1 p                |                                                                | 79.01               | 79.01      | 0            | 0.17         | -100                |
|                   | 250 u                 | 68.63               | 68.63      | 21           | 10.54        | -100                | 5 p                |                                                                | 79.14               | 79.14      | 0            | 0.03         | -100                |
|                   | 500 u                 | 62.91               | 62.91      | 21           | 16.27        | -100                | 10 p               |                                                                | 79.16               | 79.16      | 0            | 0.02         | -100                |
|                   | 750 u                 | 59.44               | 59.44      | 21           | 19.73        | -100                | 50 p               |                                                                | 79.17               | 79.17      | 0            | 0            | -100                |

**Tabla 5. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma aislada para la arquitectura sd2c.**

| C <sub>s</sub> =100 fF<br>V <sub>n</sub> (v) | SNDRmax<br>(dB) | MD (dB) | Nºdif3dB | Max. Dif. | A<br>maxdif<br>(dB) | C <sub>s</sub> =250 fF<br>V <sub>n</sub> (v) | SNDRmax<br>(dB) | MD (dB) | Nºdif3dB | Max. Dif. | A<br>maxdif<br>(dB) | C <sub>s</sub> =500 fF<br>V <sub>n</sub> (v) | SNDRmax<br>(dB) | MD (dB) | Nºdif3dB | Max. Dif. | A<br>maxdif<br>(dB) |
|----------------------------------------------|-----------------|---------|----------|-----------|---------------------|----------------------------------------------|-----------------|---------|----------|-----------|---------------------|----------------------------------------------|-----------------|---------|----------|-----------|---------------------|
| ideal                                        | 79.17           | 79.17   | -        | -         | -                   | ideal                                        | 79.17           | 79.17   | -        | -         | -                   | ideal                                        | 79.17           | 79.17   | -        | -         | -                   |
| 1 p                                          | 77.75           | 77.75   | 0        | 1.43      | -100                | 1 p                                          | 78.54           | 78.54   | 0        | 0.63      | -100                | 1 p                                          | 78.85           | 78.85   | 0        | 0.33      | -100                |
| 500 p                                        | 77.75           | 77.75   | 0        | 1.43      | -100                | 500 p                                        | 78.54           | 78.54   | 0        | 0.63      | -100                | 500 p                                        | 78.85           | 78.85   | 0        | 0.33      | -100                |
| 1 n                                          | 77.75           | 77.75   | 0        | 1.43      | -100                | 1 n                                          | 78.54           | 78.54   | 0        | 0.63      | -100                | 1 n                                          | 78.85           | 78.85   | 0        | 0.33      | -100                |
| 100 n                                        | 77.75           | 77.75   | 0        | 1.43      | -100                | 100 n                                        | 78.54           | 78.54   | 0        | 0.63      | -100                | 100 n                                        | 78.85           | 78.85   | 0        | 0.33      | -100                |
| 1 u                                          | 77.75           | 77.75   | 0        | 1.43      | -100                | 1 u                                          | 78.54           | 78.54   | 0        | 0.63      | -100                | 1 u                                          | 78.85           | 78.85   | 0        | 0.33      | -100                |
| 50 u                                         | 76.61           | 76.61   | 0        | 2.56      | -100                | 50 u                                         | 77.22           | 77.22   | 0        | 1.96      | -100                | 50 u                                         | 77.44           | 77.44   | 0        | 1.74      | -100                |
| 100 u                                        | 74.34           | 74.34   | 21       | 4.83      | -100                | 100 u                                        | 74.69           | 74.69   | 21       | 4.48      | -100                | 100 u                                        | 74.81           | 74.81   | 21       | 4.36      | -100                |
| 250 u                                        | 68.48           | 68.48   | 21       | 10.7      | -100                | 250 u                                        | 68.57           | 68.57   | 21       | 10.60     | -100                | 250 u                                        | 68.60           | 68.60   | 21       | 10.57     | -100                |
| 500 u                                        | 62.87           | 62.87   | 21       | 16.3      | -100                | 500 u                                        | 62.89           | 62.89   | 21       | 16.28     | -100                | 500 u                                        | 62.90           | 62.90   | 21       | 16.28     | -100                |
| 750 u                                        | 59.42           | 59.42   | 21       | 19.8      | -100                | 750 u                                        | 59.43           | 59.43   | 21       | 19.74     | -100                | 750 u                                        | 59.44           | 59.44   | 21       | 19.74     | -100                |

**Tabla 6. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma conjunta para la arquitectura sd2c.**

**(b) Arquitecturas sd2mm, sd2ms y sd2c\_3bit.**

Considerando los ruidos térmico y del amplificador operacional de forma aislada (tabla 7) los valores límites de los parámetros son:  $C_s = 250 \text{ fF}$  y  $V_n = 50 \text{ uv}$ . Si se consideran los ruidos conjuntamente (tabla 8) obtenemos que los valores límites de los parámetros son:  $C_s = 250 \text{ fF}$  y  $V_n = 1 \text{ uv}$ .

| $C_s$             | $V_n$ (v) | SNDR Max (dB) | MD (dB) | Nºdif 3dB | Max. Dif. | A maxdif (dB) | $C_s$ (F)  | $V_n$                                              | SNDR Max (dB) | MD (dB) | Nºdif 3dB | Max. Dif. | A maxdif (dB) |
|-------------------|-----------|---------------|---------|-----------|-----------|---------------|------------|----------------------------------------------------|---------------|---------|-----------|-----------|---------------|
| Ideal             |           | 82.18         | 82.18   | -         | -         | -             | Ideal      |                                                    | 82.18         | 82.18   | -         | -         | -             |
| Sin ruido térmico | 1 p       | 82.18         | 82.18   | 0         | 0         | -100          | $10^{-18}$ | Sin ruido en el amplificador operacional $V_n = 0$ | 30.26         | 30.26   | 21        | 51.92     | -92.04        |
|                   | 500p      | 82.18         | 82.18   | 0         | 0         | -100          | 1 f        |                                                    | 60.23         | 60.23   | 21        | 21.95     | -100          |
|                   | 1 n       | 82.18         | 82.18   | 0         | 0         | -100          | 100 f      |                                                    | 78.11         | 78.11   | 21        | 4.08      | -100          |
|                   | 100 n     | 82.18         | 82.18   | 0         | 0         | -100          | 250 f      |                                                    | 80.08         | 80.08   | 0         | 2.10      | -100          |
|                   | 1 u       | 82.18         | 82.18   | 0         | 0         | -100          | 500 f      |                                                    | 81.01         | 81.01   | 0         | 1.18      | -100          |
|                   | 50 u      | 79.57         | 79.57   | 0         | 2.62      | -100          | 750 f      |                                                    | 81.36         | 81.36   | 0         | 0.82      | -100          |
|                   | 100 u     | 75.84         | 75.84   | 21        | 6.34      | -100          | 1 p        |                                                    | 81.56         | 81.56   | 0         | 0.63      | -100          |
|                   | 250 u     | 68.83         | 68.83   | 21        | 13.36     | -100          | 5 p        |                                                    | 82.05         | 82.05   | 0         | 0.13      | -100          |
|                   | 500 u     | 62.96         | 62.96   | 21        | 19.23     | -100          | 10 p       |                                                    | 82.12         | 82.12   | 0         | 0.07      | -100          |
|                   | 750 u     | 59.47         | 59.47   | 21        | 22.72     | -100          | 50 p       |                                                    | 82.17         | 82.17   | 0         | 0.01      | -100          |

**Tabla 7. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma aislada para las arquitecturas sd2mm, sd2ms y sd2c\_3bit.**

| $C_s = 100 \text{ fF}$<br>$V_n$ (v) | SNDRmax (dB) | MD (dB) | Nºdif3dB | Max. Dif. | A maxdif (dB) | $C_s = 250 \text{ fF}$<br>$V_n$ (v) | SNDRmax (dB) | MD(dB) | Nºdif3dB | Max. Dif. | A maxdif (dB) | $C_s = 500 \text{ fF}$<br>$V_n$ (v) | SNDRmax (dB) | MD (dB) | Nºdif3dB | Max. Dif. | A maxdif (dB) |
|-------------------------------------|--------------|---------|----------|-----------|---------------|-------------------------------------|--------------|--------|----------|-----------|---------------|-------------------------------------|--------------|---------|----------|-----------|---------------|
| Ideal                               | 82.18        | 82.18   | -        | -         | -             | Ideal                               | 82.18        | 82.18  | -        | -         | -             | Ideal                               | 82.18        | 82.18   | -        | -         | -             |
| 1 p                                 | 78.11        | 78.11   | 21       | 4.08      | -100          | 1 p                                 | 80.08        | 80.08  | 0        | 2.10      | -100          | 1 p                                 | 81.01        | 81.01   | 0        | 1.18      | -100          |
| 500 p                               | 78.11        | 78.11   | 21       | 4.08      | -100          | 500 p                               | 80.08        | 80.08  | 0        | 2.10      | -100          | 500 p                               | 81.01        | 81.01   | 0        | 1.18      | -100          |
| 1 n                                 | 78.11        | 78.11   | 21       | 4.08      | -100          | 1 n                                 | 80.08        | 80.08  | 0        | 2.10      | -100          | 1 n                                 | 81.01        | 81.01   | 0        | 1.18      | -100          |
| 100 n                               | 78.11        | 78.11   | 21       | 4.08      | -100          | 100 n                               | 80.08        | 80.08  | 0        | 2.10      | -100          | 100 n                               | 81.01        | 81.01   | 0        | 1.18      | -100          |
| 1 u                                 | 78.11        | 78.11   | 21       | 4.08      | -100          | 1 u                                 | 80.08        | 80.08  | 0        | 2.10      | -100          | 1 u                                 | 81.01        | 81.01   | 0        | 1.18      | -100          |
| 50 u                                | 76.89        | 76.89   | 21       | 5.29      | -100          | 50 u                                | 78.29        | 78.29  | 21       | 3.89      | -100          | 50 u                                | 78.88        | 78.88   | 21       | 3.30      | -100          |
| 100 u                               | 74.50        | 74.50   | 21       | 7.68      | -100          | 100 u                               | 75.26        | 75.26  | 21       | 6.93      | -100          | 100 u                               | 75.54        | 75.54   | 21       | 6.64      | -100          |
| 250 u                               | 68.52        | 68.52   | 21       | 13.66     | -100          | 250 u                               | 68.70        | 68.70  | 21       | 13.48     | -100          | 250 u                               | 68.76        | 68.76   | 21       | 13.42     | -100          |
| 500 u                               | 62.88        | 62.88   | 21       | 19.31     | -100          | 500 u                               | 62.93        | 62.93  | 21       | 19.26     | -100          | 500 u                               | 62.94        | 62.94   | 21       | 19.24     | -100          |
| 750 u                               | 59.43        | 59.43   | 21       | 22.75     | -100          | 750 u                               | 59.45        | 59.45  | 21       | 22.73     | -100          | 750 u                               | 59.46        | 59.46   | 21       | 22.73     | -100          |

**Tabla 8. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma conjunta para las arquitecturas sd2mm, sd2ms y sd2c\_3bit.**

**(c) Arquitectura sd4mc.**

Considerando los ruidos térmico y del amplificador operacional de forma aislada (tabla 9) los valores límites de los parámetros son:  $C_s=200\text{ pF}$  y  $V_n=1\text{ uv}$ . Si se consideran los ruidos conjuntamente (tabla 10) obtenemos que los valores límites de los parámetros son:  $C_s=200\text{ pF}$  y  $V_n=500\text{ nv}$ .

| $C_s$             | $V_n$<br>(v) | SNDR<br>Max<br>(dB) | MD<br>(dB) | Nºdif<br>3dB | Max.<br>Dif. | A<br>maxdif<br>(dB) | $C_s$ (F) | $V_n$                                                 | SNDR<br>Max<br>(dB) | MD<br>(dB) | Nºdif<br>3dB | Max.<br>Dif. | A<br>maxdif<br>(dB) |
|-------------------|--------------|---------------------|------------|--------------|--------------|---------------------|-----------|-------------------------------------------------------|---------------------|------------|--------------|--------------|---------------------|
| Ideal             |              | 110.01              | 110        | -            | -            | -                   | Ideal     |                                                       | 110.01              | 110        | -            | -            | -                   |
| Sin ruido térmico | 1 p          | 110.01              | 110        | 0            | 0            | -40                 | 1 f       | Sin ruido en el amplificador operacional<br>$V_n = 0$ | 57.25               | 57.25      | 21           | 52.76        | -40                 |
|                   | 500p         | 110.01              | 110        | 0            | 0            | -40                 | 100 f     |                                                       | 77.25               | 77.25      | 21           | 32.76        | -40                 |
|                   | 1 n          | 110.01              | 110        | 0            | 0            | -100                | 250 f     |                                                       | 81.22               | 81.22      | 21           | 28.78        | -40                 |
|                   | 500 n        | 109.79              | 110        | 0            | 0.21         | -40                 | 500 f     |                                                       | 84.23               | 84.23      | 21           | 25.78        | -40                 |
|                   | 1 u          | 109.21              | 110        | 0            | 0.79         | -100                | 1 p       |                                                       | 87.23               | 87.23      | 21           | 22.78        | -40                 |
|                   | 50 u         | 83.00               | 83         | 21           | 27           | -40                 | 10 p      |                                                       | 97.03               | 97.03      | 21           | 12.98        | -32.04              |
|                   | 100 u        | 76.99               | 76.99      | 21           | 33.02        | -40                 | 20 p      |                                                       | 99.82               | 99.82      | 21           | 10.18        | -32.04              |
|                   | 250 u        | 69.03               | 69.03      | 21           | 40.97        | -40                 | 50 p      |                                                       | 103.22              | 110        | 21           | 6.79         | -40                 |
|                   | 500 u        | 63.01               | 63.01      | 21           | 46.99        | -40                 | 100 p     |                                                       | 105.40              | 110        | 21           | 4.60         | -40                 |
|                   | 750 u        | 59.49               | 59.49      | 21           | 50.52        | -40                 | 200 p     |                                                       | 107.12              | 110        | 0            | 2.88         | -40                 |

**Tabla 9. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma aislada para la arquitectura sd4mc.**

| $C_s = 50 \text{ pF}$<br>$V_n \text{ (V)}$ | SNDRmax<br>(dB) | MD (dB) | Nº dif3dB | Max. Dif. | A maxdif<br>(dB) | $C_s = 100 \text{ pF}$<br>$V_n \text{ (V)}$ | SNDRmax<br>(dB) | MD(dB) | Nº dif3dB | Max. Dif. | A maxdif<br>(dB) | $C_s = 200 \text{ pF}$<br>$V_n \text{ (V)}$ | SNDRmax<br>(dB) | MD (dB) | Nº dif3dB | Max. Dif. | A maxdif<br>(dB) |
|--------------------------------------------|-----------------|---------|-----------|-----------|------------------|---------------------------------------------|-----------------|--------|-----------|-----------|------------------|---------------------------------------------|-----------------|---------|-----------|-----------|------------------|
| Ideal                                      | 110             | 110     | -         | -         | -                | Ideal                                       | 110             | 110    | -         | -         | -                | Ideal                                       | 110             | 110     | -         | -         | -                |
| 1 p                                        | 103.2           | 110     | 21        | 6.79      | -40              | 1 p                                         | 105.4           | 110    | 21        | 4.60      | -40              | 1 p                                         | 107.1           | 110     | 0         | 2.88      | -100             |
| 500 p                                      | 103.2           | 110     | 21        | 6.79      | -40              | 500 p                                       | 105.4           | 110    | 21        | 4.60      | -100             | 500 p                                       | 107.1           | 110     | 0         | 2.88      | -40              |
| 1 n                                        | 103.2           | 110     | 21        | 6.79      | -32.04           | 1 n                                         | 105.4           | 110    | 21        | 4.60      | -40              | 1 n                                         | 107.1           | 110     | 0         | 2.88      | -40              |
| 500 n                                      | 103.2           | 110     | 21        | 6.83      | -40              | 500 n                                       | 105.3           | 110    | 21        | 4.68      | -40              | 500 n                                       | 107.1           | 110     | 0         | 3         | -40              |
| 1 u                                        | 103             | 110     | 21        | 6.97      | -32.04           | 1 u                                         | 105.1           | 110    | 21        | 4.89      | -100             | 1 u                                         | 106.7           | 110     | 21        | 3.31      | -40              |
| 50 u                                       | 82.97           | 82.97   | 21        | 27.04     | -40              | 50 u                                        | 82.99           | 82.99  | 21        | 27.02     | -40              | 50 u                                        | 83              | 83      | 21        | 27.01     | -40              |
| 100 u                                      | 76.98           | 76.98   | 21        | 33.03     | -40              | 100 u                                       | 76.98           | 76.98  | 21        | 33.02     | -40              | 100 u                                       | 77              | 77      | 21        | 33.02     | -40              |
| 250 u                                      | 69.03           | 69.03   | 21        | 40.98     | -40              | 250 u                                       | 69.03           | 69.03  | 21        | 40.98     | -40              | 250 u                                       | 69.03           | 69.03   | 21        | 40.97     | -40              |
| 500 u                                      | 63.01           | 63.01   | 21        | 47        | -40              | 500 u                                       | 63.01           | 63.01  | 21        | 47        | -40              | 500 u                                       | 63.01           | 63.01   | 21        | 47        | -40              |
| 750 u                                      | 59.49           | 59.49   | 21        | 51        | -40              | 750 u                                       | 59.49           | 59.49  | 21        | 50.52     | -40              | 750 u                                       | 59.49           | 59.49   | 21        | 50.52     | -40              |

**Tabla 10. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma conjunta para la arquitectura sd4mc.**

### 7.2.3.3.- Valores límites de los parámetros calculados teóricamente.

En la tabla 11 vemos los resultados que hemos obtenido. Recordemos que con valores de los parámetros menores o mayores a los máximos o mínimos respectivos, la relación SNDR no se degrada más de 3 dB respecto a su valor en el caso ideal en todo el rango de amplitudes de la señal de entrada consideradas.

| Arquitectura | RESULTADOS TEÓRICOS |           |           |
|--------------|---------------------|-----------|-----------|
|              | Delta max           | $C_s$ mín | $V_n$ max |
| SD2C         | $t_s/5$             | 100 fF    | 50 uV     |
| SD2C_3bit    | $t_s/5$             | 250 fF    | 1 uV      |
| SD2MM        | $t_s/5$             | 250 fF    | 1 uV      |
| SD2MS        | $t_s/5$             | 250 fF    | 1 uV      |
| SD4MC        | $t_s/200$           | 200 pF    | 500 nV    |

**Tabla 11. Valores límites de los parámetros delta,  $C_s$  y  $V_n$  calculados teóricamente.**

Teniendo en cuenta que los periodos de trabajo de los integradores en las arquitecturas son  $t_s$ ,  $2t_s$  ó  $4t_s$ , valores de delta máximo del orden de  $t_s/5$  ó  $t_s/200$

son suficientemente elevados, por lo que podemos decir que el ruido jitter no afecta de forma considerable a la relación SNDR y MD de las arquitecturas de los moduladores SD.

Para las arquitecturas de segundo orden, hemos obtenido valores de la relación SNDR y el MD menores que para la arquitectura de cuarto orden, aunque como vemos, los valores de los parámetros son más restrictivos para SD4MC, ya que al aumentar el orden del modulador también aumenta su sensibilidad frente a los ruidos.

### **7.3.- Resultados de simulación.**

#### **7.3.1.- Introducción.**

En este apartado presentamos los modelos Simulink® de las arquitecturas y las no idealidades y veremos los resultados que se obtienen para la relación SNDR y MD mediante su simulación.

Comenzaremos viendo el caso ideal de cada arquitectura, y posteriormente iremos añadiendo a éste los modelos de las no idealidades que describimos en el apartado 6, calculando las desviaciones que se producen en el comportamiento de cada arquitectura. Así hallaremos los valores límites que pueden alcanzar los parámetros que nos representan las no idealidades de manera que las relaciones SNDR y MD no disten más de 3 dB respecto de su valor en el caso ideal.

#### **7.3.2.- Caso ideal.**

##### **(a) Arquitectura sd2c.**

Se trata del modulador convencional de sobremuestreo de segundo orden, que representamos en la figura 2.4. El modelo Simulink® que lo representa se ve en la figura 7.6.

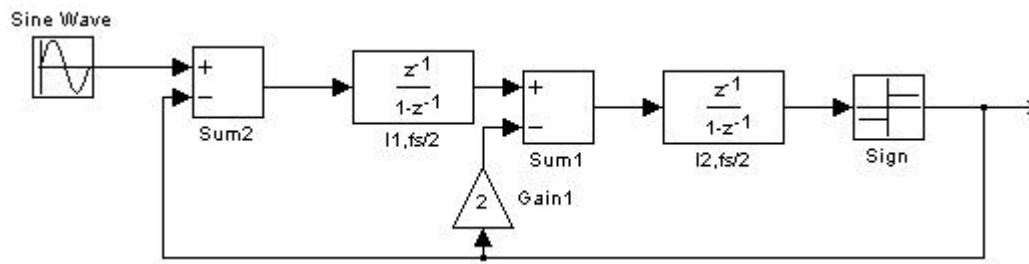


Figura 7.6. Modulador SD de 2º orden de 1-bit: sd2c

La entrada al modulador es una señal seno cuya amplitud y frecuencia se define en la función Matlab® que ejecuta el modelo. Esta entrada es muestreada a una frecuencia  $f_s/2$ , que es la frecuencia de trabajo de los dos integradores del circuito. Los integradores son ideales con la función de transferencia que podemos ver en los bloques que los representan y el cuantizador es de 1 bit. La salida es realimentada al segundo integrador con una ganancia 2, creando un bucle que garantiza la estabilidad, y también es realimentada a la entrada del primer integrador.

El resultado de ejecutar el modelo nos da la gráfica que nos interesa, en la que representaremos la SNDR del modulador frente a la amplitud de la señal de entrada. Esta gráfica se muestra a continuación:

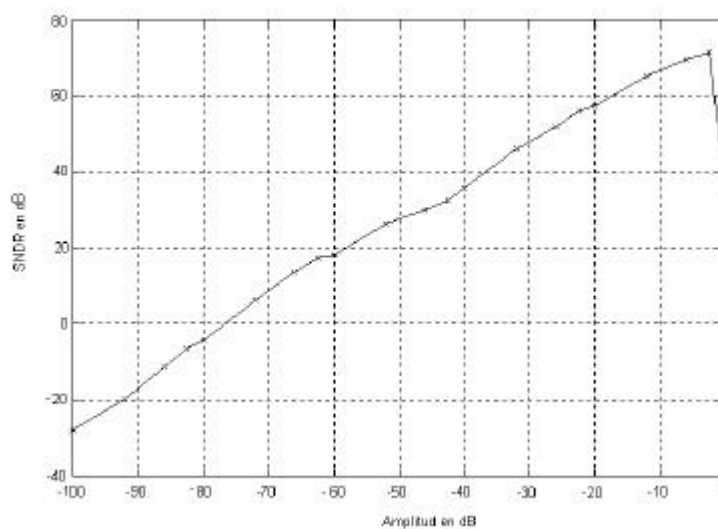


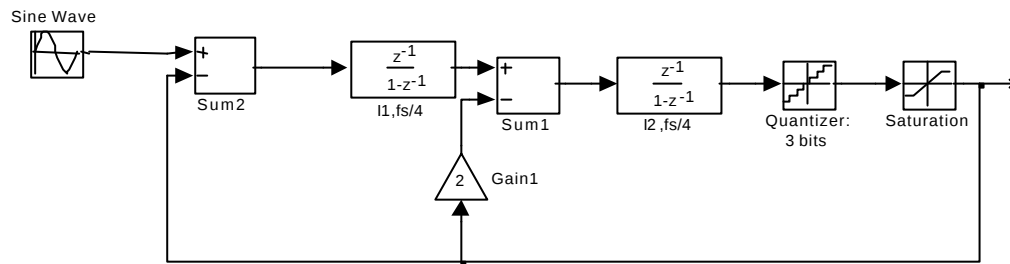
Figura 7.7. SNDR del modulador SD2C frente a la amplitud de la señal de entrada.

El margen dinámico se calcula como:  $MD = -2.5 \text{ dB} + 76.74 \text{ dB} = 74.24 \text{ dB}$ .

La  $SNDR_{\max} = 71.30 \text{ dB}$  y se alcanza para una amplitud de la señal de entrada  $A = -2.5 \text{ dB} = 0.75 \text{ v}$

### (b) Arquitectura sd2c\_3bit.

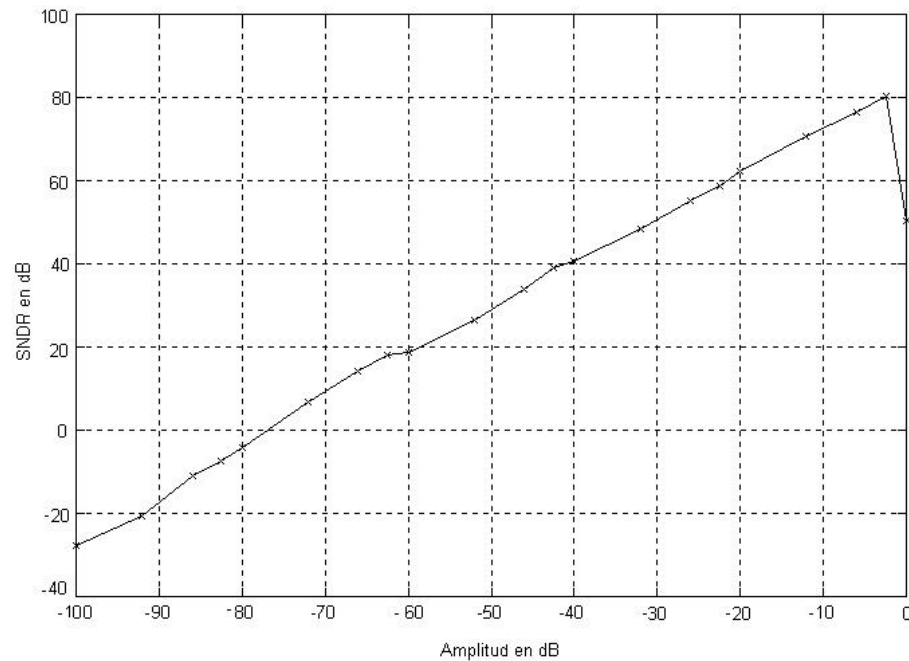
Es un modulador SD de sobremuestreo similar a sd2c donde ahora los convertidores ADC y DAC son de 3 bits y la frecuencia de sobremuestreo es  $f_s/4$ . El modelo Simulink® que lo representa se ve en la figura 7.8.



**Figura 7.8. Modulador sobremuestreo- 3bit de 2° orden: sd2c\_3bit.**

La entrada al modulador es una señal seno muestreada a una frecuencia  $f_s/4$ , que es la frecuencia de trabajo de los dos integradores ideales del circuito. El cuantizador es de 3 bits con un tamaño de escalón de  $1/2^{3-1} = 1/4$  y el bloque de saturación cuyos límites son  $\pm 1 \text{ v}$ . La salida es realimentada al segundo integrador con una ganancia 2, creando un bucle que garantiza la estabilidad, y también es realimentada a la entrada del primer integrador.

La relación SNDR respecto a la amplitud se muestra en la siguiente gráfica:



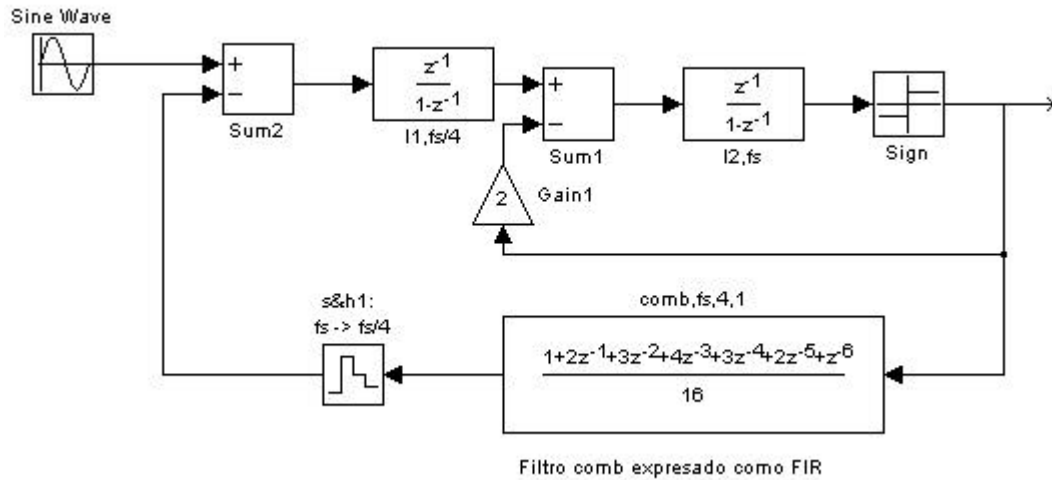
**Figura 7.9. SNDR del modulador SD2C\_3bit frente a la amplitud de la señal de entrada.**

El margen dinámico se calcula como:  $MD = -2.5 \text{ dB} + 76.89 \text{ dB} = 74.39 \text{ dB}$ .

La  $SNDR_{\max} = 80.2 \text{ dB}$  y se alcanza para una amplitud de la señal de entrada  $A = -2.5 \text{ dB} = 0.75 \text{ V}$ .

### **(c) Arquitectura sd2mm.**

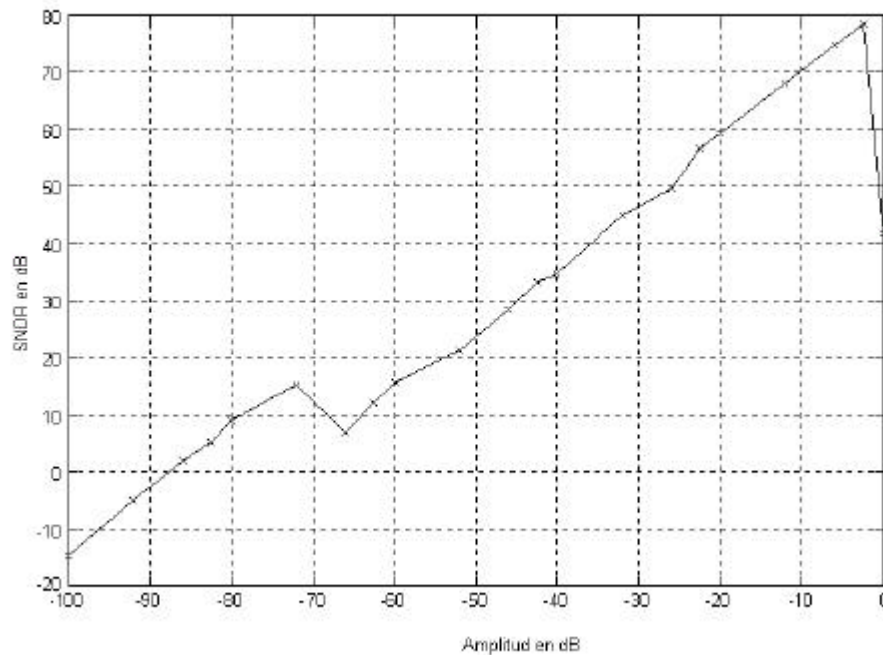
Es el modulador SD de sobremuestreo descrito en el apartado 3. En él, si recordamos, se conseguía eliminar el ADC del camino directo por un aumento en la frecuencia de sobremuestreo del segundo integrador. El modelo simulink® que lo representa se ve en la figura 7.10.



**Figura 7.10. Modulador Multitasa-Multibit de 2º orden: sd2mm.**

La señal seno de entrada es muestreada a  $f_s/4$  que es la frecuencia de trabajo del primer integrador. A la salida, tenemos la señal a una frecuencia  $f_s$  (frecuencia de trabajo del segundo integrador), y por tanto antes de ser realimentada al primer integrador debe ser filtrada y diezmada convenientemente. El filtrado, que evita que componentes espectrales de la salida próximas a  $f_s/4$  y sus armónicos sean introducidas en la banda de la señal, es realizado por un filtro peine cuya función de transferencia podemos ver en la figura 7.10, y el diezmado se realiza mediante un bloque sample & hold. Los integradores son ideales y el cuantizador es de 1 bit.

La relación SNDR respecto a la amplitud obtenidas las mostramos en la figura 7.11, donde podemos observar que no tenemos una subida suave de la relación SNDR a medida que aumenta la amplitud de la señal de entrada como ocurría en las arquitecturas anteriores, sino que para amplitudes menores a  $-65$  dB tenemos una mejora respecto al valor esperado, esto hace que el margen dinámico de esta arquitectura sea mayor que en las anteriores.



**Figura 7.11. SNDR del modulador SD2MM frente a la amplitud de la señal de entrada.**

El margen dinámico se calcula como:  $MD = -2.5 \text{ dB} + 87.6 \text{ dB} = 85.1 \text{ dB}$

La  $SNDR_{\max} = 78.32 \text{ dB}$  y se alcanza para una amplitud de la señal de entrada  $A = -2.5 \text{ dB} = 0.75 \text{ V}$

#### **(d) Arquitectura sd2ms.**

Es el modulador SD de sobremuestreo descrito en el apartado 4. El modelo Simulink® que lo representa se ve en la figura 7.12.

Consistía en una modificación a la topología del modulador SD2MM, consiguiendo eliminar el ADC del camino directo con un aumento en la frecuencia de sobremuestreo del segundo integrador y además, el DAC del camino de realimentación sustituyéndolo por uno de 1 sólo bit. Además era necesario el cálculo del error producido por esta sustitución mediante la resta del

bloque Sum3, dando forma a ésta con el filtro de cancelación  $C(z) = z^{-8}$  y sumando el resultado con la salida para obtener la nueva salida del modulador.

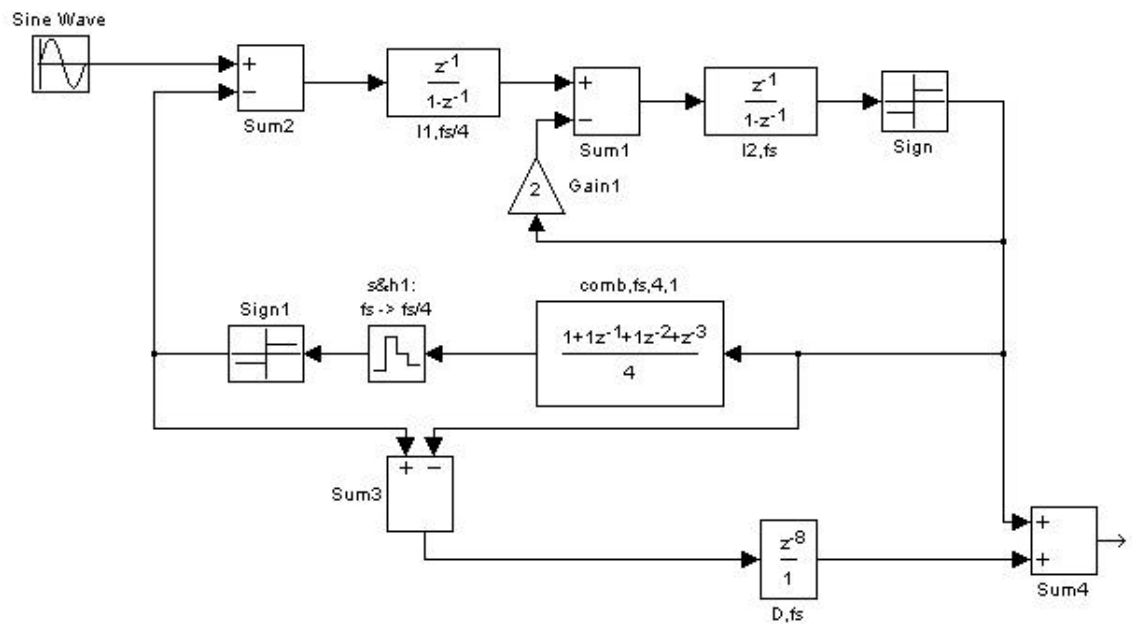


Figura 7.12. Modulador Multitasa- 1bit de 2º orden: sd2ms.

La relación SNDR respecto a la amplitud se muestra en la siguiente gráfica:

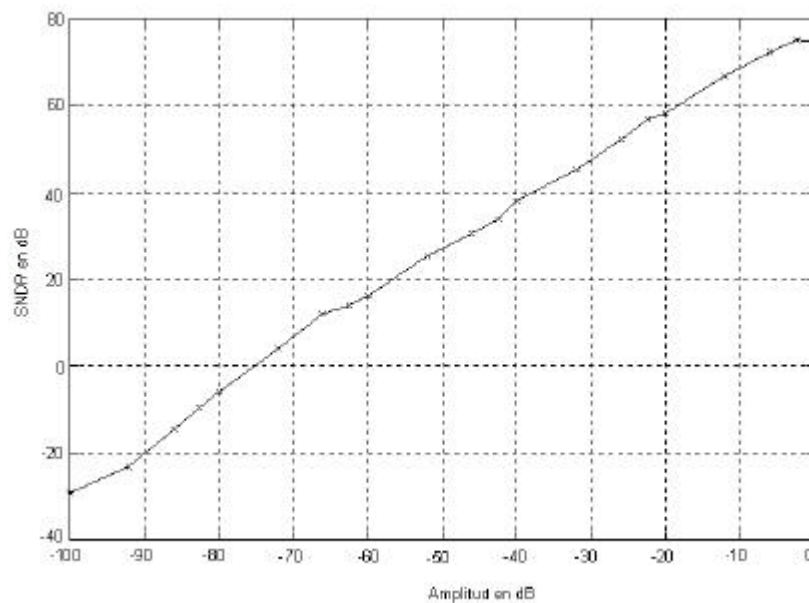


Figura 7.13. SNDR del modulador SD2MS frente a la amplitud de la señal de entrada.

El margen dinámico se calcula como:  $MD = -2.5 \text{ dB} + 75.27 \text{ dB} = 72.77 \text{ dB}$ .

La  $SNDR_{\max} = 74.89 \text{ dB}$  y se alcanza para una amplitud de la señal de entrada  $A = -2.5 \text{ dB} = 0.75 \text{ v}$ .

### (e) Arquitectura sd4mc.

Es el modulador SD de sobremuestreo descrito en el apartado 5. Consta de dos moduladores SD de 2º orden en cascada, en el primero la frecuencia de sobremuestreo es  $f_s/4$  y en el segundo  $f_s$ . El modelo Simulink® que lo representa se ve en la figura 7.14. Con una arquitectura en cascada conseguimos aumentar el orden del modelado y filtrado del ruido y conservar las propiedades de estabilidad de estructuras de menor orden. Las salidas de las dos etapas son combinadas mediante filtros de cancelación de error, para cancelar el error de cuantización de la primera etapa.

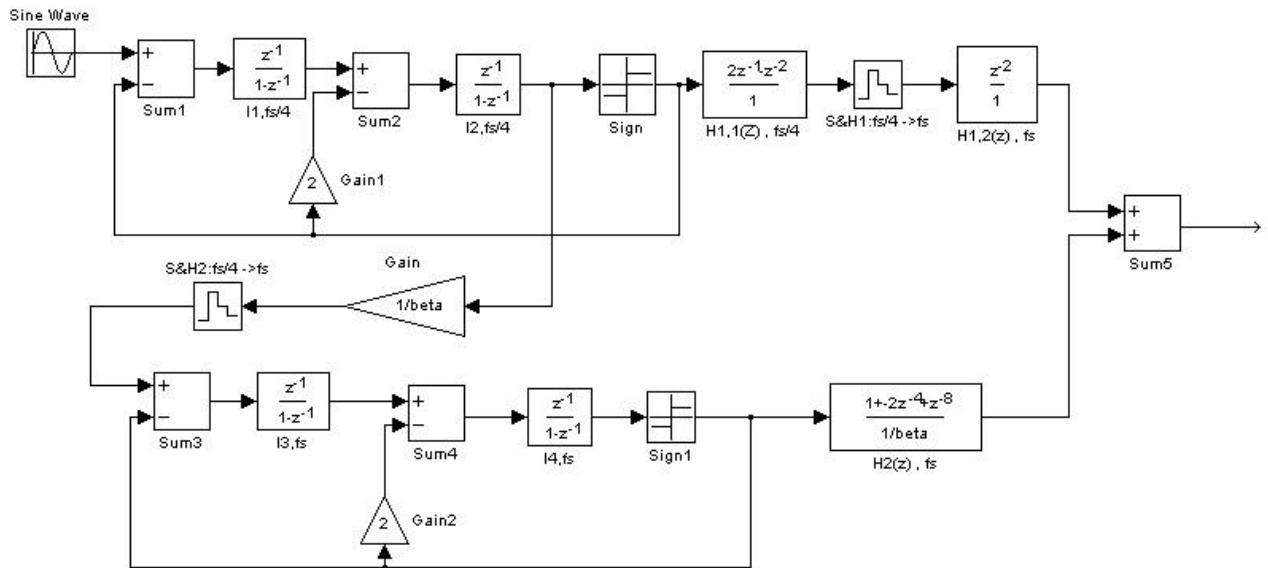
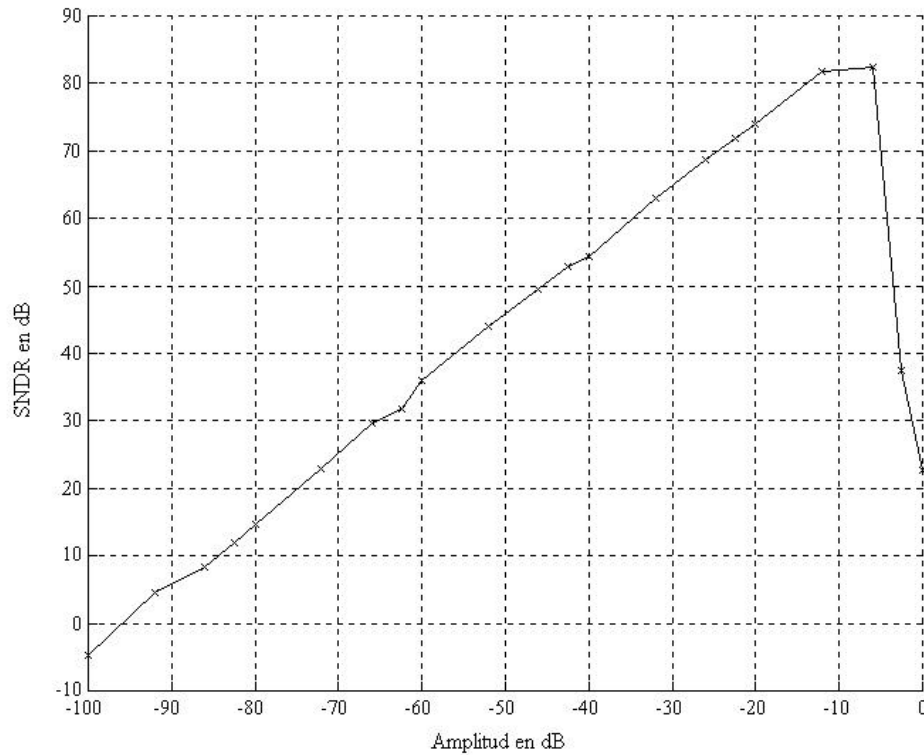


Figura 7.14. Modulador SD 2-2 Multitasa en cascada: sd4mc.

La relación SNDR respecto a la amplitud obtenidas se muestran en la figura 7.15.



**Figura 7.15. SNDR del modulador SD4MC frente a la amplitud de la señal de entrada.**

El margen dinámico es:  $MD = -6.0206 \text{ dB} + 95.9667 \text{ dB} = 89.9461 \text{ dB}$ .

La  $SNDR_{\max} = 82.3464 \text{ dB}$  y se alcanza para una amplitud de la señal de entrada  $A = -6.0206 \text{ dB} = 0.5 \text{ v}$ .

#### (f) Comparación caso ideal.

Representemos juntas las gráficas obtenidas para comparar el comportamiento de cada arquitectura. En la figura 7.16 tenemos la SNDR de la arquitectura sd2c (curva con '+'), en esta arquitectura los integradores trabajan a una frecuencia de  $f_s/2$ , la curva con círculos para la SNDR de la arquitectura sd2c\_3bit donde los integradores trabajan a  $f_s/4$ , la curva con asteriscos representa la SNDR de la arquitectura sd2mm, donde el primer integrador trabaja a una frecuencia de  $f_s/4$  y el segundo a  $f_s$ , la SNDR de la arquitectura sd2ms (curva con rombos) donde también los integradores trabajan a  $f_s/4$  y  $f_s$ , y la relación SNDR de la arquitectura sd4mc donde en el primer modulador de la cascada los integradores trabajan a  $f_s/4$  y en el segundo a  $f_s$ . (curva con cruces 'x').

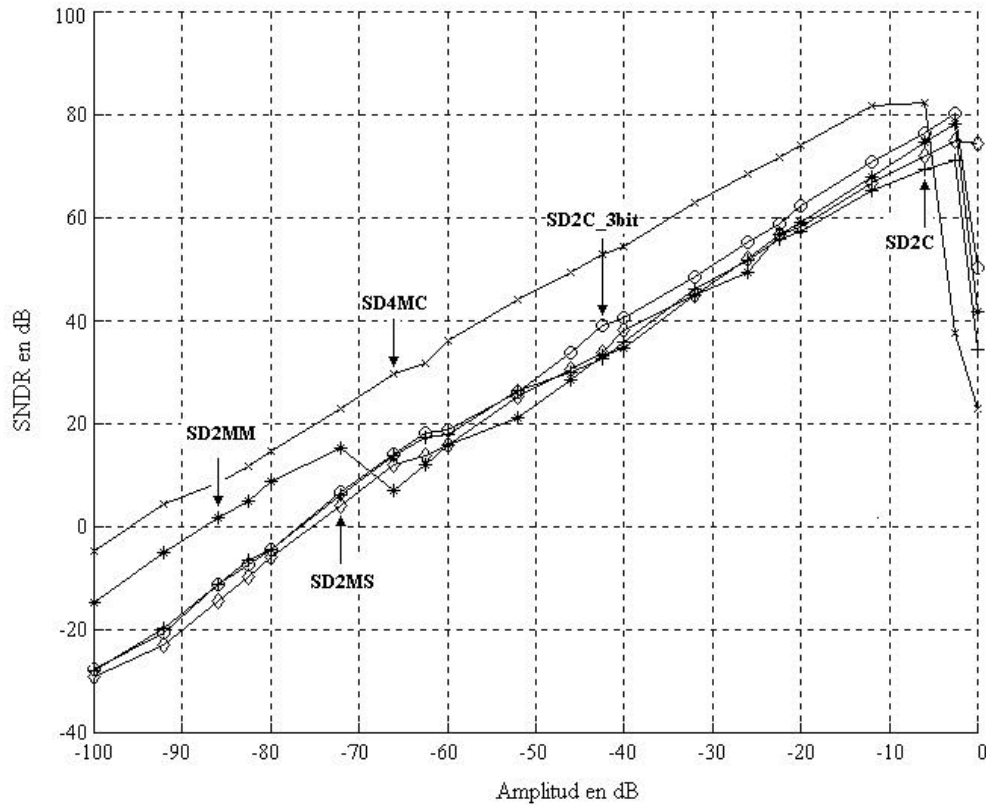


Figura 7.16. Relación SNDR frente a la amplitud de la señal de entrada en el caso ideal, para las arquitecturas SD2C, SD2C\_3bit, SD2MM, SD2MS y SD4MC.

En la tabla 12 vemos cuál es el margen dinámico de cada una de las arquitecturas mostradas y cuál es su relación SNDR máxima, así como la relación de sobremuestreo en el primer integrador:  $OSR_1$  y el segundo integrador:  $OSR_2$ . Para la arquitectura sd4mc estos valores son las relaciones de sobremuestreo en el primer modulador de la cascada y el segundo.

| Arquitectura | SNDR <sub>máx</sub> (dB) | MD (dB) | OSR <sub>1</sub> | OSR <sub>2</sub> |
|--------------|--------------------------|---------|------------------|------------------|
| sd2c         | 71.3                     | 74.24   | 64               | 64               |
| sd2c_3bit    | 80.2                     | 74.39   | 32               | 32               |
| sd2mm        | 78.32                    | 85.1    | 32               | 128              |
| sd2ms        | 74.89                    | 72.77   | 32               | 128              |
| sd4mc        | 82.35                    | 89.95   | 16               | 64               |

Tabla 12. Relación SNDR máxima y MD de las arquitecturas en el caso ideal.

En la figura 7.16 puede observarse que el comportamiento es muy similar en todas las arquitecturas excepto para la estructura en cascada, donde la relación SNDR supera a las demás en unos 15 dB en todo el rango de amplitudes consideradas y el margen dinámico es superior en más de 4 dB. Tengamos en cuenta que la arquitectura en cascada es de cuarto orden, ya que son dos etapas de segundo orden en cascada, mientras que las de una única etapa son de segundo orden. En los siguientes apartados veremos como esta arquitectura es más sensible a los ruidos y no idealidades que las de segundo orden.

De las arquitecturas de una etapa de segundo orden destaca la arquitectura del modulador sd2mm, teniendo un margen dinámico superior al resto en más de 10 dB debido a un incremento en la relación SNDR respecto a las expectativas teóricas para señales de entrada de amplitudes menores a -65 dB. Tras ella, la arquitectura sd2c\_3bit que nos da la mayor relación SNDR, siendo además la más adecuada para señales de entrada de amplitud superior a -62 dB. Con un comportamiento muy próximo quedan sd2ms y sd2c, siendo más apropiada para señales de pequeña amplitud sd2c y para señales mayores sd2ms, que no presenta una caída tan acusada de la relación SNDR para amplitudes próximas a 0 dB como el resto de arquitecturas.

### **7.3.3. No idealidades.**

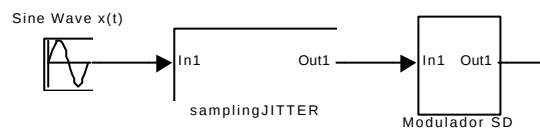
En el apartado 6 describimos algunos de los efectos que provocan las no-idealidades en los componentes de un modulador SD. Vimos también cómo podían ser modelados para poder realizar simulaciones que nos den las desviaciones que provocan en el comportamiento de cada arquitectura respecto a su caso ideal.

En los siguientes puntos veremos cómo queda el modelo Simulink® para cada una de las arquitecturas cuando incluimos estos efectos y encontraremos el valor máximo de los parámetros que nos representan las no idealidades. Compararemos también las relaciones SNDR y MD de cada una de ellas respecto de su caso ideal para ver cuánto se ha degradado la relación SNDR.

### 7.3.3.1.- Jitter.

En la figura 6.1 vimos el modelo Simulink® de este ruido. En ella observamos que el parámetro que lo representa es delta: la desviación estándar del proceso aleatorio Gaussiano con el que quedaba representado la incertidumbre en el instante de muestreo por el que se produce este ruido. Por tanto en cada arquitectura, añadiremos la figura 6.1 y obtendremos la relación SNDR frente a la amplitud de la señal de entrada ejecutando este nuevo modelo con un fichero Matlab® donde también daremos un valor para el parámetro delta.

Las distintas arquitecturas quedarían ahora con el esquema:

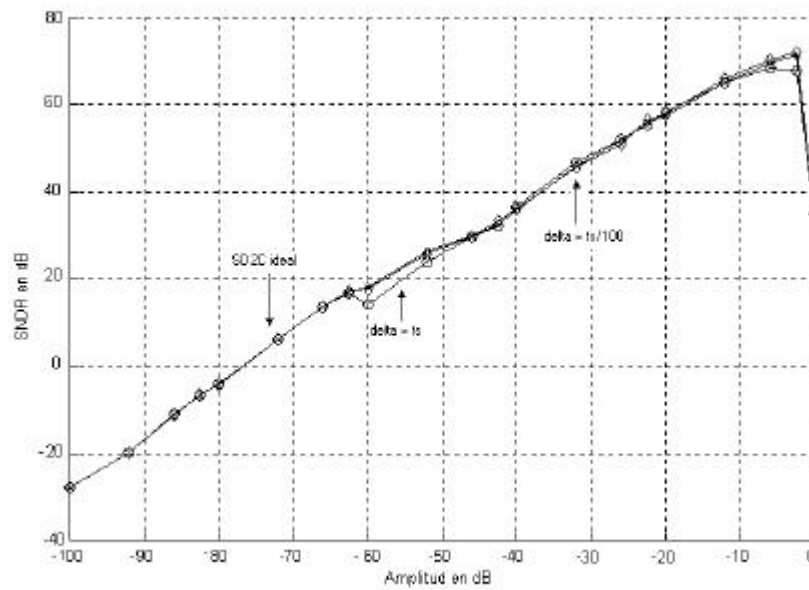


**Figura 7.17. Modelo de modulador SD con Jitter.**

El subsistema 'samplingJITTER' (figura 6.1) muestrea la señal de entrada  $x(t)$  introduciendo esta incertidumbre. En cada arquitectura se muestreará a la frecuencia de trabajo del primer integrador.

#### (a) Arquitectura sd2c.

En esta arquitectura el periodo de muestreo en ambos integradores es de  $T = 2 \cdot t_s$ . En la gráfica vemos que incluso para valores muy elevados de delta ( $\text{delta} = t_s$ ) el efecto no es muy apreciable.



**Figura 7.18. Relación SNDR frente a la Amplitud de la señal de entrada del modulador sd2c afectado por ruido Jitter.**

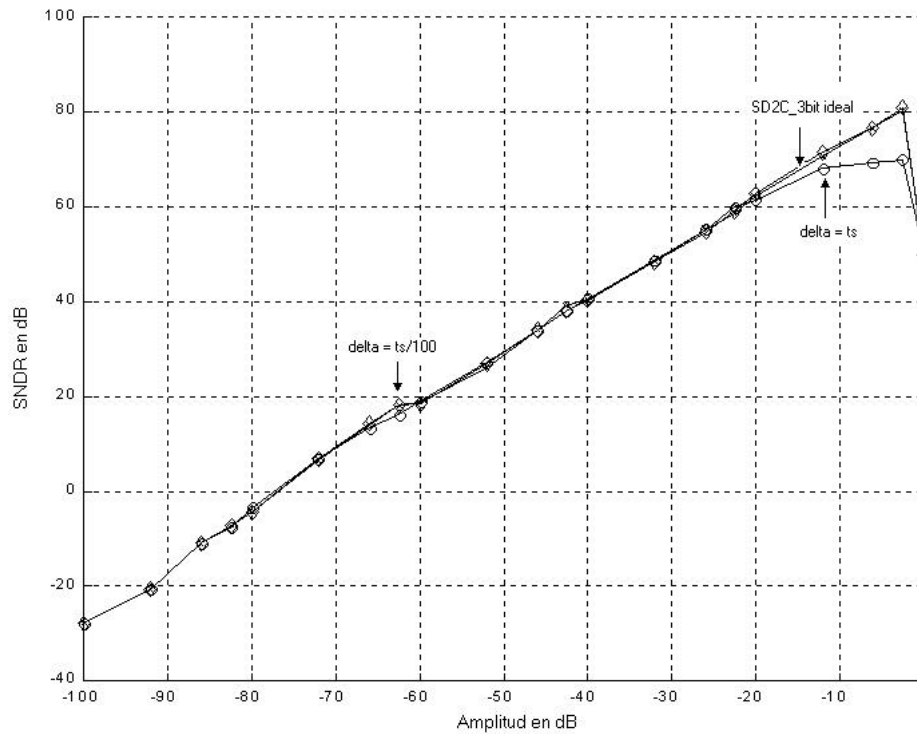
La tabla 13 nos muestra para cada valor de delta la relación SNDR máxima alcanzada, el margen dinámico, el número de valores de amplitud donde la diferencia entre SNDR en el caso ideal y SNDR con jitter es mayor o igual a 3 dB (Nºdif3dB), el valor máximo de esta diferencia y la amplitud donde se produce.

| delta     | SNDRmax (dB) | MD (dB) | Nºdif3dB | Max.Dif. | A maxdif (dB) |
|-----------|--------------|---------|----------|----------|---------------|
| Ideal     | 71.3         | 74.24   | -        | -        | -             |
| $t_s/100$ | 72.10        | 74.22   | 0        | 0.9      | -26.02        |
| $t_s/50$  | 70.82        | 74.2    | 0        | 0.58     | -52.04        |
| $t_s/10$  | 70.21        | 74.19   | 0        | 1.52     | -60           |
| $t_s/5$   | 70.10        | 74.36   | 0        | 2.71     | -60           |
| $t_s/2$   | 69.55        | 74.34   | 1        | 3.93     | -60           |
| $t_s$     | 68.37        | 70.85   | 2        | 3.93     | -60           |

**Tabla 13. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, para distintos valores de delta en la arquitectura sd2c.**

**(b) Arquitectura sd2c\_3bit.**

En la arquitectura sd2c\_3bit el periodo de muestreo de los integradores es  $T=4*t_s$ . La figura 7.19 nos muestra que los efectos se hacen más notables para las amplitudes altas de la señal de entrada.



**Figura 7.19. Relación SNDR frente a la Amplitud de la señal de entrada del modulador sd2c\_3bit afectado por ruido Jitter.**

La siguiente tabla nos muestra para cada valor de delta la relación SNDR máxima alcanzada, el margen dinámico, el número de valores de amplitud donde la diferencia entre SNDR en el caso ideal y SNDR con jitter es mayor o igual a 3 dB (Nºdif3dB), el valor máximo de esta diferencia y la amplitud donde se produce.

| delta     | SNDRmax ( dB) | MD ( dB) | Nºdif3dB | Max.Dif. | A maxdif (dB) |
|-----------|---------------|----------|----------|----------|---------------|
| Ideal     | 80.2          | 74.39    | -        | -        | -             |
| $t_s/100$ | 80.81         | 74.39    | 0        | 0.91     | -42.5         |
| $t_s/50$  | 80.91         | 74.41    | 0        | 1.6      | -12.04        |
| $t_s/10$  | 79.98         | 74.57    | 0        | 1.33     | -42.5         |
| $t_s/5$   | 78.42         | 74.61    | 0        | 1.78     | -2.5          |
| $t_s/2$   | 78.10         | 74.54    | 2        | 5.11     | -2.5          |
| $t_s$     | 70.01         | 74.83    | 2        | 10.2     | -2.5          |
| $2*t_s$   | 64.2          | 74.98    | 3        | 16       | -2.5          |

Tabla 14. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, para distintos valores de delta en la arquitectura sd2c\_3bit.

### (c) Arquitectura sd2mm.

En esta arquitectura el periodo de muestreo del primer integrador es  $T=4*t_s$  y para el segundo es  $T=t_s$ . Como vemos el mayor desajuste respecto al caso ideal para esta arquitectura se da para valores altos de amplitud de la señal de entrada.

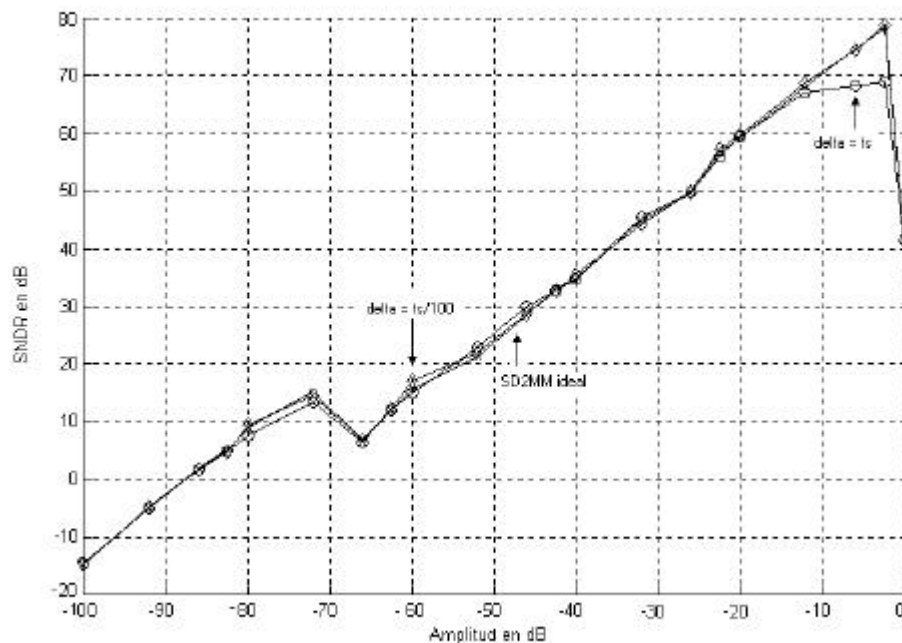


Figura 7.20. Relación SNDR frente a la Amplitud de la señal de entrada del modulador sd2mm afectado por ruido Jitter.

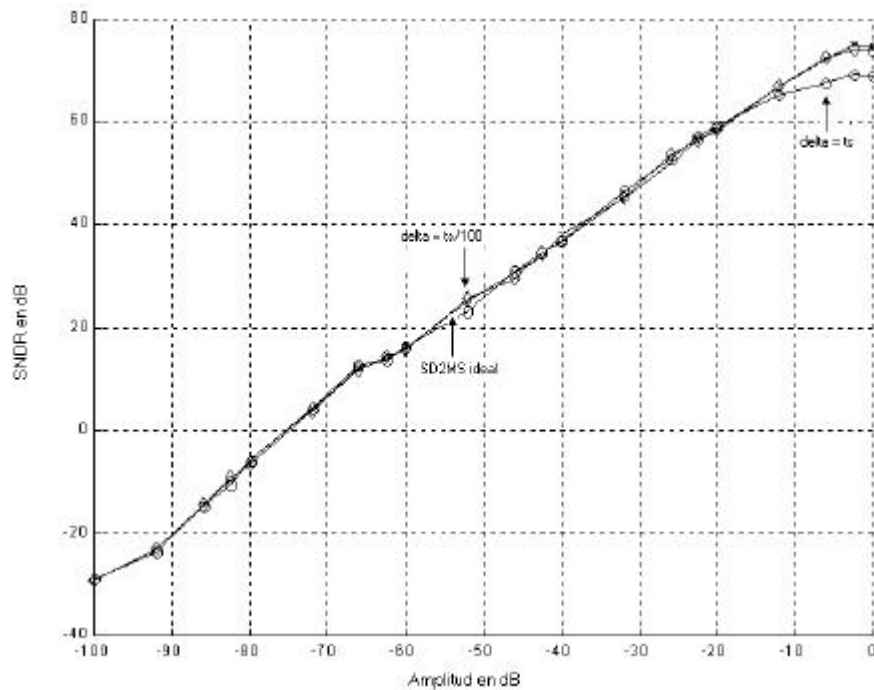
La siguiente tabla nos muestra para cada valor de delta la relación SNDR máxima alcanzada, el margen dinámico, el número de valores de amplitud donde la diferencia entre SNDR en el caso ideal y SNDR con jitter es mayor o igual a 3 dB (Nºdif3dB), el valor máximo de esta diferencia y la amplitud donde se produce.

| delta     | SNDRmax (dB) | MD (dB) | Nºdif3dB | Max.Dif. | A maxdif (dB) |
|-----------|--------------|---------|----------|----------|---------------|
| Ideal     | 78.32        | 85.1    | -        | -        | -             |
| $t_s/100$ | 78.86        | 85.02   | 0        | 0.60     | -32.04        |
| $t_s/50$  | 78.08        | 84.78   | 0        | 1.35     | -60           |
| $t_s/10$  | 77.29        | 85.09   | 0        | 1.35     | -66.02        |
| $t_s/5$   | 77.36        | 85.08   | 0        | 0.97     | -2.5          |
| $t_s/2$   | 73.89        | 84.96   | 1        | 4.43     | -2.5          |
| $t_s$     | 68.97        | 84.98   | 2        | 9.35     | -2.5          |
| $2*t_s$   | 63.35        | 84.86   | 3        | 14.98    | -2.5          |

**Tabla 15. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, para distintos valores de delta en la arquitectura sd2mm.**

#### **(d) Arquitectura sd2ms.**

En esta arquitectura el periodo de muestreo del primer integrador es  $T=4*t_s$  y para el segundo es  $T=t_s$ . Al igual que en las anteriores los efectos se hacen notables para valores altos de la amplitud de la señal de entrada.



**Figura 7.21. Relación SNDR frente a la Amplitud de la señal de entrada del modulador sd2ms afectado por ruido Jitter.**

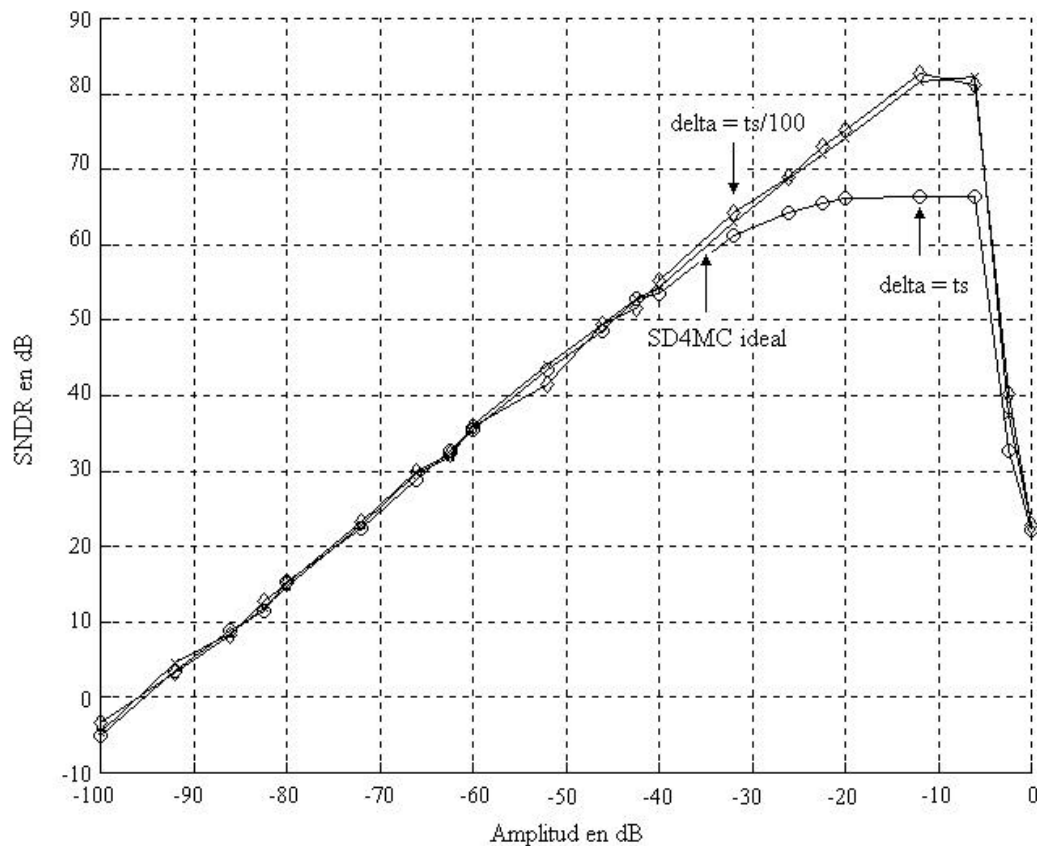
La siguiente tabla nos muestra para cada valor de delta la relación SNDR máxima alcanzada, el margen dinámico, el número de valores de amplitud donde la diferencia entre SNDR en el caso ideal y SNDR con jitter es mayor o igual a 3 dB ( $N^{\circ}\text{dif3dB}$ ), el valor máximo de esta diferencia y la amplitud donde se produce.

| delta     | SNDRmax (dB) | MD (dB) | $N^{\circ}\text{dif3dB}$ | Max.Dif. | A maxdif (dB) |
|-----------|--------------|---------|--------------------------|----------|---------------|
| Ideal     | 74.89        | 72.77   | -                        | -        | -             |
| $t_s/100$ | 74.11        | 72.46   | 0                        | 1.29     | -40           |
| $t_s/50$  | 75.21        | 72.74   | 0                        | 0.81     | -22.5         |
| $t_s/10$  | 75.02        | 72.77   | 0                        | 1.23     | -22.5         |
| $t_s/5$   | 75.95        | 72.72   | 0                        | 0.96     | -6.02         |
| $t_s/2$   | 73.04        | 71.92   | 0                        | 2.19     | 0             |
| $t_s$     | 69.33        | 72.91   | 3                        | 5.57     | -2.5          |
| $2*t_s$   | 64.25        | 72.74   | 4                        | 10.64    | -2.5          |

**Tabla 16. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, para distintos valores de delta en la arquitectura sd2ms.**

**(e) Arquitectura sd4mc.**

En la arquitectura sd4mc el periodo de muestreo de los integradores de la primera etapa es  $T=4*t_s$  y para los de la segunda etapa es de  $T=t_s$ . Los efectos en esta arquitectura son más notables que para las arquitecturas de una etapa, así vemos que para  $\delta=t_s$  en las arquitecturas de una etapa teníamos un valor de SNDR muy próximo al ideal para amplitudes menores a  $-12$  dB y en la sd4mc la relación SNDR es próxima al ideal para amplitudes menores a  $-32$  dB.



**Figura 7.22. Relación SNDR frente a la Amplitud de la señal de entrada del modulador sd4mc afectado por ruido Jitter.**

La siguiente tabla nos muestra para cada valor de delta la relación SNDR máxima alcanzada, el margen dinámico, el número de valores de amplitud donde la diferencia entre SNDR en el caso ideal y SNDR con jitter es mayor o igual a 3 dB (Nºdif3dB), el valor máximo de esta diferencia y la amplitud donde se produce.

| delta     | SNDRmax (dB) | MD (dB) | Nºdif3dB | Max.Dif. | A maxdif (dB) |
|-----------|--------------|---------|----------|----------|---------------|
| Ideal     | 82.35        | 89.95   | -        | -        | -             |
| $t_s/100$ | 82.61        | 83.97   | 0        | 2.52     | -52.04        |
| $t_s/50$  | 82.56        | 84.67   | 0        | 2.72     | -6.02         |
| $t_s/10$  | 81.38        | 89.58   | 0        | 1.53     | -52.04        |
| $t_s/5$   | 79.02        | 90.18   | 2        | 3.32     | -6.02         |
| $t_s/2$   | 72.46        | 83.13   | 3        | 10.05    | -6.02         |
| $t_s$     | 66.45        | 89.27   | 6        | 15.90    | -6.02         |

Tabla 17. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, para distintos valores de delta en la arquitectura sd4mc.

#### (f) Resultados: Valores límites del parámetro delta.

Como hemos visto para las distintas arquitecturas, el ruido Jitter afecta sobre todo a la relación SNDR para valores altos de amplitud de la señal de entrada. En la arquitectura sd2c vemos una pequeña degradación para  $A=-60$  dB, aunque el resto de amplitudes apenas se vean afectadas. La arquitectura de cuarto orden sd4mc es la que presenta una degradación mayor para valores altos del parámetro delta.

Tomaremos como valor máximo de este parámetro en cada arquitectura aquél en el que la relación SNDR no cae 3 dB respecto a su caso ideal para ningún valor de la amplitud de la señal de entrada. Así tenemos:

| Arquitectura | Periodo de trabajo del primer integrador (primera etapa para sd4mc) | Periodo de trabajo del segundo integrador (segunda etapa para sd4mc) | delta máximo |
|--------------|---------------------------------------------------------------------|----------------------------------------------------------------------|--------------|
| SD2C         | $T=2t_s$                                                            | $T=2t_s$                                                             | $t_s/5$      |
| SD2C_3bit    | $T=4t_s$                                                            | $T=4t_s$                                                             | $t_s/5$      |
| SD2MM        | $T=4t_s$                                                            | $T=t_s$                                                              | $t_s/5$      |
| SD2MS        | $T=4t_s$                                                            | $T=t_s$                                                              | $t_s/2$      |
| SD4MC        | $T=4t_s$                                                            | $T=t_s$                                                              | $t_s/10$     |

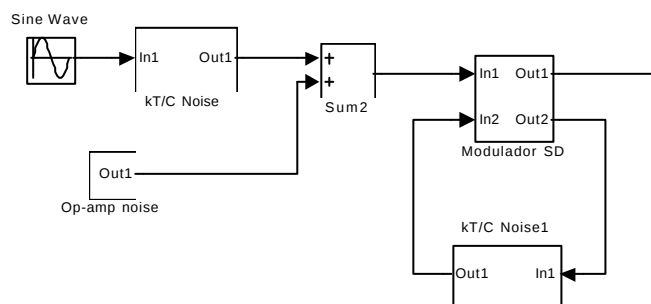
Tabla 18. Valores máximos del parámetro delta para las distintas arquitecturas.

Estos resultados concuerdan con los valores teóricos que obtuvimos, coincidiendo exactamente en las arquitecturas sd2c, sd2c\_3bit y sd2mm y mejorando para las arquitecturas sd2ms y sd4mc donde delta máximo es mayor que el teórico. En todas ellas tenemos que el delta máximo es tan alto que en la práctica no va a ser un problema para el buen funcionamiento de estos moduladores.

### 7.3.3.2.- Ruido en el integrador.

Tal y como vimos en el punto 6.3, las principales causas del ruido del integrador eran el ruido térmico asociado a los interruptores de muestreo y el ruido intrínseco del amplificador operacional. En la figura 6.2 representábamos el modelo de un integrador 'ruidoso' añadiendo a la entrada del integrador un bloque kT/C que representa el ruido térmico y un bloque Op-Amp Noise que representa el ruido del amplificador operacional. Las figuras 6.4 y 6.5 nos describían los bloques constitutivos de estos modelos. Puesto que la señal de salida del modulador es realimentada al primer integrador, tendremos en éste dos capacidades de entrada conmutadas, una portando la señal y otra proveyendo la realimentación, cada una de ellas contribuye a la potencia total del error. Para tener esto en cuenta, introducimos un segundo bloque kT/C en el camino de realimentación.

Por tanto, el modelo para las arquitecturas teniendo en cuenta esta no idealidad, quedaría de la siguiente forma:



**Figura 7.23. Modelo de modulador SD considerando el ruido en los integradores.**

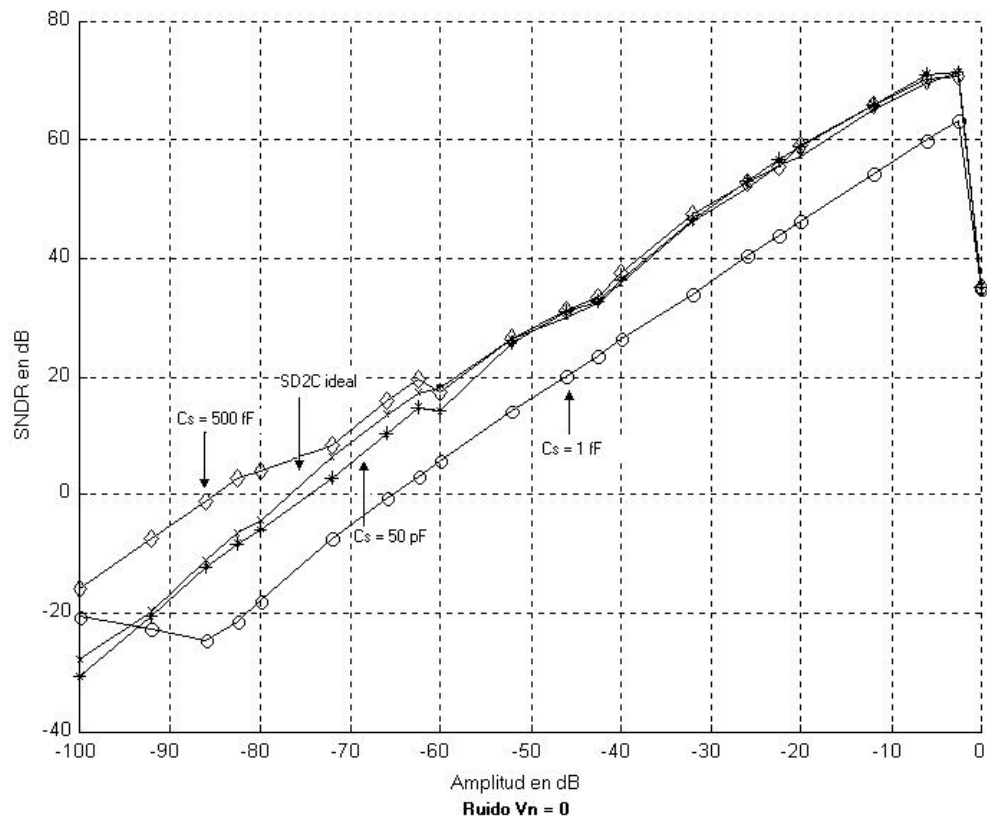
Los parámetros que nos representan estas fuentes de ruido son  $b$ : ganancia del primer integrador y  $V_n$ : tensión de ruido total rms referido a la entrada del amplificador. Puesto que tomaremos  $b=1$  en todas las simulaciones, y como vimos  $b = C_s/C_f$ , nuestro parámetro será el valor de  $C_s$ , para el que deberemos encontrar el valor mínimo que no degrada el comportamiento del modulador. En el modelo de la figura 6.5,  $V_n$  representa la desviación típica del ruido aleatorio Gaussiano con el que modelamos el ruido del amplificador operacional, veremos cuál es el valor máximo de este parámetro.

Cada modelo se ejecutará con un fichero Matlab® en el que daremos distintos valores a los parámetros  $C_s$  y  $V_n$  y calcularemos la relación SNDR y MD en cada caso.

Vamos a considerar, en principio, el ruido térmico y el ruido del amplificador operacional por separado, para ver el comportamiento y obtener valores iniciales para los parámetros. Después para cada una de las arquitecturas iremos dando valores a ambos, y podremos comparar realmente qué nivel de ruido acepta cada arquitectura.

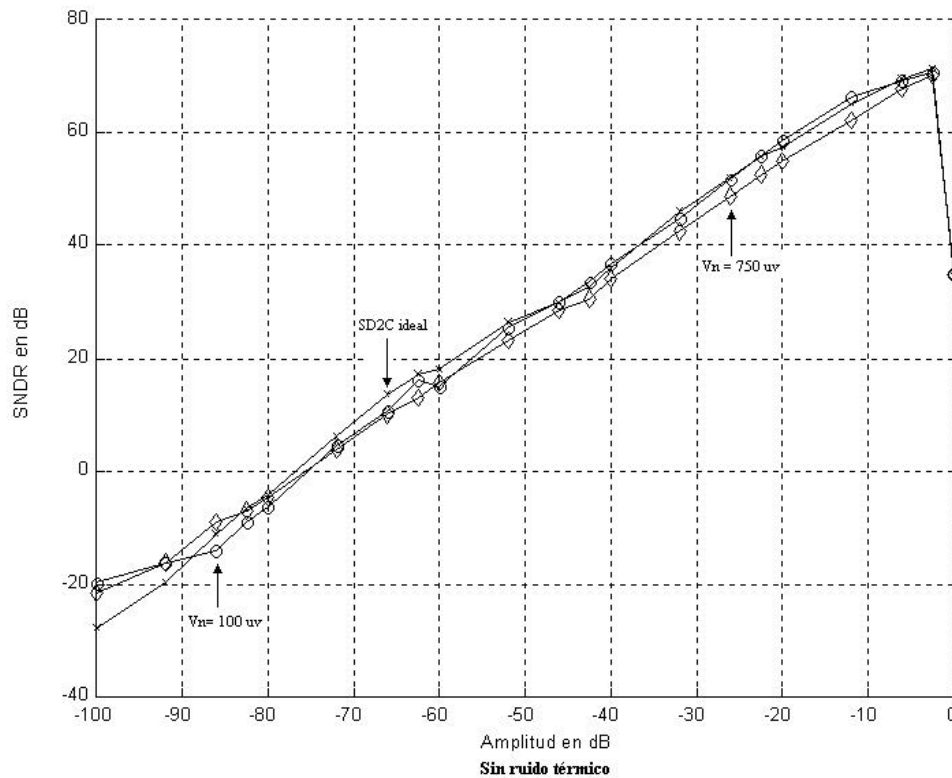
#### **(a) Arquitectura sd2c.**

En la figura 7.24 vemos cómo cuando  $C_s$  es extremadamente pequeña:  $C_s=1\text{ fF}$ , la relación SNDR dista mucho de sus valores ideales, sin embargo con un valor de  $C_s > 100\text{ fF}$ , se comporta muy bien.



**Figura 7.24. Relación SNDR frente a la amplitud para el modulador sd2c afectado por el ruido térmico.**

Consideremos ahora el ruido del amplificador operacional aislado, es decir, sin introducir en el modelo los bloques  $kT/C$ . En la figura 7.25 podemos observar los resultados:



**Figura 7.25. Relación SNDR frente a la amplitud para el modulador sd2c afectado con ruido en el integrador.**

La figura 7.25 nos muestra que el comportamiento es bastante parecido al del modulador ideal. Más tarde veremos el comportamiento cuando tengamos en cuenta estos dos ruidos. También podemos observar que para un valor muy alto de ruido,  $V_n = 750 \text{ uV}$ , los valores están muy próximos al ideal, siendo la máxima diferencia respecto a este de 4.35 dB.

En la siguiente tabla vemos para distintos valores de los parámetros  $C_s$  y  $V_n$ , la relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce.

| C <sub>s</sub>    | V <sub>n</sub><br>(v) | SNDR<br>Max<br>(dB) | MD<br>(dB) | Nºdif<br>3dB | Max.<br>Dif. | A<br>maxdif<br>(dB) | C <sub>s</sub> (F) | V <sub>n</sub>                                                 | SNDR<br>Max<br>(dB) | MD<br>(dB) | Nºdif<br>3dB | Max.<br>Dif. | A<br>maxdif<br>(dB) |
|-------------------|-----------------------|---------------------|------------|--------------|--------------|---------------------|--------------------|----------------------------------------------------------------|---------------------|------------|--------------|--------------|---------------------|
| Ideal             |                       | 71.3                | 74.24      | -            | -            | -                   | Ideal              |                                                                | 71.3                | 74.24      | -            | -            | -                   |
| Sin ruido térmico | 1 p                   | 70.73               | 74.17      | 1            | 7.33         | -60                 | 10 <sup>-18</sup>  | Sin ruido en el amplificador operacional<br>V <sub>n</sub> = 0 | 34.08               | 33.2       | 18           | 47.02        | -52.04              |
|                   | 500 p                 | 70.69               | 74.16      | 1            | 7.35         | -60                 | 1 f                |                                                                | 63.1                | 63.03      | 19           | 14.86        | -82.5               |
|                   | 1 n                   | 70.81               | 74.2       | 1            | 7.31         | -60                 | 100 f              |                                                                | 72.59               | 78.76      | 1            | 3.8          | -62.5               |
|                   | 100 n                 | 70.78               | 74.03      | 1            | 5.69         | -60                 | 250 f              |                                                                | 71.12               | 79.83      | 0            | 1.81         | -60                 |
|                   | 1 u                   | 71.29               | 74.14      | 1            | 4.61         | -60                 | 500 f              |                                                                | 70.72               | 82.48      | 0            | 0.69         | -60                 |
|                   | 50 u                  | 71.24               | 69.62      | 3            | 4.56         | -60                 | 750 f              |                                                                | 70.41               | 83.95      | 0            | 0.89         | -2.5                |
|                   | 100 u                 | 70.74               | 72.86      | 1            | 3.00         | -66.02              | 1 p                |                                                                | 71.47               | 83.56      | 0            | 0.39         | -22.5               |
|                   | 250 u                 | 69.87               | 74.15      | 0            | 1.42         | -2.5                | 5 p                |                                                                | 70.64               | 86.09      | 0            | 2.42         | -60                 |
|                   | 500 u                 | 69.44               | 75.32      | 0            | 2.82         | -32.04              | 10 p               |                                                                | 70.96               | 81.77      | 0            | 2.62         | -60                 |
|                   | 750 u                 | 70.07               | 73.03      | 7            | 4.35         | -62.5               | 50 p               |                                                                | 71.25               | 72.19      | 3            | 3.84         | -60                 |

**Tabla 19. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma aislada para la arquitectura sd2c.**

Vemos que la mayor degradación suele producirse para una amplitud de entrada de -60 dB. Vimos que esto también ocurría con el ruido jitter estudiado en el apartado anterior. Esta arquitectura es especialmente sensible para esa amplitud de entrada.

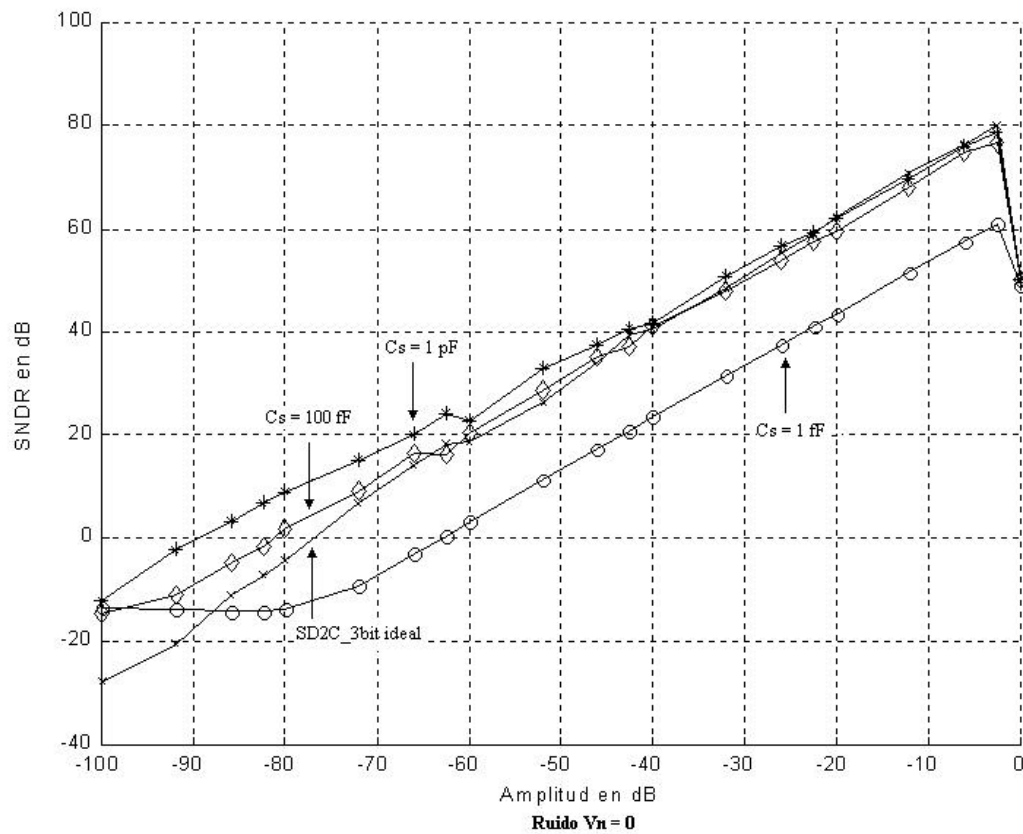
Considerando ahora el modulador afectado por estos dos ruidos, obtenemos la siguiente tabla de valores:

| C <sub>s</sub> = 100 fF<br>V <sub>n</sub> (v) | SNDRmax<br>(dB) | MD (dB) | Nºdif3dB | Max. Dif. | A maxdif<br>(dB) | C <sub>s</sub> = 250 fF<br>V <sub>n</sub> (v) | SNDRmax<br>(dB) | MD(dB) | Nºdif3dB | Max. Dif. | A maxdif<br>(dB) | C <sub>s</sub> = 500 fF<br>V <sub>n</sub> (v) | SNDRmax<br>(dB) | MD (dB) | Nºdif3dB | Max. Dif. | A maxdif<br>(dB) |
|-----------------------------------------------|-----------------|---------|----------|-----------|------------------|-----------------------------------------------|-----------------|--------|----------|-----------|------------------|-----------------------------------------------|-----------------|---------|----------|-----------|------------------|
| ideal                                         | 71.3            | 74.24   | -        | -         | -                | ideal                                         | 71.3            | 74.24  | -        | -         | -                | ideal                                         | 71.30           | 74.24   | -        | -         | -                |
| 1 p                                           | 72.59           | 78.76   | 1        | 3.80      | -62.5            | 1 p                                           | 71.12           | 79.83  | 0        | 1.81      | -60              | 1 p                                           | 70.72           | 82.48   | 0        | 0.69      | -60              |
| 500 p                                         | 72.47           | 78.72   | 1        | 3.74      | -62.5            | 500 p                                         | 71.22           | 79.87  | 0        | 1.91      | -60              | 500 p                                         | 70.66           | 82.63   | 0        | 0.65      | -60              |
| 1 n                                           | 72.37           | 78.73   | 1        | 3.79      | -62.5            | 1 n                                           | 71.36           | 79.88  | 0        | 1.85      | -60              | 1 n                                           | 70.61           | 82.70   | 0        | 0.76      | -60              |
| 100 n                                         | 70.76           | 77.18   | 0        | 2.99      | -62.5            | 100 n                                         | 70.34           | 80.84  | 0        | 1.32      | -60              | 100 n                                         | 69.74           | 82.78   | 0        | 1.55      | -2.5             |
| 1 u                                           | 70.44           | 78.89   | 1        | 4.13      | -62.5            | 1 u                                           | 71.21           | 81.47  | 0        | 1.25      | -22.5            | 1 u                                           | 70.24           | 78.50   | 0        | 1.35      | -60              |
| 50 u                                          | 70.53           | 79.40   | 0        | 1.73      | -60              | 50 u                                          | 70.32           | 81.71  | 0        | 0.98      | -2.5             | 50 u                                          | 71.97           | 82.76   | 0        | 1.48      | -60              |
| 100 u                                         | 69.89           | 78.62   | 0        | 2.17      | -60              | 100 u                                         | 70.07           | 82.25  | 0        | 1.22      | -2.5             | 100 u                                         | 71.32           | 83.13   | 0        | 0.68      | -60              |
| 250 u                                         | 70.48           | 78.45   | 0        | 1.45      | -22.5            | 250 u                                         | 70.94           | 74.50  | 1        | 3.43      | -60              | 250 u                                         | 70.12           | 71.79   | 3        | 4.1       | -60              |
| 500 u                                         | 69.74           | 72.67   | 3        | 4.41      | -60              | 500 u                                         | 69.69           | 73.33  | 0        | 2.73      | -66.02           | 500 u                                         | 69.84           | 74.52   | 1        | 3.1       | -66.02           |
| 750 u                                         | 70.08           | 72.39   | 9        | 4.06      | -62.5            | 750 u                                         | 69.49           | 72.93  | 5        | 4.22      | -62.5            | 750 u                                         | 68.55           | 73.58   | 6        | 4.05      | -66.02           |

**Tabla 20. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma conjunta para la arquitectura sd2c.**

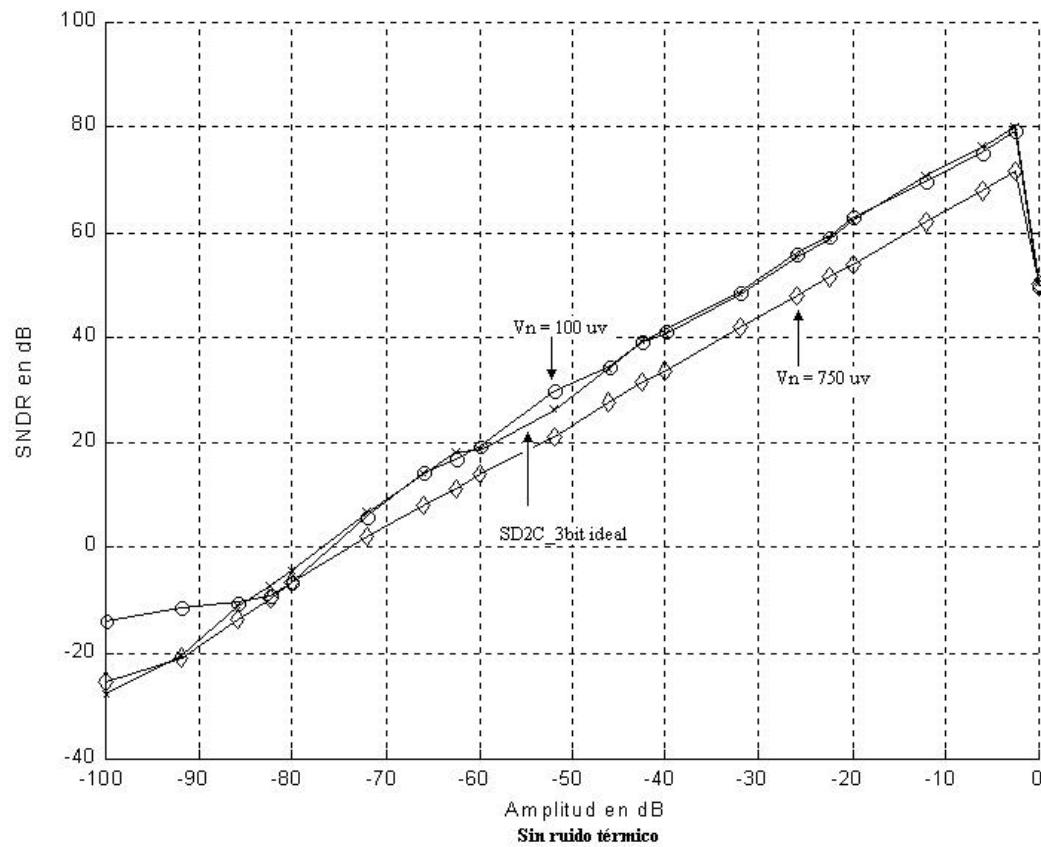
**(b) Arquitectura sd2c\_3bit.**

En la figura 7.26 vemos que la arquitectura sd2c\_3bit es la más robusta de las arquitecturas respecto al ruido térmico. Admite valores de  $C_s > 100 \text{ fF}$  sin degradarse más de 3 dB.



**Figura 7.26. Relación SNDR frente a la amplitud para el modulador sd2c\_3bit afectado por ruido térmico.**

Respecto al ruido del amplificador operacional admite valores para  $V_n \leq 100 \text{ } \mu\text{V}$ .



**Figura 7.27. Relación SNDR frente a la amplitud para el modulador sd2c\_3bit afectado con ruido en el integrador.**

En la siguiente tabla vemos para distintos valores de los parámetros  $C_s$  y  $V_n$ , la relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce.

| $C_s$             | $V_n$ (v) | SNDR Max (dB) | MD (dB) | Nºdif 3dB | Max. Dif. | A maxdif (dB) | $C_s$ (F)  | $V_n$                                                 | SNDR Max (dB) | MD (dB) | Nºdif 3dB | Max. Dif. | A maxdif (dB) |
|-------------------|-----------|---------------|---------|-----------|-----------|---------------|------------|-------------------------------------------------------|---------------|---------|-----------|-----------|---------------|
| Ideal             |           | 80.2          | 74.39   | -         | -         | -             | Ideal      |                                                       | 80.2          | 74.39   | -         | -         | -             |
| Sin ruido térmico | 1 p       | 80.20         | 74.39   | 0         | 0         | -100          | $10^{-18}$ | Sin ruido en el amplificador operacional<br>$V_n = 0$ | 31.24         | 32.99   | 18        | 49.27     | -12.04        |
|                   | 500 p     | 80.32         | 74.35   | 0         | 0.19      | -20           | 1 f        |                                                       | 61            | 60.46   | 18        | 19.42     | -12.04        |
|                   | 1 n       | 80.06         | 74.33   | 0         | 0.37      | -32.04        | 100 f      |                                                       | 76.73         | 78.82   | 1         | 3.48      | -2.5          |
|                   | 100 n     | 78.47         | 74.03   | 0         | 1.73      | -2.5          | 250 f      |                                                       | 78.29         | 82.47   | 0         | 2.31      | -6.02         |
|                   | 1 u       | 80.77         | 74.71   | 0         | 1.32      | -20           | 500 f      |                                                       | 78.9          | 84.4    | 0         | 1.31      | -2.5          |
|                   | 50 u      | 80.87         | 73.53   | 0         | 2.7       | -86.02        | 750 f      |                                                       | 77.94         | 86.26   | 0         | 2.26      | -2.5          |
|                   | 100 u     | 79.27         | 73.38   | 0         | 2.12      | -80           | 1 p        |                                                       | 78.64         | 87.18   | 0         | 1.57      | -2.5          |
|                   | 250 u     | 77.68         | 76.7    | 1         | 3.12      | -20           | 5 p        |                                                       | 80.89         | 83.95   | 0         | 1.79      | -6.02         |
|                   | 500 u     | 74.56         | 74.14   | 11        | 5.85      | -12.04        | 10 p       |                                                       | 79.09         | 84.79   | 0         | 1.11      | -2.5          |
|                   | 750 u     | 71.55         | 71.44   | 15        | 8.66      | -12.04        | 50 p       |                                                       | 79.03         | 74.59   | 0         | 1.62      | -100          |

Tabla 21. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma aislada para la arquitectura sd2c\_3bit.

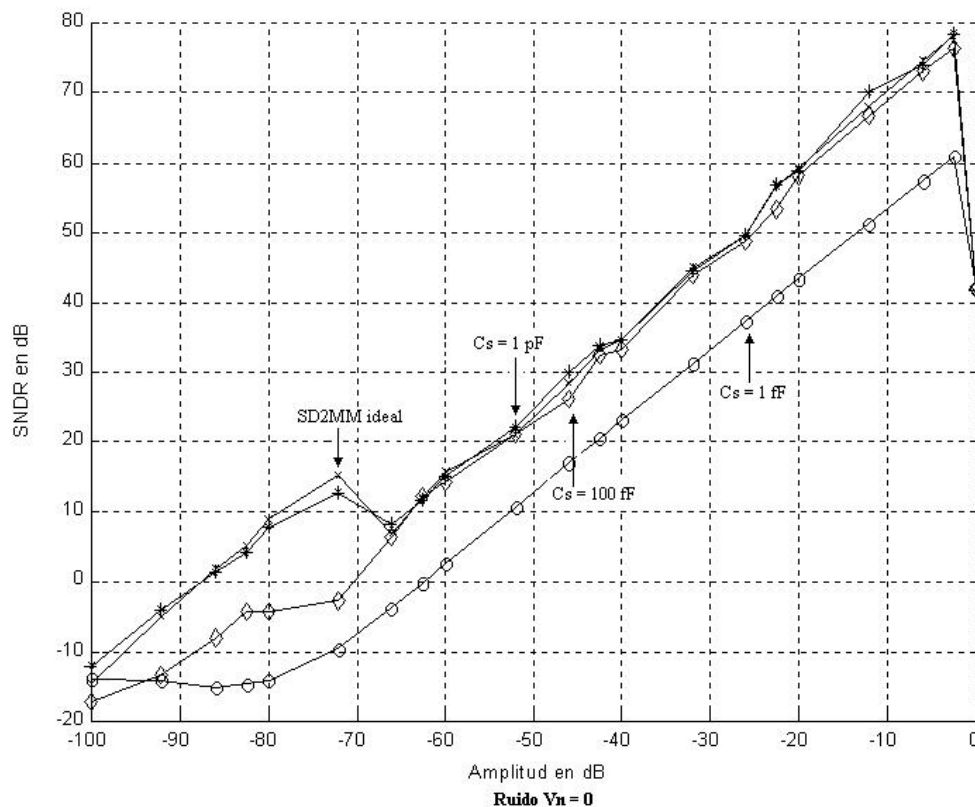
Considerando ahora el modulador afectado por estos dos ruidos, obtenemos la siguiente tabla de valores:

| $C_s=100$ fF<br>$V_n$ (v) | SNDRmax (dB) | MD (dB) | Nºdif3dB | Max. Dif. | A maxdif (dB) | $C_s=250$ fF<br>$V_n$ (v) | SNDRmax (dB) | MD (dB) | Nºdif3dB | Max. Dif. | A maxdif (dB) | $C_s=500$ fF<br>$V_n$ (v) | SNDRmax (dB) | MD (dB) | Nºdif3dB | Max. Dif. | A maxdif (dB) |
|---------------------------|--------------|---------|----------|-----------|---------------|---------------------------|--------------|---------|----------|-----------|---------------|---------------------------|--------------|---------|----------|-----------|---------------|
| ideal                     | 80.2         | 74.39   | -        | -         | -             | ideal                     | 80.2         | 74.39   | -        | -         | -             | ideal                     | 80.2         | 74.39   | -        | -         | -             |
| 1 p                       | 76.73        | 78.82   | 1        | 3.47      | -2.5          | 1 p                       | 78.29        | 82.47   | 0        | 2.31      | -6.02         | 1 p                       | 78.9         | 84.4    | 0        | 1.31      | -2.5          |
| 500 p                     | 76.71        | 78.84   | 1        | 3.49      | -2.5          | 500 p                     | 78.26        | 82.40   | 0        | 2.17      | -6.02         | 500 p                     | 78.85        | 84.48   | 0        | 1.35      | -2.5          |
| 1 n                       | 76.79        | 78.84   | 1        | 3.41      | -2.5          | 1 n                       | 78.35        | 82.35   | 0        | 2.19      | -6.02         | 1 n                       | 78.89        | 84.26   | 0        | 1.32      | -2.5          |
| 100 n                     | 77.44        | 78.83   | 0        | 2.76      | -2.5          | 100 n                     | 77.99        | 82.19   | 0        | 2.21      | -2.5          | 100 n                     | 78.93        | 84.3    | 0        | 1.6       | -12.04        |
| 1 u                       | 77.52        | 78.91   | 0        | 2.68      | -2.5          | 1 u                       | 78.44        | 82.27   | 0        | 1.8       | -6.02         | 1 u                       | 78.53        | 84.24   | 0        | 1.67      | -2.5          |
| 50 u                      | 77.11        | 78.76   | 2        | 3.19      | -6.02         | 50 u                      | 78.53        | 81.85   | 0        | 1.93      | -20           | 50 u                      | 80.09        | 85.08   | 0        | 1.73      | -12.04        |
| 100 u                     | 77.72        | 79.31   | 2        | 3.68      | -12.04        | 100 u                     | 77.51        | 82.02   | 0        | 2.69      | -2.5          | 100 u                     | 79.23        | 83.08   | 0        | 1.63      | -6.02         |
| 250 u                     | 77.18        | 77.16   | 4        | 4.68      | -12.04        | 250 u                     | 76.65        | 78.10   | 2        | 3.55      | -2.5          | 250 u                     | 77.78        | 72.95   | 4        | 3.57      | -20           |
| 500 u                     | 74.16        | 71.82   | 17       | 6.54      | -20           | 500 u                     | 74.19        | 72.45   | 12       | 6.14      | -6.02         | 500 u                     | 74.25        | 73.23   | 13       | 6.25      | -12.04        |
| 750 u                     | 71.56        | 70.05   | 18       | 8.67      | -12.04        | 750 u                     | 71.51        | 70.77   | 16       | 8.70      | -2.5          | 750 u                     | 71.34        | 70.88   | 15       | 8.86      | -2.5          |

Tabla 22. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma conjunta para la arquitectura sd2c\_3bit.

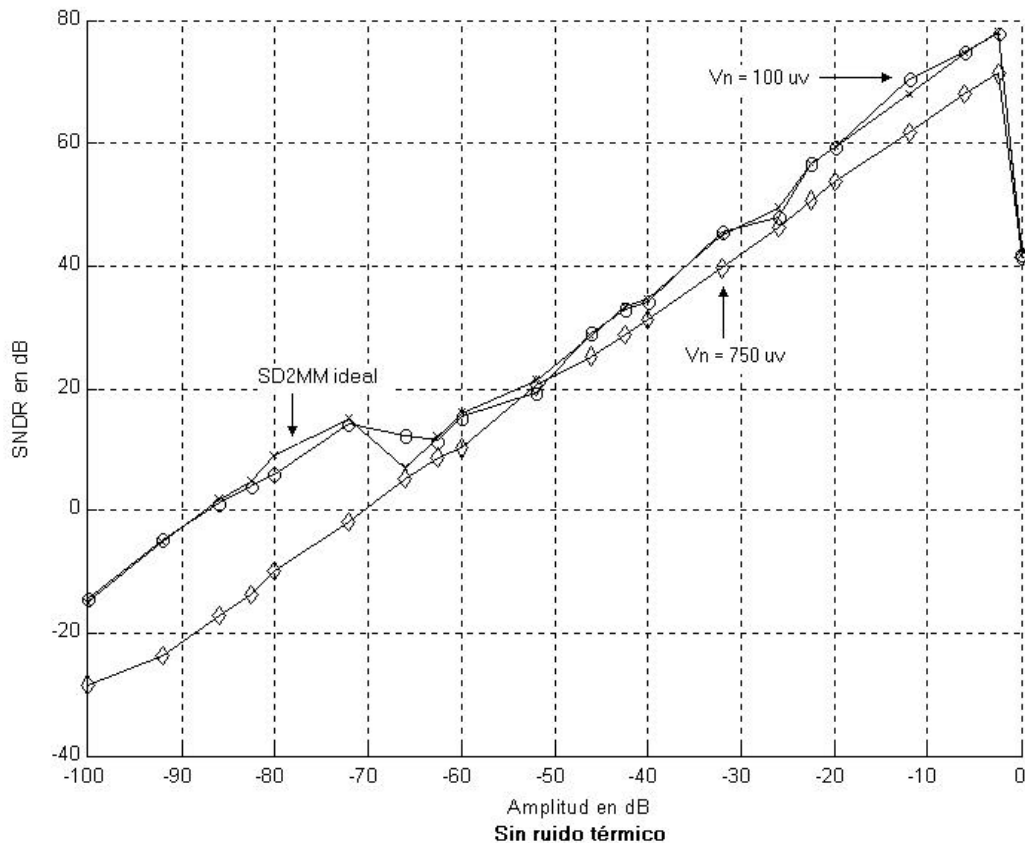
**(c) Arquitectura sd2mm.**

En la gráfica de la figura 7.28, vemos que esta arquitectura se ve mucho más afectada que sd2c por el ruido térmico. Para valores de  $C_s < 1 \text{ pF}$  se degrada bastante sobre todo para amplitudes de señal pequeñas, disminuyendo el margen dinámico en más de 10 dB (para  $C_s = 100 \text{ fF}$ ) respecto a los 85 dB que se alcanzaban en el caso ideal. Tengamos aquí en cuenta que esta arquitectura para amplitudes de la señal de entrada menores a  $-65 \text{ dB}$  presenta una mejora en la SNDR respecto a las expectativas teóricas. Esto es debido a un fenómeno no conocido y que no ha sido explicado en la bibliografía, por lo cual, las pérdidas de prestaciones debidas a las no idealidades en esta arquitectura deberían evaluarse respecto del resultado teórico, y entonces tomar  $C_s \approx 250 \text{ fF}$  como valor límite para este parámetro.



**Figura 7.28. Relación SNDR frente a la amplitud para el modulador sd2mm afectado por ruido térmico.**

En la figura 7.29 vemos que también existe mayor degradación respecto al ruido en el amplificador operacional que en la arquitectura sd2c. En esta arquitectura para  $V_n=750 \text{ uv}$  existe una diferencia de 18.85 dB respecto al ideal. Para valores de  $V_n \leq 100 \text{ uv}$  la degradación es menor de 3 dB.



**Figura 7.29.** Relación SNDR frente a la amplitud para el modulador sd2mm afectado con ruido en el integrador.

En la siguiente tabla vemos para distintos valores de los parámetros  $C_s$  y  $V_n$ , la relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce.

| $C_s$             | $V_n$<br>(v) | SNDR<br>Max<br>(dB) | MD<br>(dB) | Nºdif<br>3dB | Max.<br>Dif. | A<br>maxdif<br>(dB) | $C_s$ (F)  | $V_n$                                                 | SNDR<br>Max<br>(dB) | MD<br>(dB) | Nºdif<br>3dB | Max.<br>Dif. | A<br>maxdif<br>(dB) |
|-------------------|--------------|---------------------|------------|--------------|--------------|---------------------|------------|-------------------------------------------------------|---------------------|------------|--------------|--------------|---------------------|
| Ideal             |              | 78.32               | 85.1       | -            | -            | -                   | Ideal      |                                                       | 78.32               | 85.1       | -            | -            | -                   |
| Sin ruido térmico | 1 p          | 78.32               | 85.1       | 0            | 0.001        | -100                | $10^{-18}$ | Sin ruido en el amplificador operacional<br>$V_n = 0$ | 31.01               | 30.44      | 20           | 47.31        | -2.5                |
|                   | 500 p        | 78.24               | 84.93      | 0            | 0.48         | -66.02              | 1 f        |                                                       | 61.04               | 59.92      | 19           | 24.67        | -72.04              |
|                   | 1 n          | 78.35               | 84.8       | 0            | 1.04         | -66.02              | 100 f      |                                                       | 76.40               | 67.77      | 6            | 17.84        | -72.04              |
|                   | 100 n        | 77.08               | 85.16      | 0            | 1.3          | -82.5               | 250 f      |                                                       | 77.83               | 81.37      | 4            | 13.45        | -72.04              |
|                   | 1 u          | 78.21               | 85.7       | 0            | 1.44         | -80                 | 500 f      |                                                       | 78.62               | 83.94      | 1            | 5.47         | -72.04              |
|                   | 50 u         | 78.73               | 85.19      | 0            | 1.56         | -20                 | 750 f      |                                                       | 78.44               | 83.45      | 1            | 4.36         | -72.04              |
|                   | 100 u        | 77.77               | 84.74      | 0            | 2.76         | -80                 | 1 p        |                                                       | 78.54               | 84.94      | 0            | 2.42         | -72.04              |
|                   | 250 u        | 76.18               | 79.95      | 6            | 6.68         | -80                 | 5 p        |                                                       | 77.99               | 84.82      | 0            | 1.61         | -62.5               |
|                   | 500 u        | 73.81               | 73.88      | 12           | 13.76        | 92.04               | 10 p       |                                                       | 78.24               | 86.18      | 0            | 2.04         | -66.02              |
|                   | 750 u        | 71.39               | 68.16      | 18           | 18.85        | -86.02              | 50 p       |                                                       | 78.2                | 85.83      | 0            | 1.69         | -66.02              |

Tabla 23. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma aislada para la arquitectura sd2mm.

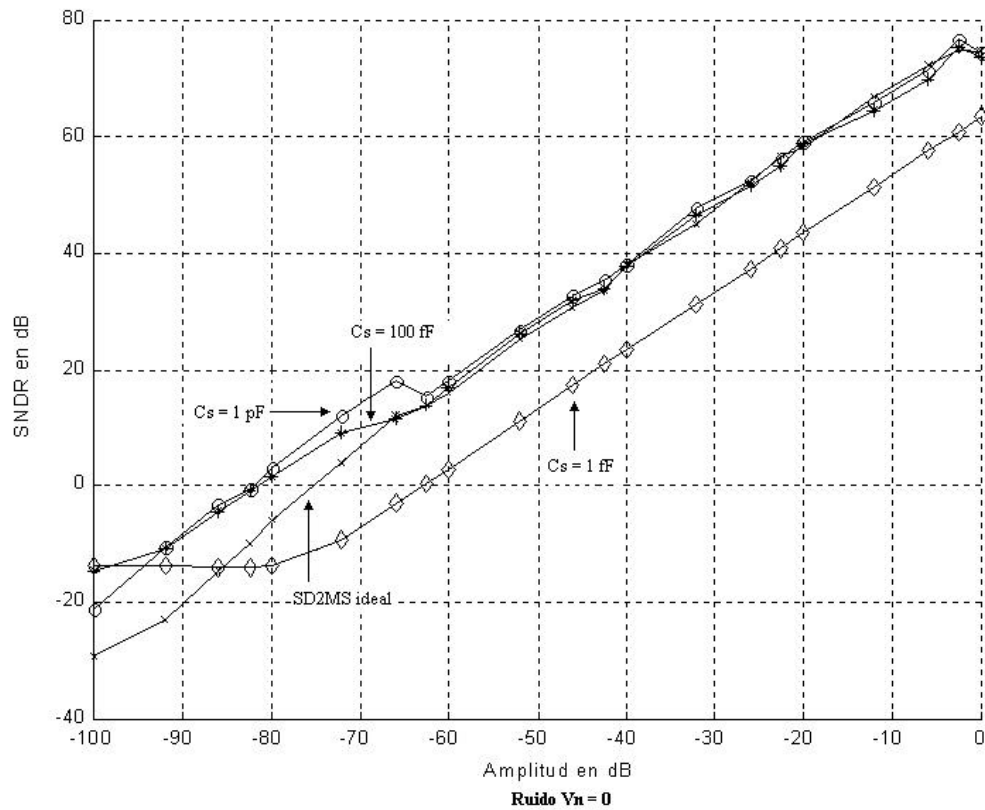
Considerando ahora el modulador afectado por estos dos ruidos, obtenemos la siguiente tabla de valores:

| $C_s = 500 \text{ fF}$<br>$V_n$ (v) | SNDRmax<br>(dB) | MD (dB) | Nºdif3dB | Max. Dif. | A maxdif<br>(dB) | $C_s = 1 \text{ pF}$<br>$V_n$ (v) | SNDRmax<br>(dB) | MD (dB) | Nºdif3dB | Max. Dif. | A maxdif<br>(dB) | $C_s = 5 \text{ pF}$<br>$V_n$ (v) | SNDRmax<br>(dB) | MD (dB) | Nºdif3dB | Max. Dif. | A maxdif<br>(dB) |
|-------------------------------------|-----------------|---------|----------|-----------|------------------|-----------------------------------|-----------------|---------|----------|-----------|------------------|-----------------------------------|-----------------|---------|----------|-----------|------------------|
| ideal                               | 78.32           | 85.1    | -        | -         | -                | ideal                             | 78.32           | 85.1    | -        | -         | -                | ideal                             | 78.32           | 85.1    | -        | -         | -                |
| 1 p                                 | 78.63           | 83.94   | 1        | 5.47      | -72.04           | 1 p                               | 78.54           | 84.94   | 0        | 2.42      | -72.04           | 1 p                               | 77.99           | 84.82   | 0        | 1.61      | -62.5            |
| 500 p                               | 78.57           | 83.24   | 2        | 4.68      | -72.04           | 500 p                             | 78.65           | 84.56   | 1        | 3.57      | -72.04           | 500 p                             | 77.95           | 84.71   | 0        | 1.61      | -80              |
| 1 n                                 | 78.51           | 83.37   | 1        | 6         | -72.04           | 1 n                               | 79.08           | 84.64   | 1        | 3.80      | -72.04           | 1 n                               | 77.92           | 84.46   | 0        | 1.50      | -80              |
| 100 n                               | 77.57           | 82.97   | 2        | 5.26      | -72.04           | 100 n                             | 78.41           | 84.41   | 2        | 4.47      | -72.04           | 100 n                             | 78.91           | 84.95   | 0        | 1.93      | -6.02            |
| 1 u                                 | 79.03           | 83.66   | 2        | 4.55      | -72.04           | 1 u                               | 79.35           | 84.68   | 1        | 3.25      | -72.04           | 1 u                               | 78.32           | 85.60   | 0        | 1.30      | -52.04           |
| 50 u                                | 77.59           | 83.57   | 1        | 5.63      | -72.04           | 50 u                              | 78.02           | 83.52   | 1        | 3.12      | -80              | 50 u                              | 78.71           | 86.35   | 1        | 3.27      | -66.02           |
| 100 u                               | 77.89           | 82.29   | 1        | 4.58      | -80              | 100 u                             | 77.02           | 83.10   | 1        | 3.97      | -80              | 100 u                             | 77.63           | 84.55   | 0        | 2.46      | -80              |
| 250 u                               | 76.32           | 79.15   | 6        | 6.93      | -92.04           | 250 u                             | 77.20           | 79.49   | 6        | 7.40      | -80              | 250 u                             | 76.41           | 79.81   | 6        | 6.44      | -100             |
| 500 u                               | 73.75           | 75.55   | 12       | 12.88     | -92.04           | 500 u                             | 73.57           | 74.68   | 11       | 12.47     | -92.04           | 500 u                             | 74.42           | 74.40   | 10       | 13.18     | -92.04           |
| 750 u                               | 71.37           | 70.55   | 15       | 20.75     | -92.04           | 750 u                             | 71.25           | 69.78   | 15       | 21.16     | -92.04           | 750 u                             | 71.55           | 68.65   | 16       | 21.27     | -92.04           |

Tabla 24. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma conjunta para la arquitectura sd2mm.

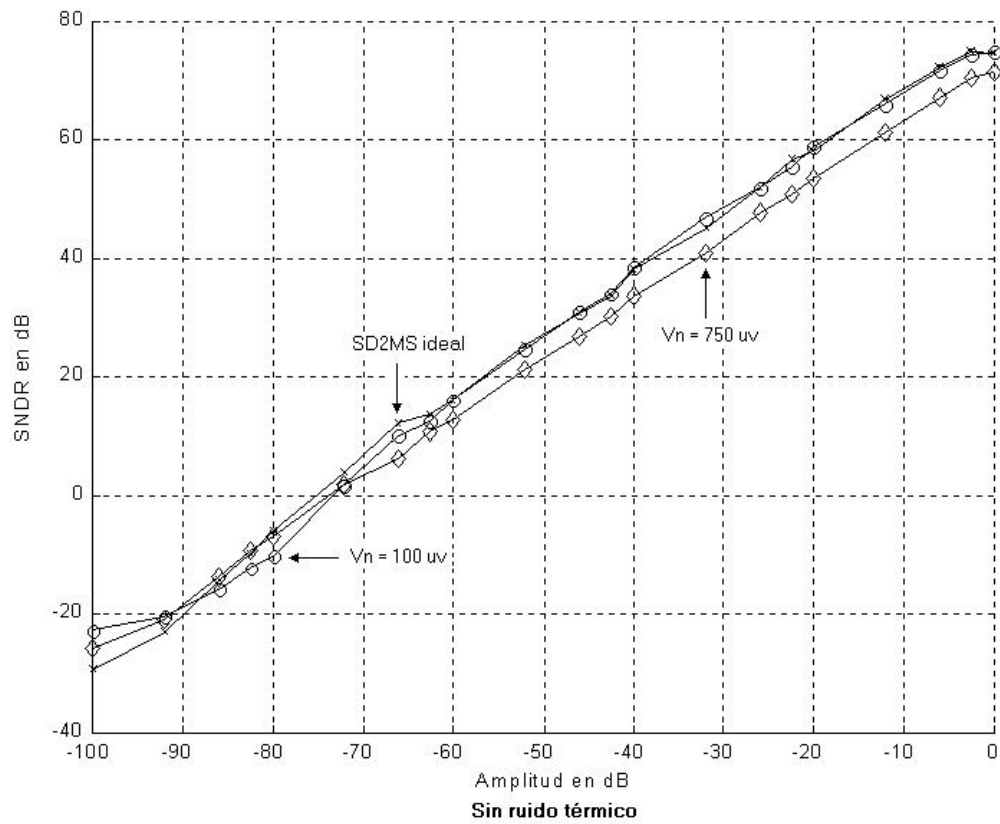
**(d) Arquitectura sd2ms.**

En la figura 7.30 podemos ver que esta arquitectura, al igual que sd2c, no se degrada mucho con el ruido térmico. Vemos que podemos tomar valores de  $C_s \approx 100 \text{ fF}$ , sin degradar el comportamiento.



**Figura 7.30. Relación SNDR frente a la amplitud para el modulador sd2ms afectado por ruido térmico.**

Esta arquitectura es más sensible que las anteriores al ruido del amplificador operacional. Para obtener una degradación inferior a 3 dB en todo el rango de amplitudes  $V_n$  debe ser menor que 50  $\mu\text{V}$ . En la figura 7.31 vemos los resultados.



**Figura 7.31. Relación SNDR frente a la amplitud para el modulador sd2ms afectado con ruido en el integrador.**

En la tabla podemos observar que la degradación es superior a 3 dB desde valores de  $V_n > 1 \text{ uv}$ , y que esta degradación aumenta a un ritmo menor a medida que lo hace  $V_n$  que en la arquitectura sd2mm.

| C <sub>s</sub>    | V <sub>n</sub> (v) | SNDR Max (dB) | MD (dB) | Nºdif 3dB | Max. Dif. | A maxdif (dB) | C <sub>s</sub> (F) | V <sub>n</sub>                                                 | SNDR Max (dB) | MD (dB) | Nºdif 3dB | Max. Dif. | A maxdif (dB) |
|-------------------|--------------------|---------------|---------|-----------|-----------|---------------|--------------------|----------------------------------------------------------------|---------------|---------|-----------|-----------|---------------|
| Ideal             |                    | 74.89         | 72.77   | -         | -         | -             | Ideal              |                                                                | 74.89         | 72.77   | -         | -         | -             |
| Sin ruido térmico | 1 p                | 74.89         | 72.78   | 0         | 0.01      | -92.04        | 10 <sup>-18</sup>  | Sin ruido en el amplificador operacional<br>V <sub>n</sub> = 0 | 32.91         | 33      | 18        | 45.84     | -22.5         |
|                   | 500p               | 75.07         | 72.73   | 0         | 0.39      | -6.02         | 1 f                |                                                                | 63.63         | 62.96   | 18        | 15.8      | -22.5         |
|                   | 1 n                | 74.96         | 72.7    | 0         | 0.58      | -40           | 100 f              |                                                                | 75.16         | 79.18   | 0         | 2.34      | -12.04        |
|                   | 100 n              | 76.45         | 71.71   | 1         | 3.03      | -80           | 250 f              |                                                                | 74.55         | 80.93   | 0         | 1.73      | -22.5         |
|                   | 1 u                | 74.85         | 74.6    | 0         | 2.2       | -40           | 500 f              |                                                                | 75.17         | 81.61   | 0         | 1.81      | -6.02         |
|                   | 50 u               | 75.38         | 70.97   | 6         | 4.69      | -66.02        | 750 f              |                                                                | 75.94         | 81.26   | 0         | 0.72      | -12.04        |
|                   | 100 u              | 75.00         | 73.21   | 1         | 4.37      | -80           | 1 p                |                                                                | 76.7          | 79.64   | 0         | 1         | -6.02         |
|                   | 250 u              | 74.97         | 74.36   | 1         | 3.41      | -66.02        | 5 p                |                                                                | 74.57         | 75.83   | 0         | 1.39      | -6.02         |
|                   | 500 u              | 73.1          | 76.44   | 3         | 3.71      | -22.5         | 10 p               |                                                                | 76.75         | 72.47   | 0         | 1.92      | -72.04        |
|                   | 750 u              | 71.47         | 73.76   | 15        | 5.94      | -22.5         | 50 p               |                                                                | 75.68         | 71      | 0         | 2.8       | -100          |

**Tabla 25. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma aislada para la arquitectura sd2ms.**

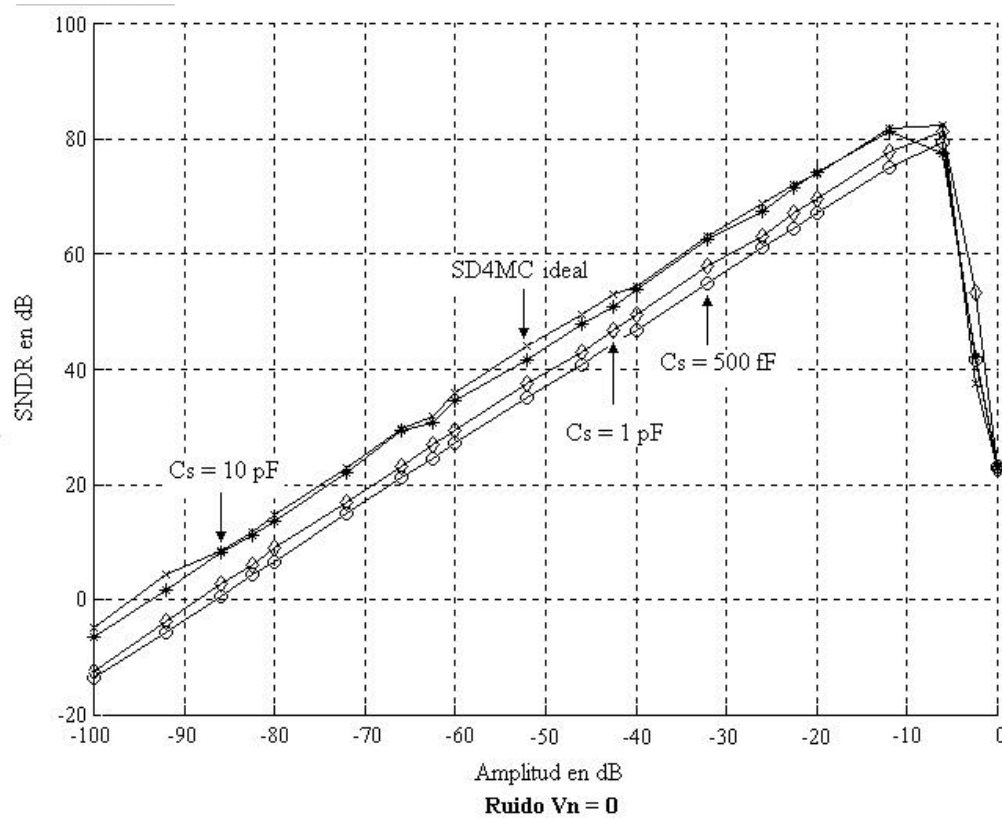
Considerando ahora el modulador afectado por estos dos ruidos, obtenemos la siguiente tabla de valores:

| C <sub>s</sub> = 100 fF<br>V <sub>n</sub> (v) | SNDRmax (dB) | MD (dB) | Nºdif3dB | Max. Dif. | A maxdif (dB) | C <sub>s</sub> = 250 fF<br>V <sub>n</sub> (v) | SNDRmax (dB) | MD (dB) | Nºdif3dB | Max. Dif. | A maxdif (dB) | C <sub>s</sub> = 500 fF<br>V <sub>n</sub> (v) | SNDRmax (dB) | MD (dB) | Nºdif3dB | Max. Dif. | A maxdif (dB) |
|-----------------------------------------------|--------------|---------|----------|-----------|---------------|-----------------------------------------------|--------------|---------|----------|-----------|---------------|-----------------------------------------------|--------------|---------|----------|-----------|---------------|
| ideal                                         | 74.89        | 72.77   | -        | -         | -             | ideal                                         | 74.89        | 72.77   | -        | -         | -             | ideal                                         | 74.89        | 72.77   | -        | -         | -             |
| 1 p                                           | 75.16        | 79.18   | 0        | 2.34      | -12.04        | 1 p                                           | 74.55        | 80.99   | 0        | 1.73      | -22.5         | 1 p                                           | 75.17        | 81.61   | 0        | 1.81      | -6.02         |
| 500 p                                         | 75.21        | 79.50   | 0        | 2.4       | -12.04        | 500 p                                         | 74.54        | 81.01   | 0        | 1.83      | -22.5         | 500 p                                         | 74.97        | 81.42   | 0        | 1.73      | -6.02         |
| 1 n                                           | 75.26        | 79.70   | 0        | 2.36      | -12.04        | 1 n                                           | 74.54        | 83.31   | 0        | 1.84      | -22.5         | 1 n                                           | 74.95        | 81.51   | 0        | 2.01      | -6.02         |
| 100 n                                         | 75.14        | 78.74   | 0        | 2.08      | -22.5         | 100 n                                         | 74.75        | 83.65   | 0        | 1         | -22.5         | 100 n                                         | 74.84        | 81.41   | 0        | 1.29      | -12.04        |
| 1 u                                           | 74.06        | 81.60   | 0        | 1.95      | -12.04        | 1 u                                           | 75.51        | 81.64   | 0        | 1         | -42.5         | 1 u                                           | 76.32        | 81.41   | 0        | 1.3       | -6.02         |
| 50 u                                          | 74.57        | 81.33   | 0        | 1.75      | -22.5         | 50 u                                          | 74.59        | 81.15   | 0        | 1.34      | -6.02         | 50 u                                          | 75.02        | 80.85   | 0        | 2.18      | -6.02         |
| 100 u                                         | 74.47        | 78.75   | 0        | 1.77      | -12.04        | 100 u                                         | 74.38        | 80.21   | 0        | 1.17      | -12.04        | 100 u                                         | 74.49        | 78.61   | 0        | 1.24      | -6.02         |
| 250 u                                         | 73.87        | 79.30   | 0        | 2.03      | -6.02         | 250 u                                         | 73.53        | 74.55   | 1        | 3.14      | -12.04        | 250 u                                         | 73.53        | 71.44   | 6        | 5.34      | -86.02        |
| 500 u                                         | 72.63        | 72.41   | 13       | 4.97      | -66.02        | 500 u                                         | 72.77        | 73.05   | 4        | 3.88      | -12.04        | 500 u                                         | 72.93        | 72.73   | 5        | 3.46      | -72.04        |
| 750 u                                         | 71.21        | 71.07   | 17       | 6.08      | -12.04        | 750 u                                         | 71.29        | 72.15   | 15       | 5.77      | -22.5         | 750 u                                         | 71.84        | 73.05   | 13       | 6.02      | -66.02        |

**Tabla 26. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma conjunta para la arquitectura sd2ms.**

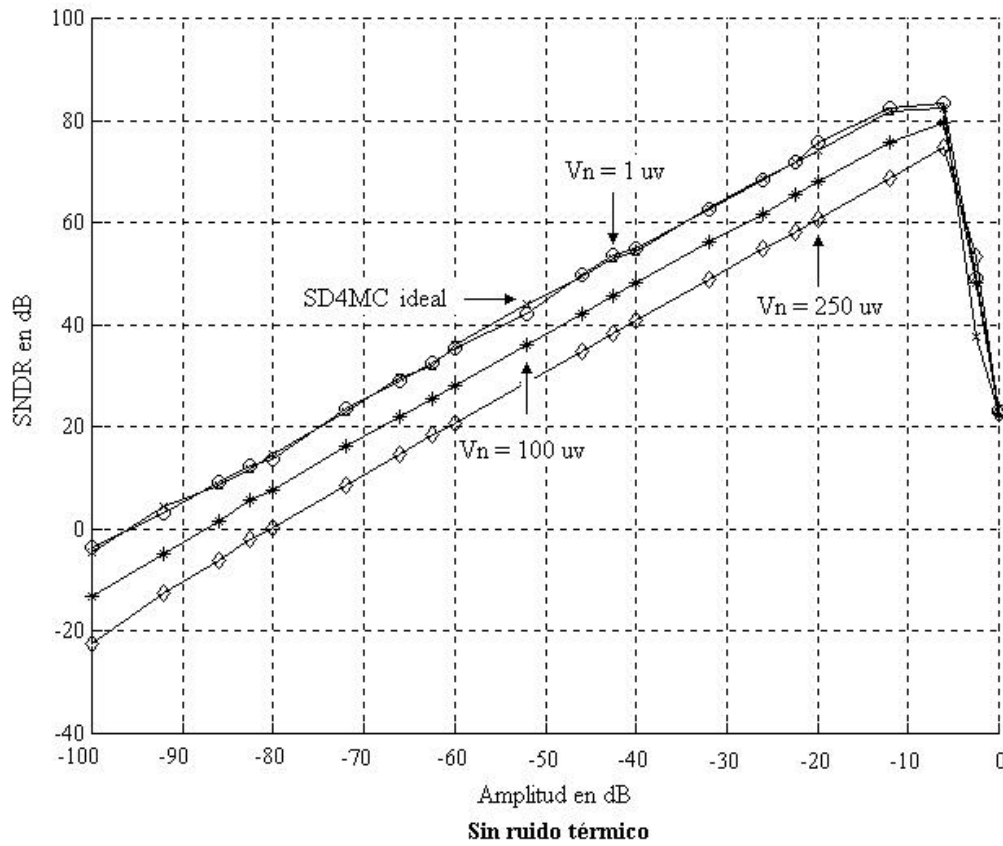
**(e) Arquitectura sd4mc.**

En la figura 7.32 podemos ver que esta arquitectura sufre una degradación muy importante con el ruido térmico. Para los valores de  $C_s \leq 1\text{pF}$  la relación SNDR está en más de 5 dB por debajo de la obtenida en el caso ideal.



**Figura 7.32. Relación SNDR frente a la amplitud para el modulador sd4mc afectado por ruido térmico.**

Esta arquitectura también es mucho más sensible que las anteriores al ruido del amplificador operacional. Para obtener una degradación inferior a 3 dB en todo el rango de amplitudes  $V_n$  debe ser menor que 1uV. En la figura 7.33 vemos los resultados.



**Figura 7.33. Relación SNDR frente a la amplitud para el modulador sd4mc afectado con ruido en el integrador.**

En la tabla 27 podemos observar que la degradación es superior a 3 dB desde valores de  $V_n > 1 \text{ uv}$  y  $C_s \leq 10 \text{ pF}$  cuando se consideran los ruidos aislados. Estos valores son más restrictivos que en las arquitecturas de una única etapa, sobre todo respecto al ruido térmico.

| $C_s$             | $V_n$<br>(v) | SNDR<br>Max<br>(dB) | MD<br>(dB) | Nºdif<br>3dB | Max.<br>Dif. | A<br>maxdif<br>(dB) | $C_s$ (F) | $V_n$                                                 | SNDR<br>Max<br>(dB) | MD<br>(dB) | Nºdif<br>3dB | Max.<br>Dif. | A<br>maxdif<br>(dB) |
|-------------------|--------------|---------------------|------------|--------------|--------------|---------------------|-----------|-------------------------------------------------------|---------------------|------------|--------------|--------------|---------------------|
| Ideal             |              | 82.35               | 89.95      | -            | -            | -                   | Ideal     |                                                       | 82.35               | 89.95      | -            | -            | -                   |
| Sin ruido térmico | 1 p          | 84.59               | 89.31      | 0            | 1.50         | -52.04              | 1 f       | Sin ruido en el amplificador operacional<br>$V_n = 0$ | 54.80               | 54.31      | 20           | 35.69        | -60                 |
|                   | 500 p        | 82.95               | 83.36      | 0            | 1.67         | -52.04              | 100 f     |                                                       | 74.30               | 74.28      | 19           | 16.75        | -92.04              |
|                   | 1 n          | 84.08               | 89.43      | 0            | 1.78         | -52.04              | 500 f     |                                                       | 79.50               | 80.60      | 18           | 10.29        | -92.04              |
|                   | 100 n        | 82.80               | 83.89      | 0            | 2.04         | -52.04              | 750 f     |                                                       | 79.50               | 81.65      | 18           | 9.17         | -92.04              |
|                   | 1 u          | 83.25               | 89.88      | 0            | 2.05         | -52.04              | 1 p       |                                                       | 81.24               | 82.55      | 18           | 8.25         | -92.04              |
|                   | 50 u         | 83.67               | 85.35      | 7            | 5.30         | -92.04              | 5 p       |                                                       | 82.68               | 87.30      | 2            | 3.25         | -92.04              |
|                   | 100 u        | 79.45               | 81.54      | 18           | 9.39         | -92.04              | 10 p      |                                                       | 81.30               | 81.72      | 1            | 4.98         | -6.02               |
|                   | 250 u        | 74.70               | 74.41      | 19           | 17.69        | -100                | 15 p      |                                                       | 83.42               | 88.25      | 0            | 2.48         | -92.04              |
|                   | 500 u        | 68.57               | 68.53      | 19           | 24.16        | -92.04              | 20 p      |                                                       | 83.12               | 87.82      | 0            | 2.99         | -92.04              |
|                   | 750 u        | 65.12               | 65.07      | 19           | 28.61        | -92.04              | 50 p      |                                                       | 84.97               | 88.41      | 0            | 2.35         | -92.04              |

Tabla 27. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma aislada para la arquitectura sd4mc.

Considerando ahora el modulador afectado por estos dos ruidos, obtenemos la siguiente tabla de valores:

| $C_s = 5$ pF<br>$V_n$ (v) | SNDRmax<br>(dB) | MD (dB) | Nºdif3dB | Max. Dif. | A maxdif<br>(dB) | $C_s = 10$ pF<br>$V_n$ (v) | SNDRmax<br>(dB) | MD (dB) | Nºdif3dB | Max. Dif. | A maxdif<br>(dB) | $C_s = 15$ pF<br>$V_n$ (v) | SNDRmax<br>(dB) | MD (dB) | Nºdif3dB | Max. Dif. | A maxdif<br>(dB) |
|---------------------------|-----------------|---------|----------|-----------|------------------|----------------------------|-----------------|---------|----------|-----------|------------------|----------------------------|-----------------|---------|----------|-----------|------------------|
| ideal                     | 82.35           | 89.95   | -        | -         | -                | ideal                      | 82.35           | 89.95   | -        | -         | -                | ideal                      | 82.35           | 89.95   | -        | -         | -                |
| 1 p                       | 83.23           | 85.89   | 2        | 4.72      | -92.04           | 1 p                        | 81.89           | 81.28   | 1        | 3.28      | -92.04           | 1 p                        | 83.58           | 88.10   | 0        | 2.27      | -92.04           |
| 500 p                     | 83.50           | 86.49   | 4        | 4.07      | -92.04           | 500 p                      | 82.03           | 81.59   | 0        | 2.86      | -92.04           | 500 p                      | 82.05           | 87.84   | 0        | 2.83      | -92.04           |
| 1 n                       | 82.93           | 86.95   | 3        | 3.58      | -92.04           | 1 n                        | 81.04           | 81.96   | 0        | 2.74      | -52.04           | 1 n                        | 82.52           | 82.12   | 0        | 2.54      | -92.04           |
| 100 n                     | 83.51           | 86.42   | 3        | 6.41      | -2.5             | 100 n                      | 83.69           | 87.74   | 0        | 2.71      | -92.04           | 100 n                      | 83.80           | 88.65   | 0        | 2.11      | -92.04           |
| 1 u                       | 84.53           | 86.47   | 2        | 4.10      | -92.04           | 1 u                        | 83.39           | 88.37   | 0        | 2.62      | -52.04           | 1 u                        | 85.28           | 88.24   | 0        | 2.53      | -92.04           |
| 50 u                      | 83.34           | 84.50   | 16       | 6.32      | -92.04           | 50 u                       | 82.34           | 85.11   | 12       | 5.53      | -92.04           | 50 u                       | 82.31           | 85.48   | 14       | 5.11      | -92.04           |
| 100 u                     | 79.05           | 81.30   | 19       | 9.81      | -92.04           | 100 u                      | 79.65           | 81.44   | 19       | 9.56      | -92.04           | 100 u                      | 79.84           | 81.54   | 18       | 9.48      | -92.04           |
| 250 u                     | 74.27           | 74.34   | 20       | 18.52     | -100             | 250 u                      | 74.35           | 74.47   | 19       | 18.52     | -100             | 250 u                      | 74.42           | 74.27   | 19       | 18.08     | -100             |
| 500 u                     | 68.69           | 68.47   | 19       | 24.71     | -92.04           | 500 u                      | 68.79           | 68.48   | 19       | 24.47     | -92.04           | 500 u                      | 68.73           | 68.50   | 19       | 24.50     | -92.04           |
| 750 u                     | 65.41           | 64.97   | 19       | 29.09     | -92.04           | 750 u                      | 65.32           | 65.00   | 19       | 28.93     | -92.04           | 750 u                      | 65.31           | 64.97   | 19       | 28.88     | -92.04           |

Tabla 28. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con ruido es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce, considerando los efectos de ruido térmico y ruido en el amplificador operacional de forma conjunta para la arquitectura sd4mc.

**(f) Resultados: Valores límites de los parámetros  $C_s$  y  $V_n$ .**

En los distintos apartados hemos visto las gráficas que nos mostraban la relación SNDR de cada arquitectura cuando existe ruido térmico y ruido en el amplificador operacional, considerando los efectos de cada ruido por separado y comparándolos con el ideal. También hemos visto en las tablas los valores de la máxima diferencia entre la relación SNDR en el caso ideal y con ruidos, considerando estos tanto de forma aislada como conjunta. Toda esta información nos permitirá ahora obtener los valores límites de los parámetros que nos representan los ruidos.

Si analizamos primero el ruido térmico en la arquitectura sd2c, vemos que en las tablas 19 y 20 la máxima diferencia entre SNDR ideal y con ruido suele darse para una amplitud de la señal de entrada de  $A = -60$  dB. Como ya dijimos esto se debe a la extraña degradación de esta arquitectura cuando la amplitud de la señal de entrada es de  $-60$  dB. Algo similar nos ocurre con el ruido del amplificador operacional y nos ocurría con el ruido jitter. Las gráficas para esta arquitectura nos muestran que la robustez es alta frente a este ruido.

Considerando el caso en que sólo existe ruido térmico, los valores mínimos para  $C_s$  que no degradan en más de 3 dB la relación SNDR para el rango de amplitudes consideradas son:

| Arquitectura | $C_s$ mínimo |
|--------------|--------------|
| SD2C         | 250 fF       |
| SD2C_3bit    | 250 fF       |
| SD2MM        | 1 pF         |
| SD2MS        | 100 fF       |
| SD4MC        | 15 pF        |

**Tabla 29. Valores mínimos del parámetro  $C_s$  para las distintas arquitecturas considerando sólo el ruido térmico.**

Respecto a  $V_n$ , además del pico de mal comportamiento para  $A=-60$  dB en la arquitectura sd2c, destacamos que tenemos una degradación importante en la arquitectura sd2mm para amplitudes menores a  $-65$  dB, notemos aquí que es precisamente en ese rango de amplitudes donde esta arquitectura nos da una relación SNDR mucho mayor que en el resto para el caso ideal.

Considerando el caso en que sólo existe ruido en el amplificador operacional, los valores máximos para  $V_n$  que no degradan en más de 3 dB la relación SNDR para el rango de amplitudes consideradas son:

| Arquitectura | $V_n$ máximo |
|--------------|--------------|
| SD2C         | 500 $\mu$ v  |
| SD2C_3bit    | 100 $\mu$ v  |
| SD2MM        | 100 $\mu$ v  |
| SD2MS        | 1 $\mu$ v    |
| SD4MC        | 1 $\mu$ v    |

**Tabla 30.** Valores máximos del parámetro  $V_n$  para las distintas arquitecturas considerando sólo el ruido del amplificador operacional.

Considerando el ruido térmico y el ruido del amplificador operacional de forma conjunta, los valores máximos para  $C_s$  y  $V_n$  que no degradan en más de 3 dB la relación SNDR para el rango de amplitudes consideradas son:

| Arquitectura | $C_s$ mínimo | $V_n$ máximo |
|--------------|--------------|--------------|
| SD2C         | 250 fF       | 500 $\mu$ v  |
| SD2C_3bit    | 250 fF       | 100 $\mu$ v  |
| SD2MM        | 5 pF         | 100 $\mu$ v  |
| SD2MS        | 100 fF       | 250 $\mu$ v  |
| SD4MC        | 10 pF        | 1 $\mu$ v    |

**Tabla 31.** Valores límites de los parámetros  $C_s$  y  $V_n$  para las distintas arquitecturas.

La arquitectura sd2ms vuelve a destacar por tener unos requerimientos en los valores de los parámetros inferiores al resto de las arquitecturas, como nos ocurrió con el ruido jitter, lo que nos muestra la robustez de esta arquitectura frente a los ruidos.

Los valores para  $V_n$  máximo son mayores, y por tanto, menos restrictivos que los obtenidos teóricamente aunque del mismo orden de magnitud, al igual que ocurre para los valores de  $C_s$  mínimo excepto para la arquitectura sd2mm donde las simulaciones nos muestran que el valor de  $C_s$  mínimo es mayor que el teórico. La arquitectura sd2mm nos da una relación SNDR más alta que las expectativas teóricas en el caso ideal, aunque como podemos ver también es más sensible a los ruidos de lo que calculamos teóricamente.

### 7.3.3.3. No idealidades del integrador.

Como vimos en el apartado 6.4. las no idealidades en un integrador de capacidades conmutadas son debidas principalmente a las transferencias de carga incompletas producidas por efectos no ideales en el amplificador operacional, tales como ganancia finita, ancho de banda finito, slew rate y tensiones de saturación.

El modelo de un integrador real, mostrado en la figura 6.6 tiene en cuenta estos efectos mediante los siguientes parámetros:

*Alfa ( $\alpha$ ):* es el factor de pérdida del integrador, con alfa tenemos en cuenta que la ganancia en continua del integrador no es infinita, sino que tiene un valor finito dado por:

$$A_o = \frac{1}{1 - \alpha} \quad (7.4.1)$$

*Vsat:* son las tensiones de saturación, tienen en cuenta los niveles de tensión máximos que el amplificador operacional puede soportar sin entrar en saturación.

$Tau (t)$ : Es la inversa del ancho de banda del amplificador expresado en rad/s.

SR: Slew-rate del amplificador operacional. Nos muestra la capacidad del integrador para seguir las variaciones en el tiempo de la entrada.

Veremos en que rango de valores pueden moverse estos parámetros de manera que la relación SNDR del modulador siga próxima a su valor en el caso ideal. Para ello sustituiremos en el modelo Simulink® de las arquitecturas el modelo del integrador ideal de la primera etapa por el integrador real de la figura 7.34.

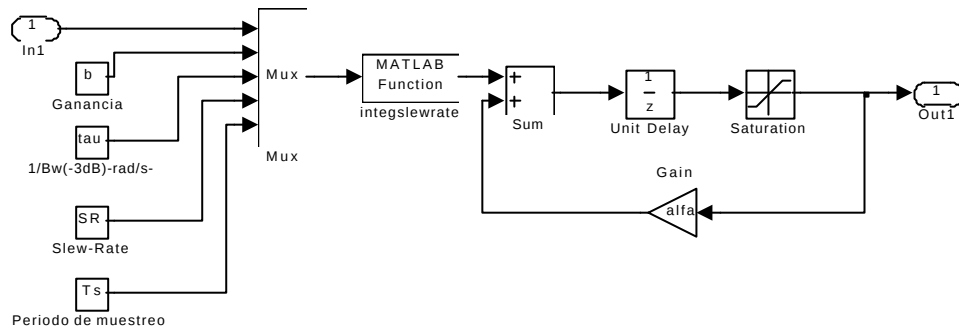


Figura 7.34. Modelo Simulink® del integrador real.

En este modelo definimos los parámetros como constantes que damos de entrada a una función Matlab® : *intslewrte.m* que implementa las ecuaciones del apartado 6.4.2. Definimos también  $T_s$  como el periodo de muestreo del primer integrador que para la arquitectura sd2c es  $T_s = 2t_s$  y para las restantes  $T_s = 4t_s$ .

En cada arquitectura veremos primero los valores que pueden tomar  $V_{sat}$  y  $A_o$ , puesto que estos efectos pueden estudiarse de forma aislada, reduciendo el modelo del integrador real de manera que sólo se tengan en cuenta estas no idealidades y después tomaremos el modelo completo con  $V_{sat}$ ,  $A_o$ ,  $t$  y  $SR$ .

#### (a) Arquitectura sd2c.

En la tabla 32 tenemos los valores de la relación SNDR máxima, el MD, el número de valores de amplitud donde la diferencia entre SNDR en el caso ideal y cuando tenemos en cuenta los efectos de saturación o de ganancia en DC finita en el integrador es mayor o igual a 3 dB, el valor máximo de esta diferencia y la amplitud donde se produce.

| $V_{sat}$ (v) | SNDR Max (dB) | MD (dB) | Nº dif 3dB | Max. Dif. | A maxdif (dB) | $A_o$  | SNDR Max (dB) | MD (dB) | Nº dif 3dB | Max. Dif. | A maxdif (dB) |
|---------------|---------------|---------|------------|-----------|---------------|--------|---------------|---------|------------|-----------|---------------|
| Ideal         | 71.30         | 74.24   | -          | -         | -             | Ideal  | 71.30         | 74.24   | -          | -         | -             |
| 1             | 25.01         | 21.82   | 19         | 57.97     | -22.5         | 10     | 63.67         | 69.07   | 18         | 16.54     | -52.04        |
| 1.5           | 33.34         | 29.33   | 14         | 48.71     | -2.5          | $10^2$ | 70.34         | 72.20   | 0          | 2.88      | -60           |
| 2             | 60.34         | 64.70   | 4          | 42.27     | -2.5          | $10^3$ | 71.49         | 74.04   | 1          | 6.43      | -60           |
| 2.5           | 65.16         | 64.70   | 2          | 23.56     | -2.5          | $10^4$ | 71.10         | 74.11   | 1          | 3.18      | -60           |
| 3             | 71.21         | 74.24   | 0          | 0.091     | -2.5          | $10^6$ | 71.23         | 74.26   | 0          | 0.90      | -32.04        |

**Tabla 32. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para distintos valores de  $V_{sat}$  y  $A_o$  considerándolos de forma aislada para la arquitectura sd2c.**

De forma aislada, tenemos que  $V_{sat} \geq 3$  v para no superar una diferencia de 3 dB en la SNDR respecto al caso ideal. Para el valor de la ganancia en DC del integrador tenemos  $A_o \geq 10^2$  ya que aunque para valores mayores la diferencia en la SNDR respecto del caso ideal es mayor a 3 dB, esta diferencia vuelve a producirse en -60 dB de amplitud de la señal de entrada y no lo tendremos en cuenta.

En la tabla 33 podemos ver para distintos valores de los parámetros, considerando ahora todos los efectos contemplados en el modelo de la figura 7.34 de forma conjunta, la relación SNDR máxima alcanzada, el margen dinámico, el número de valores de amplitud donde la diferencia entre SNDR en el caso ideal y SNDR con un integrador no ideal es mayor o igual a 3 dB ( $N^{\circ}\text{dif3dB}$ ), el valor máximo de esta diferencia y la amplitud donde se produce.

Podemos ver los rangos donde deben moverse los parámetros para la arquitectura sd2c. Así tenemos que  $A_o \geq 10^3$ ,  $V_{sat} \geq 3$ ,  $t \leq t_s/2$  y  $SR \geq 4f_s$ . Donde el periodo de trabajo del primer integrador es  $T_s=2t_s$ .

| $A_o$      | $V_{sat}$ (v) | $t$ (s) | SR (v/s) | SNDRmax (dB) | MD (dB) | $N^{\circ}\text{dif3dB}$ | Max.dif. | Amax.dif. (dB) |
|------------|---------------|---------|----------|--------------|---------|--------------------------|----------|----------------|
| Caso ideal |               |         |          | 71.3         | 74.24   | -                        | -        | -              |
| $10^6$     | 2             | $t_s/6$ | $3f_s$   | 62.35        | 64.58   | 4                        | 42.24    | -2.5           |
| $10^6$     | 2             | $t_s/6$ | $4f_s$   | 61.28        | 64.58   | 5                        | 41.98    | -2.5           |
| $10^6$     | 2             | $t_s/6$ | $6f_s$   | 58.78        | 56.76   | 4                        | 42.07    | -2.5           |
| $10^6$     | 2.5           | $t_s/6$ | $3f_s$   | 66.55        | 64.58   | 3                        | 23.52    | -2.5           |
| $10^6$     | 2.5           | $t_s/6$ | $4f_s$   | 66.81        | 64.57   | 3                        | 23.53    | -2.5           |
| $10^6$     | 2.5           | $t_s/6$ | $6f_s$   | 65.93        | 64.72   | 2                        | 23.10    | -2.5           |
| $10^6$     | 3             | $t_s/2$ | $3f_s$   | 70.37        | 74.26   | 1                        | 4.03     | -60            |
| $10^6$     | 3             | $t_s/2$ | $4f_s$   | 71.87        | 74.26   | 1                        | 4.03     | -60            |
| $10^6$     | 3             | $t_s/2$ | $6f_s$   | 71.87        | 74.26   | 1                        | 4.03     | -60            |
| $10^6$     | 3             | $t_s/3$ | $3f_s$   | 67.37        | 74.22   | 2                        | 4.49     | -6.02          |
| $10^6$     | 3             | $t_s/3$ | $4f_s$   | 70.96        | 74.26   | 0                        | 2        | -32.04         |
| $10^6$     | 3             | $t_s/3$ | $6f_s$   | 71.55        | 74.26   | 0                        | 2        | -32.04         |
| $10^3$     | 3             | $t_s/2$ | $3f_s$   | 70.49        | 70.52   | 1                        | 6.05     | -60            |
| $10^3$     | 3             | $t_s/2$ | $4f_s$   | 70.91        | 74.04   | 1                        | 6.05     | -60            |
| $10^3$     | 3             | $t_s/2$ | $6f_s$   | 70.91        | 74.04   | 1                        | 6.05     | -60            |
| $10^3$     | 3             | $t_s/3$ | $3f_s$   | 67.82        | 74.04   | 3                        | 6.16     | -60            |
| $10^3$     | 3             | $t_s/3$ | $4f_s$   | 70.30        | 70.52   | 1                        | 5.62     | -60            |
| $10^3$     | 3             | $t_s/3$ | $6f_s$   | 72.51        | 74.04   | 1                        | 5.62     | -60            |

**Tabla 33. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd2c.**

Al igual que en los apartados anteriores, volvemos a encontrarnos con que la mayor degradación, cuando el valor de  $V_{sat}$  es suficiente para que el

integrador no entre en saturación, suele producirse en una amplitud de  $-60$  dB, y en ninguna amplitud más, puesto que  $N^{\circ}dif3dB = 1$ . Por esto para obtener el valor límite de los parámetros he optado por no tener en cuenta ese valor, y permitir que  $N^{\circ}dif3dB$  sea menor o igual que 1.

### (b) Arquitectura sd2c\_3bit.

En la tabla 34 tenemos los valores de la relación SNDR máxima, el MD, el número de valores de amplitud donde la diferencia entre SNDR en el caso ideal y cuando tenemos en cuenta los efectos de saturación o de ganancia en DC finita en el integrador es mayor o igual a 3 dB, el valor máximo de esta diferencia y la amplitud donde se produce.

| Vsat (v) | SNDR Max (dB) | MD (dB) | Nºdif 3dB | Max. Dif. | A maxdif (dB) | Ao     | SNDR Max (dB) | MD (dB) | Nºdif 3dB | Max. Dif. | A maxdif (dB) |
|----------|---------------|---------|-----------|-----------|---------------|--------|---------------|---------|-----------|-----------|---------------|
| Ideal    | 80.20         | 74.39   | -         | -         | -             | Ideal  | 80.20         | 74.39   | -         | -         | -             |
| 1        | 70.75         | 64.85   | 3         | 63.65     | -2.5          | 10     | 79.50         | 78.78   | 10        | 6.55      | -86.02        |
| 1.5      | 76.41         | 70.87   | 2         | 42.09     | -2.5          | $10^2$ | 80.47         | 75.92   | 1         | 3.64      | -60           |
| 2        | 80.20         | 74.39   | 1         | 3.59      | 0             | $10^3$ | 79.59         | 74.11   | 0         | 1.35      | -72.04        |
| 2.5      | 80.20         | 74.39   | 0         | 0         | -             | $10^4$ | 79.48         | 74.20   | 0         | 1.17      | -42.5         |
| 3        | 80.20         | 74.39   | 0         | 0         | -             | $10^6$ | 79.84         | 74.32   | 0         | 1.30      | -42.5         |

**Tabla 34. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para distintos valores de Vsat y Ao considerándolos de forma aislada para la arquitectura sd2c\_3bit.**

De forma aislada, tenemos que  $Vsat \geq 2.5$  v para no superar una diferencia de 3 dB en la SNDR respecto al caso ideal. Para el valor de la ganancia en DC del integrador tenemos  $Ao \geq 10^3$ .

En la tabla 35 podemos ver para distintos valores de los parámetros, considerando ahora todos los efectos contemplados en el modelo de la figura 7.34 de forma conjunta, la relación SNDR máxima alcanzada, el margen

dinámico, el número de valores de amplitud donde la diferencia entre SNDR en el caso ideal y SNDR con un integrador no ideal es mayor o igual a 3 dB ( $N^{\circ} \text{dif}3\text{dB}$ ), el valor máximo de esta diferencia y la amplitud donde se produce.

Podemos ver los rangos donde deben moverse los parámetros para la arquitectura sd2c\_3bit. Así tenemos que  $A_o \propto 10^3$ ,  $V_{sat} \propto 2.5$ ,  $t \propto t_s$  y  $SR \propto f_s/2$ . Donde el periodo de trabajo del primer integrador es  $T_s = 4t_s$ .

| Ao         | Vsat (v) | t (s)   | SR (v/s) | SNDRmax (dB) | MD (dB) | N°dif3dB | Max.dif. | Amax.dif. (dB) |
|------------|----------|---------|----------|--------------|---------|----------|----------|----------------|
| Caso ideal |          |         |          | 80.20        | 74.39   | -        | -        | -              |
| $10^6$     | 2        | $t_s/2$ | $f_s/4$  | 66.14        | 74.32   | 8        | 15.44    | -22.5          |
| $10^6$     | 2        | $t_s/2$ | $f_s/2$  | 79.01        | 74.38   | 1        | 3.43     | 0              |
| $10^6$     | 2        | $t_s/2$ | $f_s$    | 79.53        | 74.38   | 1        | 3.41     | 0              |
| $10^3$     | 2        | $t_s/2$ | $f_s/4$  | 65.36        | 74.76   | 9        | 15.25    | -6.02          |
| $10^3$     | 2        | $t_s/2$ | $f_s/2$  | 80.16        | 73.99   | 1        | 4.43     | 0              |
| $10^3$     | 2        | $t_s/2$ | $f_s$    | 79.86        | 73.99   | 1        | 4.47     | 0              |
| $10^3$     | 2        | $t_s/4$ | $f_s/4$  | 72.44        | 73.82   | 8        | 8.23     | -26.02         |
| $10^3$     | 2        | $t_s/4$ | $f_s/2$  | 79.25        | 74.08   | 1        | 4.59     | 0              |
| $10^3$     | 2        | $t_s/4$ | $f_s$    | 79.81        | 74.12   | 1        | 4.62     | 0              |
| $10^3$     | 2.5      | $t_s$   | $f_s/4$  | 67.30        | 74.08   | 10       | 13.21    | -12.04         |
| $10^3$     | 2.5      | $t_s$   | $f_s/2$  | 77.63        | 74.14   | 0        | 2.57     | -2.5           |
| $10^3$     | 2.5      | $t_s$   | $f_s$    | 79.37        | 74.14   | 0        | 2.12     | -20            |
| $10^3$     | 2.5      | $t_s/2$ | $f_s/4$  | 65.36        | 74.76   | 8        | 15.25    | -6.02          |
| $10^3$     | 2.5      | $t_s/2$ | $f_s/2$  | 80.16        | 73.99   | 0        | 1.5      | -72.04         |
| $10^3$     | 2.5      | $t_s/2$ | $f_s$    | 79.86        | 73.99   | 0        | 2.29     | -60            |
| $10^2$     | 2.5      | $t_s$   | $f_s/4$  | 68.23        | 78.83   | 7        | 14.5     | -2.5           |
| $10^2$     | 2.5      | $t_s$   | $f_s/2$  | 77.84        | 76.33   | 0        | 2.45     | -42.5          |
| $10^2$     | 2.5      | $t_s$   | $f_s$    | 77.27        | 76.33   | 0        | 2.93     | -2.5           |
| $10^2$     | 2.5      | $t_s/2$ | $f_s/4$  | 66.71        | 78.02   | 10       | 15.73    | -6.02          |
| $10^2$     | 2.5      | $t_s/2$ | $f_s/2$  | 79.15        | 75.39   | 1        | 3.74     | -60            |
| $10^2$     | 2.5      | $t_s/2$ | $f_s$    | 80.44        | 75.39   | 1        | 3.68     | -60            |

**Tabla 35. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd2c\_3bit.**

### (c) Arquitectura sd2mm.

En la tabla 36 tenemos los valores de la relación SNDR máxima, el MD, el número de valores de amplitud donde la diferencia entre SNDR en el caso

ideal y cuando tenemos en cuenta los efectos de saturación o de ganancia en DC finita en el integrador es mayor o igual a 3 dB, el valor máximo de esta diferencia y la amplitud donde se produce.

| Vsat (v) | SNDR Max (dB) | MD (dB) | Nº dif 3dB | Max. Dif. | A maxdif (dB) | Ao     | SNDR Max (dB) | MD (dB) | Nº dif 3dB | Max. Dif. | A maxdif (dB) |
|----------|---------------|---------|------------|-----------|---------------|--------|---------------|---------|------------|-----------|---------------|
| Ideal    | 78.32         | 85.10   | -          | -         | -             | Ideal  | 78.32         | 85.10   | -          | -         | -             |
| 1        | 68.01         | 75.56   | 3          | 62        | -2.5          | 10     | 77.35         | 82.24   | 16         | 8.04      | -60           |
| 1.5      | 74.60         | 81.57   | 2          | 37.48     | -2.5          | $10^2$ | 79.15         | 86.72   | 0          | 2.72      | -32.04        |
| 2        | 78.32         | 85.10   | 0          | 0.97      | 0             | $10^3$ | 78.76         | 85.02   | 0          | 2.06      | -66.02        |
| 2.5      | 78.32         | 85.10   | 0          | 0         | -             | $10^4$ | 77.86         | 84.67   | 0          | 0.91      | -62.5         |
| 3        | 78.32         | 85.10   | 0          | 0         | -             | $10^6$ | 78.94         | 85.12   | 0          | 1.99      | -6.02         |

**Tabla 36. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para distintos valores de Vsat y Ao considerándolos de forma aislada para la arquitectura sd2mm.**

De forma aislada, tenemos que  $Vsat \geq 2$  v para no superar una diferencia de 3 dB en la SNDR respecto al caso ideal. Para el valor de la ganancia en DC del integrador tenemos  $Ao \geq 10^2$ .

En la tabla 37 podemos ver para distintos valores de los parámetros, considerando ahora todos los efectos contemplados en el modelo de la figura 7.34 de forma conjunta, la relación SNDR máxima alcanzada, el margen dinámico, el número de valores de amplitud donde la diferencia entre SNDR en el caso ideal y SNDR con un integrador no ideal es mayor o igual a 3 dB (Nº dif 3dB), el valor máximo de esta diferencia y la amplitud donde se produce.

Podemos ver los rangos donde deben moverse los parámetros para la arquitectura sd2mm. Así tenemos que  $Ao \geq 10^3$ ,  $Vsat \geq 2$ ,  $t \leq t_s$  y  $SR \geq f_s/4$ . Donde el periodo de trabajo del primer integrador es  $T_s = 4t_s$ .

| Ao              | Vsat (v) | t (s)             | SR (v/s)          | SNDRmax (dB) | MD (dB) | Nºdif3dB | Max.dif. | Amax.dif. (dB) |
|-----------------|----------|-------------------|-------------------|--------------|---------|----------|----------|----------------|
| Caso ideal      |          |                   |                   | 78.32        | 85.10   | -        | -        | -              |
| 10 <sup>0</sup> | 2        | t <sub>s</sub>    | f <sub>s</sub> /6 | 75.18        | 71.12   | 15       | 14.18    | -72.04         |
| 10 <sup>0</sup> | 2        | t <sub>s</sub>    | f <sub>s</sub> /4 | 78.01        | 85.17   | 1        | 3.84     | -52.04         |
| 10 <sup>0</sup> | 2        | t <sub>s</sub>    | f <sub>s</sub> /2 | 77.76        | 85.12   | 0        | 2        | -52.04         |
| 10 <sup>3</sup> | 2        | 2t <sub>s</sub>   | f <sub>s</sub> /6 | 77.06        | 85.02   | 9        | 6.68     | -42.5          |
| 10 <sup>3</sup> | 2        | 2t <sub>s</sub>   | f <sub>s</sub> /2 | 77.06        | 85.02   | 9        | 6.68     | -42.5          |
| 10 <sup>3</sup> | 2        | 2t <sub>s</sub>   | 4f <sub>s</sub>   | 77.06        | 85.02   | 9        | 6.68     | -42.5          |
| 10 <sup>3</sup> | 2        | t <sub>s</sub>    | f <sub>s</sub> /6 | 75.80        | 71.52   | 12       | 13.65    | -72.04         |
| 10 <sup>3</sup> | 2        | t <sub>s</sub>    | f <sub>s</sub> /4 | 77.90        | 85.02   | 0        | 2.20     | -42.5          |
| 10 <sup>3</sup> | 2        | t <sub>s</sub>    | f <sub>s</sub> /2 | 78.11        | 85.02   | 0        | 2.67     | -60            |
| 10 <sup>2</sup> | 2        | t <sub>s</sub>    | f <sub>s</sub> /6 | 75.05        | 71.75   | 13       | 13.77    | -80            |
| 10 <sup>2</sup> | 2        | t <sub>s</sub>    | f <sub>s</sub> /4 | 79.02        | 86.72   | 3        | 4.09     | -42.5          |
| 10 <sup>2</sup> | 2        | t <sub>s</sub>    | f <sub>s</sub> /2 | 79.16        | 86.72   | 3        | 4.43     | -42.5          |
| 10 <sup>2</sup> | 2        | t <sub>s</sub> /6 | f <sub>s</sub> /6 | 79.44        | 85.47   | 0        | 2.94     | -22.5          |
| 10 <sup>2</sup> | 2        | t <sub>s</sub> /6 | f <sub>s</sub> /4 | 78.95        | 86.47   | 1        | 4.08     | -32.04         |
| 10 <sup>2</sup> | 2        | t <sub>s</sub> /6 | f <sub>s</sub> /2 | 78.77        | 87.25   | 1        | 3.68     | -32.04         |

**Tabla 37. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd2mm.**

#### (d) Arquitectura sd2ms.

En la tabla 38 tenemos los valores de la relación SNDR máxima, el MD, el número de valores de amplitud donde la diferencia entre SNDR en el caso ideal y cuando tenemos en cuenta los efectos de saturación o de ganancia en DC finita en el integrador es mayor o igual a 3 dB, el valor máximo de esta diferencia y la amplitud donde se produce.

| Vsat (v) | SNDR Max (dB) | MD (dB) | Nºdif 3dB | Max. Dif. | A maxdif (dB) | Ao              | SNDR Max (dB) | MD (dB) | Nºdif 3dB | Max. Dif. | A maxdif (dB) |
|----------|---------------|---------|-----------|-----------|---------------|-----------------|---------------|---------|-----------|-----------|---------------|
| Ideal    | 74.89         | 72.77   | -         | -         | -             | Ideal           | 74.89         | 72.77   | -         | -         | -             |
| 1        | 26.86         | 22.84   | 19        | 57.96     | -20           | 10              | 43.61         | 40      | 16        | 56.02     | -62.5         |
| 1.5      | 36.22         | 40.78   | 19        | 43.36     | -6.02         | 10 <sup>2</sup> | 60.25         | 66.99   | 19        | 15.73     | 0             |
| 2        | 56.82         | 55.27   | 4         | 25.76     | -2.5          | 10 <sup>3</sup> | 72.80         | 71.99   | 4         | 4.64      | 0             |
| 2.5      | 74.33         | 75.27   | 0         | 2.83      | -2.5          | 10 <sup>4</sup> | 74.69         | 71.01   | 0         | 2.26      | -72.04        |
| 3        | 74.89         | 72.77   | 0         | 0         | -62.5         | 10 <sup>6</sup> | 77            | 72.42   | 1         | 3.81      | -66.02        |

**Tabla 38. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para distintos valores de Vsat y Ao considerándolos de forma aislada para la arquitectura sd2ms.**

De forma aislada, tenemos que  $V_{sat} \approx 2.5$  v para no superar una diferencia de 3 dB en la SNDR respecto al caso ideal. Para el valor de la ganancia en DC del integrador tenemos  $A_o \approx 10^4$ .

En la tabla 39 podemos ver para distintos valores de los parámetros, considerando ahora todos los efectos contemplados en el modelo de la figura 7.34 de forma conjunta, la relación SNDR máxima alcanzada, el margen dinámico, el número de valores de amplitud donde la diferencia entre SNDR en el caso ideal y SNDR con un integrador no ideal es mayor o igual a 3 dB ( $N^{\circ} \text{dif}3\text{dB}$ ), el valor máximo de esta diferencia y la amplitud donde se produce.

Podemos ver los rangos donde deben moverse los parámetros para la arquitectura sd2ms. Así tenemos que  $A_o \approx 10^4$ ,  $V_{sat} \approx 2.5$ ,  $t \leq t_s/6$  y  $SR \approx 2f_s$ . Donde el periodo de trabajo del primer integrador es  $T_s = 4t_s$ .

| Ao         | Vsat (v) | t (s)   | SR (v/s) | SNDRmax (dB) | MD (dB) | Nºdif3dB | Max.dif. | Amax.dif. (dB) |
|------------|----------|---------|----------|--------------|---------|----------|----------|----------------|
| Caso ideal |          |         |          | 74.89        | 72.77   | -        | -        | -              |
| $10^5$     | 3        | $t_s/4$ | $f_s$    | 66.62        | 75.71   | 4        | 11.88    | -6.02          |
| $10^5$     | 3        | $t_s/4$ | $2f_s$   | 75.03        | 73.10   | 0        | 2.04     | -62.5          |
| $10^5$     | 3        | $t_s/4$ | $4f_s$   | 75.38        | 71.89   | 1        | 3.93     | -62.5          |
| $10^5$     | 3        | $t_s/6$ | $f_s$    | 73.11        | 72.48   | 1        | 3.14     | -6.02          |
| $10^5$     | 3        | $t_s/6$ | $2f_s$   | 74.88        | 71.46   | 0        | 1.76     | -72.04         |
| $10^5$     | 3        | $t_s/6$ | $4f_s$   | 75.24        | 71.91   | 0        | 1.75     | -66.02         |
| $10^4$     | 3        | $t_s/4$ | $f_s$    | 65.95        | 72.36   | 6        | 11.52    | -6.02          |
| $10^4$     | 3        | $t_s/4$ | $2f_s$   | 75.80        | 70.56   | 0        | 2.95     | -60            |
| $10^4$     | 3        | $t_s/4$ | $4f_s$   | 75.70        | 69.56   | 2        | 5.43     | -66.02         |
| $10^4$     | 3        | $t_s/6$ | $f_s$    | 73.22        | 71.96   | 3        | 4.19     | -72.04         |
| $10^4$     | 3        | $t_s/6$ | $2f_s$   | 75.89        | 70.85   | 0        | 2.45     | -72.04         |
| $10^4$     | 3        | $t_s/6$ | $4f_s$   | 73.74        | 70.99   | 0        | 2.23     | -80            |
| $10^4$     | 2.5      | $t_s/4$ | $f_s$    | 65.95        | 72.36   | 6        | 11.52    | -6.02          |
| $10^4$     | 2.5      | $t_s/4$ | $2f_s$   | 75.79        | 70.56   | 0        | 2.95     | -60            |
| $10^4$     | 2.5      | $t_s/4$ | $4f_s$   | 75.42        | 69.56   | 2        | 5.43     | -66.02         |
| $10^4$     | 2.5      | $t_s/6$ | $f_s$    | 73.22        | 71.96   | 2        | 4.19     | -72.04         |
| $10^4$     | 2.5      | $t_s/6$ | $2f_s$   | 75.02        | 70.85   | 0        | 2.45     | -72.04         |
| $10^4$     | 2.5      | $t_s/6$ | $4f_s$   | 73.13        | 73.49   | 1        | 3.34     | -2.5           |

**Tabla 39. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd2ms.**

**(e) Arquitectura sd4mc.**

En la tabla 40 tenemos los valores de la relación SNDR máxima, el MD, el número de valores de amplitud donde la diferencia entre SNDR en el caso ideal y cuando tenemos en cuenta los efectos de saturación o de ganancia en DC finita en el integrador es mayor o igual a 3 dB, el valor máximo de esta diferencia y la amplitud donde se produce.

| Vsat (v) | SNDR Max (dB) | MD (dB) | Nº dif 3dB | Max. Dif. | A maxdif (dB) | Ao     | SNDR Max (dB) | MD (dB) | Nº dif 3dB | Max. Dif. | A maxdif (dB) |
|----------|---------------|---------|------------|-----------|---------------|--------|---------------|---------|------------|-----------|---------------|
| Ideal    | 82.35         | 89.95   | -          | -         | -             | Ideal  | 82.35         | 89.95   | -          | -         | -             |
| 1        | 23.57         | 20.83   | 20         | 80.31     | -22.5         | 10     | 46.95         | 55.10   | 19         | 44.18     | -32.04        |
| 1.5      | 36.04         | 13.41   | 11         | 64.29     | -52.04        | $10^2$ | 63.10         | 66.31   | 18         | 25.44     | -80           |
| 2        | 74.02         | 75.97   | 3          | 49.42     | -6.02         | $10^3$ | 80.74         | 85.48   | 17         | 7.41      | -80           |
| 2.5      | 81.71         | 83.93   | 1          | 31.57     | -6.02         | $10^4$ | 84.90         | 89.38   | 0          | 1.92      | -52.04        |
| 3        | 82.35         | 89.94   | 0          | 2.71      | -2.5          | $10^6$ | 84.07         | 89.50   | 0          | 2.25      | -52.04        |

**Tabla 40. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para distintos valores de Vsat y Ao considerándolos de forma aislada para la arquitectura sd4mc.**

De forma aislada, tenemos que  $V_{sat} \leq 3$  v para no superar una diferencia de 3 dB en la SNDR respecto al caso ideal. Para el valor de la ganancia en DC del integrador tenemos  $A_o \leq 10^4$ .

En la tabla 41 podemos ver para distintos valores de los parámetros, considerando ahora todos los efectos contemplados en el modelo de la figura 7.34 de forma conjunta, la relación SNDR máxima alcanzada, el margen dinámico, el número de valores de amplitud donde la diferencia entre SNDR en el caso ideal y SNDR con un integrador no ideal es mayor o igual a 3 dB (Nº dif 3dB), el valor máximo de esta diferencia y la amplitud donde se produce.

Podemos ver los rangos donde deben moverse los parámetros para la arquitectura sd4mc. Así tenemos que  $A_o \propto 10^4$ ,  $V_{sat} \propto 3$ ,  $t \propto t_s/4$  y  $SR \propto 2f_s$ . Donde el periodo de trabajo del primer integrador es  $T_s = 4t_s$ .

| Ao         | Vsat (v) | t (s)   | SR (v/s) | SNDRmax (dB) | MD (dB) | Nºdif3dB | Max.dif. | Amax.dif. (dB) |
|------------|----------|---------|----------|--------------|---------|----------|----------|----------------|
| Caso ideal |          |         |          | 82.35        | 89.95   | -        | -        | -              |
| $10^5$     | 3        | $t_s/4$ | $f_s/2$  | 42.82        | 45.32   | 21       | 54.33    | -6.02          |
| $10^5$     | 3        | $t_s/4$ | $f_s$    | 80.26        | 83.63   | 1        | 8.58     | -6.02          |
| $10^5$     | 3        | $t_s/4$ | $2f_s$   | 82.30        | 83.59   | 0        | 1.66     | -60            |
| $10^4$     | 3        | $t_s/4$ | $f_s$    | 79.69        | 83.52   | 1        | 8.65     | -6.02          |
| $10^4$     | 3        | $t_s/4$ | $2f_s$   | 83.95        | 89.54   | 0        | 1.37     | -92.04         |
| $10^4$     | 3        | $t_s/4$ | $4f_s$   | 84.78        | 89.90   | 0        | 1.44     | -52.04         |
| $10^4$     | 3        | $t_s/6$ | $f_s$    | 81.06        | 83.66   | 1        | 8.45     | -6.02          |
| $10^4$     | 3        | $t_s/6$ | $2f_s$   | 85.79        | 89.12   | 0        | 2.17     | -60            |
| $10^4$     | 3        | $t_s/6$ | $4f_s$   | 82.03        | 82.86   | 1        | 4.79     | -2.5           |
| $10^3$     | 3        | $t_s/4$ | $f_s$    | 76.30        | 79.12   | 18       | 9.17     | -6.02          |
| $10^3$     | 3        | $t_s/4$ | $2f_s$   | 79.71        | 86.17   | 17       | 7.21     | -80            |
| $10^3$     | 3        | $t_s/4$ | $4f_s$   | 79.95        | 85.08   | 17       | 7.05     | -80            |
| $10^4$     | 3        | $t_s/2$ | $2f_s$   | 72.34        | 78.31   | 19       | 13.33    | -80            |
| $10^4$     | 3        | $t_s/2$ | $4f_s$   | 75.81        | 77.97   | 19       | 13.66    | -80            |
| $10^4$     | 3        | $t_s/2$ | $6f_s$   | 75.81        | 77.97   | 19       | 13.66    | -80            |

**Tabla 41. Relación SNDR máxima, MD, número de valores donde la diferencia entre SNDR en el caso ideal y con un integrador no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd4mc.**

#### (f) Resultados: Valores límites de los parámetros $A_o$ , $V_{sat}$ , $t$ y $SR$ .

En la tabla 42 tenemos los valores mínimos obtenidos para las tensiones de saturación del integrador ( $V_{sat}$ ) y la ganancia en DC del integrador ( $A_o$ ) cuando son considerados de forma aislada en las arquitecturas y observamos que coinciden casi exactamente con los obtenidos cuando se consideran de forma conjunta estas no idealidades junto con el ancho de banda finito ( $\tau$ ) y el slew-rate ( $SR$ ) del integrador mostrados en la tabla 43.

| Arquitectura | Vsat mínimo | Ao mínimo |
|--------------|-------------|-----------|
| SD2C         | 3 v         | $10^2$    |
| SD2C_3bit    | 2.5 v       | $10^3$    |
| SD2MM        | 2 v         | $10^2$    |
| SD2MS        | 2.5 v       | $10^4$    |
| SD4MC        | 3 v         | $10^4$    |

**Tabla 42.** Valores mínimos de los parámetros Vsat y Ao si se consideran sus efectos de forma aislada para las distintas arquitecturas.

En la tabla 43, para obtener el valor límite de cada parámetro, se ha visto cual es el valor que hace que la relación SNDR no mejore respecto al ideal aunque lo hagan el resto de los parámetros. En este caso para sd2c, al igual que en los casos con jitter y ruidos del integrador, se ha permitido que exista 1 punto donde la diferencia entre la relación SNDR en el caso ideal y SNDR con un integrador no ideal sea mayor o igual a 3 dB en la amplitud de señal de entrada de -60 dB.

| Arquitectura | $T_s$  | Ao mínimo | Vsat mínimo (v) | t máximo (s) | SR mínimo (v/s) |
|--------------|--------|-----------|-----------------|--------------|-----------------|
| SD2C         | $2t_s$ | $10^3$    | 3               | $t_s/2$      | $4f_s$          |
| SD2C_3bit    | $4t_s$ | $10^3$    | 2.5             | $t_s$        | $f_s/2$         |
| SD2MM        | $4t_s$ | $10^3$    | 2               | $t_s$        | $f_s/4$         |
| SD2MS        | $4t_s$ | $10^4$    | 2.5             | $t_s/6$      | $2f_s$          |
| SD4MC        | $4t_s$ | $10^4$    | 3               | $t_s/4$      | $2f_s$          |

**Tabla 43.** Valores límites de los parámetros de las no idealidades del integrador para las distintas arquitecturas.

La arquitectura sd2mm destaca por su robustez frente a las no idealidades del integrador ya que los valores para los parámetros que las representan son menos restrictivos que en el resto de arquitecturas.

La arquitectura sd2ms que destacaba por su robustez frente a los ruidos jitter, térmico y del amplificador operacional es la más sensible al ancho de banda finito del integrador.

#### 7.3.3.4. Efectos conjuntos de jitter, ruido del integrador y no idealidades del integrador.

Una vez vistos cada una de los efectos por separado vamos a crear un modelo en cada arquitectura que integre estos efectos. Estos modelos se presentan en las figuras 7.35, 7.36, 7.37, 7.38 y 7.39. En las siguientes tablas tenemos algunos de los resultados de las simulaciones.

Veremos si de forma conjunta, las arquitecturas pueden soportar el mismo nivel de ruido en cada una de las no idealidades.

##### (a) Arquitectura sd2c.

En la figura 7.35 se muestra el modelo Simulink® para esta arquitectura con los bloques que modelan el ruido jitter, ruido térmico y del amplificador operacional y el modelo para el integrador no ideal.

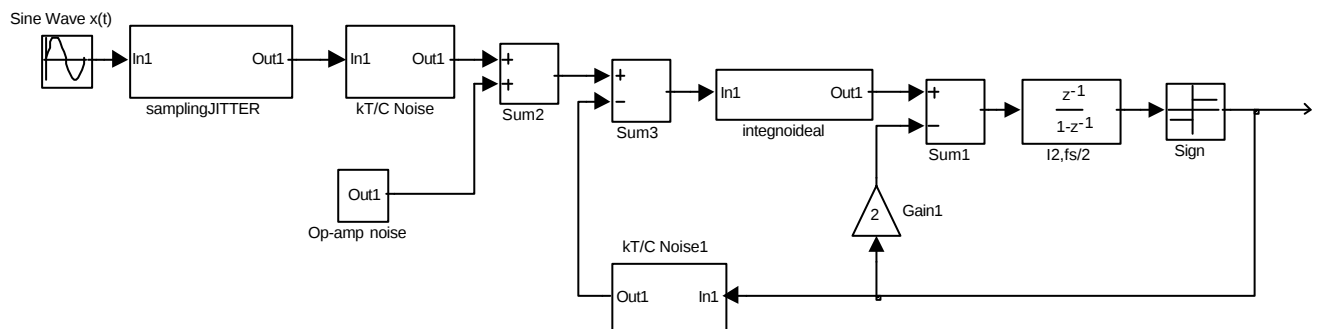


Figura 7.35. Modelo arquitectura sd2c considerando jitter, ruido y no idealidades del integrador.

Si recordamos, los valores límites de los parámetros obtenidos en los apartados anteriores eran: *delta máximo*:  $t_s/5$  seg., *C<sub>s</sub> mínimo*: 250 fF , *V<sub>n</sub> máximo*: 500 uV , *Ao mínimo*:  $10^3$  , *Vsat mínimo*: 3, *t máximo*:  $t_s/2$  y *SR mínimo*:  $4f_s$  .

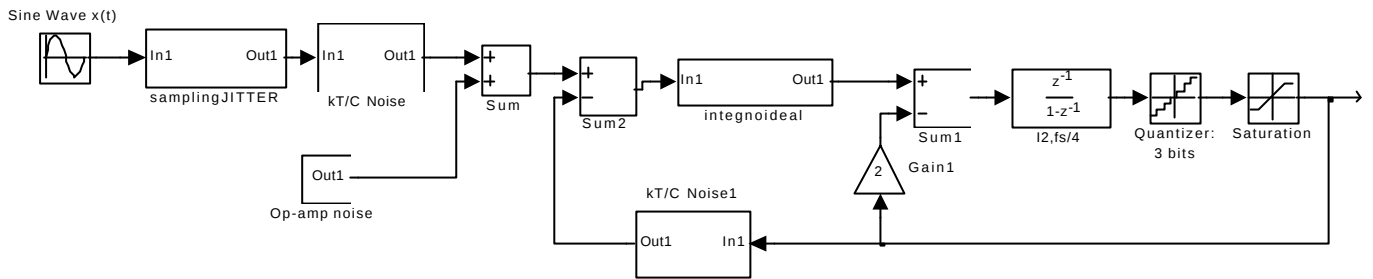
En la tabla 44 mostramos los resultados de las simulaciones para el modelo de la figura 7.35. Podemos ver que si tomamos los valores límites de los parámetros de manera que en ninguna amplitud la relación SNDR caiga 3 dB respecto a su valor ideal (Nºdif3dB =0) no tenemos prácticamente ningún valor admisible para los parámetros, sin embargo, vuelve a ocurrir que la máxima diferencia se produce para la amplitud de la señal de entrada de – 60 dB. Así, si permitimos, como lo hicimos para obtener el valor límite de los parámetros de forma aislada, que nºdif3dB sea menor o igual que 1, tenemos que el valor límite de los parámetros coincide con obtenidos de forma aislada, excepto *V<sub>n</sub>* donde el valor máximo es de 250 uV.

| delta (s)  | C <sub>s</sub> (F) | V <sub>n</sub> (v) | Ao     | Vsat (v) | t (s)   | SR (v/s) | SNDRmax (dB) | MD (dB) | Nºdif3dB | Max. Dif. | A maxdif (dB) |
|------------|--------------------|--------------------|--------|----------|---------|----------|--------------|---------|----------|-----------|---------------|
| Caso ideal |                    |                    |        |          |         |          | 71.3         | 74.24   | -        | -         | -             |
| $t_s/5$    | 100 f              | 100 u              | $10^3$ | 3        | $t_s/2$ | $4f_s$   | 71.91        | 78.63   | 0        | 2.99      | - 60          |
| $t_s/5$    | 100 f              | 250 u              | $10^3$ | 3        | $t_s/2$ | $4f_s$   | 72.60        | 79.43   | 1        | 3.51      | - 60          |
| $t_s/5$    | 100 f              | 500 u              | $10^3$ | 3        | $t_s/2$ | $4f_s$   | 71.46        | 71.88   | 5        | 6.56      | - 60          |
| $t_s/5$    | 250 f              | 100 u              | $10^3$ | 3        | $t_s/2$ | $4f_s$   | 71.79        | 82.10   | 1        | 3.51      | - 60          |
| $t_s/5$    | 250 f              | 250 u              | $10^3$ | 3        | $t_s/2$ | $4f_s$   | 71.92        | 74.23   | 1        | 5.83      | - 60          |
| $t_s/5$    | 250 f              | 500 u              | $10^3$ | 3        | $t_s/2$ | $4f_s$   | 71.83        | 73.21   | 2        | 4.15      | -26.02        |
| $t_s/5$    | 500 f              | 100 u              | $10^3$ | 3        | $t_s/2$ | $4f_s$   | 72.23        | 83.25   | 1        | 3.91      | - 60          |
| $t_s/5$    | 500 f              | 250 u              | $10^3$ | 3        | $t_s/2$ | $4f_s$   | 71.72        | 72.66   | 2        | 6.86      | - 60          |
| $t_s/5$    | 500 f              | 500 u              | $10^3$ | 3        | $t_s/2$ | $4f_s$   | 71.26        | 73.78   | 0        | 2.96      | - 66.02       |
| $t_s$      | 100 f              | 100 u              | $10^3$ | 3        | $t_s/2$ | $4f_s$   | 69.58        | 78.46   | 1        | 3.55      | - 60          |
| $t_s$      | 100 f              | 250 u              | $10^3$ | 3        | $t_s/2$ | $4f_s$   | 68.04        | 78.92   | 1        | 3.25      | -2.5          |
| $t_s$      | 100 f              | 500 u              | $10^3$ | 3        | $t_s/2$ | $4f_s$   | 68.18        | 72      | 5        | 5.53      | - 60          |
| $t_s$      | 250 f              | 100 u              | $10^3$ | 3        | $t_s/2$ | $4f_s$   | 69.47        | 81.91   | 1        | 3.1       | - 60          |
| $t_s$      | 250 f              | 250 u              | $10^3$ | 3        | $t_s/2$ | $4f_s$   | 69.38        | 74.17   | 1        | 5.78      | - 60          |
| $t_s$      | 250 f              | 500 u              | $10^3$ | 3        | $t_s/2$ | $4f_s$   | 69.03        | 73.32   | 1        | 3.43      | - 60          |
| $t_s$      | 500 f              | 100 u              | $10^3$ | 3        | $t_s/2$ | $4f_s$   | 69.07        | 82.82   | 1        | 3.43      | - 60          |
| $t_s$      | 500 f              | 250 u              | $10^3$ | 3        | $t_s/2$ | $4f_s$   | 68.83        | 73.34   | 1        | 6.09      | - 60          |
| $t_s$      | 500 f              | 500 u              | $10^3$ | 3        | $t_s/2$ | $4f_s$   | 68.80        | 74.18   | 2        | 3.49      | - 66.02       |

**Tabla 44. Relación SNDR máxima, MD y número de valores donde la diferencia entre SNDR en el caso ideal y no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd2c.**

**(b) Arquitectura sd2c\_3bit.**

En la figura 7.36 se muestra el modelo Simulink® para esta arquitectura con los bloques que modelan el ruido jitter, ruido térmico y del amplificador operacional y el modelo para el integrador no ideal.



**Figura 7.36. Modelo arquitectura sd2c\_3bit considerando jitter, ruido y no idealidades del integrador.**

Los valores límites de los parámetros obtenidos en los apartados anteriores eran: *delta* máximo:  $t_s/5$  seg.,  $C_s$  mínimo: 250 fF,  $V_n$  máximo: 100  $\mu$ v,  $A_o$  mínimo:  $10^3$ ,  $V_{sat}$  mínimo: 2.5,  $t$  máximo:  $t_s$  y  $SR$  mínimo:  $f_s/2$ .

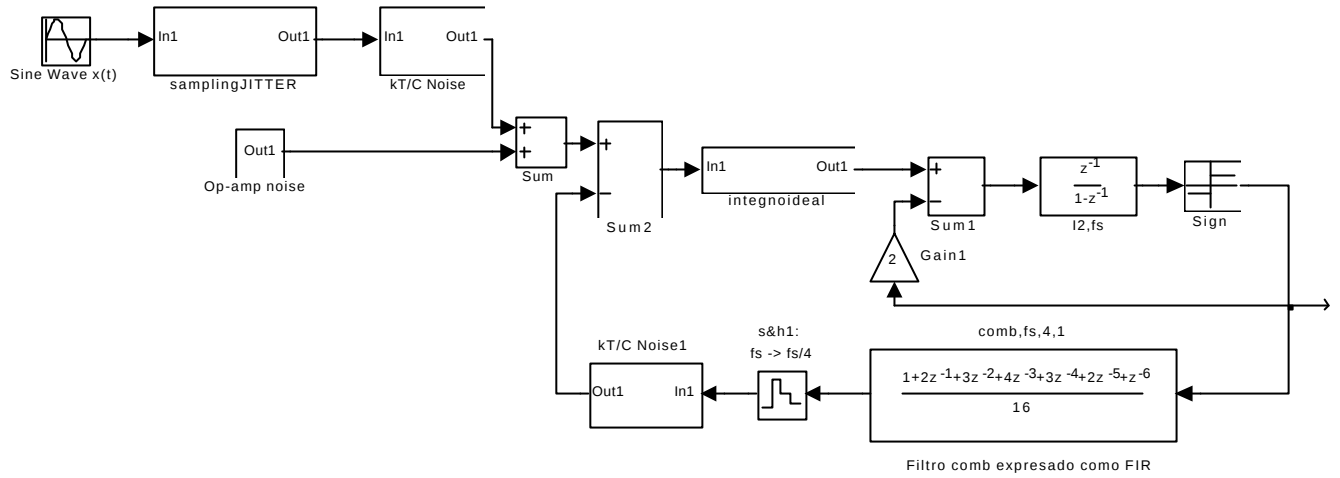
En la tabla 45 mostramos los resultados de las simulaciones para el modelo de la figura 7.36. Podemos ver que si tomamos los valores límites de los parámetros de manera que en ninguna amplitud la relación SNDR caiga 3 dB respecto a su valor ideal ( $N^{\circ}dif3dB = 0$ ) tenemos que los valores para *delta* y  $C_s$  se hacen más restrictivos que considerando cada no idealidad de forma aislada, y que esta situación no cambia si aumentamos  $V_{sat}$  y  $SR$  y disminuimos el valor de  $t$ . Así, tenemos que los valores límites son: *delta* máximo:  $t_s/10$ ,  $C_s$  mínimo: 500 fF,  $V_n$  máximo: 100  $\mu$ v,  $A_o$  mínimo:  $10^3$ ,  $V_{sat}$  mínimo: 2.5,  $t$  máximo:  $t_s$  y  $SR$  mínimo:  $f_s/2$ .

| delta<br>(s)       | C <sub>s</sub> (F) | V <sub>n</sub> (v) | A <sub>o</sub>  | V <sub>sat</sub> (v) | t (s)             | SR (v/s)          | SNDRmax<br>(dB) | MD<br>(dB) | Nºdif3dB | Max.<br>Dif. | A maxdif<br>(dB) |
|--------------------|--------------------|--------------------|-----------------|----------------------|-------------------|-------------------|-----------------|------------|----------|--------------|------------------|
| Caso ideal         |                    |                    |                 |                      |                   |                   | 80.20           | 74.39      | -        | -            | -                |
| t <sub>s</sub> /5  | 100 f              | 1 u                | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 75.36           | 79.16      | 5        | 4.84         | -2.5             |
| t <sub>s</sub> /5  | 100 f              | 100 u              | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 76.24           | 78.81      | 5        | 4.11         | -6.02            |
| t <sub>s</sub> /5  | 100 f              | 250 u              | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 75.50           | 77.23      | 6        | 5.2          | -12.04           |
| t <sub>s</sub> /5  | 250 f              | 1 u                | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 76.55           | 82.71      | 2        | 3.66         | -2.5             |
| t <sub>s</sub> /5  | 250 f              | 100 u              | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 76.37           | 82.07      | 2        | 3.84         | -2.5             |
| t <sub>s</sub> /5  | 250 f              | 250 u              | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 76.01           | 78.11      | 4        | 4.20         | -2.5             |
| t <sub>s</sub> /5  | 500 f              | 1 u                | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 77.26           | 83.22      | 2        | 3.58         | -12.04           |
| t <sub>s</sub> /5  | 500 f              | 100 u              | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 77.92           | 83.15      | 1        | 3.80         | -12.04           |
| t <sub>s</sub> /5  | 500 f              | 250 u              | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 76.10           | 73.42      | 7        | 4.93         | -12.04           |
| t <sub>s</sub> /5  | 750 f              | 1 u                | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 76.95           | 86.12      | 1        | 3.25         | -2.5             |
| t <sub>s</sub> /5  | 750 f              | 100 u              | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 77.86           | 82.78      | 0        | 2.95         | -6.02            |
| t <sub>s</sub> /5  | 750 f              | 250 u              | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 75.35           | 73.08      | 6        | 4.86         | -2.5             |
| t <sub>s</sub> /10 | 100 f              | 1 u                | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 75.69           | 79.11      | 5        | 4.65         | -6.02            |
| t <sub>s</sub> /10 | 100 f              | 100 u              | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 75.75           | 78.74      | 4        | 4.45         | -2.5             |
| t <sub>s</sub> /10 | 250 f              | 1 u                | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 76.46           | 82.80      | 3        | 3.74         | -2.5             |
| t <sub>s</sub> /10 | 250 f              | 100 u              | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 76.94           | 81.93      | 2        | 3.97         | -12.04           |
| t <sub>s</sub> /10 | 500 f              | 1 u                | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 77.35           | 83.93      | 1        | 3.02         | -12.04           |
| t <sub>s</sub> /10 | 500 f              | 100 u              | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 77.65           | 83.10      | 0        | 2.93         | -6.02            |
| t <sub>s</sub> /10 | 500 f              | 250 u              | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 76.39           | 73.50      | 6        | 3.82         | -2.5             |
| t <sub>s</sub> /10 | 750 f              | 1 u                | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 76.10           | 85.40      | 1        | 4.10         | -2.5             |
| t <sub>s</sub> /10 | 750 f              | 100 u              | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub> /2 | 77.79           | 82.750     | 0        | 2.41         | -2.5             |
| t <sub>s</sub> /5  | 250 f              | 1 u                | 10 <sup>3</sup> | 3                    | t <sub>s</sub>    | f <sub>s</sub> /2 | 76.55           | 82.71      | 2        | 3.66         | -2.5             |
| t <sub>s</sub> /5  | 250 f              | 100 u              | 10 <sup>3</sup> | 3                    | t <sub>s</sub>    | f <sub>s</sub> /2 | 76.37           | 82.07      | 2        | 3.84         | -2.5             |
| t <sub>s</sub> /5  | 250 f              | 1 u                | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub> /2 | f <sub>s</sub> /2 | 76.45           | 82.71      | 3        | 3.75         | -2.5             |
| t <sub>s</sub> /5  | 250 f              | 100 u              | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub> /2 | f <sub>s</sub> /2 | 76.07           | 82.07      | 2        | 4.13         | -2.5             |
| t <sub>s</sub> /5  | 250 f              | 1 u                | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub>    | 76.45           | 82.71      | 3        | 3.75         | -2.5             |
| t <sub>s</sub> /5  | 250 f              | 100 u              | 10 <sup>3</sup> | 2.5                  | t <sub>s</sub>    | f <sub>s</sub>    | 76.07           | 82.07      | 2        | 4.13         | -2.5             |

**Tabla 45. Relación SNDR máxima, MD y número de valores donde la diferencia entre SNDR en el caso ideal y no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd2c\_3bit.**

### (c) Arquitectura sd2mm.

En la figura 7.37 se muestra el modelo Simulink® para esta arquitectura con los bloques que modelan el ruido jitter, ruido térmico y del amplificador operacional y el modelo para el integrador no ideal.



**Figura 7.37. Modelo arquitectura sd2mm considerando jitter, ruido y no idealidades del integrador.**

Los valores límites de los parámetros obtenidos en los apartados anteriores eran:  $\Delta$  máximo:  $t_s/5$  seg.,  $C_s$  mínimo:  $5 \text{ pF}$ ,  $V_n$  máximo:  $100 \text{ uV}$ ,  $A_o$  mínimo:  $10^3$ ,  $V_{sat}$  mínimo:  $2$ ,  $t$  máximo:  $t_s$  y  $SR$  mínimo:  $f_s/4$ .

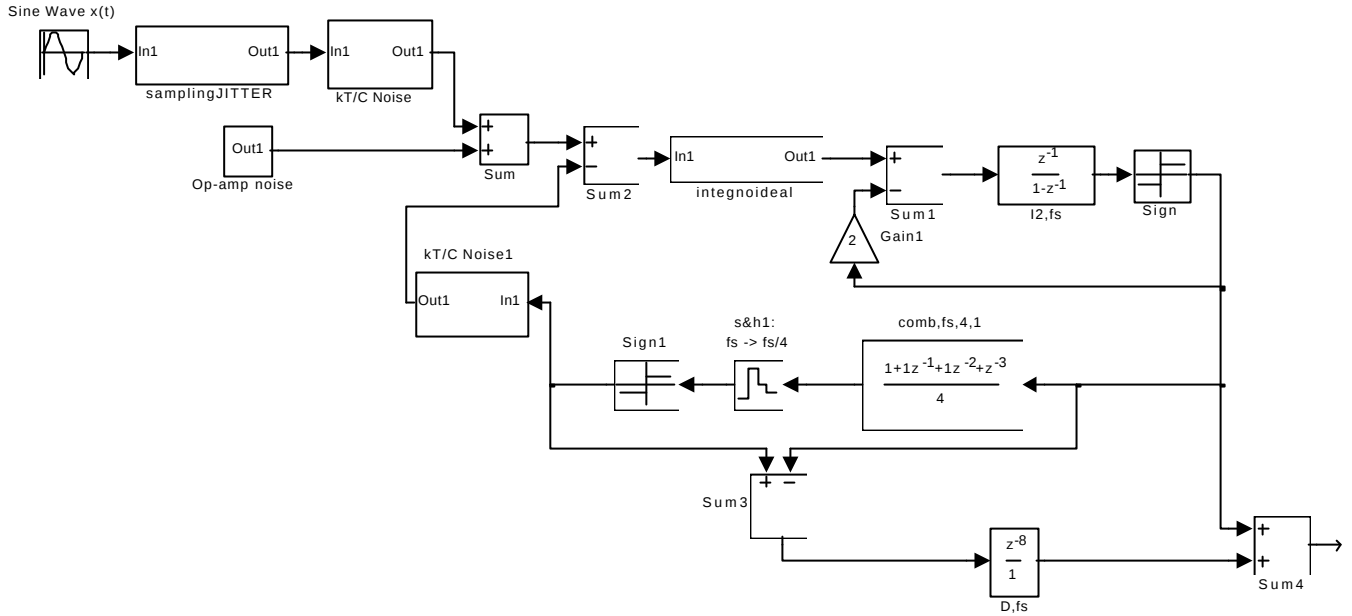
En la tabla 46 mostramos los resultados de las simulaciones para el modelo de la figura 7.37. Podemos ver que si tomamos los valores límites de los parámetros de manera que en ninguna amplitud la relación SNDR caiga 3 dB respecto a su valor ideal ( $N^{\circ} \text{dif3dB} = 0$ ) tenemos que los valores se mantienen iguales que considerando cada no idealidad aislada.

| delta<br>(s)       | C <sub>s</sub> (F) | V <sub>n</sub> (v) | A <sub>o</sub>  | V <sub>sat</sub> (v) | t (s)          | SR (v/s)          | SNDRmax<br>(dB) | MD<br>(dB) | Nºdif3dB | Max.<br>Dif. | A maxdif<br>(dB) |
|--------------------|--------------------|--------------------|-----------------|----------------------|----------------|-------------------|-----------------|------------|----------|--------------|------------------|
| Caso ideal         |                    |                    |                 |                      |                |                   | 78.32           | 85.10      | -        | -            | -                |
| t <sub>s</sub> /5  | 500 f              | 1 u                | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 75.91           | 83.01      | 2        | 4.48         | -72.04           |
| t <sub>s</sub> /5  | 500 f              | 100 u              | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 76.05           | 82.47      | 2        | 4.29         | -80              |
| t <sub>s</sub> /5  | 500 f              | 250 u              | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 75.37           | 79.14      | 7        | 7.46         | -86.02           |
| t <sub>s</sub> /5  | 1 p                | 1 u                | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 76.13           | 84.31      | 1        | 4.05         | -72.04           |
| t <sub>s</sub> /5  | 1 p                | 100 u              | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 76.61           | 82.76      | 1        | 3.05         | -80              |
| t <sub>s</sub> /5  | 1 p                | 250 u              | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 75.52           | 79.16      | 7        | 7.14         | -80              |
| t <sub>s</sub> /5  | 5 p                | 1 u                | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 77.56           | 85.16      | 0        | 2.56         | -52.04           |
| t <sub>s</sub> /5  | 5 p                | 100 u              | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 77.19           | 84.64      | 0        | 2.94         | -80              |
| t <sub>s</sub> /5  | 5 p                | 250 u              | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 75.45           | 80.08      | 6        | 6.36         | -86.02           |
| t <sub>s</sub> /5  | 10 p               | 1 u                | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 75.97           | 85.19      | 0        | 2.36         | -2.5             |
| t <sub>s</sub> /5  | 10 p               | 100 u              | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 77.42           | 84.31      | 0        | 2.74         | -42.5            |
| t <sub>s</sub> /5  | 10 p               | 250 u              | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 75.37           | 79.82      | 6        | 6.46         | -80              |
| t <sub>s</sub> /10 | 500 f              | 1 u                | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 77.60           | 83.95      | 2        | 5.15         | -72.04           |
| t <sub>s</sub> /10 | 500 f              | 100 u              | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 76.74           | 82.05      | 2        | 4.57         | -80              |
| t <sub>s</sub> /10 | 500 f              | 250 u              | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 76.34           | 78.90      | 7        | 7.28         | -80              |
| t <sub>s</sub> /10 | 1 p                | 1 u                | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 78.03           | 84.71      | 1        | 4.60         | -72.04           |
| t <sub>s</sub> /10 | 1 p                | 100 u              | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 77.14           | 83         | 1        | 3.65         | -80              |
| t <sub>s</sub> /10 | 1 p                | 250 u              | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 77.45           | 78.96      | 7        | 7.42         | -80              |
| t <sub>s</sub> /10 | 5 p                | 1 u                | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 78.26           | 85.86      | 0        | 2.62         | -52.04           |
| t <sub>s</sub> /10 | 5 p                | 100 u              | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 77.13           | 84.62      | 1        | 3.06         | -80              |
| t <sub>s</sub> /10 | 5 p                | 250 u              | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 75.72           | 79.81      | 6        | 6.60         | -80              |
| t <sub>s</sub> /10 | 10 p               | 1 u                | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 77.62           | 86.12      | 0        | 2.68         | -42.5            |
| t <sub>s</sub> /10 | 10 p               | 100 u              | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 77.51           | 83.97      | 0        | 2.82         | -52.04           |
| t <sub>s</sub> /10 | 10 p               | 250 u              | 10 <sup>3</sup> | 2                    | t <sub>s</sub> | f <sub>s</sub> /4 | 75.40           | 79.38      | 7        | 6.89         | -80              |

**Tabla 46. Relación SNDR máxima, MD y número de valores donde la diferencia entre SNDR en el caso ideal y no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd2mm.**

#### **(d) Arquitectura sd2ms.**

En la figura 7.38 se muestra el modelo Simulink® para esta arquitectura con los bloques que modelan el ruido jitter, ruido térmico y del amplificador operacional y el modelo para el integrador no ideal.



**Figura 7.38. Modelo arquitectura sd2ms considerando jitter, ruido y no idealidades del integrador.**

Los valores límites de los parámetros obtenidos en los apartados anteriores eran:  $\delta$  máximo:  $t_s/2$  seg.,  $C_s$  mínimo:  $100 \text{ fF}$ ,  $V_n$  máximo:  $250 \text{ uV}$ ,  $A_o$  mínimo:  $10^4$ ,  $V_{sat}$  mínimo:  $2.5$ ,  $t$  máximo:  $t_s/6$  y  $SR$  mínimo:  $2f_s$ .

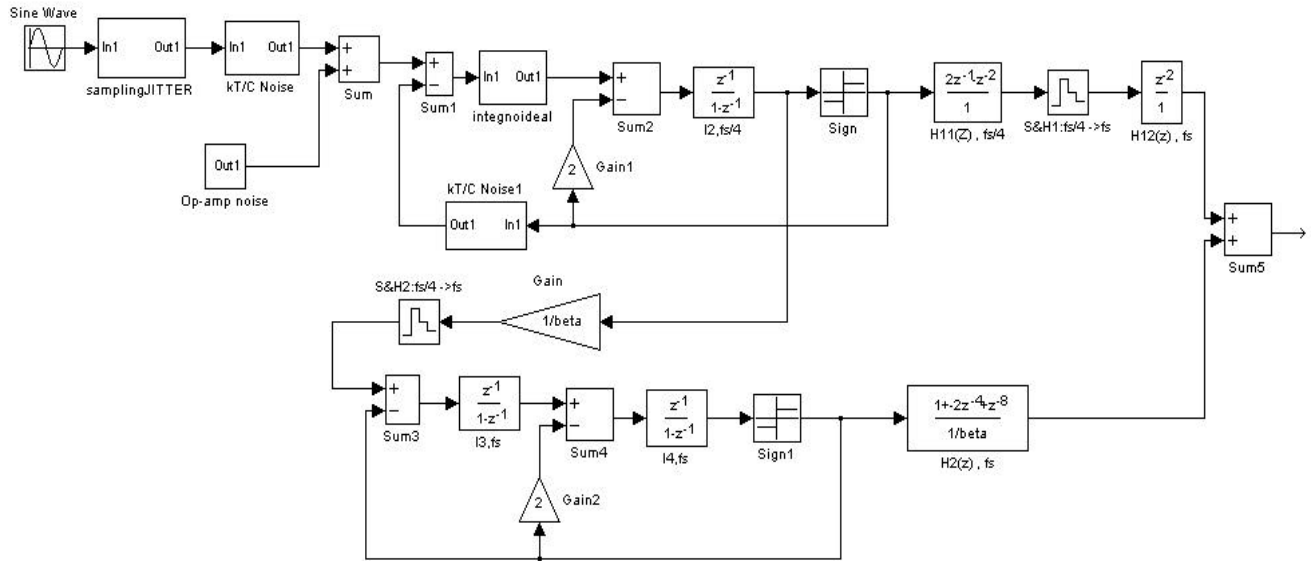
En la tabla 47 mostramos los resultados de las simulaciones para el modelo de la figura 7.38. Podemos ver que si tomamos los valores límites de los parámetros de manera que en ninguna amplitud la relación SNDR caiga 3 dB respecto a su valor ideal ( $N^{\circ} \text{dif3dB} = 0$ ) tenemos que los valores se mantienen iguales que considerando cada no idealidad aislada excepto  $\delta$  máximo que disminuye a  $t_s/5$ .

| delta<br>(s)      | C <sub>s</sub> (F) | V <sub>n</sub> (v) | A <sub>o</sub>  | V <sub>sat</sub> (v) | t (s)             | SR (v/s)        | SNDR <sub>max</sub><br>(dB) | MD<br>(dB) | Nºdif3dB | Max.<br>Dif. | A maxdif<br>(dB) |
|-------------------|--------------------|--------------------|-----------------|----------------------|-------------------|-----------------|-----------------------------|------------|----------|--------------|------------------|
| Caso ideal        |                    |                    |                 |                      |                   |                 | 74.89                       | 72.77      | -        | -            | -                |
| t <sub>s</sub> /2 | 1 f                | 100 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /6 | 2f <sub>s</sub> | 62.93                       | 62.91      | 18       | 15.77        | -22.5            |
| t <sub>s</sub> /2 | 1 f                | 250 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /6 | 2f <sub>s</sub> | 63.08                       | 62.86      | 18       | 15.75        | -22.5            |
| t <sub>s</sub> /2 | 1 f                | 500 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /6 | 2f <sub>s</sub> | 63.28                       | 62.85      | 18       | 15.84        | -22.5            |
| t <sub>s</sub> /2 | 100 f              | 100 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /6 | 2f <sub>s</sub> | 72.41                       | 78.62      | 2        | 3.13         | -12.04           |
| t <sub>s</sub> /2 | 100 f              | 250 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /6 | 2f <sub>s</sub> | 71.90                       | 77.00      | 2        | 4.88         | 0                |
| t <sub>s</sub> /2 | 100 f              | 500 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /6 | 2f <sub>s</sub> | 70.61                       | 69.27      | 13       | 6.16         | -66.02           |
| t <sub>s</sub> /2 | 250 f              | 100 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /6 | 2f <sub>s</sub> | 73.02                       | 80.17      | 2        | 3.58         | 0                |
| t <sub>s</sub> /2 | 250 f              | 250 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /6 | 2f <sub>s</sub> | 72.42                       | 72.10      | 4        | 4.33         | -60              |
| t <sub>s</sub> /2 | 250 f              | 500 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /6 | 2f <sub>s</sub> | 70.62                       | 71.19      | 11       | 5.95         | -2.5             |
| t <sub>s</sub> /5 | 1 f                | 100 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /6 | 2f <sub>s</sub> | 63.64                       | 62.89      | 18       | 15.87        | -22.5            |
| t <sub>s</sub> /5 | 1 f                | 250 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /6 | 2f <sub>s</sub> | 63.59                       | 62.86      | 18       | 15.72        | -22.5            |
| t <sub>s</sub> /5 | 1 f                | 500 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /6 | 2f <sub>s</sub> | 63.34                       | 62.72      | 18       | 15.70        | -22.5            |
| t <sub>s</sub> /5 | 100 f              | 100 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /6 | 2f <sub>s</sub> | 73.34                       | 80.73      | 1        | 3.26         | -2.5             |
| t <sub>s</sub> /5 | 100 f              | 250 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /6 | 2f <sub>s</sub> | 72.68                       | 79.10      | 0        | 2.71         | -2.5             |
| t <sub>s</sub> /5 | 100 f              | 500 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /6 | 2f <sub>s</sub> | 72.11                       | 69.09      | 11       | 5.91         | -66.02           |
| t <sub>s</sub> /5 | 250 f              | 100 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /6 | 2f <sub>s</sub> | 72.64                       | 79.20      | 1        | 3.23         | 0                |
| t <sub>s</sub> /5 | 250 f              | 250 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /6 | 2f <sub>s</sub> | 73.94                       | 71.71      | 0        | 2.13         | -62.5            |
| t <sub>s</sub> /5 | 250 f              | 500 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /6 | 2f <sub>s</sub> | 72.09                       | 70.02      | 6        | 3.93         | -22.5            |
| t <sub>s</sub> /2 | 100 f              | 100 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /4 | 2f <sub>s</sub> | 71.91                       | 78.62      | 0        | 2.99         | -2.5             |
| t <sub>s</sub> /2 | 100 f              | 250 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /4 | 2f <sub>s</sub> | 71.84                       | 76.27      | 3        | 3.81         | -6.02            |
| t <sub>s</sub> /2 | 100 f              | 500 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /4 | 2f <sub>s</sub> | 70.64                       | 70.91      | 14       | 6.36         | -66.02           |
| t <sub>s</sub> /2 | 100 f              | 100 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /4 | 4f <sub>s</sub> | 71.91                       | 78.62      | 0        | 2.99         | -2.5             |
| t <sub>s</sub> /2 | 100 f              | 250 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /4 | 4f <sub>s</sub> | 71.84                       | 76.27      | 3        | 3.81         | -6.02            |
| t <sub>s</sub> /2 | 100 f              | 500 u              | 10 <sup>4</sup> | 2.5                  | t <sub>s</sub> /4 | 4f <sub>s</sub> | 70.64                       | 70.91      | 14       | 6.36         | -66.02           |

**Tabla 47. Relación SNDR máxima, MD y número de valores donde la diferencia entre SNDR en el caso ideal y no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd2ms.**

#### **(e) Arquitectura sd4mc.**

En la figura 7.39 se muestra el modelo Simulink® para esta arquitectura con los bloques que modelan el ruido jitter, ruido térmico y del amplificador operacional y el modelo para el integrador no ideal.



**Figura 7.39. Modelo arquitectura sd4mc considerando jitter, ruido y no idealidades del integrador.**

Los valores límites de los parámetros obtenidos en los apartados anteriores eran:  $\delta$  máximo:  $t_s/10$  seg.,  $C_s$  mínimo: 10 pF,  $V_n$  máximo: 1  $\mu$ V,  $A_o$  mínimo:  $10^4$ ,  $V_{sat}$  mínimo: 3,  $t$  máximo:  $t_s/4$  y  $SR$  mínimo:  $2f_s$ .

En la tabla 48 mostramos los resultados de las simulaciones para el modelo de la figura 7.39. Podemos ver que si tomamos los valores límites de los parámetros de manera que en ninguna amplitud la relación SNDR caiga 3 dB respecto a su valor ideal ( $N^{\circ}dif3dB = 0$ ) tenemos que los valores se mantienen iguales que considerando cada no idealidad aislada.

| $\delta$ (s) | $C_s$ (F) | $V_n$ (v) | $A_o$  | $V_{sat}$ (v) | $t$ (s) | $SR$ (v/s) | SNDRmax (dB) | MD (dB) | $N^{\circ}dif3dB$ | Max. Dif. | A maxdif (dB) |
|--------------|-----------|-----------|--------|---------------|---------|------------|--------------|---------|-------------------|-----------|---------------|
| Caso ideal   |           |           |        |               |         |            | 82.35        | 89.95   | -                 | -         | -             |
| $t_s/10$     | 5 p       | 1 u       | $10^4$ | 3             | $t_s/4$ | $2f_s$     | 81.35        | 87.03   | 3                 | 3.45      | -92.04        |
| $t_s/10$     | 10 p      | 1 u       | $10^4$ | 3             | $t_s/4$ | $2f_s$     | 81.55        | 87.84   | 0                 | 2.71      | -92.04        |
| $t_s/10$     | 15 p      | 1 u       | $10^4$ | 3             | $t_s/4$ | $2f_s$     | 81.46        | 87.85   | 1                 | 3.43      | -92.04        |
| $t_s/50$     | 5 p       | 1 u       | $10^4$ | 3             | $t_s/4$ | $2f_s$     | 80.53        | 80.81   | 3                 | 3.77      | -92.04        |
| $t_s/50$     | 10 p      | 1 u       | $10^4$ | 3             | $t_s/4$ | $2f_s$     | 84.09        | 87.73   | 0                 | 2.96      | -92.04        |
| $t_s/50$     | 15 p      | 1 u       | $10^4$ | 3             | $t_s/4$ | $2f_s$     | 84.07        | 88.02   | 0                 | 2.77      | -60           |

**Tabla 48. Relación SNDR máxima, MD y número de valores donde la diferencia entre SNDR en el caso ideal y no ideal es mayor o igual que 3 dB, valor máximo de esta diferencia y amplitud donde se produce para la arquitectura sd4mc.**

**(f) Resultados: Valores límites de los parámetros.**

Resumamos en las siguientes tablas las conclusiones comentadas en los puntos anteriores. En la tabla 49 se muestran los valores límites de los parámetros obtenidos de manera que en ningún punto la relación SNDR en el caso no ideal caiga 3 dB respecto a su valor en el caso ideal. Si relajamos esta condición y permitimos que en 1 punto la diferencia supere los 3 dB tenemos que delta máximo es  $t_s/5$  para sd2c\_3bit y  $C_s$  mínimo es  $1\text{ pF}$  para sd2mm.

| Arquitectura | $T_s$  | delta máx (s) | $C_s$ mín (F) | $V_n$ máx (v) | $A_o$ mín | $V_{sat}$ mín (v) | $t$ máx (s) | SR mín (v/s) |
|--------------|--------|---------------|---------------|---------------|-----------|-------------------|-------------|--------------|
| SD2C         | $2t_s$ | $t_s/5$       | 250 f         | 250 u         | $10^3$    | 3                 | $t_s/2$     | $4f_s$       |
| SD2C_3bit    | $4t_s$ | $t_s/10$      | 500 f         | 100 u         | $10^3$    | 2.5               | $t_s$       | $f_s/2$      |
| SD2MM        | $4t_s$ | $t_s/5$       | 5 p           | 100 u         | $10^3$    | 2                 | $t_s$       | $f_s/4$      |
| SD2MS        | $4t_s$ | $t_s/5$       | 100 f         | 250 u         | $10^4$    | 2.5               | $t_s/6$     | $2f_s$       |
| SD4MC        | $4t_s$ | $t_s/10$      | 10 p          | 1 u           | $10^4$    | 3                 | $t_s/4$     | $2f_s$       |

**Tabla 49. Valores límites para los parámetros que representan las no idealidades.**

La arquitectura sd2c es robusta frente a las no idealidades aunque es la que requiere un valor mayor para SR.

La arquitectura sd2c\_3bit es muy robusta frente a las no idealidades, sin embargo tiene el inconveniente de requerir en su diseño ADC y DAC multibit.

La arquitectura sd2mm destaca por su robustez frente a las no idealidades del integrador ya que los valores para los parámetros que las representan son menos restrictivos que en el resto de arquitecturas, aunque requiere un valor alto para  $C_s$ .

La arquitectura sd2ms que destacaba por su robustez frente a los ruidos jitter, térmico y del amplificador operacional es la más sensible al ancho de banda finito del integrador.

La arquitectura sd4mc es más sensible a los ruidos del integrador ( $C_s$  y  $V_n$ ), aunque los valores son muy próximos a las arquitecturas de segundo orden

lo que nos muestra que una estructura en cascada conserva la robustez frente a las no idealidades.

En todas las arquitecturas los resultados obtenidos al considerar todos los efectos de forma conjunta son iguales o muy próximos a los obtenidos considerando cada no idealidad de forma aislada. Y próximos a los que obtuvimos con fórmulas teóricas aproximadas.

A la vista de los resultados no podemos concluir que alguna de las arquitecturas destaque sensiblemente frente al resto por su robustez frente a todas las no idealidades. Además a la hora de elegir una arquitectura, debe tenerse en cuenta las ventajas e inconvenientes que plantea el diseño de cada una de ellas.

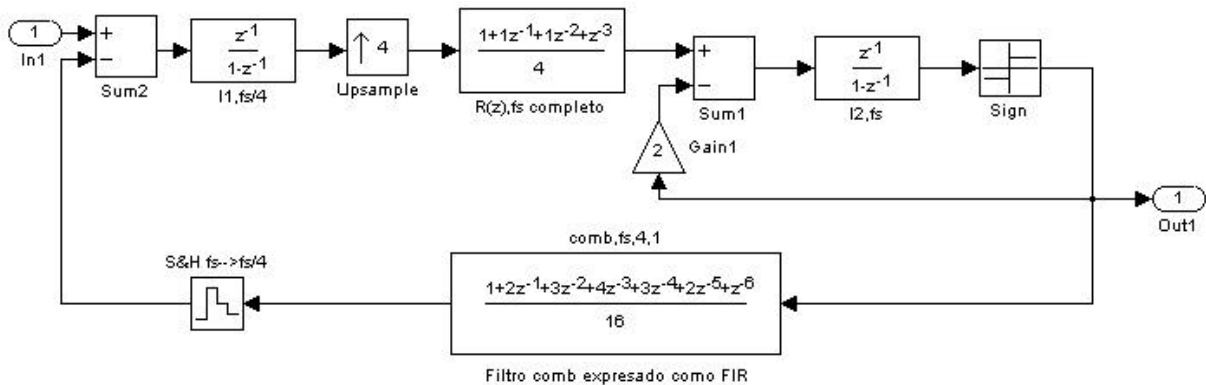
Es importante señalar que estos resultados siguen siendo válidos si escalamos las frecuencias de señal ( $f_p$ ) y de sobremuestreo ( $f_s$ ).

## 8.- Apéndice A: Realización electrónica de moduladores SD multitasa.

### 8.1.- Introducción.

En este apéndice se describen algunos detalles de la realización electrónica de los moduladores SD multitasa usando la técnica de condensadores conmutados (SC). En particular, discutiremos la realización de la interfaz entre la circuitería analógica de baja y alta frecuencia. Si bien la discusión se centrará en el modulador SD multitasa y multibit (SD2MM) de segundo orden en el que el primer integrador trabaja a una frecuencia cuatro veces menor que la del segundo, las conclusiones se podrán extender a las arquitecturas en cascada y multitasa-singlebit.

En la Figura 8.1 se representa el modulador SD2MM. La función de transferencia  $R(z)$  representa un S&H de orden cero (la salida del primer integrador se mantiene constante durante cuatro ciclos de reloj del segundo, trabajando este a la frecuencia  $f_s$ ). La diferencia principal que distingue la parte analógica de las arquitecturas multitasa y de las arquitecturas convencionales (todo el modulador trabajando a la misma frecuencia) radica en la realización analógica del “upsampler” y el S&H.



**Figura 8.1. Arquitectura del modulador SD2MM de segundo orden. El primer integrador trabaja a una frecuencia 4 veces menor que el segundo.**

## 8.2.- Realización completa del S&H.

La solución inmediata de la realización del S&H es la inclusión de cuatro condensadores de muestreo en el camino directo (feedforward) del segundo integrador tal y como se ilustra en la Figura 8.2. De la salida del primer integrador se hace un muestreo en cuatro condensadores diferentes ( $C_n$ ;  $n=0,1,2$  y 3) utilizando la fase  $\phi_s$ . Sin embargo la carga de estos condensadores se transfiere al condensador de integración  $C_2$  en cuatro ciclos consecutivos de reloj rápido con el uso respectivo de los relojes de fase  $\phi_{I0}$ ,  $\phi_{I1}$ ,  $\phi_{I2}$  y  $\phi_{I3}$ , realizando de esta manera la operación de mantenimiento. La salida del modulador  $y(n)$  se realimenta al segundo integrador y se hace el muestreo y la integración en todos los ciclos del reloj rápido usando los relojes de fase  $\phi_{sf}$  y  $\phi_I$ , respectivamente.

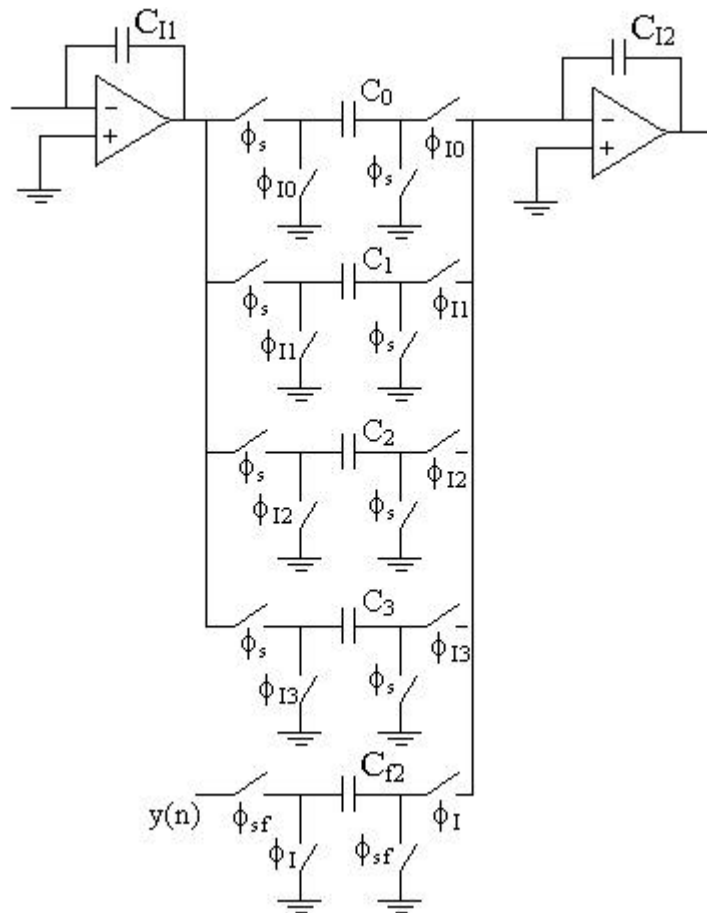


Figura 8.2. Detalle de los integradores y el S&H completo.

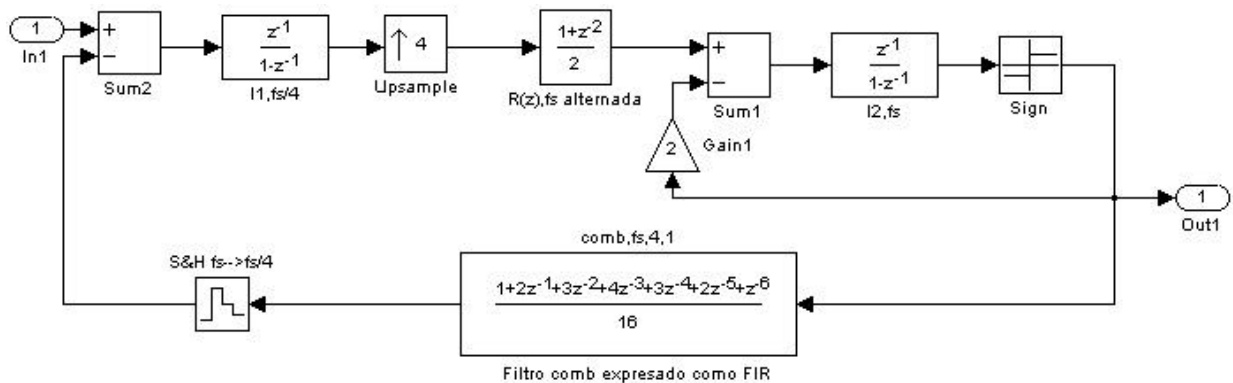
Se puede implementar la funcionalidad de la arquitectura de la Figura 8.2 usando sólo dos condensadores en el camino directo (feedforward) del segundo integrador. Nótese que la salida del primer integrador permanece constante durante su fase de muestreo, aproximadamente dos ciclos de reloj rápido. No obstante, como se demostrará en los siguientes apartados no es necesario acumular la carga de los cuatro condensadores para preservar las prestaciones del modulador. Se puede prescindir de los condensadores  $C_1$  y  $C_3$  y acumular sólo la carga de  $C_0$  y  $C_2$  utilizando un único condensador.

### 8.3.- Acumulación alternada de la carga.

Como se ha apuntado al final del apartado anterior es posible acumular la carga de los condensadores  $C_0$  y  $C_2$  prescindiendo de  $C_1$  y  $C_3$ . Ahora la función de transferencia  $R(z)$  del S&H de la Figura 8.1 se sustituye por

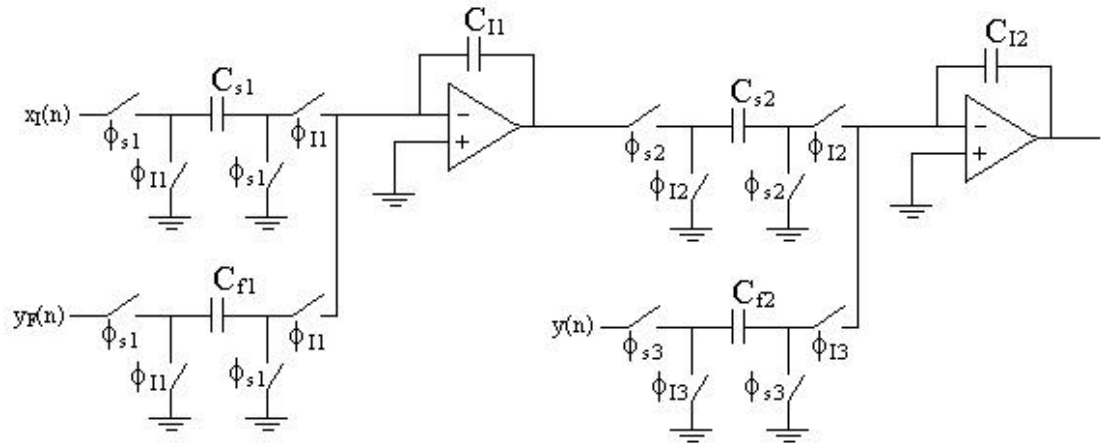
$$R(z) = \frac{1 + z^{-2}}{2} \quad (8.3.1)$$

representándose de esta manera la alternancia en la acumulación de la salida del primer integrador en el segundo. La nueva descripción funcional de la arquitectura se ilustra en la Figura 8.3.



**Figura 8.3. Arquitectura funcional del modulador SD2MM con acumulación alterna de la salida del primer integrador en el segundo.**

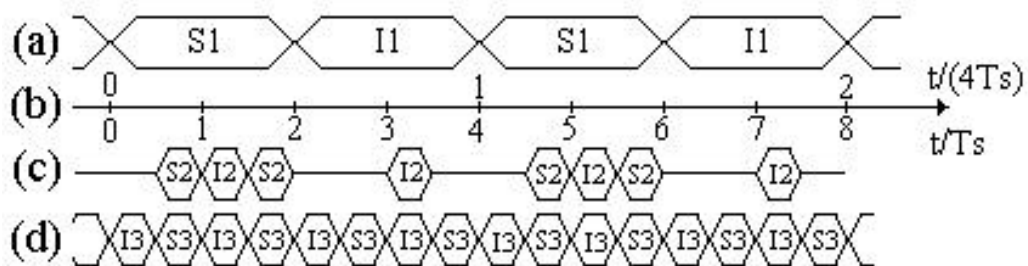
La descripción SC de la arquitectura de la Figura 8.3 se representa en la Figura 8.4. En este caso se sustituye el conjunto de condensadores  $\{C_j; j=0,1,2,3\}$  por un único condensador  $C_{s2}$  cuyos procesos de carga y descarga se controlan con los relojes de fase  $\phi_{s2}$  y  $\phi_{I2}$ , respectivamente. Un cronograma donde se representan las distintas fases de funcionamiento se encuentra en la Figura 8.5.



**Figura 8.4. Circuitería analógica del modulador SD multifrecuencia. El primer integrador trabaja a una frecuencia 4 veces menor que el segundo.**

La gráfica de la Figura 8.5.(b) representa los intervalos de tiempo correspondientes a los dos relojes del sistema. Los índices temporales superiores e inferiores se corresponden con los intervalos de los relojes lento y rápido, respectivamente. El primer integrador funciona como en un modulador convencional, alternándose sincronizadamente con el reloj lento las fases de muestreo e integración (S1-I1-S1...). El bucle de realimentación del segundo integrador, realizado con  $C_{f2}$  y  $C_{I2}$ , funciona también como en un modulador convencional, pero en este caso la alternancia de las fases de muestreo e integración (I3-S3-I3...) están sincronizadas con el reloj rápido. La peculiaridad del modulador multitasa reside en los procesos relacionados con el condensador  $C_{s2}$ .

Durante el intervalo de muestreo del primer integrador (fase S1), su salida está establecida y permanece constante. Este intervalo se divide en cuatro subintervalos de duración un semiperiodo de reloj rápido. Enumerados desde cero a tres, en el primer subintervalo se carga  $C_{s2}$  con la tensión del integrador (fase S2). Nótese que la salida del primer integrador dispone de un cuarto de reloj lento, antes del instante de muestreo (transición S2-I2), para recuperarse de cualquier perturbación producida por la transición I1-S1. En el segundo subintervalo se transfiere la carga a la salida del segundo integrador (fase I2), implementando el sumando unidad de  $R(z)$  en la ecuación (8.3.1). En el tercer subintervalo se vuelve a cargar  $C_{s2}$ , pero esta vez no se integra hasta transcurrido un periodo del reloj rápido (fase I2), implementándose de esta manera el sumando  $z^{-2}$  de  $R(z)$  en la ecuación (8.3.1). Nótese que ambas operaciones de muestreo se han realizado estando la salida del primer integrador establecida con un valor constante, no importando por ello las fluctuaciones (jitter) del reloj rápido, reloj con el que se generan  $\phi_{s2}$  y  $\phi_{I2}$ .



**Figura 8.5. Fases de muestreo e integración del modulador.** S1: muestreo de ambos condensadores del primer integrador ( $f_{s1}$ ); I1: integración del primer integrador ( $f_{I1}$ ); S2: muestreo de  $C_{s2}$  ( $f_{s2}$ ); S3: muestreo de  $C_{f2}$  ( $f_{s3}$ ); I2: integración del segundo integrador ( $f_{I2}$ ); I3: integración del segundo integrador ( $f_{I3}$ ).

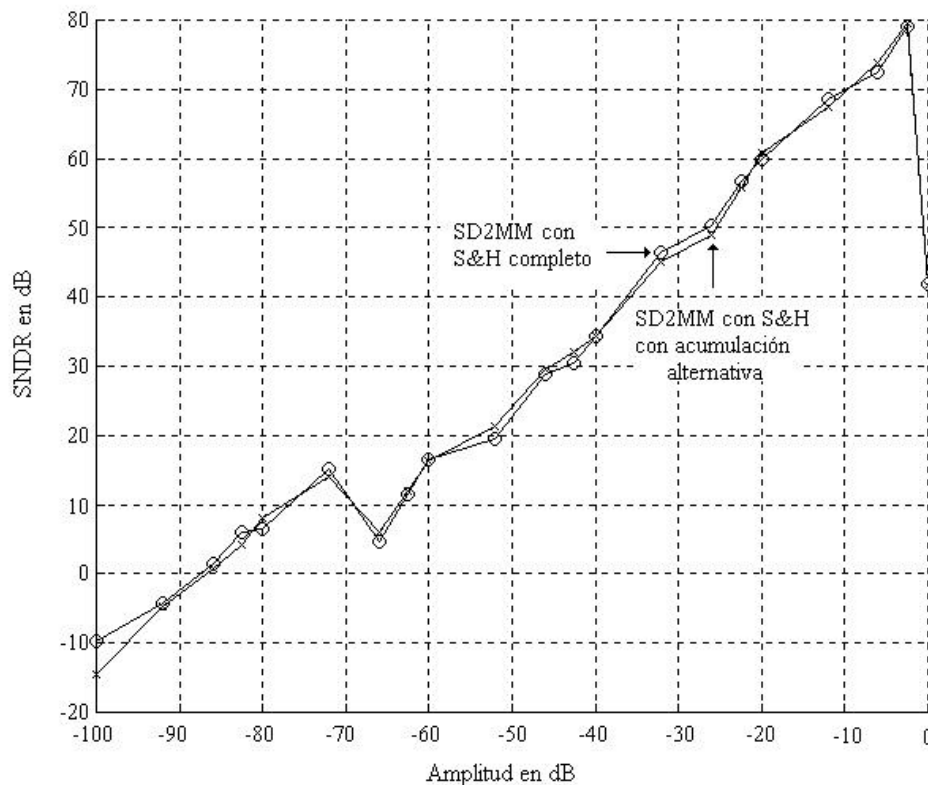
El comparador que sigue al segundo integrador y que no se muestra en la Figura 8.4 dispone de un semiperiodo de reloj rápido (fase S3) para generar la salida, estando la tensión de salida del segundo integrador estabilizada. Durante la siguiente fase de integración (I3) el DAC del bucle interno (un solo bit) puede realizar la conversión para que su salida  $y(n)$  esté estabilizada en una nueva fase

S3. El DAC del bucle externo (multibit), dispone casi de un semiperiodo de reloj lento para estabilizarse. La función de transferencia  $H(z)$  es sencilla de implementar y con un diseño cuidadoso el retardo que su procesamiento requiere puede ser mínimo.

## 8.4.- Resultados de simulación.

### 8.4.1.- El modulador SD multitasa y multibit.

En la Figura 8.6 se representan los resultados de simulación obtenidos para un factor de diezmado, respecto de la frecuencia alta, de 128. Las curvas con círculos y cruces se corresponden con las arquitecturas de la Figura 8.1 y la Figura 8.3, respectivamente. Como se observa, la técnica de acumular alternativamente la salida del primer integrador en el segundo preserva totalmente las prestaciones respecto de la arquitectura original y el margen dinámico se conserva.



**Figura 8.6. SNDR vs. Amplitud del SD2MM. Línea con círculos S&H completo:  $R(z) = (1+z^{-1}+z^{-2}+z^{-3})/4$  y línea con cruces S&H con acumulación alternada de carga:  $R(z)=(1+z^{-2})/2$ .**

### 8.4.2.- El modulador SD multitasa en cascada.

En la Figura 8.7 y Figura 8.8 se representan las arquitecturas del modulador SD multitasa en cascada con S&H completo y de S&H de acumulación alternativa de carga, respectivamente. Los resultados se han obtenido con factores de sobremuestreo de 16 y 64 respecto de las frecuencias baja y alta. Esta arquitectura es equivalente a un SD 2-2 convencional con factor de sobremuestreo de 32. En la Figura 8.9 se representa los resultados obtenidos y se comprueba que ambas arquitecturas son equivalentes.

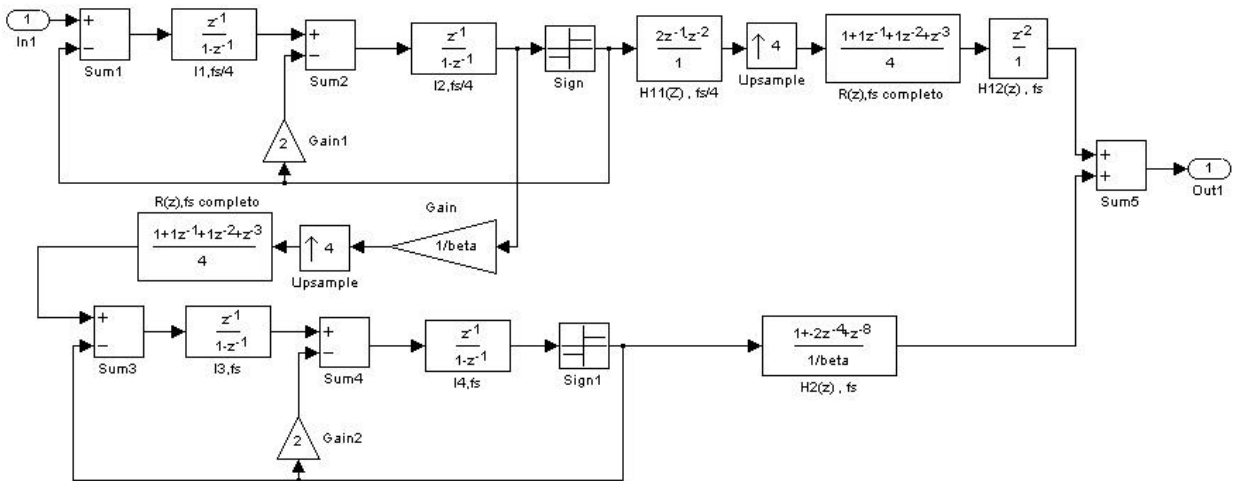


Figura 8.7. SD multitasa 2-2 con S&H completo.

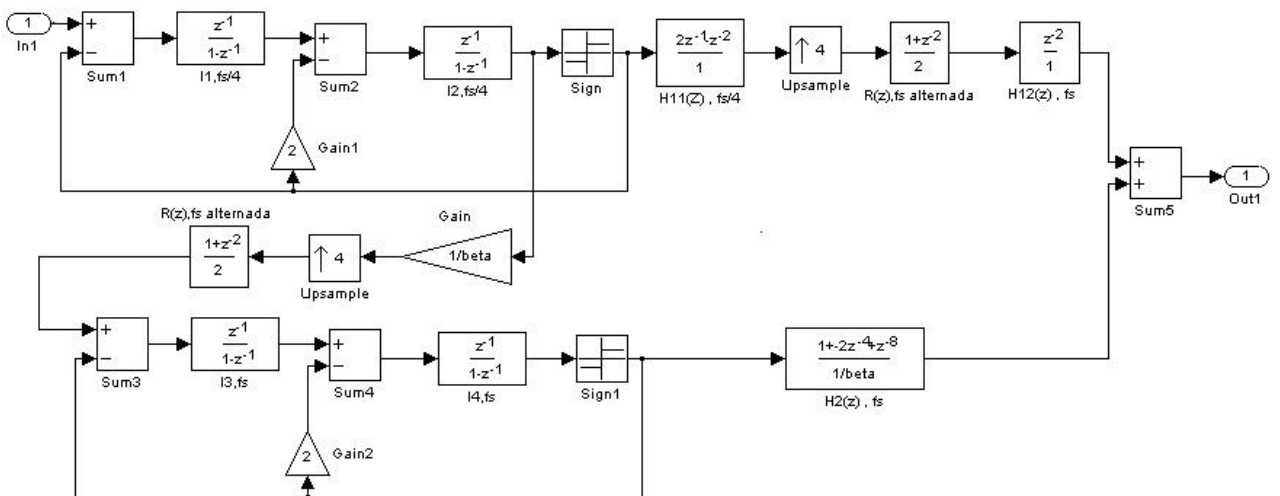
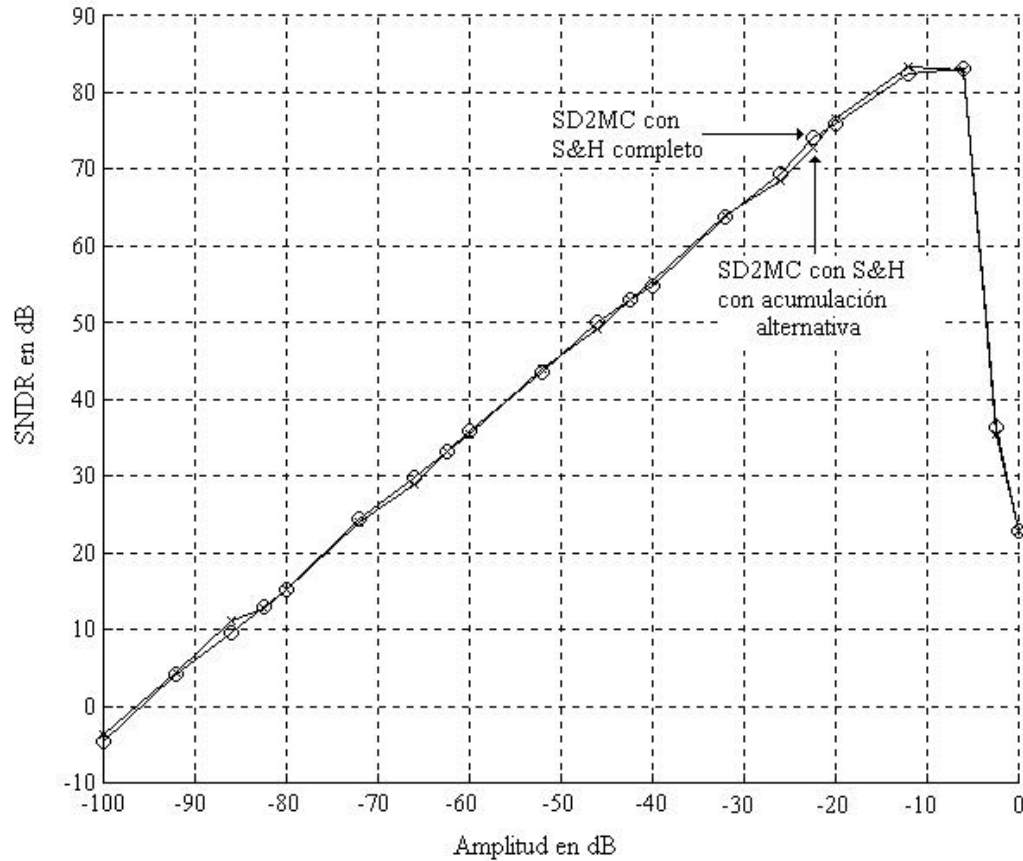


Figura 8.8. SD multitasa 2-2 con S&H con acumulación alternativa.



**Figura 8.9. Modulador SD multitasa en cascada. Línea con círculos S&H completo:  $R(z) = (1+z^{-1}+z^{-2}+z^{-3})/4$  y línea con cruces S&H con acumulación alternativa de carga:  $R(z) = (1+z^{-2})/2$ .**

#### 8.4.3.- Modulador SD multitasa y single bit.

En la Figura 8.10 y Figura 8.11 se representan las arquitecturas bajo estudio. Los resultados obtenidos se muestran en la Figura 8.12. También en este caso las arquitecturas son equivalentes.

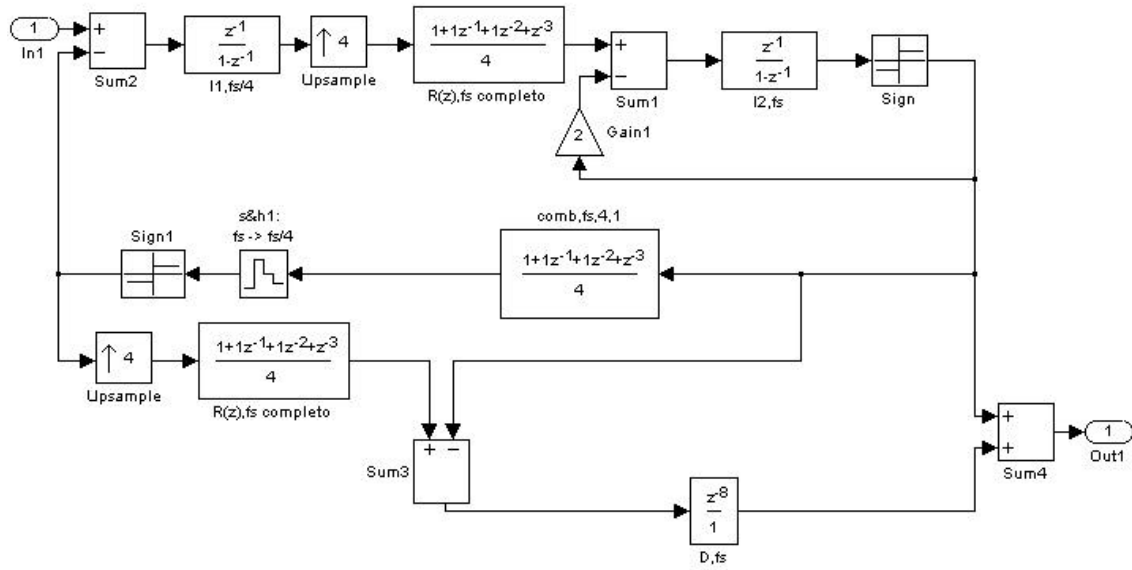


Figura 8.10. Modulador SD multitasa-singlebit con S&amp;H completo.

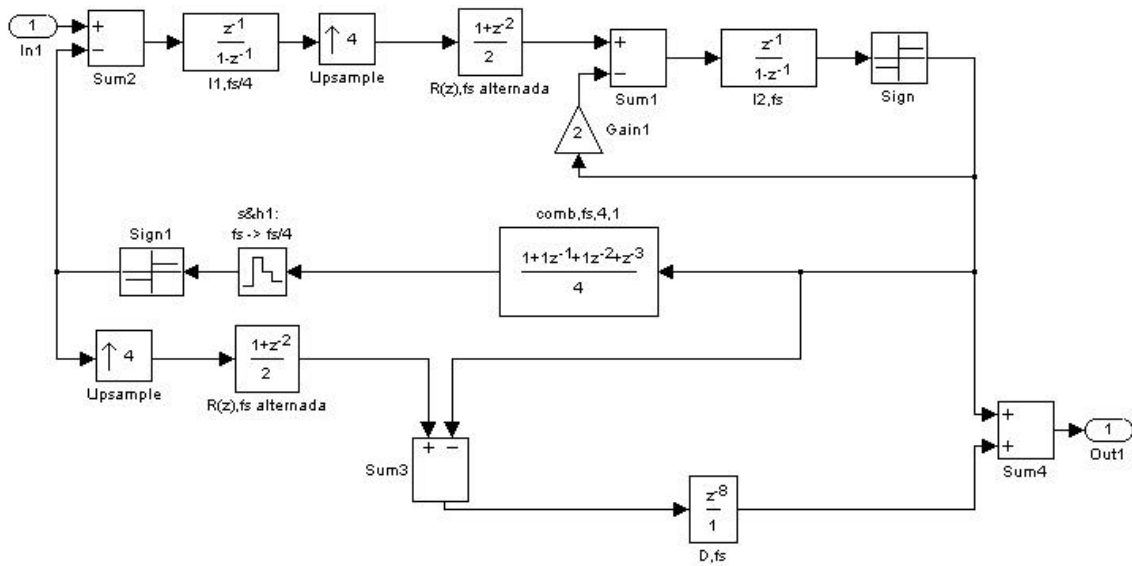
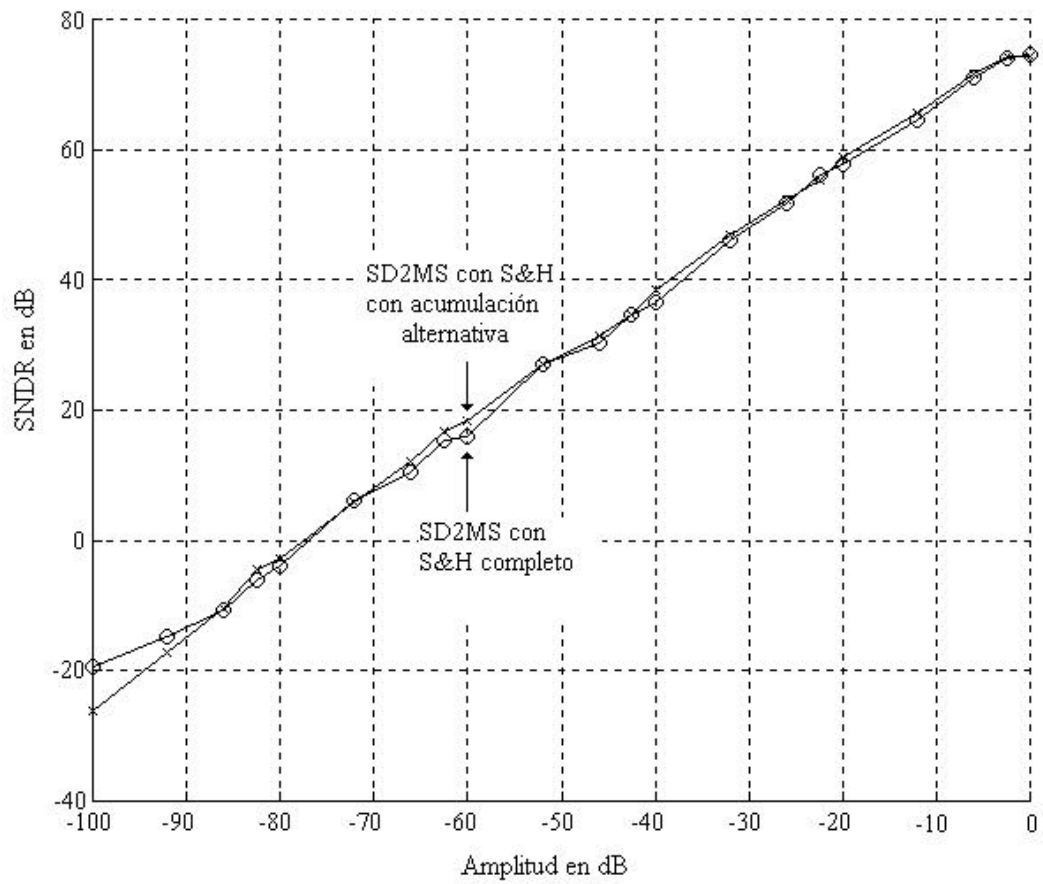


Figura 8.11. Modulador SD multitasa-singlebit con S&amp;H de acumulación alternativa.



**Figura 8.12.** Modulador SD multitasa y singlebit. Línea con círculos S&H completo:  $R(z) = (1+z^{-1}+z^{-2}+z^{-3})/4$  y línea con cruces S&H con acumulación alternada de carga:  $R(z) = (1+z^{-2})/2$ .

## 9.- Apéndice B: Funciones Matlab®.

Para obtener los resultados del apartado 7 hemos ido modelando cada arquitectura mediante un modelo Simulink® que hemos ejecutado con una o varias funciones Matlab®. También se han utilizado funciones para obtener las tablas de valores de este apartado, donde se mostraba la relación SNDR máxima, la amplitud de la señal de entrada donde se producía, el margen dinámico, el número de puntos donde existía una diferencia mayor o igual a 3 dB (Nºdif3dB) entre SNDR en el caso ideal y cuando existía alguna no idealidad, el valor máximo de esa diferencia y la amplitud donde se producía.

En este apéndice mostramos de forma general las funciones utilizadas, y se describe la nomenclatura usada para referenciarlas. Estas funciones particularizadas para cada arquitectura pueden verse en el CD-Rom que acompaña a la memoria de este proyecto.

En todas las arquitecturas vamos a tener las mismas funciones dependiendo del caso que estemos tratando. Así para el caso ideal, nos encontramos con dos funciones: *snrarquitectura.m* y *resultadoidealarquitectura.m*. Para los casos con Jitter, ruido del integrador, no idealidades del integrador y el caso no ideal (con todos los efectos contemplados) además de las dos funciones anteriores, que en este caso se nombran: *snrarquitecturanoidealidad.m* y *resultadonoidealidadarquitectura.m*, tenemos 3 funciones que se repiten, ya que son las utilizadas para obtener la comparación entre el caso ideal y el caso con alguna no idealidad y son: *diferencia.m*, *difmas3dB.m* y *margendinamico.m* y una función que modela las no idealidades en el integrador llamada *intslewrte.m* que es necesaria tanto en las no idealidades del integrador como en el caso no ideal.

Describamos cada una de estas funciones, y veamos de forma genérica cómo son:

- *snrarquitectura.m* al igual que *snrarquitecturanoidealidad.m* es la función donde se definen los valores de los parámetros generales necesarios para la simulación como son: la frecuencia de sobremuestreo:  $f_s$ , frecuencia y amplitud de la señal de entrada:  $f_p$  y  $Amp$ , el número de muestras de ejecución para el modelo simulink®:  $Neje$ , número de puntos de la transformada utilizados por la función psd (power spectral density) para calcular la energía de la señal:  $Nptos$ , factor y frecuencia de diezmado:  $M$  y  $F_D$ , los valores de los parámetros que caracterizan el ruido que se está simulando como son,  $\delta$  para el ruido jitter,  $C_s$  y  $V_n$  para el ruido del integrador y  $A_o$ ,  $V_{sat}$ ,  $t$  y  $SR$  para las no idealidades del integrador.

Una vez definidos los parámetros, se crea un bucle donde para cada amplitud de la señal de entrada, se ejecuta el modelo Simulink® de la arquitectura y se calcula la relación señal a ruido-distorsión SNDR, almacenando el resultado para representarlo gráficamente al finalizar el bucle.

Ejecutaremos la función *snrarquitecturanoidealidad.m* para cada valor del parámetro que modela la no idealidad. Para ver gráficamente la comparación con el caso ideal, tenemos en la función los resultados del caso ideal obtenidos al ejecutar *snrarquitectura.m*.

Una función *snrarquitecturanoidealidad.m* es:

```
%% Definición de parámetros, ejecución de
%% "arquitecturanoidealidad.mdl" y calculo de la relación SNDR de
%% esta arquitectura para diferentes valores de la amplitud de
la
%% señal de entrada.

M=32;           % Factor de diezmado
Nptos=1024*64; % Número de puntos de la transformada
Ndemas=2048;
Neje=Nptos+Ndemas; %Número de muestras de ejecución
fs=1024;        % Frecuencia de sobremuestreo
ts=1/fs;
fp=(20/Nptos)*fs; % Frecuencia de señal
FD=M*4;         % Frecuencia de diezmado respecto de fs
fN=fs/FD;       % Frecuencia de Nyquist (Hz)

%%%%%%%%% PARAMETRO(S) NO IDEALIDAD %%%%%%%%%%
```

Se define aquí el parámetro y se le da el valor que queremos simular. En el caso ideal, esta parte no existe.

% Valores de amplitud de la señal de entrada.

```
a=[1e-5 2.5e-5 5e-5 7.5e-5 1e-4 2.5e-4 5e-4 7.5e-4 1e-3 2.5e-3
5e-3 7.5e-3 1e-2 2.5e-2 5e-2 7.5e-2 1e-1 2.5e-1 5e-1 7.5e-1 1];
la=length(a);
k=0;
asnrARQUITECTURA=zeros(2,la); % Almacenaremos la amplitud en dB
y la
```

% relación SNDR.

% Comienzo del bucle para cambiar la Amplitud

```
Amp=0;
while Amp<1 ,
    k=k+1;
    Amp=a(k); %Amplitud señal
```

%%Simulación del modelo Simulink

```
sim('arquitecturanoidealidad');
```

```
Lg=length(tt1); % tt1 es la señal de salida del modelo
simulink
t1=tt1(Lg-Nptos+1:Lg);
clear tt1;
```

%%Calculo de las densidades espectrales de potencia

```
p1=psd(t1,Nptos,fs);
Lp1=length(p1);
Nbw=round(Lp1*fN/fs); %Indice mayor de la banda pasante
```

%%Energía de señal

```
Nfs=round(fp*2*Lp1/fs)+1; %%Indice central de señal
e1=0;
for i=Nfs-1:Nfs+1,
    e1=e1+p1(i); p1(i)=0;
end
```

%%Energía de ruido

```
ruido=zeros(1,Nbw); ruido=p1(1:Nbw);
er= sum(ruido); snrSD2C=10*log10(e1/er);
```

% Almacenamos los valores en la tabla asnrARQUITECTURA

```
AdB=20*log10(Amp);
asnrARQUITECTURA(1,k)=AdB; asnrARQUITECTURA(2,k)=snrSD2C;
```

```
end % final bucle para cambiar la amplitud
```

% GRAFICAS DE LA RELACION SNDR FRENTE A LA AMPLITUD DE LA SEÑAL DE ENTRADA

```
hold on % Mantenemos la gráfica para representar en la misma el caso
```

```

% ideal

plot(asnrARQUITECTURA(1,:), asnrARQUITECTURA(2,:), 'bo-')

%% RESULTADOS DEL CASO IDEAL

asnrARQUITECTURAideal(1,:)=[ -100.0000 -92.0412 -86.0206
-82.4988 -80.0000 -72.0412 -66.0206 -62.4988 -60.0000
-52.0412 -46.0206 -42.4988 -40.0000 -32.0412 -26.0206
-22.4988 -20.0000 -12.0412 -6.0206 -2.4988 0];
asnrARQUITECTURAideal(2,:)=[ -27.8315 -19.7426 -11.1188
-6.5249 -4.3436 6.2502 13.6984 17.2622 18.0709
26.4503 29.8983 32.5326 35.8059 46.0630 51.9092
55.9088 57.2625 65.1591 69.4787 71.2965 34.4023];

plot(asnrARQUITECTURAideal(1,:), asnrARQUITECTURAideal(2,:), 'mx-')
xlabel('Amplitud en dB'); ylabel('SNDR en dB');

```

- *resultadoidealarquitectura.m* y *resultadonoidealidadarquitectura.m* nos sirven para ir almacenando los resultados de las simulaciones, en la primera sólo se almacena el caso ideal y en la función *resultadonoidealidadarquitectura.m* se almacena el resultado obtenido para cada valor que demos a los parámetros que representan las no idealidades. Una vez almacenados, ejecutamos en ella las funciones *diferencia.m*, *difmas3dB.m* y *margendinamico.m*. Veamos estas funciones:

- Función *diferencia.m*: Calcula para cada valor de la amplitud de la señal de entrada la diferencia entre la relación SNDR en el caso ideal y cuando existe una no idealidad, da el valor máximo de esta diferencia: *maxdif* y la amplitud donde se produce: *amplitud(indicemaxdif)*. Calculamos también en esta función el máximo de la relación SNDR cuando existe una no idealidad: *max* y la amplitud donde se produce: *amplitud(indicemax)*.

```

function [y]= diferencia(amplitud,SNRideal,SNRnoideal);

l=length(amplitud);
k=1;maxdif=0; max=0;
indicemaxdif=0; indicemax=0;
valores=zeros(1,4);
for k=1:l
    if SNRnoideal(k)>max
        max=SNRnoideal(k);
        indicemax=k;
    end
end

```

```

        end
    end
    for k=1:l
        dif= SNRideal(k)-SNRnoideal(k);
        if dif>maxdif
            maxdif=dif;
            indicemaxdif=k;
        end
    end
    if indicemaxdif==0
        indicemaxdif=1;
    end
    if indicemax==0
        indicemax=1;
    end

    %% valores= ( SNDRmax   Amax   Max.difSNRideal y real Amaxdif)
    valores=[max amplitud(indicemax) maxdif
    amplitud(indicemaxdif)];
    y=valores;

```

- Función *difmas3dB.m*: Calculamos en ella el número de puntos donde la diferencia entre la relación SNDR en el caso ideal y cuando existe una no idealidad es mayor o igual a 3 dB: *puntos* y almacenamos el valor de la amplitud donde se produce.

```

function [y]= difmas3dB(amplitud,SNRideal,SNRnoideal);

l=length(amplitud);
k=1;dif=0;puntos=0;
Ampdifmas3dB=zeros(1,l); % almacenaremos: Amplitud donde se
                           % produce
                           % una dif. mayor o igual a 3 dB

for k=1:l
    dif=SNRideal(k)-SNRnoideal(k);
    if dif>=3
        puntos=puntos+1;
        Ampdifmas3dB(k)=amplitud(k);
    end
end

y=[puntos Ampdifmas3dB];

```

- Función *margendinamico.m*: Calcula el valor del Margen dinámico de la arquitectura en estudio como  $MD(dB)=20\log(V_{maxSNDR})-20\log(V_{ceroSNDR})$  donde  $V_{maxSNDR}$  es la amplitud de la señal de entrada donde se produce la máxima relación SNDR y  $V_{ceroSNDR}$  es la amplitud de la señal de entrada donde el valor de la relación SNDR es 0.

```

function [y]= margendinamico(amplitud,SNDR);

l=length(amplitud);
k=1; max=0; indicemax=0;
VmaxSNDRdB=0; VceroSNDRdB=0;
a1=0; a2=0; b1=0; b2=0;

for k=1:l
    if SNDR(k)>max
        max=SNDR(k);
        indicemax=k;
    end
end
if indicemax==0
    indicemax=1;
end

VmaxSNDRdB= amplitud(indicemax);

%% Calculamos la recta que pasa por los puntos en los que
SNDR pasa de ser negativa a positiva
%% y vemos el valor de cruce por cero. Lo que nos da
VceroSNDRdB.

for k=1:l
    if SNDR(k)<=0 & SNDR(k+1)>=0
        a1=amplitud(k); a2=SNDR(k);
        b1=amplitud(k+1); b2=SNDR(k+1);
    end
end
pend=(b2-a2)/(b1-a1);
VceroSNDRdB=(-a2/pend)+a1;

y=VmaxSNDRdB-VceroSNDRdB;

```

Cada función *resultadonoidealidadarquitectura.m* es igual, salvo que en cada arquitectura, y para cada no idealidad, se han ido almacenando distintos valores, ya que de forma paulatina se ha ido dando valores a la no idealidad y estudiando los resultados de las 3 funciones descritas anteriormente, se ha ido aumentando o disminuyendo el parámetro que la representa y ejecutando de nuevo *snrarquitecturanoidealidad.m* para conseguir obtener los valores límites de éste. Para agilizar este proceso, y ejecutar el modelo para un rango de valores de los parámetros almacenando el resultado, se crea una función *ejecuta\_guardaresultado.m* que en general es:

```

% Se define y dá el valor a los parámetros que representan la no
%idealidad

parametro1=x;
parametro2=y;
parametro3=z;

```

```
% ejecutamos el fichero snrarquitecturanoidealidad.m donde hemos
%eliminado la parte de definición de los parámetros, para que no
%se sobrescriba el valor.
```

```
snrarquitecturanoidealidad;
```

```
% Almacenamos en un fichero con extensión .dat que nombramos en
%función de los valores de los parámetros el valor de la
relación %SNDR que nos ha dado como resultado
snrarquitecturanoidealidad.m.
```

```
save par1x_par2y_par3z.dat asnrARQUITECTURA -ascii
```

Repetiremos este código tantas veces como valores distintos de parámetros queramos simular en una ejecución.

- *integslewrte.m* es la función que implementa las ecuaciones vistas en el apartado 6.4.2 con las que se modela el ancho de banda finito y slew rate del amplificador operacional. Esta función se ejecuta en el modelo del integrador real de la figura 6.6.

El código de la función es el siguiente:

```
function sal=integslewrte(u)
Vs=u(1); %%Tensión de entrada
b=u(2); %%Ganancia del integrador
tau=u(3);%%Inversa del BW (-3 dB)
SR=u(4); %%Slew rate
Ts=u(5); %%Periodo de muestreo
SRu=b*abs(Vs)/tau;
if Vs>=0 SRp=SR;
else SRp=-SR;
end

if SRu<=SR
    sal=b*Vs*(1-exp(-Ts/2/tau));
else
    to=b*abs(Vs)/SR-tau;
    if to>=Ts/2
        sal=SRp*Ts/2; %%%to por Ts/2
    else
        sal=SRp*to+(b*Vs - SRp*to)*(1- exp(-(Ts/2-to)/tau));
    end
end
```

## 10.- Apéndice C: Bloques Simulink®.

Simulink® es una herramienta software que nos permite modelar, simular y analizar sistemas dinámicos. Soporta sistemas lineales y no lineales, modelados en tiempo continuo, discreto o una mezcla de ambos.

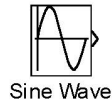
Permite modelar un sistema fácilmente mediante una interfaz gráfica donde el usuario construye su modelo mediante la combinación de bloques funcionales que puede obtener de la amplia librería de bloques de Simulink® o bien crearlos él mismo. Para el presente proyecto no ha sido necesario la creación de nuevos bloques. Utilizando los disponibles en la librería hemos construido los modelos de los simuladores sigma-delta descritos, y de los ruidos y no idealidades que hemos tenido en cuenta. Una vez se tiene el modelo del modulador, podemos simular, analizar y revisar los resultados en Matlab® gracias a la integración entre las dos herramientas.

En este apéndice vamos a describir cada uno de los bloques utilizados para los modelos. Esta información se obtiene fácilmente de la ayuda proporcionada por Simulink®. Ejecutando en la ventana de comandos de Matlab® el comando 'simulink' o simplemente pinchando en el icono de nuevo modelo de Simulink® que aparece en el menu de esta ventana, se nos abrirá la librería de Simulink®, donde tenemos los bloques organizados según su funcionalidad y características. Haciendo doble click en cualquier bloque se nos abrirá un cuadro de diálogo con los parámetros del mismo, y un acceso a la ayuda que nos explica detalladamente la funcionalidad del bloque y el significado de cada uno de los parámetros.

Agruparemos los bloques utilizados en los modelos de este proyecto por la librería de Simulink® donde se encuentran.

- **Librería de fuentes.**

**1.- Sine Wave:** Este bloque genera una señal sinusoidal.



**Figura 10.1. Bloque Simulink Sine Wave.**

Los parámetros que podemos definir son los siguientes:

*Amplitude:* Amplitud de la señal. El valor por defecto es 1.

*Frequency:* Frecuencia en radianes por segundo. El valor por defecto es 1 rad/s.

*Phase:* Fase de la señal en radianes. Por defecto será 0 radianes.

*Sample time:* Periodo de muestreo. Por defecto es 0.

La salida de este bloque es la siguiente:

$$y = \text{Amplitude} * \sin(\text{frequency} * \text{time} + \text{phase})$$

El valor del parámetro *Sample time* determina si el bloque opera en modo continuo o discreto. Así si su valor es 0 el bloque opera en modo continuo, si es mayor que 0 el bloque opera en modo discreto y si su valor es -1 operará en el mismo modo que el bloque que recibe la señal generada.

**2.- Constant:** Genera un valor constante.



**Figura 10.2. Bloque Simulink Constant.**

El único parámetro de este bloque es: *Constant value* que es el valor constante que da a su salida. Este valor puede ser un vector de constantes. El valor por defecto es 1.

**3.- Random Number:** Este bloque genera números aleatorios que siguen una distribución Normal. La secuencia de números generados se repiten si se utiliza los mismos parámetros y la misma semilla en otro bloque.



**Figura 10.3. Bloque Simulink® Random Number.**

Los parámetros de este bloque son:

*Mean:* Es la media de los números aleatorios. Por defecto es 0.

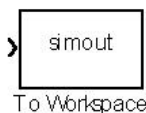
*Variance:* Es la varianza de los números aleatorios. Por defecto es 1.

*Initial seed:* Es la semilla inicial para el generador de números aleatorios. Por defecto su valor es 0. Esta semilla se inicializa al valor especificado cada vez que comienza la simulación.

*Sample time:* Intervalo de tiempo entre muestras generadas. Por defecto es 0, lo que hace al bloque operar en tiempo continuo.

- **Librería de Sumideros.**

**1.- To Workspace:** Este bloque escribe su entrada en la matriz que le especificamos como parámetro en el espacio de trabajo principal de Matlab®. La matriz tiene una columna por cada elemento de entrada y una fila por cada paso de la simulación.



**Figura 10.4. Bloque Simulink® To Workspace.**

Los parámetros son los siguientes:

*Variable name:* Nombre de la matriz donde se almacenan los datos. Será el nombre que aparezca en el icono del bloque (en la figura 9.4 es simout).

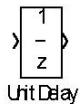
*Maximum number of rows:* Número máximo de filas (una fila por cada paso de simulación) que serán guardadas. Por defecto tendremos 1.000 filas, que serán las últimas entradas que haya tenido este bloque. Si se quiere salvar todos los valores, daremos el valor *inf*.

*Decimation:* Factor de diezmado. Este parámetro permite que los datos sean recogidos cada n-ésimo paso de la simulación, donde n es el factor de diezmado. Por defecto es 1, y por tanto recoge los datos en cada paso de tiempo de la simulación.

*Sample time:* Es el tiempo de muestreo en el que se recogen los datos de la entrada. El valor por defecto es  $-1$  lo que hace que este parámetro tome el valor del sample time del bloque que le da los datos.

- **Librería Bloques en tiempo discreto.**

**1.- Unit Delay:** Retrasa la señal un periodo de tiempo. Este bloque mantiene su entrada y la retrasa un intervalo de muestreo. Si la entrada fuese un vector, todos los elementos de éste son retrasados.



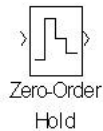
**Figura 10.5. Bloque Simulink Unit Delay.**

Los parámetros de este bloque son:

*Initial condition:* Define la salida de este bloque durante el primer periodo de la simulación, en el que la salida estaría indefinida si no se le da un valor. El valor por defecto es 0.

*Sample time:* Intervalo de tiempo entre muestras. Por defecto es 1.

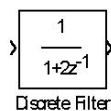
**2.- Zero-Order Hold:** Este bloque implementa un mantenedor de orden cero de un periodo de muestreo. Es muy útil para discretizar una o más señales o volver a muestrear una señal a una tasa distinta.



**Figura 10.6. Bloque Simulink® Zero-Order Hold.**

El parámetro es *Sample time* que es el intervalo de tiempo entre muestras. Por defecto su valor es 1.

**3.- Discrete Filter:** Este bloque implementa filtros IIR (Infinite Impulse Response) y FIR (Finite Impulse Response). Los coeficientes del numerador y el denominador se especifican mediante vectores, cuyos valores son potencias ascendentes de  $z^{-1}$ . El icono del bloque muestra el filtro tal y como lo hemos definido.



**Figura 10.7. Bloque Simulink® Discrete Filter.**

Los parámetros de este bloque son:

*Numerator:* Es el vector de coeficientes del numerador. Por defecto es 1.

*Denominator:* Es el vector de coeficientes del denominador. Por defecto es [1 2].

*Sample time:* Es el intervalo de tiempo entre muestras.

## • Librería Bloques Lineales.

**1.- Gain:** Este bloque genera su salida multiplicando la entrada por la constante, variable o expresión que se le especifique. El icono del bloque muestra el valor que tiene el parámetro gain.



**Figura 10.8. Bloque Simulink® Gain.**

El parámetro de este bloque es *Gain* que puede especificarse como un escalar, un vector, el nombre de una variable o una expresión. El valor por defecto es 1.

**2.- Sum:** Este bloque realiza la suma de sus entradas, que pueden ser escalares y/o vectores o elementos de un mismo vector. Si todas las entradas son escalares, realiza la suma de todas ellas y la salida es escalar. Si alguna de las entradas es un vector, la salida será un vector, y si la única entrada es un vector, la salida es escalar e igual a la suma de los elementos del vector. Dependiendo de los valores especificados en el parámetro *List of signs* y de si la entrada es un escalar o un vector, Simulink® cambiará el icono del bloque para mostrar todas las entradas y signo de los puertos.

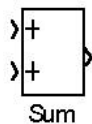
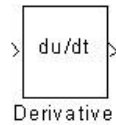


Figura 10.9. Bloque Simulink® Sum.

*List of signs:* Debe ser una constante o una combinación de signos + y -. Si se especifica una constante, Simulink® representará el bloque con ese número de entradas todas con polaridad positiva. Si es una combinación de signos, Simulink® dará a cada puerto su polaridad en función de esa lista y el número de puertos será igual al número de signos usados.

**3.- Derivative:** Este bloque aproxima la derivada de su entrada como  $\frac{\Delta u}{\Delta t}$ ,

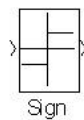
donde  $\Delta u$  es el cambio en el valor de la entrada y  $\Delta t$  es el cambio en el tiempo desde el paso de tiempo de simulación anterior. El bloque acepta una única entrada, y su Sample time es continuo. El valor inicial de la señal de entrada se toma como cero, por tanto también lo es el valor inicial de la salida. La exactitud del resultado depende del paso de tiempo tomado en la simulación. Al contrario que los bloques que pueden operar en tiempo continuo este bloque no toma pasos más pequeños cuando la entrada cambia rápidamente con el tiempo.



**Figura 10.10. Bloque Simulink® Derivative.**

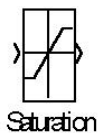
- **Librería Bloques Nolineales.**

**1.- Sign:** Este bloque nos da el signo de su entrada. Su salida será 1 si la entrada es positiva, 0 si la entrada es 0 y -1 si es negativa. El bloque tomará las muestras en el tiempo según el parámetro Sample time del bloque que le precede.



**Figura 10.11. Bloque Simulink® Sign.**

**2.- Saturation:** Este bloque limita el rango de una señal imponiendo límites superiores e inferiores a la señal. Si la señal de entrada está dentro de los límites dados por los parámetros pasará a la salida del bloque sin cambios, si no, la salida será el valor límite especificado en los parámetros.



**Figura 10.12. Bloque Simulink® Saturation.**

Los parámetros de este bloque son:

*Upper limit:* Valor del límite superior que puede tomar la señal de entrada.

*Lower limit:* Valor del límite inferior que puede tomar la señal de entrada.

**3.- Quantizer:** Cuantiza la señal de entrada en un intervalo de cuantización especificado. La salida es calculada de la siguiente forma:  $y = q \cdot \text{round}(u/q)$  donde  $q$  es el parámetro de este bloque *Quantization interval*,  $u$  es la entrada e  $y$

la salida. El bloque tomará las muestras en el tiempo según el parámetro Sample time del bloque que le precede.

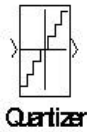


Figura 10.13. Bloque Simulink® Quantizer.

**4.- MATLAB Function:** Este bloque aplica una función Matlab® o una expresión a su entrada. Acepta una única entrada y genera una salida. El bloque tomará las muestras en el tiempo según el parámetro Sample time del bloque que le precede.

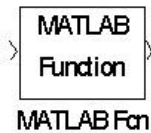


Figura 10.14. Bloque Simulink® MATLAB Fcn.

Los parámetros de este bloque son:

*MATLAB function:* Es la función Matlab® o la expresión que se ejecuta sobre la entrada.

*Output width:* Especifica el tamaño de la salida, si es igual que el de la entrada, su valor es  $-1$ , en otro caso debemos especificar el tamaño de la salida.

- **Librería de Bloques de Conexiones.**

**1.- Inport:** Este bloque genera un puerto de entrada de un subsistema o una entrada externa al sistema.



Figura 10.15. Bloque Simulink® Inport.

Los parámetros de este bloque son:

*Port number:* Es el número del puerto. Simulink® los asignará consecutivamente si existen más de un puerto de entrada en un subsistema o sistema, e incluso los reenumerará si es necesario para que no se creen conflictos.

*Port width:* Es el tamaño de la señal de entrada al puerto. Si damos el valor  $-1$  a este parámetro Simulink® determinará el tamaño de forma automática.

*Sample time:* Es la tasa a la que la señal de entrada entra en el sistema por este puerto. El valor  $-1$  hace que se tomen las muestras de la entrada a la tasa que las entrega el bloque de donde proviene (sample time del bloque que le precede).

**2.- Outport:** Este bloque genera un puerto de salida de un subsistema o una salida externa al sistema. El bloque dará las muestras en el tiempo según el parámetro Sample time del bloque que le precede.



**Figura 10.16. Bloque Simulink® Outport.**

Los parámetros de este bloque son:

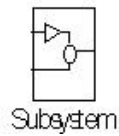
*Port number:* Es el número del puerto. Simulink® los asignará consecutivamente si existen más de un puerto de salida en un subsistema o sistema, e incluso los reenumerará si es necesario para que no se creen conflictos.

*Output when disabled:* Para subsistemas que se ejecutan dependiendo de las condiciones este es el valor de salida cuando el subsistema está deshabilitado.

*Initial output:* Para subsistemas que se ejecutan dependiendo de las condiciones este es el valor de salida antes de que el subsistema se ejecute o cuando esta deshabilitado.

**3.- Subsystem:** Representa un sistema dentro de otro sistema. Un subsistema se crea copiando el bloque Subsystem dentro de nuestro sistema, haciendo doble click en él se abre una ventana donde creamos el subsistema con los bloques necesarios, de igual forma que creamos un sistema. Con los bloques Inport y Outport especificamos las entradas y salidas de este subsistema desde y hacia el sistema que lo contiene.

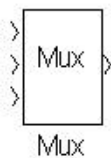
El icono de este bloque cambiará para representar el número de puertos de entrada y de salida que hemos definido, numerando los puertos igual que los bloques inport y outport dentro de él.



**Figura 10.17. Bloque Simulink® Subsystem.**

**4.- Mux:** Combina las distintas entradas en un único vector de salida. Cada entrada puede ser un escalar o un vector, y la salida siempre será un vector. Tomará las muestras de las entradas en el orden que tienen en el icono, es decir, en el vector de salida primero estarán las muestras (si es un vector) o valor (si es un escalar) de la primera entrada, después de la segunda y así sucesivamente.

Si definimos el parámetro de este bloque: *Number of inputs* como un escalar, Simulink® determina automáticamente el tamaño de las entradas, y si alguna es un vector, todos sus elementos serán combinados por este bloque mux. Si necesitamos especificar el tamaño exacto de alguna de las entradas definiremos el parámetro *Number of inputs* como un vector donde cada elemento es el tamaño de la entrada correspondiente y si entre estas entradas queremos que el tamaño se calcule durante la simulación en alguna de ellas, daremos el valor  $-1$  al elemento que le corresponde en el vector *Number of inputs*.



**Figura 10.18. Bloque Simulink® Mux.**

**GLOSARIO DE TÉRMINOS Y ACRÓNIMOS.**

- A:** Amplitud de la señal senoidal de entrada de las simulaciones.
- alfa:** Factor de pérdidas del integrador (Leakage).
- Ao:** Ganancia en continua del integrador.
- b:** Ganancia del integrador.
- C<sub>s</sub> :** Capacidad de muestreo del circuito integrador de capacidades conmutadas.
- delta:** Desviación estándar del proceso aleatorio Gaussiano que modela el ruido jitter.
- D:** Paso de cuantización.
- e:** Ruido de cuantización.
- e<sub>rms</sub>:** Valor rms del error de cuantización.
- f<sub>N</sub>:** Frecuencia de Nyquist.
- f<sub>o</sub>:** Frecuencia máxima de la señal.
- f<sub>p</sub>:** Frecuencia de la señal senoidal de entrada de las simulaciones.
- f<sub>s</sub>:** Frecuencia de muestreo.
- G:** Ganancia del cuantizador.
- h:** Orden del filtro peine del modulador MM-SD.
- k:** Constante de Boltzman.
- L :** Orden del modulador.
- MD:** Margen dinámico.
- M<sub>r</sub>:** Incremento en la tasa de sobremuestreo.
- n :** Número de bits del cuantizador.
- n<sub>o</sub>:** Valor rms del ruido de cuantización en la banda de la señal.
- OSR:** Tasa de sobremuestreo.
- SD2C:** Modulador Sigma-Delta de 2º orden de 1 bit.
- SD2C\_3bit:** Modulador Sigma-Delta de 2º orden de 3 bit.
- SD2MM:** Modulador Sigma-Delta de 2º orden Multitasa y Multibit.
- SD2MS:** Modulador Sigma-Delta de 2º orden Multitasa de 1 bit.
- SD4MC:** Modulador Sigma-Delta de orden 2-2 Multitasa en Cascada.
- SNDR:** Relación señal a ruido-distorsión.
- SR:** Slew Rate del amplificador operacional.
- T, T<sub>s</sub>:** Periodo de muestreo.
- T<sub>o</sub>:** Temperatura absoluta.
- t:** Inversa del ancho de banda en rad/s. del amplificador operacional.
- V<sub>n</sub>:** Tensión de ruido rms total referida a la entrada del amplificador operacional.

## BIBLIOGRAFÍA.

- [1] J.C. Candy, G.C. Temes, **“Oversampling Methods for A/D and D/A Conversion”** in *Oversampling Delta-Sigma Data Converters*, New York: IEEE Press, 1992, pp 1-25.
- [2] W.R. Bennett, **“Spectra of quantized signals”**, Bell Sys. Tech. J., vol.27, pp 446-472, July 1948.
- [3] H. Inose, Y. Yasuda, and J. Murakami, **“A telemetering system code modulation DS modulation”**, IRE Trans. Space Elect. Telemetry, vol. SET-8, pp. 204-209, Sept. 1962.
- [4] F. Colodro, A. Torralba, A.P. Vegaleal and L.G. Franquelo, **“Multirate-Multibit Sigma-Delta Modulators”**.
- [5] B. Brandt and B.A. Wooley, **“A 50-MHz Multi-bit sigma-delta for 12-b 2-MHz A/D conversion”**, IEEE Journal of Solid-State Circuits, vol.26, no.12, pp. 1746-1756, Dec. 1991.
- [6] T.C. Leslie and B. Singh, **“An improve sigma-delta modulator architecture”**, proc. of ISCAS'90, pp. 372-375, 1990.
- [7] T. Cataltepe, A.R. Kramer, L.E. Larsen, G.C. Temes, and R.H. Walden, **“Digitally corrected multi-bit SD data converters”**, in proc. ISCAS'89, pp. 647-650, 1989.
- [8] M. Nejad and G. Temes, **“A high resolution multibit SD ADC with digital correction and relaxed amplifier requirements”**, IEEE Journal of Solid-State Circuits, vol. 28, no.6, pp. 648-660, June 1993.
- [9] L.R. Carley, **“A noise-shaping coder topology for 15+bit converters”**, IEEE Journal of Solid-State Circuits, vol. 28, no. 2, pp.267-273, Apr.1989.
- [10] F. Chen and B.H. Leung, **“A high resolution multibit sigma-delta modulator with individual level averaging”**, IEEE Journal of Solid-State Circuits, vol. 30, no. 4, pp. 453-460, Apr. 1995.
- [11] J.C. Candy, **“Decimation for Sigma-Delta Modulation”**, IEEE trans. on Communications, vol. COM-34, no. 1, jan. 1986.
- [12] F. Colodro, A. Torralba, **“Improved Multirate Sigma-Delta architecture”**.
- [13] A. Torralba, F. Colodro, **“Multirate-Cascade Sigma-Delta (MC-SD) Modulators”**.

- [14] T. Hayashi, Y. Inabe, k. Uchimura, and A. Iwata, “**A multistage delta-sigma modulator without double integration loop**”, in ISSCC Dig. Tech. Pap., pp. 182-183, Feb. 1986.
- [15] **SimulinkÒ and MatlabÒ User’s Guides**, The MathWorks, Inc.,1997.
- [16] S. Brigati, F. Francesconi, P. Malcovati, D. Tonietto, A. Baschiroto, and F. Maloberti, “**Modeling Sigma-Delta modulators non-idealities in SimulinkÒ** ”.
- [17] B.E. Boser, B.A. Wooley, “**The Design of Sigma-Delta Modulation Analog-to-Digital Converters**”, IEEE Journal of Solid-State Circuits, vol. 23, pp. 1298-1308, Dec. 1988.
- [18] S.R. Norsworthy, R. Schreier, G.C. Temes, “**Delta-Sigma Data Converters. Theory, Design and Simulation**”, IEEE Press, Piscataway, NJ, 1997.
- [19] F. Medeiro, B. Perez-Verdu, A. Rodriguez-Vazquez, J.L. Huertas, “**Modeling OpAmp-Induced Harmonic Distortion for Switched-Capacitor SD Modulator Design**”, Proceedings of ISCAS’94, vol. 5, pp. 445-448, London, UK, 1994.
- [20] Shahriar Rabii and B.A. Wooley, “**The Design of Low-Voltage, Low-Power Sigma-Delta Modulators**”, Ed. Kluwer Academic Publishers, 1999.