
ÍNDICE

1. DEFINICIÓN Y ALCANCE	1
1.1 OBJETIVO	1
1.2 ALCANCE	1
1.3 APLICACIÓN	2
 2. PROCESADOR LEON	 3
2.1 CARACTERÍSTICAS	4
2.1.1 IU	4
2.1.2 Caché	6
2.1.3 Periféricos.....	6
2.1.4 Accesos a memoria externa	11
2.1.5 DSU (<i>Debug Support Unit</i>)	12
2.1.6 Arquitectura VHDL	13
2.2 BUS AMBA	14
2.2.1 Terminología	14
2.2.2 Bus AHB	14
2.2.3 Bus APB	18
2.3 SPARC V8	19
2.3.1 Características	19
 3. FPGA VIRTEX	 22
3.1 VIRTEX	22
3.1.1 Arquitectura	23
3.1.2 Configuración	28
3.2 XSV <i>BOARD</i>	31
 4. FLUJO DE DISEÑO XILINX	 35
4.1 DISEÑO ESTÁNDAR	35
4.1.1 Programación	36
4.2 MODO <i>FLOORPLAN</i>	38
 5. IMPLEMENTACIÓN DEL PROCESADOR LEON	 40
5.1 RESTRICCIONES (UCF)	41
5.1.1 Reset	42
5.1.2 CLK	42

5.1.3 Señales tri-estado	44
5.1.4 Pin E/S	44
5.1.5 Controlador de memoria SRAM	46
5.1.6 Fichero UCF	50
5.2 CONFIGURACIÓN	51
5.2.1 Síntesis	52
5.2.2 IU	52
5.2.3 FPU	54
5.2.4 Coprocesador	55
5.2.5 Caché	55
5.2.6 Controlador de memoria	57
5.2.7 <i>Debug</i>	59
5.2.8 Periféricos	60
5.2.9 <i>Boot</i>	61
5.2.10 AMBA	63
5.2.11 Utilización de recursos	66
5.3 PROGRAMACIÓN	72
5.3.1 Diagrama de flujo	73
5.3.2 Código fuente ensamblador	74
5.3.3 Ensamblado	78
5.4 <i>PLACEMENT & ROUTING</i>	79
 6. CONTROL DEL RUTADO AUTOMÁTICO. APLICACIÓN ..	 80
6.1 DISEÑO DE ALTO NIVEL	82
6.1.1 Configuración del modelo VHDL	83
6.1.2 Diseño de la interfaz AMBA	85
6.1.3 Código VHDL	92
6.2 <i>FLOORPLAN</i>	97
6.2.1 <i>Floorplan</i> : LEON	98
6.2.2 <i>Placement</i>	102
6.3 <i>ROUTING</i>	104
6.3.1 <i>Routing</i> : LEON	106
6.3.2 PAR automático	110
6.4 VERIFICACIÓN Y CORRECCIÓN (V&C)	111
6.4.1 V&C: LEON	112
6.5 <i>BITGEN</i>	114
6.6 RESULTADOS	115
6.6.1 Análisis temporal	116
 7. CONCLUSIONES	 117
 8. BIBLIOGRAFÍA	 118