
1 DEFINICIÓN Y ALCANCE

1.1 OBJETIVO

Desarrollar una técnica de control del rutado automático de una FPGA usando el software proporcionado por Xilinx que permita un mayor control sobre el rutado de un conjunto de líneas entre todas las que componen un determinado diseño.

El diseño deberá estar especificado en algún tipo de lenguaje de alto nivel, como VHDL, Verilog u otros.

Con las técnicas que ofrece el flujo de diseño Xilinx no se permite realizar restricciones acerca de los recursos de rutado a utilizar por parte de un conjunto de señales, ni tampoco realizar restricciones de forma automática acerca de que conexiones físicas se deben de utilizar para una determinada señal.

Se puede por tanto restringir los recursos físicos a utilizar entre una parte fija de la FPGA y la parte reconfigurable, utilizando las herramientas normales proporcionadas por Xilinx.

Mediante ésta técnica se llega a especificar, mediante su incorporación en el flujo de diseño, que conexión física se quiere que corresponda a una determina señal.

La utilización de esta técnica de control permite realizar implementaciones de un diseño que mantienen un conjunto de líneas en unos recursos de rutado fijados de antemano, abriendo la posibilidad de incorporar nuevos módulos al diseño en tiempo real mediante reconfiguración dinámica de la FPGA, conectándolos a las líneas fijadas físicamente.

Se aplicará al procesador LEON, de libre distribución GNU, obtenido en VHDL. Antes de desarrollar la técnica de control se realiza una implementación operativa del procesador LEON, demostrando el correcto funcionamiento sobre una FPGA Virtex XCV800 en una placa XSV.

1.2 ALCANCE

Primero, se desarrolla la implementación totalmente operativa del procesador LEON, a partir del código VHDL proporcionado.

Se realiza la configuración teniendo en cuenta las características de la FPGA Virtex y placa de desarrollo XSV en la que se realiza la implementación. La configuración contempla la incorporación del mayor número de periféricos que permiten los recursos disponibles en la FPGA.

Se imponen las restricciones físicas sobre las entradas y salidas del diseño necesarias para adecuarlas a la placa de desarrollo.

Se incorpora una memoria PROM interna en la FPGA para realizar el lanzamiento del procesador LEON en el inicio, al no disponer la placa XSV de medios similares.

Para confirmar la implementación totalmente operativa se realiza un programa en código ensamblador SPARC V8 que muestra alguna funcionalidad del procesador LEON.

En la técnica de control del rutado se realizan y detallan todos los pasos para la obtención operativa de una implementación que haga uso de la misma para obtener una determinada interfaz rutada en un conjunto de recursos físicos que se especifiquen.

Una demostración se hace realizando una implementación del procesador LEON, con el bus AMBA rutado en un conjunto de líneas físicas fijadas durante el desarrollo, y la lógica correspondiente al procesador agrupada en un lado de la FPGA, que permitirá utilizarla posteriormente para su uso en sistemas de reconfiguración parcial.

1.3 APLICACIÓN

Constituye una potente herramienta para aplicaciones de hardware adaptativo. La reconfiguración parcial de la FPGA para añadir al diseño nuevos periféricos en tiempo real es facilitada con la técnica de control del rutado expuesta. Permite hacer independiente el desarrollo del periférico, del diseño principal y del enlace entre ambos, al fijar la interfaz físicamente en la FPGA. Se tiene la posibilidad de poder incorporar a un sistema distintos periféricos, pero ocupando siempre la misma zona y cantidad de recursos.

Como ejemplo y puesta en práctica de la técnica de control del rutado automático, se realiza la interfaz física del bus AMBA del procesador LEON en una determinada zona de la FPGA Virtex en la que se implementa.

Se consigue dejar las líneas que componen la interfaz AMBA, para los buses AHB, maestro y esclavo, y APB en una determinada zona de la FPGA. Esa zona queda libre de lógica que forme parte del procesador LEON, permitiendo así que pueda ser reconfigurada parcialmente de forma dinámica.

Se puede incluir un periférico o módulo en una reconfiguración parcial de la FPGA, o incorporar varios siempre que en el diseño de éstos se incluya un decodificador de las líneas del bus AMBA que componen la interfaz.