
3 FPGA VIRTEX

3.1 VIRTEX

La familia Virtex desarrolla una gran capacidad de lógica programable con una arquitectura basada en una tecnología 0,22µm CMOS de 5 capas de metal.

A continuación se detallan las principales características:

- Alta densidad, velocidad y múltiples interfaces.
 - Densidad de 888 *kgates* en la Virtex XCV800
 - Compatibilidad PCI 66 Mhz
 - 16 posibles estándares internacionales
- Incorporación de circuitería para gestión del reloj (GCLK).
 - 4 DLLs (*Delay locked loop*) para el control avanzado del reloj.
 - 4 líneas dedicadas de distribución del reloj, más 24 líneas secundarias de reloj.
- Gran capacidad de memoria
 - 14 Kbytes de memoria *dual-port* RAM configurable en puertos y anchura del bus de datos.
 - LUTs configurables como 16-bit RAM, 32-bit RAM, 16-bit *dual-port* RAM, o registros de desplazamiento de 16 bits.
 - Interfaz rápida para memoria externa de altas prestaciones.
- Arquitectura flexible entre densidad y velocidad
 - Línea de acarreo dedicada para aritmética de alta velocidad.
 - Soporte dedicado a multiplicadores
 - Registro con $\overline{CE}$, y señales síncronas *set/reset*.
- Configuración basada en SRAM, con ilimitada reprogramación.
 - Posibilidad de lectura de configuración y reconfiguración parcial.

La Virtex XCV800HQ240 presenta las siguientes características de densidad:

Dispositivo	Puertas	Matriz CLB	Células lógicas	Bits bloques RAM	Max. RAM LUTs
XCV800	888.439	56x84	21.168	114.688	301.056

3.1.1 ARQUITECTURA

La arquitectura de la familia Virtex se muestra en la figura 3-1. Se tienen dos grandes grupos, los bloques lógicos configurables o CLBs, y los bloques de entrada/salida o IOBs.

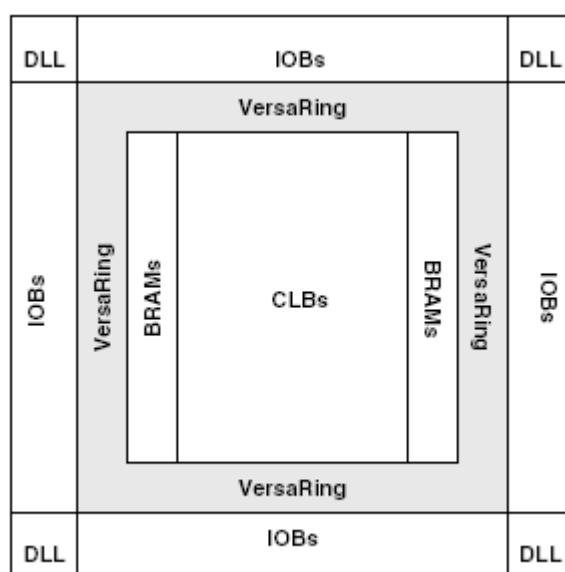


Figura 3-1: Arquitectura Virtex

La interconexión de los CLBs se realiza mediante la matriz general de rutado (GRM). Es una matriz de interruptores situados en las intersecciones de las líneas de rutado horizontales y verticales, posibilitando las conexiones de los mismos.

Además existe una interfaz exterior denominado *Versaring™* que permite las conexiones con los bloques IOBs, permitiendo una gran facilidad de asignar los pins de E/S.

La arquitectura incluye los siguientes circuitos que se conectan a la matriz GRM.

- Bloques de memoria de 4096 bits cada uno
- *Clock DLLs* para la compensación del retraso de distribución del reloj y control del mismo.
- Buffers triestado asociados con cada CLB que enlazan con las líneas de rutado horizontales.

La configuración del dispositivo se almacena en células de memoria SRAM al conectar la alimentación a la FPGA, y pueden ser leídas si es necesario cambiar la función del dispositivo.

3.1.1.1 Bloque de entrada/salida IOB

Los bloques IOBs Virtex soportan una amplia variedad de estándares de señalización de E/S. Por ejemplo, PCI, AGP, TTL, HSTL, GTL, CTT, LVCMOS2...

En la figura 3-2 se muestra la arquitectura que presenta un bloque IOB. Los tres *flip-flop* que existen tienen señales de *reset*, *CE*, *CLK* y *SET*. La señal SR (*SET and RESET*) es compartida por los tres, y puede ser configurada para realizar un *reset* síncrono, un *preset* asíncrono, un *set* síncrono.

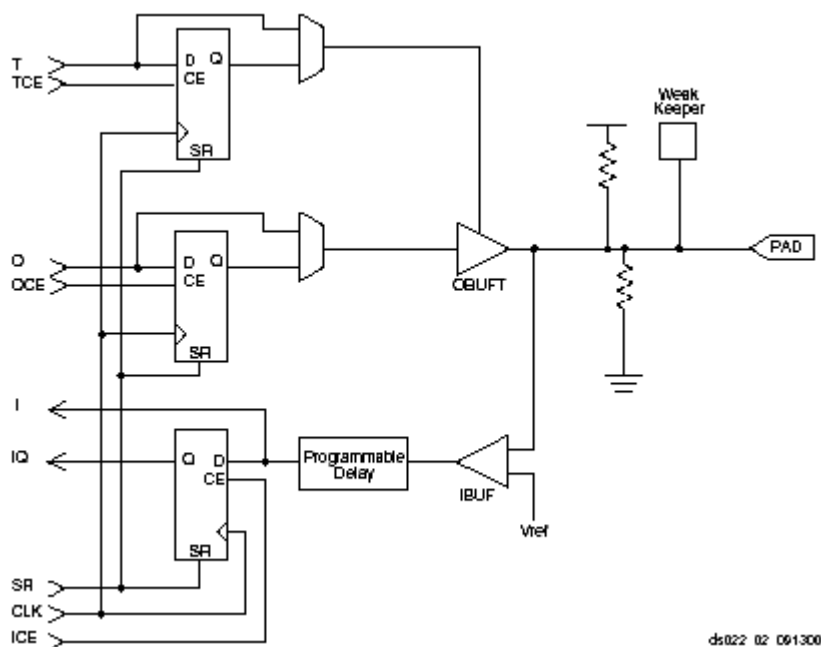


Figura 3-2: Virtex IOB

Todos los pads están protegidos contra las descargas electrostáticas (ESD) sobre transitorios de voltaje elevado. Las formas de protección se realizan mediante un diodo Zener cuando se usa un estándar de 5V, y un diodo normal cuando se utiliza un estándar de 3,3V.

Se pueden colocar resistencias internas *pull-up* o *pull-down* durante el proceso de configuración.

3.1.1.2 Bloque lógico o CLB

Un bloque lógico en la arquitectura Virtex está compuesto de 4 células lógicas o LC. LC es el bloque básico de la arquitectura para la construcción de funciones lógicas.

Un LC incluye una *look-up table* (LUT) de 4 entradas, que implementa un generador de funciones de 4 entradas, y un elemento de almacenamiento.

Las cuatro células lógicas se organizan en dos grupos denominados *Slices*, similar al mostrado en la figura 3-3.

El bloque CLB posee lógica adicional que combina las salidas de los generadores de funciones y que permite implementar funciones de cinco o seis entradas. Así la estimación de puertas que da Xilinx por cada CLB es de 4,5.

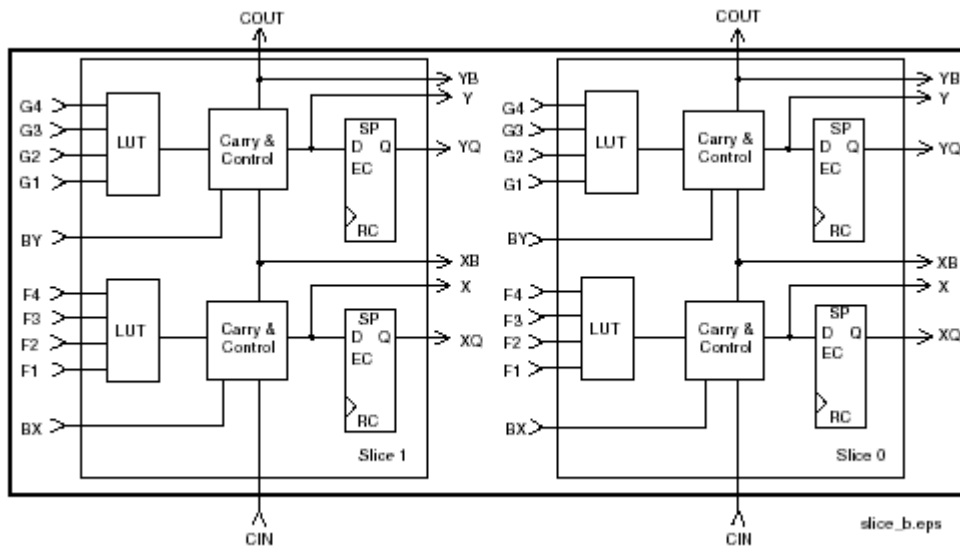


Figura 3-3: Virtex CLB

Los generadores de funciones o LUTs pueden constituir más memoria RAM aparte de la existente en los bloques *SelectRAM* que ya tiene la propia arquitectura. Se pueden configurar para obtener RAM 16x 1 bit *single-port* o *dual-port*, o usando un *Slice* 16 x 2 bit, o 32 x 1 bit.

La configuración de los elementos de almacenamiento permite elegir su funcionamiento como *flip-flop* o sensibles a nivel *latch*. Además poseen señales de CE, *reset* y *set* configurables.

En la figura 3-4 se muestra la lógica adicional antes mencionada y lógica aritmética en un *Slice* de la arquitectura Virtex. Suelen estar formada por dos multiplexores, F5 y F6, que combinan las salidas de ambas LC.

La lógica aritmética provee de una línea especial de acarreo para funciones aritméticas de alta velocidad en cada *Slice*. Por tanto se tienen dos bits de acarreo por bloque lógico. También se incluyen una puerta XOR que implementa un sumador de 1 bit y una puerta AND que implementa un multiplicador por cada célula lógica LC.

Cada CLB Virtex posee dos buffers tri-estado que lo conectan a los buses internos. El control del tri-estado es realizado de forma independiente por un pin de entrada.

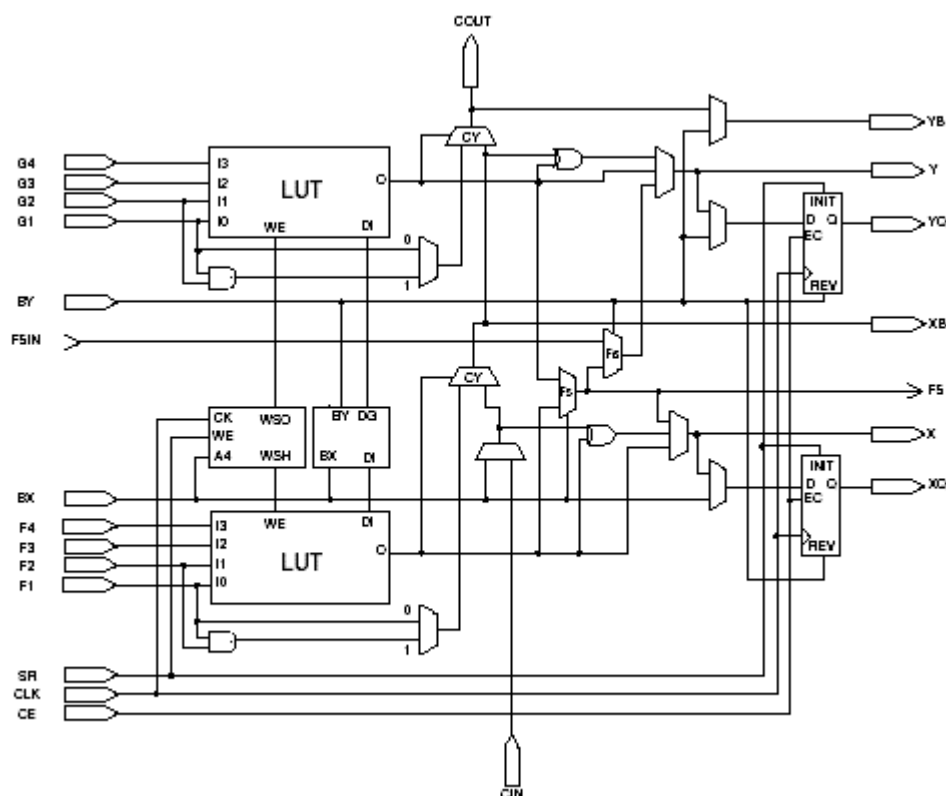


Figura 3-4: Virtex Slice

3.1.1.3 Bloque *SelectRAM*

La Virtex XCV800 incorpora un total de 28 bloques de RAM, con una tamaño de 512 bytes cada bloque. Puede ser configurado para tener un ancho desde 1 bit hasta 16 bits. Hay disponibles 14 Kbytes de memoria SRAM además de la memoria que se puede conseguir con los elementos de almacenamiento.

Esta organizada en dos bancos, uno a cada lado de la matriz formada por el conjunto de CLBs, con 14 bloques de memoria cada uno. En la arquitectura Virtex cada bloque de RAM tiene una altura equivalente a 4 CLBs.

3.1.1.4 GRM (*Global Routing Matrix*)

Los recursos de rutado determinan el camino crítico de un diseño, y éste la velocidad máxima del diseño. La arquitectura Virtex presenta los siguientes niveles de la jerarquía de rutado.

- Nivel Local (Figura 3-5)
 - Provee la interconexión entre LUTs, flip-flops, y GRM. Los CLBs adyacentes están conectados directamente, eliminando el retraso de la matriz GRM. Además se provee de un camino de realimentación directa de cada CLB permitiendo un retraso mínimo.

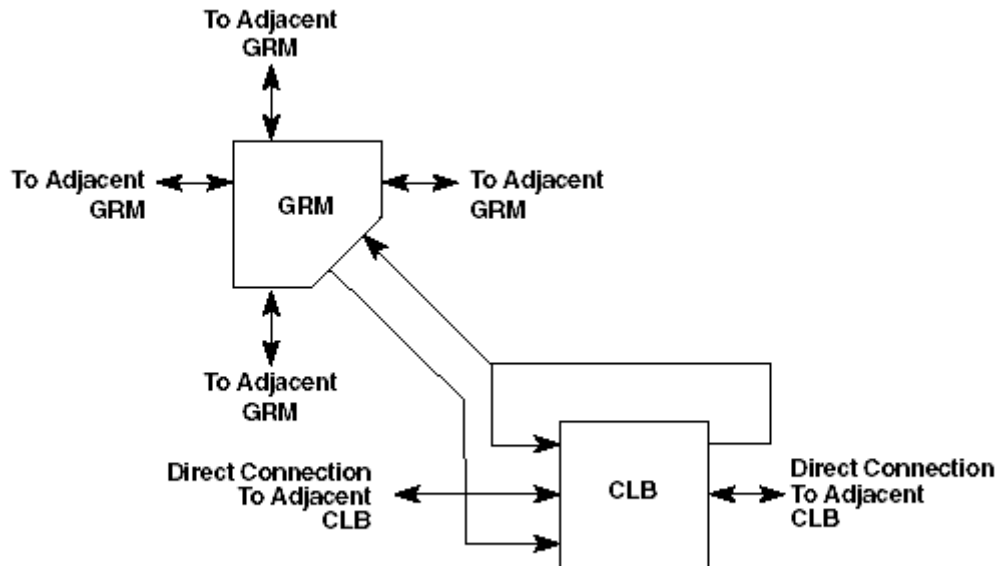


Figura 3-5: Virtex Nivel Local

- Nivel de propósito general
 - La mayoría de las conexiones se engloban dentro de este nivel. Se realizan las conexiones de los canales de rutado horizontales y verticales junto con los correspondientes CLBs por parte de la matriz de conexionado GRM. Existen 24 líneas que conectan cada GRM con las adyacentes en las cuatro direcciones, y 72 líneas que permiten conectar cada GRM con las GRMs separadas por 6 bloques en las cuatro direcciones, de las cuales 1/3 son bidireccionales.
- Nivel global
 - Realiza la distribución de señales de reloj, y señales que requieren un elevado *fan-out* a través del dispositivo. Se dispone de cuatro líneas globales dedicadas al reloj, (GCLK), con pins y buffers de entrada dedicados, que lo distribuyen con un elevado *fan-out* y un mínimo *skew*. Y 12 líneas de propósito general bidireccionales que distribuyen señales en el dispositivo rápidamente y eficientemente.

-
- Nivel E/S
 - Existen recursos adicionales que constituyen una interfaz de conexionado entre los IOBs y la matriz de CLBs. Es el denominado *Versaring*. Añade una gran flexibilidad a la hora de poner la FPGA Virtex en un determinado PCB, con posibilidades como bloqueo de un determinado pin, o de intercambio entre dos pins.
 - Nivel dedicado
 - Es un grupo de recursos dedicados a determinadas señales, formado por buses tri-estado horizontales en cada fila de la matriz de CLBs y líneas verticales dedicadas a propagar la señal de acarreo entre CLBs adyacentes.

3.1.1.4.1 DLL (Delay-Locked Loop)

Asociado con cada línea de distribución de reloj, GCLK, existe un bloque completamente digital (DLL) que implementa un bucle de realimentación que permite ajustar desviaciones de reloj y evitar posibles efectos *skew*.

Provee un avanzado control del reloj, al disponer de salidas que presentan la señal de CLK desfasada en 90°, 180°, 270°, CLKx2, y CLK dividido por 1.5, 2, 2.5, 3, 4, 5, 8, 16.

Para garantizar el correcto funcionamiento del diseño durante el inicio, la DLL puede alargar el proceso de configuración hasta que las señales de reloj se han estabilizado.

3.1.2 CONFIGURACIÓN

La FPGA Virtex se configura leyendo los datos de configuración en la memoria destinada a tal fin. Esto se realiza con una serie de pins de uso exclusivo para la configuración, y otros que después pueden ser utilizados por el diseño una vez se ha realizado el proceso de configuración.

Para Virtex XCV800 el número de bits de configuración (.bit) son 4.715.616 bits.

Los siguientes pins son dedicados:

- Modo (M2, M1, M0)
- Reloj de configuración (CCLK)
- Pin PROGRAM
- Pin DONE
- JTAG (TDI, TDO, TMS, TCK)

La FPGA Virtex soporta varios modos de configuración que son seleccionados durante el inicio según los valores de los pins M2, M1, M0.

- Modo Esclavo – Serie
- Modo Maestro – Serie
- Modo *SelectMAP*
- Modo *Boundary – Scan* (JTAG)

El último modo de programación (JTAG) siempre está disponible después de la configuración. Con los modos Serie se pueden llegar a configurar varias FPGAs conectadas en cascada.

Modo	M2	M1	M0	CCLK Dirección	Data bits	Serie D _{OUT}
Maestro - Serie	0	0	0	O	1	Y
<i>Boundary - Scan</i>	1	0	1	N/A	1	N
<i>SelectMAP</i>	1	1	0	I	8	N
Esclavo - Serie	1	1	1	I	1	Y
Maestro - Serie	1	0	0	O	1	Y
<i>Boundary - Scan</i>	0	0	1	N/A	1	N
<i>SelectMAP</i>	0	1	0	I	8	N
Esclavo - Serie	0	1	1	I	1	Y

Tabla 3-1: Códigos de configuración

En la tabla 2.1.1-2 se muestra los números de pin de las señales de configuración en el encapsulado HQ240

NOMBRE	PIN HQ240
M0	60
M1	58
M2	62
CCLK	179
PROGRAM	122
DONE	120
INIT	123
BUSY/DOUT	178
D0/DIN	177
D1	167
D2	163
D3	156
D4	145
D5	138
D6	134
D7	124
WRITE	185
CS	184
TDI	183
TDO	181
TMS	2
TCK	239

Tabla 3-2: *Pinout* Configuración

3.2 XSV BOARD

XSV es la placa de desarrollo preparada para la FPGA Virtex con distintos tipos de periféricos, permitiendo una amplia variedad de usos.

La placa XSV contiene dos circuitos integrados de lógica programable:

- XILINX Virtex FPGA en formato QFP-240. Exactamente una Virtex XCV 800 con un total de 888K puertas, aunque la placa viene preparada para cualquier otro tipo de Virtex siempre que venga en el mismo formato.
- XILINX XC95108 CPLD, que está destinado a gestionar la configuración de la Virtex mediante el puerto paralelo, puerto serie, memoria FLASH. Además control la configuración del periférico que implementa un puerto Ethernet.

Respecto a los periféricos que incorpora la placa, se indican a continuación junto con el resto de puertos y conexiones que dispone.

- Oscilador programable DALLAS que provee la señal de reloj a la FPGA y CPLD a partir de una frecuencia base de 100 Mhz.
- 16 Mbits de memoria FLASH que puede tener dos usos, almacenamiento de distintos flujos de configuración para el momento de arranque, o almacenamiento de datos de propósito general de la FPGA.
- Dos bancos de memoria RAM de tamaño 512kx16bits, totalmente independientes, usados para almacenamientos de datos de propósito general por parte de la FPGA.
- Decodificador de vídeo que acepta señales NTSC/PAL/SECAM y salida digitalizada hacia la FPGA.
- Codec Stereo que permite a la FPGA digitalizar señales entre 0 y 50 Khz con hasta 20 bits de resolución.
- Puerto Ethernet que permite acceder a la FPGA a una red de área local con velocidades de 10/100 Mbit.
- Dos puertos de expansión de 76 pin para conexiones de propósito general.
- Cuatro pulsadores y ocho interruptores en formato DIP que proveen entradas de propósito general a la FPGA y CPLD.
- Una barra gráfica de segmentos y dos dígitos de LEDs proporcionan visualización de salidas de la FPGA.
- Puerto PS/2 que permite la conexión a periféricos comunes de PC.

-
- Puerto USB que provee a la FPGA de comunicación serie con velocidades de 12 Mbit.
 - Puertos paralelo y serie que permiten al CPLD mandar y recibir datos en comunicación similar a un PC.
 - Alimentación de 9V mediante fuente de alimentación externa, o fuente de alimentación ATX.

Todos los periféricos anteriores comparten líneas de conexiones hacia la FPGA o CPLD. Esto implica que usando alguno, otro periférico que deshabilitado para su uso.

En los siguientes puntos se detallan los principales periféricos que pueden ser útiles en este proyecto.

3.2.1 OSCILADOR PROGRAMABLE

El Dallas DS1075 provee una señal de reloj a la FPGA y CPLD. Tiene una frecuencia máxima de 100 Mhz que es dividida para obtener frecuencias de 50 Mhz, 33.3 Mhz, 25 Mhz, ..., hasta 48.7 Khz que es la obtenida fijando un factor de división de 2052.

Aunque se permite una conexión en la placa XSV con una fuente para sincronización o frecuencia de reloj externa.

Para programar el oscilador debe ser puesto en el modo de programación, conectando la salida de reloj (clk) a alimentación. Ahora los comandos de programación pueden ser mandados por la CPLD o FPGA.

Para realizar la programación, se configura la CPLD mediante la utilidad GXSETCLK. Dicha utilidad programa la CPLD con la configuración necesaria para ajustar el oscilador, y posteriormente fija el factor de división correspondiente. Una vez ha sido fijada la frecuencia de reloj, se debe de tener en cuenta que la CPLD ha sido programada, y si se quiere programar la FPGA o memoria FLASH se debe de reprogramar la CPLD con la configuración correspondiente.

3.2.2 MEMORIA FLASH

La placa XSV incorpora una memoria FLASH Intel 28F016S5 con 16 Mbits (2Mbyte).

Suele almacenar los flujos de bits de configuración, que son leídos por la CPLD al conectarse la alimentación para configurar la FPGA. Una vez lanzado el sistema la FPGA o CPLD pueden escribir en la memoria FLASH, aunque se deben de evitar posibles conflictos de acceso, ya que comparten los mismo pins.

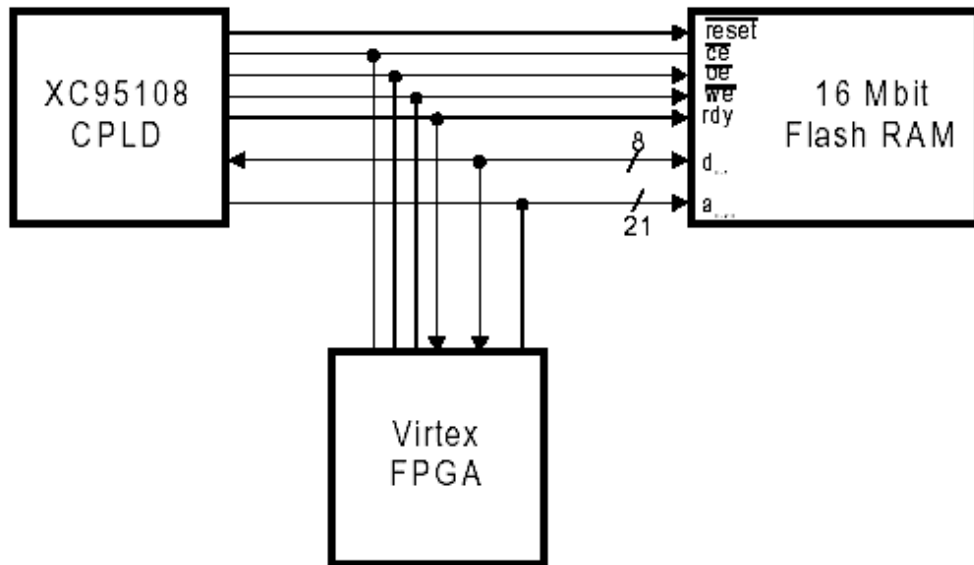


Figura 3-6: Disposición de líneas hacia memoria FLASH

Los pins de acceso a la memoria son compartidos con la barra gráfica y los dígitos. Se puede deshabilitar la memoria conectando la línea /CE a alimentación y permitiendo así líneas de comunicación entre la CPLD y FPGA.

3.2.3 MEMORIA SRAM

Existen dos bancos de memoria SRAM totalmente independientes de 512k x 16 bits, es decir, 2 Mbyte en total. Pueden ser utilizados sólo por la FPGA para almacenamiento de datos de propósito general, y no por la CPLD.

Comparten líneas con ambos puerto de expansión.

3.2.4 PUERTOS DE EXPANSIÓN

La placa incorpora dos conectores de 50 pins, a ambos lados de la placa, que pueden ser utilizados como puertos de propósito general para la expansión e incorporación con nuevos módulos externos al diseño que exista en la FPGA.

Al compartir líneas con los bancos de memoria, si es usado alguno de éstos no puede ser utilizado el correspondiente puerto de expansión.

3.2.5 ENTRADA/SALIDA GENERAL

Se disponen como entradas 8 interruptores DIP y 4 pulsadores. Para la salida existe una barra gráfica de 10 segmentos, y dos dígitos de LEDs.

3.2.6 PUERTO PARALELO Y SERIE

El puerto paralelo y el puerto serie disponibles sólo pueden ser usados por la CPLD y no por la FPGA. Para poder incorporarlos en un diseño se debería programar la CPLD para que actuara de intermediaria entre la comunicación exterior y la FPGA.

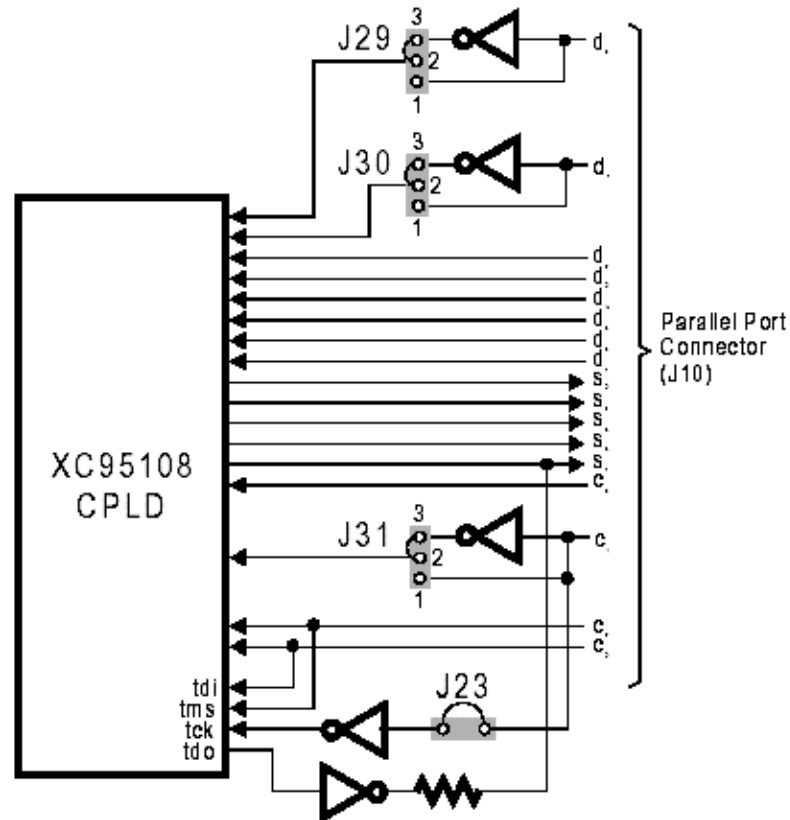


Figura 3-7: Puerto paralelo

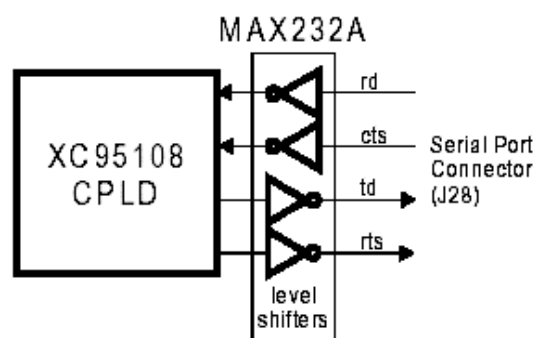


Figura 3-8: Puerto Serie

El puerto paralelo suele ser utilizado para configurar la FPGA por parte de la CPLD o grabar en la memoria FLASH.