

CAPÍTULO 4

EL CHIP DE MISMATCHING

Para la caracterización del mismatch se ha diseñado un chip de propósito específico [7] cuya microfotografía se puede observar en la figura 4.1. Este chip tiene la particularidad de que permite acceder separadamente para su caracterización a un elevado número de transistores, utilizando para ello un número muy reducido de pines.

Dicho chip consiste en un arreglo (“array”) de 64 celdas idénticas distribuidas en 4 columnas y 16 filas. Podemos observar un esquema del chip en la figura 4.2. Cada celda contiene 25 transistores NMOS y 25 transistores PMOS todos ellos de distintos tamaños, como podemos observar en el esquema mostrado en la figura 4.3.

Este chip está desarrollado en tecnología CMOS estándar de $0.35\mu\text{m}$. Las 25 geometrías corresponden a 5 anchos y a 5 longitudes distintas:

Los anchos de los transistores son: $10\mu\text{m}$, $5\mu\text{m}$, $2.5\mu\text{m}$, $1.2\mu\text{m}$ y $0.6\mu\text{m}$.

Las longitudes son, por el contrario: $10\mu\text{m}$, $4\mu\text{m}$, $1.5\mu\text{m}$, $0.7\mu\text{m}$ y $0.3\mu\text{m}$.

En la periferia del chip (ver figura 4.2) así como rodeando cada celda (figuras 4.4 y 4.5), se inserta una circuitería digital de selección (decodificador). La estructura seguida en el diseño del chip es que todos los transistores nmos tienen sus drenadores conectados al pin DN del chip, mientras que todos los transistores pmos lo tienen conectado al pin DP. Por otra parte, todos los transistores, tanto los nmos como los pmos, tienen sus fuentes conectadas al pin S del chip y sus puertas cortocircuitadas con sus fuentes, salvo el par nmos-pmos cuya puerta está conectada al pin G del chip.

Podemos observar dicha circuitería de selección de filas, columnas y tamaños en las figuras 4.6 a 4.11.

El bus digital y la codificación/selección interna selecciona una celda del array y, dentro de ésta, un par de transistores nmos-pmos, conectando sus puertas al pin G del chip. Dicho pin, al igual que el DN, DP y S, será uno de los que está en los puertos del trazador de curvas. Podemos observar un esquema de lo anteriormente dicho en la figura 4.12.

El chip que tratamos en este estudio posee un total de 17 pines, estando 11 de ellos dedicados a los decodificadores (2 pines para seleccionar columnas, 4 para filas y 5 para tamaños), DN, DP, G, S, GND, VDD.

Por tanto, en el proceso de medida habrá que activar las líneas adecuadas para seleccionar en cada caso la celda correspondiente. Para medir transistores nmos bastará con poner la línea DP a alta impedancia, mientras que para realizar la medida con los pmos, por el contrario, tendremos que deshabilitar el pin DN.

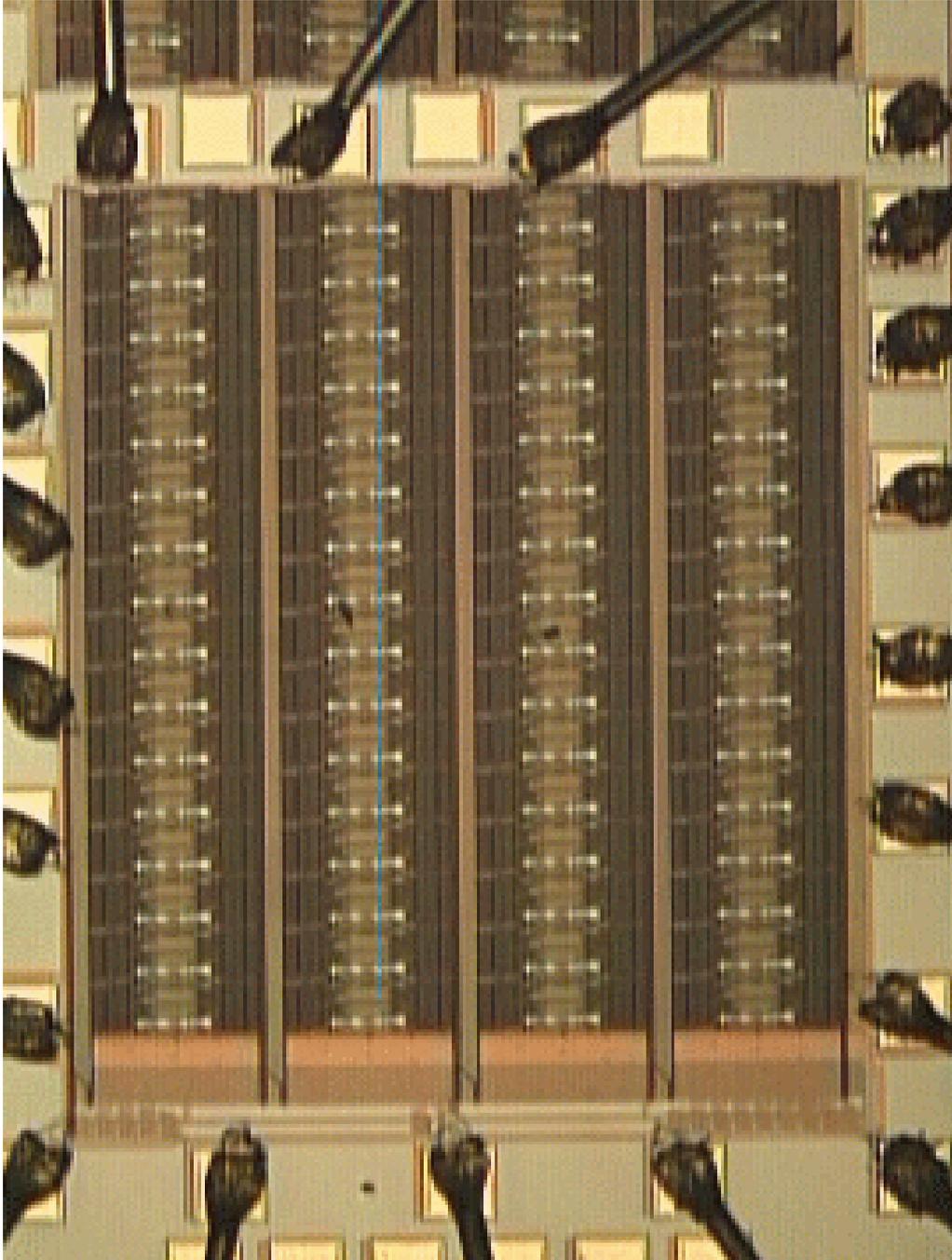


Figura 4.1. Fotografía realizada con microscopio del chip objeto de nuestro estudio.

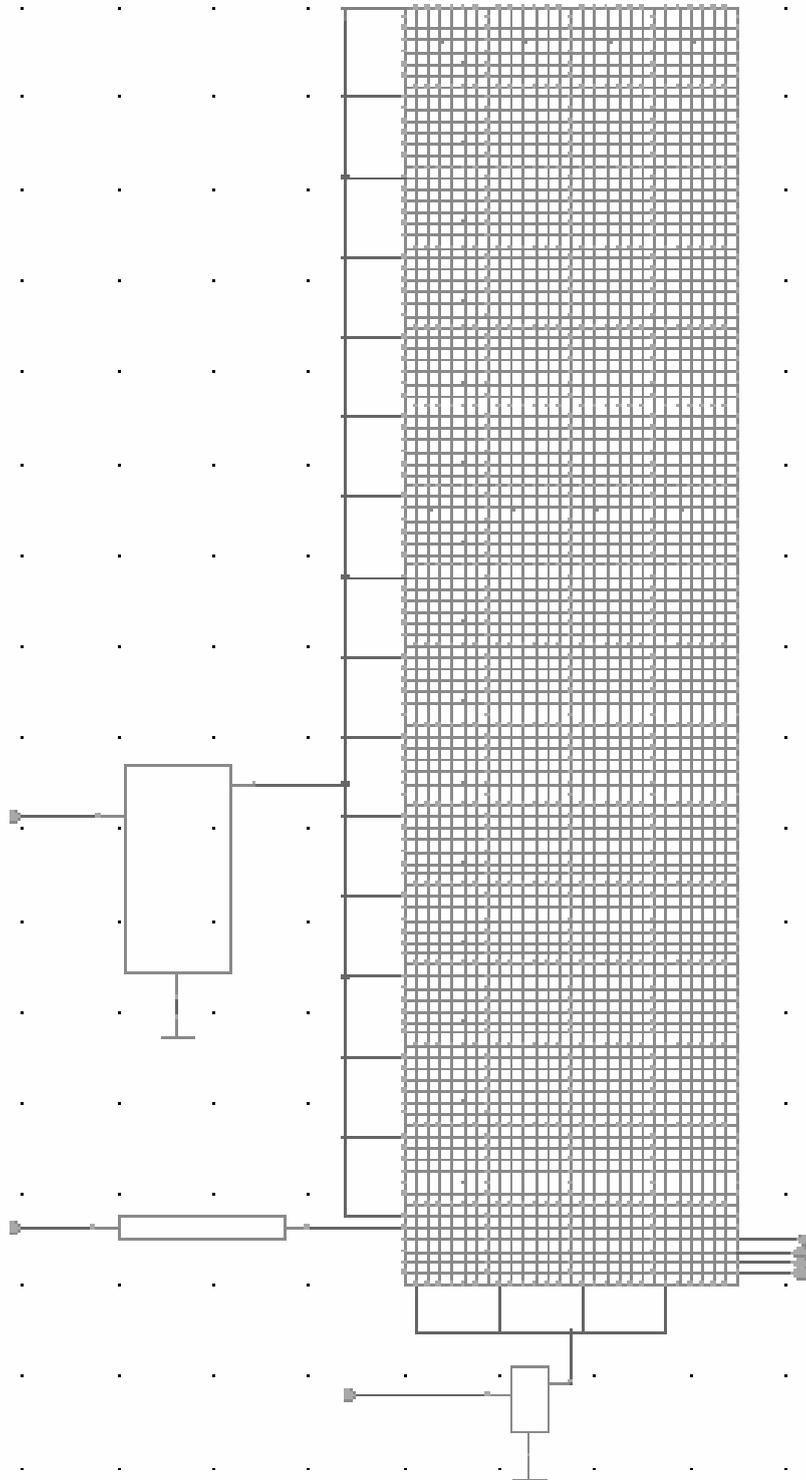


Figura 4.2. Esquema del chip. Podemos distinguir las 64 celdas así como los decodificadores de selección de filas, columnas y tamaños.

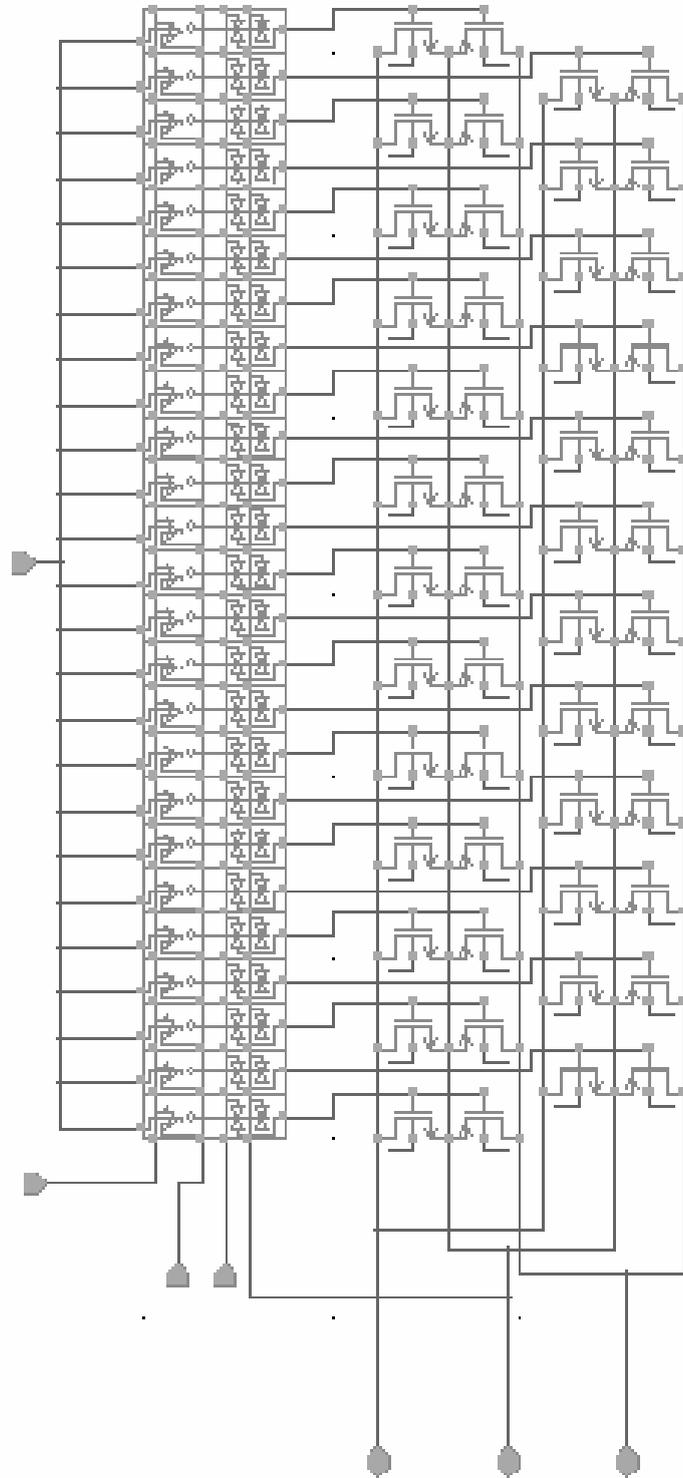


Figura 4.3. Esquema de una celda. Se observan los 25 pares de transistores, así como la circuitería de selección.

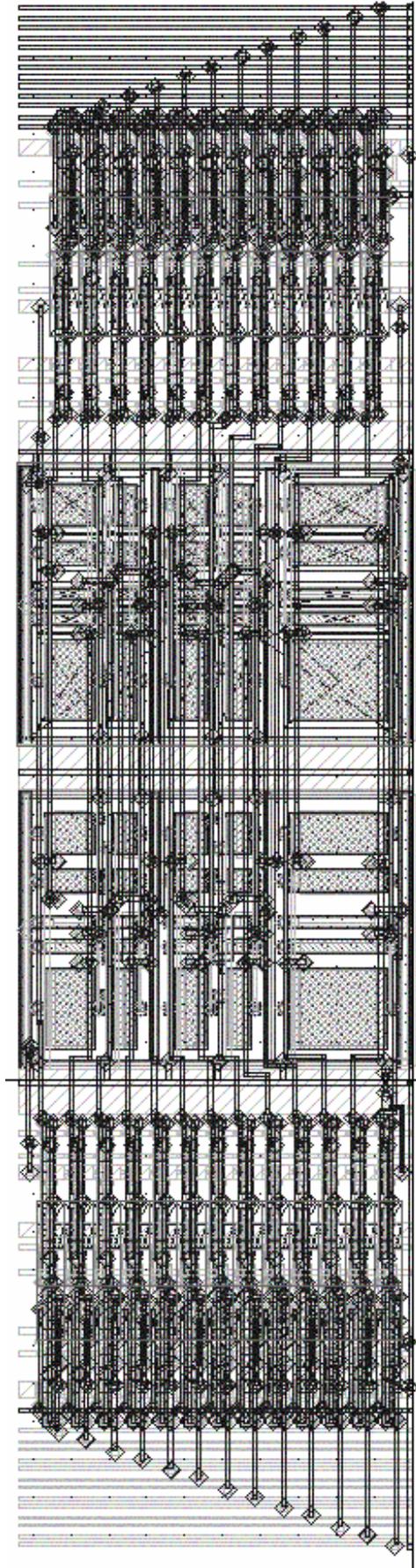


Figura 4.4. Layout en de talle de una celda compuesta por 50 transistores.

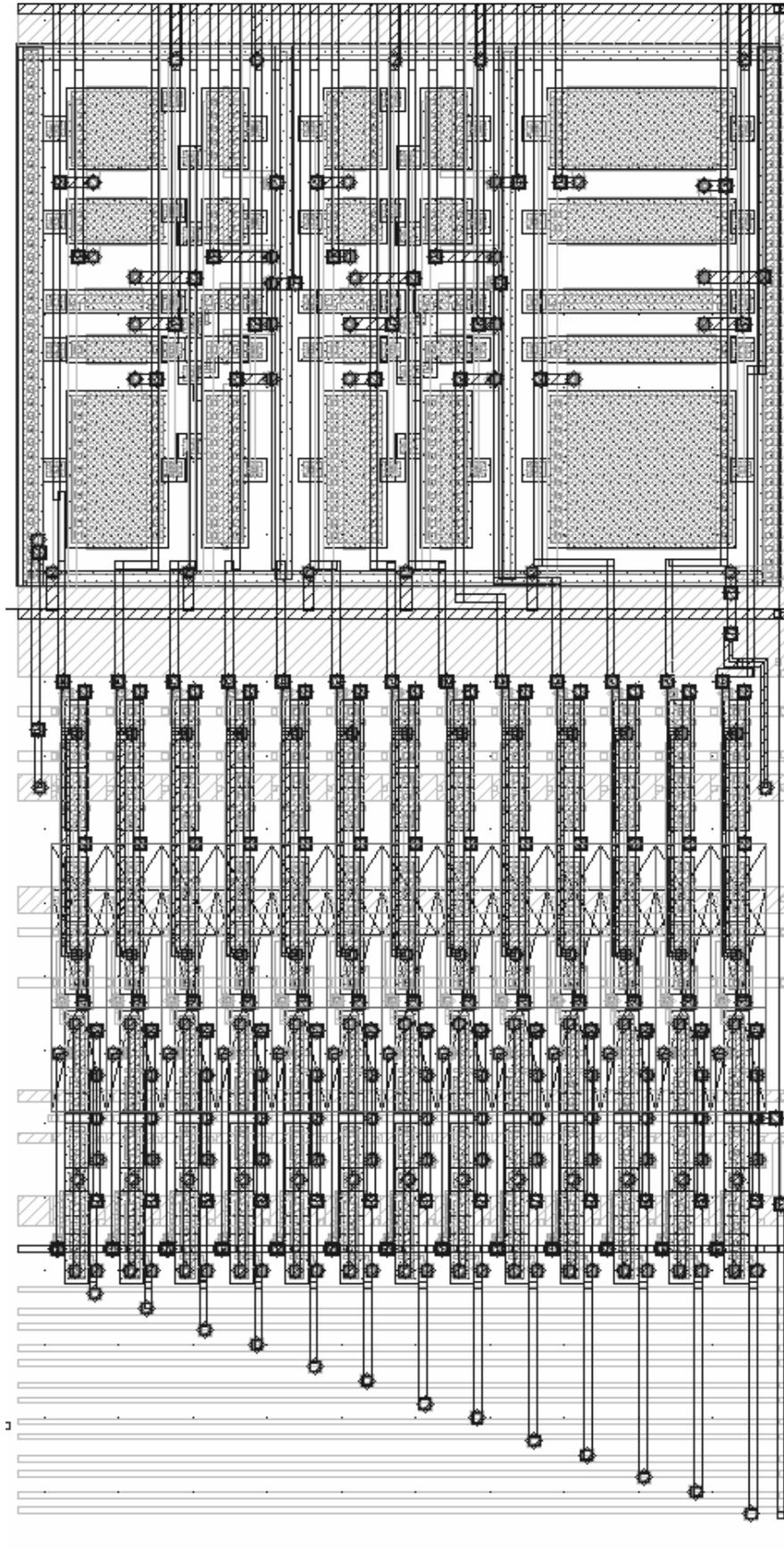


Figura 4.5. Detalle del layout de la zona nmos y de su lógica de selección para una celda.

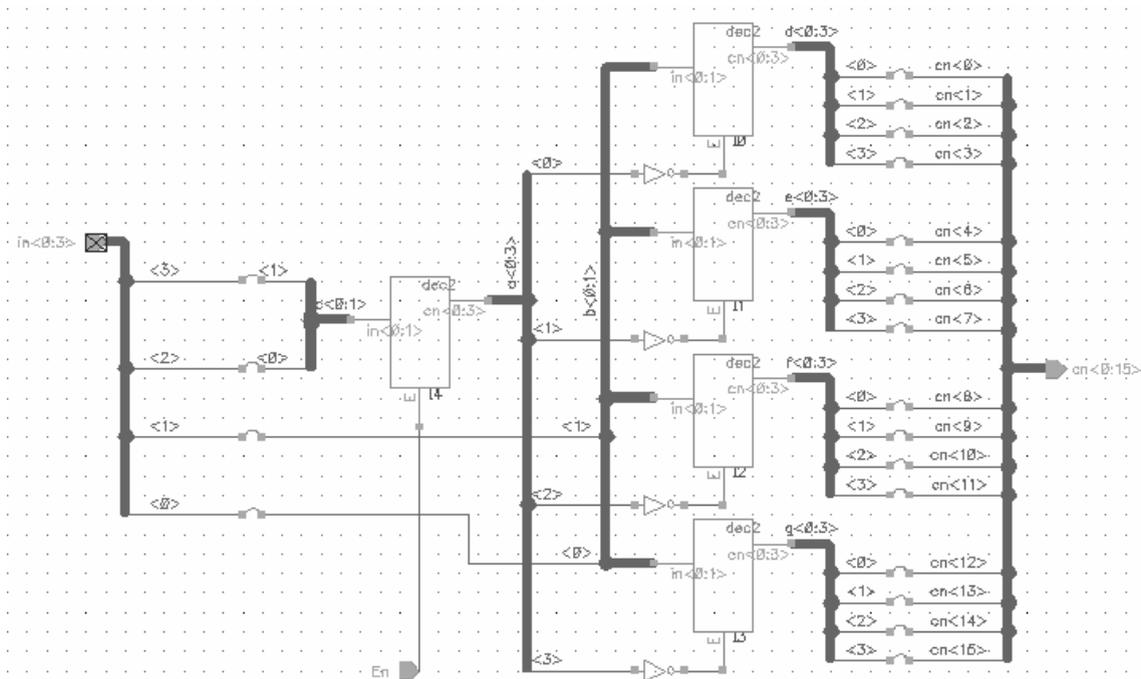


Figura 4.6. Esquema de la selección de filas.

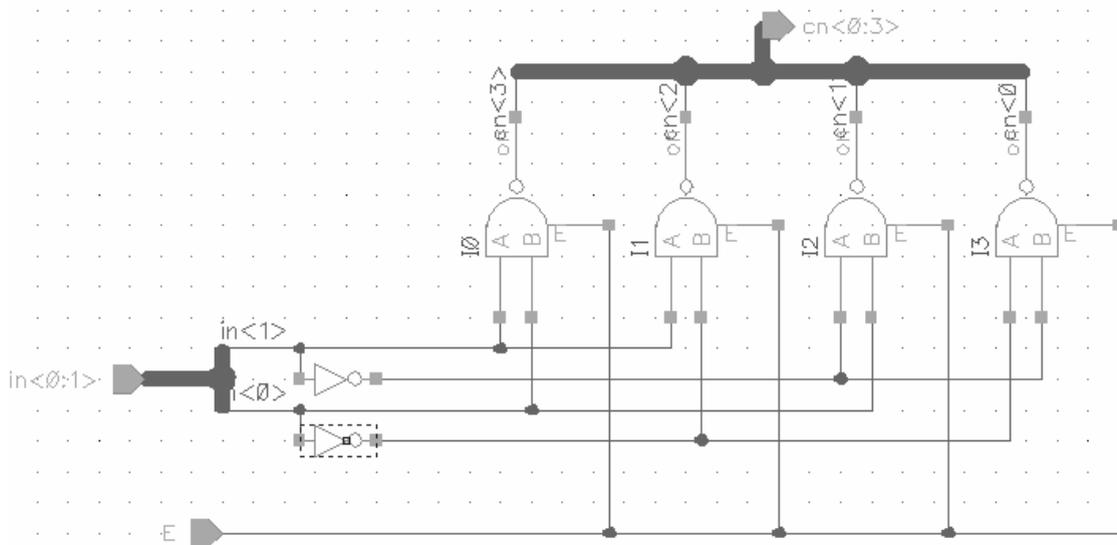


Figura 4.7. Esquema del decodificador de columnas.

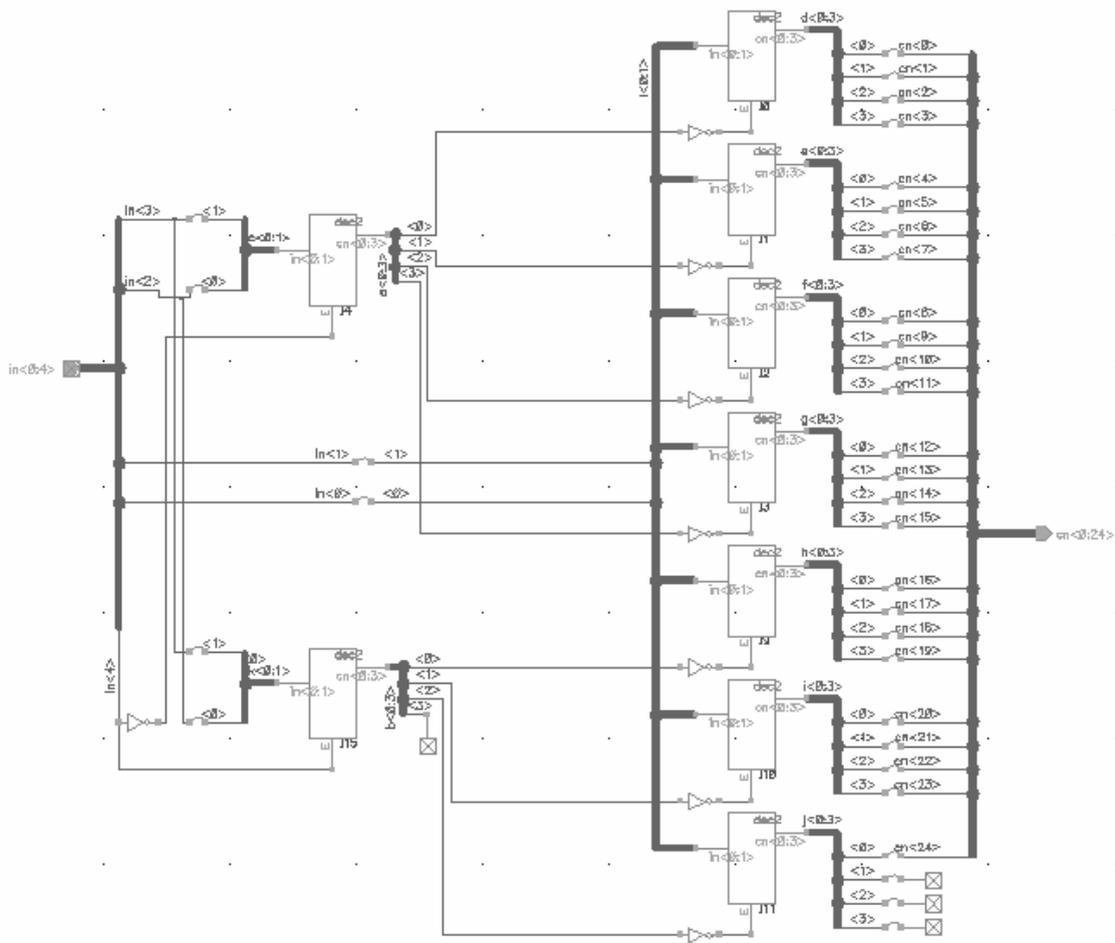


Figura 4.8. Esquema de la lógica de selección de los 25 tamaños.

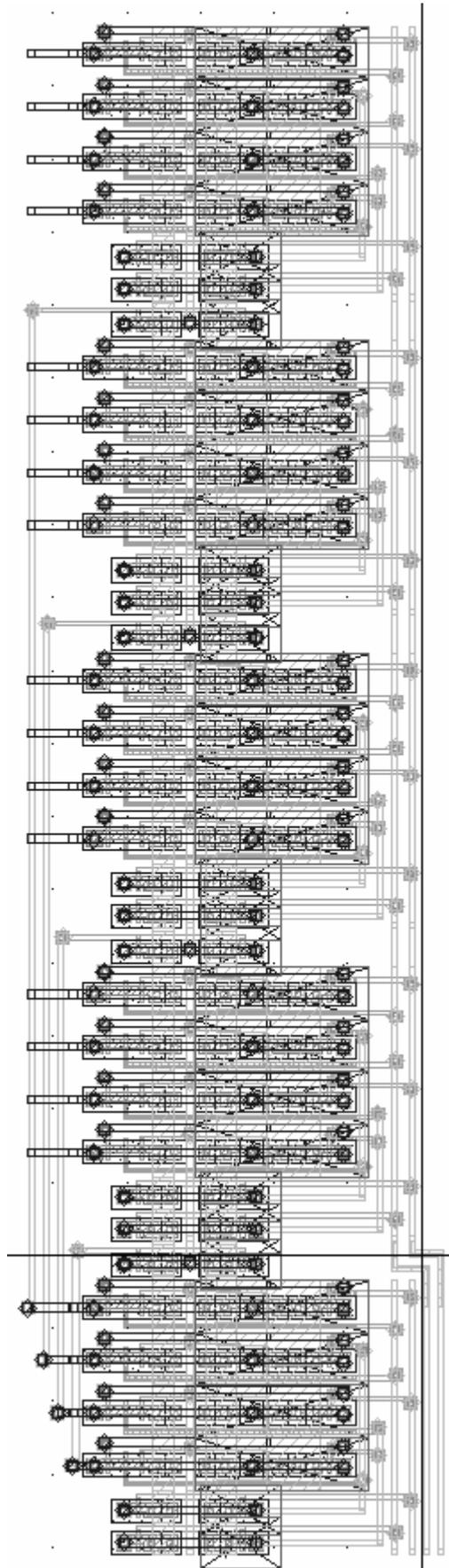


Figura 4.9. Layout del decodificador de filas.

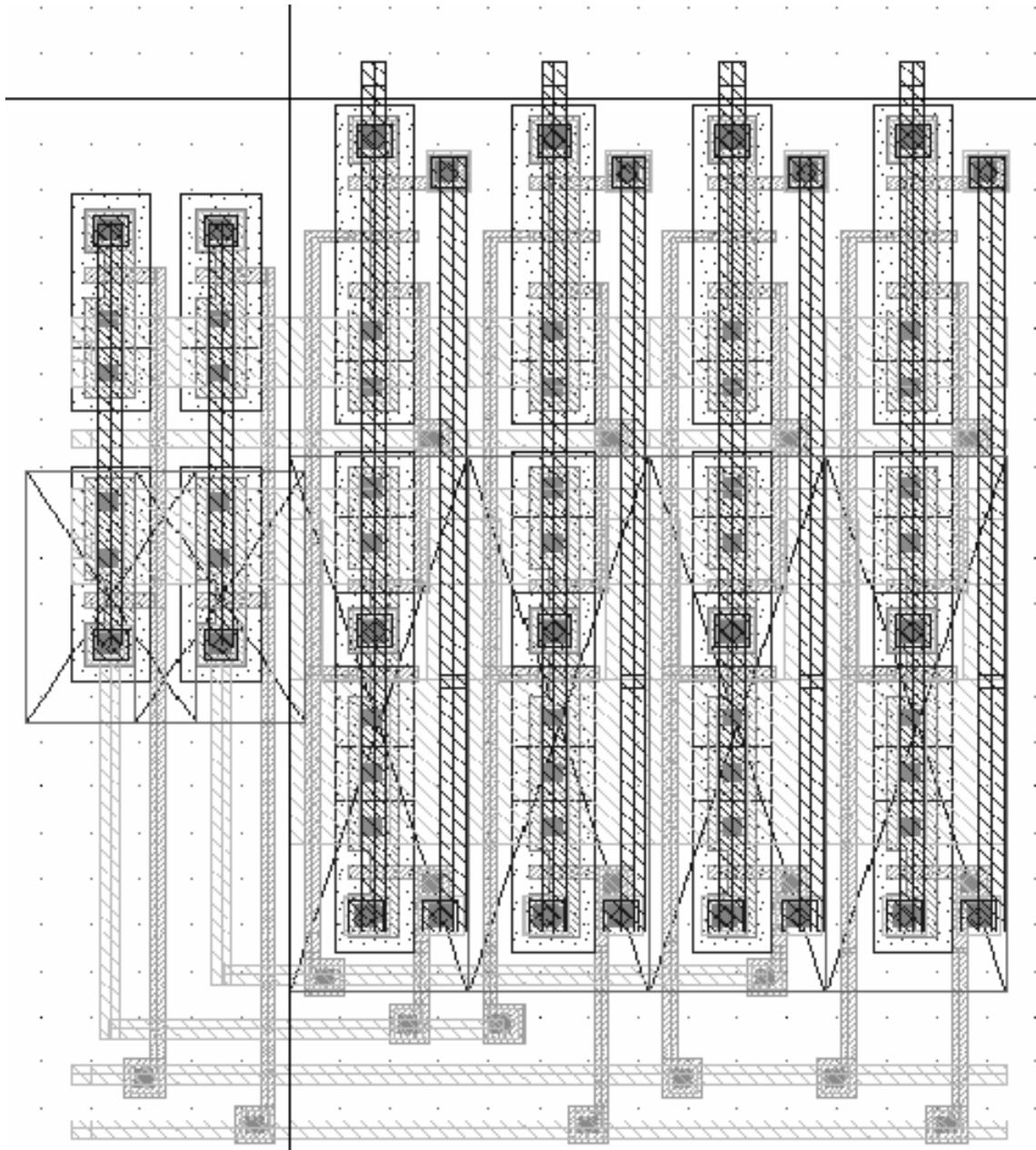


Figura 4.10. Layout del decodificador de columnas.

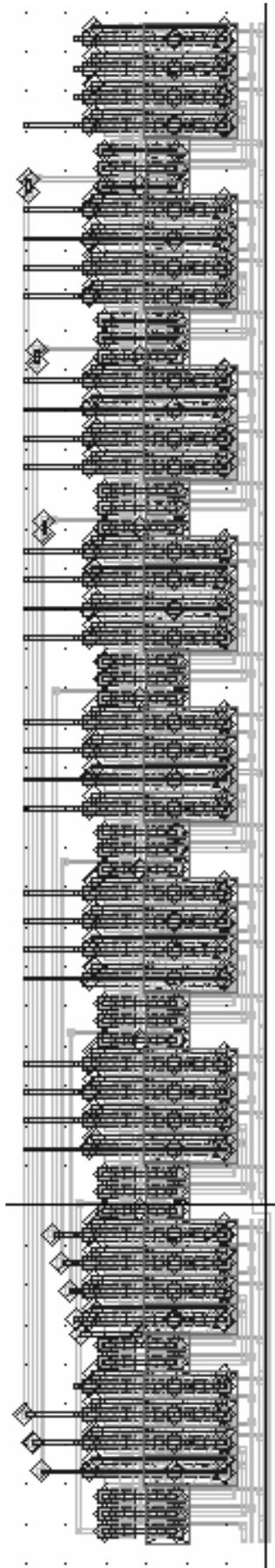


Figura 4.11. Layout del decodificador de tamaños.

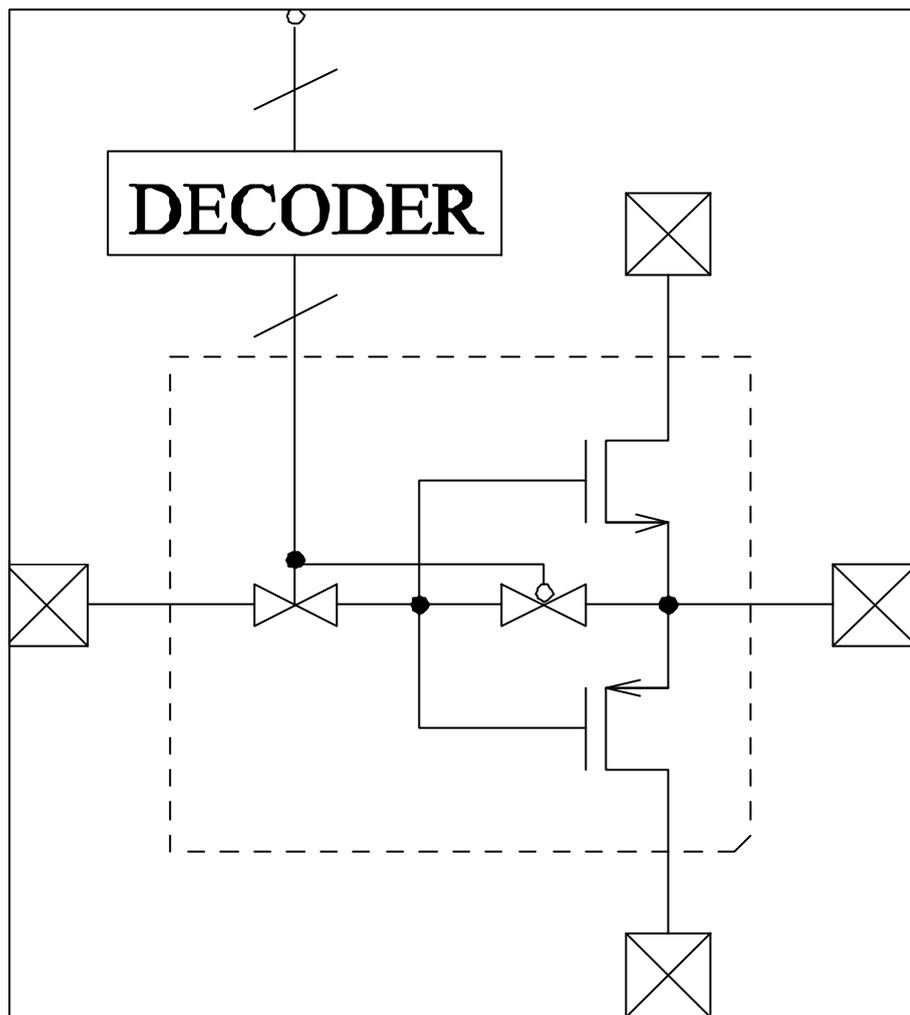


Figura 4.12. Esquema del funcionamiento del decodificador en una celda.