

UNIVERSIDAD DE SEVILLA  
ESCUELA SUPERIOR DE INGENIEROS  
INGENIERO DE TELECOMUNICACIONES



PROYECTO FIN DE CARRERA

**DISEÑO DE UN  
CONMUTADOR DE ANTENA  
A 5 GHz CON HEMT EN  
TECNOLOGÍA MMIC**

Autor: Juan María Rodríguez Sánchez  
Tutor: Carlos Crespo Cadenas

Enero 2004

*Con todo cariño para mi familia, por  
apoyarme y aguantarme durante  
estos largos años.*

*Chi vuoc por termine alli umani  
ingegni?*

*GALILEO GALILEI*

# **ÍNDICE**

|                                                                                                  |           |
|--------------------------------------------------------------------------------------------------|-----------|
| <b>1. Introducción .....</b>                                                                     | <b>1</b>  |
| 1.1. Situación inicial .....                                                                     | 1         |
| 1.2. Objeto del proyecto .....                                                                   | 3         |
| <b>2. Tecnologías utilizadas .....</b>                                                           | <b>4</b>  |
| 2.1. Tecnología MMIC .....                                                                       | 4         |
| 2.1.1. Introducción.....                                                                         | 4         |
| 2.1.2. Ventajas y desventajas de los MMIC's .....                                                | 4         |
| 2.1.2.1. Coste .....                                                                             | 5         |
| 2.1.2.2. Prestaciones .....                                                                      | 5         |
| 2.1.2.3. Reproducibilidad.....                                                                   | 5         |
| 2.1.2.4. Fiabilidad .....                                                                        | 5         |
| 2.1.2.5. Tamaño y manejo.....                                                                    | 6         |
| 2.1.3. Tecnologías MMIC .....                                                                    | 6         |
| 2.1.4. Aplicaciones .....                                                                        | 7         |
| 2.2. HEMT .....                                                                                  | 8         |
| 2.2.1. Principios del HEMT.....                                                                  | 8         |
| 2.2.2. Teoría.....                                                                               | 9         |
| 2.2.3. Tecnología HEMT.....                                                                      | 12        |
| 2.2.4. Ruido en el HEMT .....                                                                    | 14        |
| 2.3. Proceso ED02AH de OMMIC .....                                                               | 15        |
| 2.3.1. Componentes utilizados.....                                                               | 17        |
| 2.3.1.1. Transistor de empobrecimiento .....                                                     | 17        |
| 2.3.1.2. Capacidades .....                                                                       | 20        |
| 2.3.1.3. Inductancias de espiral .....                                                           | 21        |
| 2.3.1.4. Resistencias.....                                                                       | 22        |
| <b>3. Reseña teórica de switches .....</b>                                                       | <b>23</b> |
| 3.1. Configuración y funcionamiento básicos .....                                                | 23        |
| 3.2. Switches MMIC con FET's de GaAs .....                                                       | 25        |
| 3.2.1. Mecanismo de conmutación de un FET de GaAs.....                                           | 25        |
| 3.2.2. Circuito equivalente del FET como conmutador .....                                        | 26        |
| 3.2.3. Implementación de switches MMIC.....                                                      | 27        |
| 3.3. Diferentes configuraciones de switches con FET's.....                                       | 28        |
| 3.3.1. Switch T/R para comunicaciones personales a 1.9 GHz .....                                 | 28        |
| 3.3.2. Conmutadores SPDT MMIC para DC-40 GHz y 20-40 GHz .....                                   | 29        |
| 3.3.3. Switch T/R de alta potencia para 2-18 GHz .....                                           | 30        |
| 3.3.4. Switch SPDT MMIC usando JFET's de GaAs y modo E/D para comunicaciones personales .....    | 32        |
| 3.3.5. Switch SPDT IC en tecnología de GaAs para sistema digital de comunicaciones móviles ..... | 33        |
| 3.3.6. Switch T/R monolítico de alta potencia para la banda K/Ka .....                           | 35        |
| 3.4. Efectos de la no linealidad del switch .....                                                | 37        |

|                                                              |            |
|--------------------------------------------------------------|------------|
| <b>4. Switch A.....</b>                                      | <b>38</b>  |
| 4.1. Base documental del switch .....                        | 38         |
| 4.1.1. Introducción.....                                     | 38         |
| 4.1.2. Diseño del circuito.....                              | 38         |
| 4.1.3. Rendimiento .....                                     | 39         |
| 4.1.3.1. Efectos del ajuste de la tensión de control.....    | 40         |
| 4.1.4. Conclusiones .....                                    | 41         |
| 4.2. Modificaciones y comentarios teóricos .....             | 42         |
| 4.3. Diseño, simulaciones y resultados.....                  | 45         |
| 4.3.1. Discusión teórica previa .....                        | 45         |
| 4.3.2. Simulaciones y resultados .....                       | 48         |
| 4.3.2.1. Simulaciones del switch con elementos ideales ..... | 48         |
| 4.3.2.2. Simulaciones del switch con elementos reales .....  | 57         |
| 4.4. Conclusiones y solución final.....                      | 67         |
| <b>5. Switch B.....</b>                                      | <b>68</b>  |
| 5.1. Base documental del switch .....                        | 68         |
| 5.1.1. Introducción.....                                     | 68         |
| 5.1.2. Configuración del circuito .....                      | 68         |
| 5.1.3. Características del switch integrado .....            | 72         |
| 5.1.4. Apéndice (cálculo de $R_g$ ).....                     | 74         |
| 5.2. Modificaciones y comentarios teóricos .....             | 75         |
| 5.3. Diseño, simulaciones y resultados.....                  | 76         |
| 5.3.1. Diseño teórico previo .....                           | 76         |
| 5.3.2. Simulaciones y resultados .....                       | 80         |
| 5.3.2.1. Simulaciones del switch con elementos ideales ..... | 80         |
| 5.3.2.2. Simulaciones del switch con elementos reales .....  | 83         |
| 5.4. Conclusiones y solución final.....                      | 100        |
| <b>6. Switch C.....</b>                                      | <b>101</b> |
| 6.1. Base documental del switch .....                        | 101        |
| 6.1.1. Introducción.....                                     | 101        |
| 6.1.2. Comparación entre potencias máximas transmitidas..... | 102        |
| 6.1.3. Diseño del switch T/R .....                           | 103        |
| 6.1.4. Resultados medidos .....                              | 105        |
| 6.1.5. Mejora de la respuesta en frecuencia.....             | 107        |
| 6.1.6. Conclusiones .....                                    | 108        |
| 6.2. Modificaciones y comentarios teóricos .....             | 109        |
| 6.3. Diseño, simulaciones y resultados.....                  | 110        |
| 6.3.1. Diseño teórico previo .....                           | 110        |
| 6.3.2. Simulaciones y resultados .....                       | 111        |
| 6.3.2.1. Simulaciones del switch con elementos ideales ..... | 111        |
| 6.3.2.2. Simulaciones del switch con elementos reales .....  | 120        |
| 6.4. Conclusiones y solución final.....                      | 129        |

|                                                                                                       |            |
|-------------------------------------------------------------------------------------------------------|------------|
| <b>7. Elección final y <i>layout</i>.....</b>                                                         | <b>130</b> |
| 7.1. Discusión y elección final.....                                                                  | 130        |
| 7.2. <i>Layout</i> .....                                                                              | 131        |
| 7.2.1. Otro uso del switch: diversidad de antena .....                                                | 140        |
| <b>8. Referencias y anexos.....</b>                                                                   | <b>141</b> |
| 8.1. Referencias .....                                                                                | 141        |
| 8.2. Anexos .....                                                                                     | 142        |
| 8.2.1. Cálculo en MATLAB de las gráficas de $I_g$ , $V_{ds}$ , $V_{gs}$ y $V_{gd}$ del switch B ..... | 142        |
| 8.2.2. Artículo en el que se basa el switch A .....                                                   | 144        |
| 8.2.3. Artículo en el que se basa el switch B .....                                                   | 147        |
| 8.2.4. Artículo en el que se basa el switch C .....                                                   | 155        |
| 8.2.5. Aspecto de la celda con el <i>layout</i> del circuito .....                                    | 162        |

# 1. INTRODUCCIÓN

## 1.1. SITUACIÓN INICIAL

Las comunicaciones móviles y personales tienen actualmente una enorme importancia en nuestra sociedad de la información. Hoy en día es impensable vivir sin estar comunicado y localizado permanentemente. Esta gran demanda de sentirse en contacto con los demás es lo que ha hecho que en los últimos años la telefonía móvil adquiriera una enorme relevancia.

Al igual que en todos los elementos electrónicos, en los dispositivos usados en los terminales móviles siempre se tiende al mínimo tamaño y volumen posible. El avance tecnológico ha contribuido a ir caminando hacia esa meta, y son muchas las tecnologías de fabricación que han aparecido en los últimos años con tres ideas o fines bien marcados: mínimo tamaño, mínimo coste y mínimo consumo. Este último punto es muy importante en el caso de la telefonía móvil, ya que los terminales poseen baterías que, por mucho que han mejorado en los últimos años, tienen una capacidad finita.

Otro aspecto que caracteriza a las comunicaciones móviles en la actualidad es la escasez de espectro radioeléctrico libre, lo que hace necesario la utilización de frecuencias superiores. Esto obliga a usar tecnologías con un muy buen comportamiento a altas frecuencias, tal como la tecnología HEMT.

Para conseguir que los elementos electrónicos que componen los terminales móviles tengan un tamaño lo menor posible y con una gran eficiencia se hace uso de diversas tecnologías de fabricación, entre las que destaca la tecnología MMIC (Microwave Monolithic Integrated Circuit).

En todo transceptor móvil de radiocomunicación, un elemento importante es el conmutador. Los conmutadores de microondas son elementos esenciales para una amplia variedad de aplicaciones, desde las más sencillas a las más complicadas. Aunque los requerimientos específicos de cada aplicación deben ser adaptados a necesidades individuales, las características esenciales de los switches descansan sobre la misma base. Todos los conmutadores tienen la misión de dirigir una señal de RF de un camino a otro, con el propósito de compartir una determinada parte del circuito como, por ejemplo, una antena.

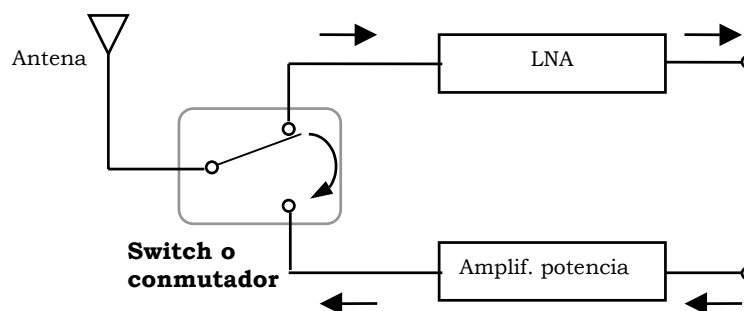


Figura 1.1

Hay cinco características fundamentales que se le exigen a un conmutador de antena:

- *Alto aislamiento transmisor-receptor.* Es fundamental para el modo transmisión pues queremos que, cuando se transmita una señal, la mayor

parte posible vaya hacia la antena y muy poca o ninguna hacia el receptor. Es muy importante que sea así ya que normalmente el circuito de recepción siempre está activo y no es deseable que reciba señal del propio transmisor.

- *Bajas pérdidas de inserción.* Lo deseable es que se pierda muy poca señal en los trayectos transmisor-antena y antena-receptor, por lo que será muy importante la adaptación.
- *Capacidad de manejo de grandes potencias.* Interesa que el switch no sature a bajas potencias de entrada y sea capaz de, principalmente en transmisión, encaminar señales de gran potencia. En recepción esto no es un problema ya que normalmente se reciben potencias muy pequeñas ( $\ll 0$  dBm).
- *Bajo consumo.* Como siempre, ésta es una característica fundamental para todos los dispositivos integrados. Un aspecto importante en este caso es optar por un switch sin tensión de alimentación, simplemente con tensión de control, y preferiblemente, de valor bajo.
- *Alta velocidad de conmutación.* Lo deseable es que, en los cambios de la tensión de control de *on* a *off* y viceversa, el conmutador pase del modo transmisión al modo recepción y viceversa con un retraso mínimo.

Estos serán nuestros objetivos en la realización de este proyecto, para lo que se hará uso de las diversas técnicas que se nos facilitan.

## **1.2. OBJETO DEL PROYECTO**

El proyecto que aquí se presenta muestra el diseño de un conmutador de antena monolítico para una frecuencia de 5.25 GHz. A su vez, se engloba dentro de un proyecto mayor, llamado “Plataforma hardware para comunicaciones móviles de cuarta generación”. Este proyecto está siendo desarrollado por el Grupo de Sistemas de Radiocomunicación perteneciente al Área de Teoría de la Señal y Comunicaciones de la Escuela de Ingenieros de la Universidad de Sevilla, y tiene como objeto la realización física de un transceptor a 5.25 GHz para un terminal móvil de última generación. Para ello se ha optado por usar parcialmente tecnología MMIC, y dentro de ésta, tecnología HEMT pseudomórfica. Estas tecnologías son facilitadas por la Foundry OMMIC de Philips, encargada de la realización del monolítico mediante el proceso de fabricación ED02AH.

En cuanto a aspectos más específicos de la presente documentación del proyecto, es necesario hacer notar que se ha estructurado de una forma muy clara: se ha realizado el diseño de tres switches, presentados por diversos artículos, y, una vez realizadas todas las simulaciones, se ha elegido el mejor teniendo en cuenta los aspectos fundamentales nombrados en el apartado anterior. Una vez hecho esto, se ha diseñado el *layout* del circuito elegido y se han vuelto a realizar nuevas simulaciones. Con todo esto, se pretende profundizar en el estudio comparativo de switches, a fin de ver diversas estructuras.

Previo al diseño descrito anteriormente, se realiza un estudio teórico de las distintas configuraciones de switches existentes, así como de las tecnologías usadas para la realización del switch, esto es MMIC Y HEMT.

Para el diseño, simulación y optimización tanto de los esquemáticos como de los *layouts* de los distintos circuitos se ha hecho uso de la herramienta ADS2003A (Advanced Design System), de Agilent Technologies. A este programa se le han incluido las librerías facilitadas por la *Foundry* de todos sus componentes, para su uso en la realización de los conmutadores.

En cuanto a la nomenclatura, cabe destacar que se ha usado de forma indistinta dos denominaciones para el dispositivo: switch T/R, que es una traducción directa de la palabra anglosajona T/R switch o Transmit/Receive switch, y conmutador de antena, que es como se le llama en todos las referencias hispanas.

## **2. TECNOLOGÍAS UTILIZADAS**

### **2.1. TECNOLOGÍA MMIC** ([1] y [2])

#### **2.1.1. Introducción**

Un circuito integrado monolítico de microondas (MMIC) es un circuito de microondas en el cual los componentes activos y pasivos son fabricados sobre el mismo sustrato semiconductor. La frecuencia de operación se mueve en el rango de 1 GHz hasta superar los 100 GHz, y pueden ser usados un número importante de diferentes tecnologías y circuitos. El término monolítico es necesario para distinguirlo de los circuitos integrados de microondas (MIC's), los cuales son circuitos de microondas híbridos en los que los componentes activos y algunos pasivos son montados como dispositivos discretos en sustratos dieléctricos. En realidad, de forma estricta, a los circuitos monolíticos que trabajan sobre 30 GHz se les debería llamar circuitos integrados monolíticos de ondas milimétricas, pero las numerosas abreviaturas usadas para su asignación, como MMWIC o M<sup>3</sup>IC, no han recibido la aprobación general.

Actualmente, para el diseño de MMIC's, se dispone de numerosas herramientas CAD. Además, a estos programas se unen las librerías actualizadas de componentes que proporciona cada *Foundry* para la cual se esté trabajando, por lo que se facilita la tarea del diseñador. En nuestro caso concreto, como se ha dicho anteriormente, el programa es ADS2003A de Agilent y la *Foundry* es OMMIC de Philips. No obstante, el diseño de MMIC's es muy diferente al diseño convencional de VLSI, en el cual la herramienta CAD proporciona un alto grado de automatización a la hora de diseñar el *layout*. En el caso del *layout* de los MMIC's, se requiere un grado de esfuerzo mayor en el diseñador, debido a la importancia de las interconexiones con líneas de transmisión.

#### **2.1.2. Ventajas y desventajas de los MMIC's**

A continuación se enumeran las ventajas y desventajas de los MMIC's respecto a los MIC's híbridos. Como ventajas:

- Menor tamaño.
- Mayor fiabilidad.
- Coste menor cuando se fabrican grandes cantidades.
- Menos parásitos y mejor reproducibilidad, dando mejor rendimiento, lo cual es muy importante a altas frecuencias.

Como desventajas:

- Coste mayor para un número pequeño de unidades fabricadas, debido al más alto consumo de sustrato.
- Mayores pérdidas y ruido.
- Mayor *cross-talk*.
- Sin posibilidad de ajuste después de la fabricación
- Rango limitado de valores para los componentes como inductancias y capacidades.
- Diseño largo en el tiempo, así como su fabricación.

A continuación veremos los aspectos más importantes enumerados arriba.

### **2.1.2.1. Coste**

El bajo coste es debido simplemente a que de una simple oblea se pueden producir hasta 1000 amplificadores (por ejemplo), cada uno con prestaciones similares y sin requerir sintonización manual y con mínimo trabajo de montaje. Este argumento se mantiene aún más conforme el circuito es más complicado y requiere mayor número de componentes. Sin embargo, en muchos casos es posible utilizar transistores encapsulados sobre un sustrato barato. Usando éstos, los componentes pasivos tales como los filtros y las redes de adaptación tienen un coste muy bajo. Para un circuito que usa unos pocos transistores y con bastante circuitería pasiva, sería muy difícil reducir su coste usando MMIC's.

### **2.1.2.2. Prestaciones**

La mayoría de los dispositivos MMIC tienen que ser producidos en muchas cantidades y no pretenden alcanzar *el estado del arte* en cuanto a prestaciones. Esto puede ser un problema grave para el diseño de amplificadores de potencia y bajo ruido, donde las prestaciones son el principal objetivo. Para alcanzar bajo ruido y alta potencia a menudo es necesario utilizar transistores discretos antes y después usar las partes MMIC. Con un MIC híbrido el diseñador puede elegir el mejor transistor para conseguir el fin, y los transistores pueden ser de diferentes fabricantes. Los transistores discretos pueden tener la longitud de puerta más corta y la estructura de capa activa óptima para su aplicación, sin reparar en otros requerimientos, debido a que el rendimiento (*yield*) es mucho menos importante. Sin embargo, si se usan las mismas técnicas de fabricación para un MMIC complejo tendríamos un rendimiento pobre debido al efecto multiplicativo de los rendimientos de cada transistor en el mismo chip. Para circuitos con baja densidad esto no debería ser un problema, y así, por ejemplo, los circuitos de ondas milimétricas que usan HEMT's deberían dar buenas prestaciones y rendimiento.

Dispositivos especiales, tales como los diodos Gunn, PIN y varactores, son raramente incorporados en procesos MMIC y esto puede provocar complicaciones para el diseñador; por ejemplo, el switch realizado con FET's puede ser un mal sustituto para el realizado con diodos PIN, y el oscilador de ondas milimétricas realizado con tecnología HEMT dará una baja potencia de salida comparado con el realizado con diodo Gunn. Aún así, la mayoría de estas dificultades son absorbidas por las especificaciones de diseño.

### **2.1.2.3. Reproducibilidad**

La reproducibilidad es excelente para los MMIC's debido a que los componentes activos y pasivos son producidos con los mismos pasos de fabricación y usando las mismas máscaras. Además, como las variaciones en los componentes activos y pasivos están referidos a los mismos parámetros físicos (como la resistencia de la capa activa), hay un ámbito considerable de métodos de diseño para maximizar la reproducibilidad y el rendimiento. En comparación, los MIC's híbridos sufren variaciones de un circuito a otro, debido a los emplazamientos de los dispositivos y las conexiones de cables. La mayoría de los circuitos híbridos requieren una posterior sintonización manual de su respuesta, lo que es muy costoso para producciones grandes.

### **2.1.2.4. Fiabilidad**

Los circuitos monolíticos son más fiables que los circuitos híbridos en tanto en cuanto el proceso de fabricación es controlado cuidadosamente. Por ejemplo, el

proceso ED02AH de OMMIC, que se explicará en el apartado 2.3, es un método de fabricación preciso y detallado en el que cada paso está especificado claramente.

### **2.1.2.5. Tamaño y manejo**

Los circuitos monolíticos son muy compactos y esto puede ser una ventaja significativa. En muchas aplicaciones comerciales hay una necesidad creciente de hacer cada vez más pequeños los circuitos de microondas. Por ejemplo, las antenas tipo array pueden llegar a tener muchos cientos de módulos, y los circuitos monolíticos son esenciales para minimizar el tamaño de la antena y su manejo.

### **2.1.3. Tecnologías MMIC**

Los MMIC's usan de forma predominante GaAs por dos razones clave: primero, porque el GaAs tiene mayores velocidad de saturación y movilidad electrónica que el Silicio, lo que lleva a tener dispositivos más rápidos; y segundo, el GaAs puede ser fabricado fácilmente con alta resistividad, lo que lo hace un magnífico sustrato para componentes pasivos de microondas. Debido a esto, el GaAs ha dominado completamente los primeros 15 años del desarrollo de la tecnología MMIC, e incluso ahora la mayoría de los MMIC's lo utilizan. Sin embargo, los MMIC's con Silicio han mejorado mucho y actualmente hay mucha competencia entre ellos en el campo de las heterouniones. Las tecnologías MMIC que se usan actualmente son:

- GaAs MESFET
- GaAs HEMT (convencional y pseudomórfica)
- GaAs HBT
- Silicio Bipolar
- Silicio-Germanio HBT
- InP HEMT
- InP HBT
- IMPATT, diodos Gunn y Schottky

El GaAs MESFET fue el primer transistor de microondas y continúa siendo muy importante para muchos diseños MMIC. Es fácilmente fabricado usando implantación iónica para aplicaciones de gran volumen y tiene unas buenas prestaciones en cuanto a figura de ruido y potencia de salida. La mayoría de las *foundries* ofrecen procesos de 0.5  $\mu\text{m}$  de longitud de puerta, los cuales son útiles para circuitos que operan con frecuencias de hasta 20 GHz. También se han conseguido circuitos que operan a una frecuencia superior a 30 GHz, usando longitudes de puerta aún menores.

El GaAs HEMT (High Electron Mobility Transistor, transistor de alta movilidad electrónica) pseudomórfico ofrece un considerable incremento de la transconductancia respecto al MESFET, y se han conseguido circuitos que operan a frecuencias superiores a 100 GHz, con transistores con longitudes de puerta tan cortas como 0.1  $\mu\text{m}$ . Sin embargo, esta tecnología es menos adecuada que la GaAs MESFET para producciones muy grandes. Esto es debido a que las capas deben ser fabricadas mediante los métodos MBE (Molecular Beam Epitaxy) o MOCVD (Metal Organic Chemical Vapour Deposition), y estos consumen mucho tiempo. Hablaremos de esta tecnología en el siguiente apartado. Este tipo de tecnología es el que usa el proceso ED02AH de OMMIC.

El GaAs HBT (Heterojunction Bipolar Transistor, transistor bipolar de heterounión) tiene algunas ventajas sobre el GaAs HEMT debido a su estructura vertical. Las dimensiones del dispositivo están dadas más por el material y su dopado que por la litografía. Un HBT con una anchura de emisor de varias micras puede ofrecer unas buenas prestaciones a frecuencias de microondas. Es un transistor con

una ganancia muy alta, pero tiene también grandes resistencias y capacidades parásitas. Puede ofrecer gran potencia y eficiencia, pero tiene limitaciones térmicas. Además, al tener una resistencia de base muy grande hace que su figura de ruido sea más grande que la de un HEMT, aunque este aspecto se está mejorando.

La tecnología bipolar de Silicio ha avanzado mucho en los últimos años y con este dispositivo de homounión se han alcanzado frecuencias de hasta 20 GHz. Además, con el HBT basado en Silicio-Germanio se han alcanzado frecuencias de funcionamiento de más de 100 GHz y figura de ruido de menos de 1 dB a 10 GHz.

Para aplicaciones de ondas milimétricas, actualmente la tecnología GaAs HEMT pseudomórfica no tiene rival. De todas formas, se están utilizando también en este campo, aunque de forma muy escasa, IMPATT u osciladores con diodos Gunn y receptores con diodos Schottky.

### **2.1.4. Aplicaciones**

La mayoría de las aplicaciones de los MMIC's se muestran en la tabla 2.1. Las organizaciones espaciales y militares son las que con mayor ahínco han apostado por esta tecnología, y el programa MIMIC en Estados Unidos es buena prueba de ello.

| Civil                                | Militar                      | Espacial                           |
|--------------------------------------|------------------------------|------------------------------------|
| Satélites TVRO                       | RADAR adaptativo de fase     | Comunicaciones por satélite        |
| Terminales terrestres VSAT           | Guerra electrónica           | Sensores remotos                   |
| Teléfonos móviles                    | Misiles inteligentes         | Radiometría                        |
| Comunicaciones LOS                   | RADAR de apertura sintética  | Astronomía                         |
| LAN's inalámbricas                   | Sensores remotos             | Satélites de órbita baja (IRIDIUM) |
| Sistemas de fibra óptica             | Señuelos                     | Array de antenas de fase adaptable |
| GPS                                  | Altímetros                   |                                    |
| Tarjetas inteligentes                | Instrumentación              |                                    |
| Traspondedores de búsqueda y rescate | Sistemas de telecomunicación |                                    |
| RADAR anticolidión                   |                              |                                    |
| Sistemas médicos                     |                              |                                    |
| Televisión por DBS                   |                              |                                    |
| HDTV                                 |                              |                                    |

Tabla 2.1

## 2.2. **HEMT** ([2])

### 2.2.1. **Principios del HEMT**

Una desventaja clara del MESFET es que cuando está muy dopado el canal ( $10^{17}$ - $10^{18}$  átomos/cm<sup>3</sup>) la movilidad se degrada de forma importante. Así, no es posible beneficiarse de la alta movilidad que ofrece el GaAs; los electrones son estorbados por las impurezas del canal. Una forma de evitar esto es el uso de la heterounión. Si se hace una unión de AlGaAs tipo n con GaAs no dopado, los electrones tienden a moverse desde el AlGaAs al GaAs, formando un canal conductor cerca de la interface. Ahora los electrones están separados de las sustancias donadoras y poseen la movilidad del material no dopado aunque su densidad sea bastante alta.

Un refinamiento que a menudo se usa es no dopar el AlGaAs sobre todo el volumen, sino dejar una delgada capa no dopada (de unos 6 nm) adyacente al GaAs. Esto se debe a que los electrones que están en el GaAs pueden verse influidos por el efecto del campo producido por las sustancias donadoras del AlGaAs cerca de la interface. Con este espacio se reduce ese efecto. Se obtiene así una estructura para el transistor como el que se muestra en la figura 2.1.

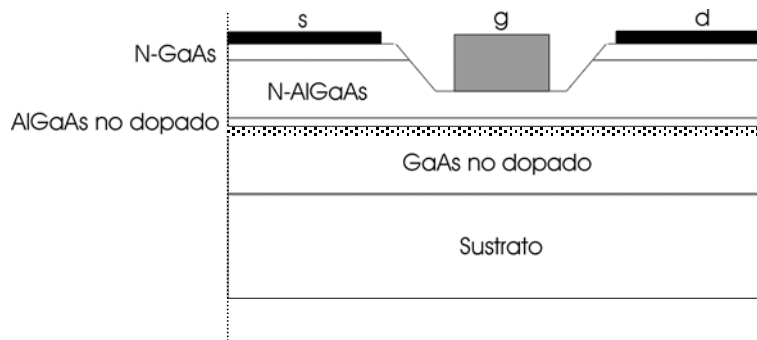


Figura 2.1

El ancho y dopado del AlGaAs tienen que ser diseñados cuidadosamente para que en todos los puntos de polarización la capa de AlGaAs bajo la puerta esté completamente reducida. Si no se produjera esto, resultaría un canal parásito en el AlGaAs con baja velocidad electrónica y consecuentemente malas propiedades de alta frecuencia.

Se produce un efecto mecánico-cuántico que mejora las prestaciones del dispositivo: el pozo de potencial es tan estrecho en el fondo que la forma de onda de los electrones está confinada entre las paredes (figura 2.2) de tal forma que sólo se pueden mover en dos dimensiones. Esto es llamado gas electrónico de dos dimensiones. Estos electrones son diseminados de forma mucho menos importante por las vibraciones de la estructura molecular, por lo que pueden alcanzar grandes velocidades. Estos efectos no son muy fuertes a temperatura ambiente, pero a temperaturas más bajas se muestran claramente.

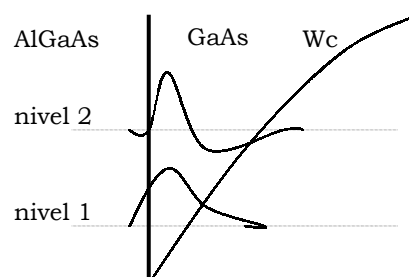


Figura 2.2

### 2.2.2. Teoría

El análisis de un HEMT es simple y complicado al mismo tiempo. La parte simple es evaluada con ayuda de la figura 2.3, donde se representan la densidad de carga, el campo eléctrico y la banda de conducción.

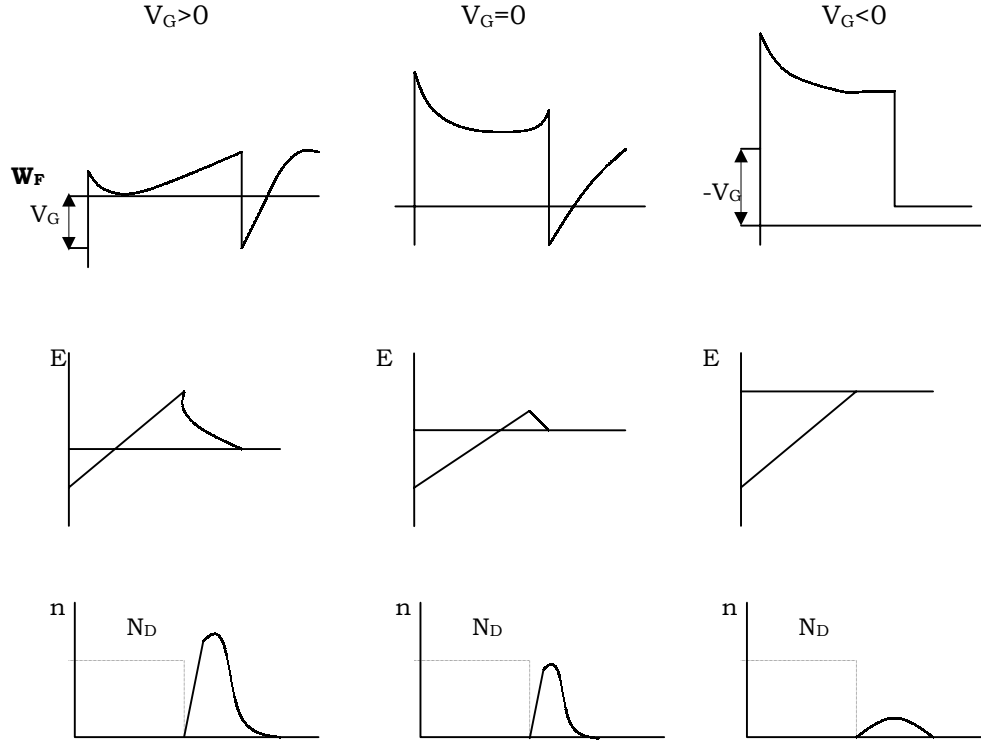


Figura 2.3

Se ha asumido, como se hace habitualmente, que el nivel de Fermi es  $qV_G$  en la unión metal-AlGaAs. Otra condición que se presupone es que la capa AlGaAs está completamente reducida. Si no fuera así, se tendría un canal parásito en el AlGaAs, donde la velocidad electrónica sería muy baja y las prestaciones del dispositivo se verían fuertemente degradadas, como se comentó anteriormente.

Como el canal conductor es muy delgado, el campo eléctrico pasa de cero en el sustrato de GaAs a un valor finito en el lado AlGaAs de la heterounión. Con ayuda de la ecuación de Poisson el campo en la unión  $E_j$  puede ser relacionado con la densidad electrónica integrada sobre el ancho del canal, la densidad transversal  $n_s$ :

$$E_j = \frac{qn_s}{\epsilon} \quad (2.1)$$

En la capa de AlGaAs, donde se ha dejado fuera la región de AlGaAs no dopado para hacer el análisis más simple, el campo eléctrico tiene una variación lineal:

$$E = E_j + \frac{qN_D}{\epsilon}(x - d_{Al}) \quad (2.2)$$

por lo que la posición de mínimo potencial es dada por:

$$d_{Al} - x_{min} = \frac{\epsilon E_j}{qN_D} = \frac{n_s}{N_D} \quad (2.3)$$

La profundidad del pozo de potencial respecto al nivel de Fermi es:

$$\phi_W = \Delta W_c - V_{min} - V_2 \quad (2.4)$$

$V_{min}$  puede ser expresada en función de  $V_G$ :

$$V_{min} = \phi_B - V_G - V_1 \quad (2.5)$$

$V_1$  y  $V_2$  son los áreas de las regiones triangulares de campo en el AlGaAs:

$$V_1 = \frac{qN_D}{2\epsilon} x_{min}^2 = \frac{qN_D}{2\epsilon} \left( d_{Al} - \frac{n_s}{N_D} \right)^2 \quad (2.6)$$

$$V_2 = \frac{qN_D}{2\epsilon} (d_{Al} - x_{min})^2 = \frac{qn_s^2}{2\epsilon N_D} \quad (2.7)$$

Sustituyendo todo esto en la ecuación (2.4) se obtiene la expresión que relaciona la profundidad del pozo a una tensión de puerta determinada con la densidad transversal:

$$\phi_W = \Delta W_c - \phi_B + \frac{qN_D}{2\epsilon} d_{Al}^2 + V_G - \frac{qn_s}{\epsilon} d_{Al} \quad (2.8)$$

Se observa como la profundidad del pozo se incrementa conforme aumenta la tensión de puerta de forma positiva, pero el incremento es contrarrestado por la densidad transversal cuando el pozo se llena con electrones.

Por otra parte, y ésta es la parte complicada, la densidad transversal en el canal es función de la profundidad del pozo de potencial. Calcular esta dependencia es muy complicado, ya que hay que resolver de forma simultánea las ecuaciones de Poisson y Schrödinger. Cuando la carga electrónica es suficientemente pequeña para ser despreciada, resulta un *pozo triangular*, y para este caso es posible una solución analítica en términos de funciones Airy. Se puede sacar una fórmula aproximada que da las posiciones de las subbandas:

$$W_i \approx \left( \frac{\hbar^2}{2m^*} \right)^{1/3} \left[ \frac{3}{2} \pi q E_j \left( i + \frac{3}{4} \right) \right]^{2/3} \quad (2.9)$$

Como era de esperar, los niveles de las subbandas suben cuando el campo aumenta, es decir, cuando el pozo se hace más estrecho. Si asumimos que sólo el nivel de la primera subbanda está por debajo del nivel de Fermi la densidad transversal es dada por la ecuación siguiente:

$$n_s = \frac{1}{\pi} \frac{m_c^* kT}{\hbar^2} \ln \left[ 1 + \exp \left( \frac{\phi_W - W_1}{kT} \right) \right] \quad (2.10)$$

En esta ecuación se puede ver una realimentación negativa de la densidad transversal vía  $E_j$  y  $W_1$ . No obstante, el resultado es el que uno esperaría, un incremento de  $n_s$  con  $\phi_W$ . Como la ecuación (2.8) muestra un decremento de  $\phi_W$  con  $n_s$ , el cruce de las dos curvas dará los valores de ambos (figura 2.4).

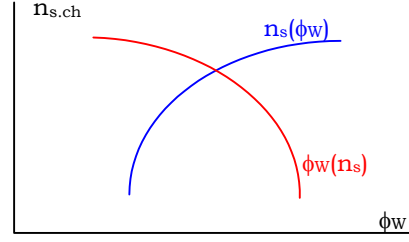


Figura 2.4

Si se retoca la ecuación (2.4) con ayuda de la ecuación (2.7), tenemos:

$$\phi_w + \frac{qn_s^2}{2\epsilon N_D} = \Delta W_c - V_{min} \quad (2.11)$$

Se ve que, si queremos maximizar la densidad transversal  $n_s$ , tenemos que hacer  $\Delta W_c - V_{min}$  tan grande como sea posible.  $V_{min}$  está limitada, tiene un valor positivo mínimo,  $4kT/q$ ; de otra forma, los electrones se reunirían en este mínimo y formarían un canal parásito. Por tanto, el valor máximo de  $n_s$  depende principalmente de  $\Delta W_c$ .

Otra forma de verlo es tomar el HEMT como un todo que permanece neutro. Los electrones que se difunden fuera de la capa n-AlGaAs se distribuyen sobre el canal y el metal de la puerta en una proporción que depende de la tensión de puerta. Así, se puede escribir:

$$n_s + n_{gate} = N_D d_{Al} \quad (2.12)$$

donde  $n_{gate}$  es la densidad por unidad de área de puerta. Se observa que  $n_s$  alcanza un máximo cuando  $n_{gate}$  es cero, es decir, cuando el potencial mínimo del AlGaAs está en la puerta. En este caso, la tensión de puerta es:

$$V_{GS} = \phi_B - \frac{4kT}{q} \quad (2.13)$$

Esta ecuación da un límite superior para la tensión de puerta positiva que puede ser aplicada sin el riesgo de fuga de corriente de puerta.  $\phi_B$  es aproximadamente 0.8 V para la mayoría de los metales de puerta sobre AlGaAs. El canal es reducido al máximo cuando  $n_s \approx 0$ , es decir,  $E_j \approx 0$ . En este caso,  $W_1$  es pequeña y es cercana a cero, por tanto de la ecuación (2.8) podemos sacar la tensión umbral de puerta:

$$V_T = \phi_B - \Delta W_c - \frac{qN_D}{2\epsilon} d_{Al}^2 \quad (2.14)$$

Esta tensión puede ser positiva o negativa. Cuando es negativa estamos ante un HEMT de depleción o empobrecimiento (DHEMT, depletion HEMT) y cuando es cero o positiva ante un HEMT de enriquecimiento (EHEMT, enhancement HEMT). Estos nombres son tomados del MESFET, aunque en el HEMT no son muy adecuados, ya que en este dispositivo tenemos ambos fenómenos: depleción en el AlGaAs y enriquecimiento en el GaAs. Nosotros trabajaremos en el proyecto con un HEMT de empobrecimiento o depleción, con tensión umbral de  $-0.9$  V.

La corriente de drenador se puede obtener también, asumiendo la aproximación de velocidad de saturación:

$$I_D = qW_{ch}n_s v_{sat} \quad (2.15)$$

La variación de la tensión de puerta en función del campo en la unión:

$$\Delta V_G = d_{Al} \Delta E_j \quad (2.16)$$

por tanto, la transconductancia se puede poner como:

$$g_m = \frac{\Delta I_D}{\Delta V_G} = \frac{w_{ch} \epsilon v_{sat}}{d_{Al}} = \frac{C_G v_{sat}}{L_{ch}} \quad (2.17)$$

Usando las ecuaciones (2.8) y (2.14):

$$I_D = \frac{w_{ch} \epsilon v_{sat}}{d_{Al}} (V_G - V_T) \quad (2.18)$$

Según estas ecuaciones parecería que  $g_m$  cambia muy poco con la tensión de puerta, lo cual es una buena propiedad para muchas aplicaciones. Pero desafortunadamente, en la práctica las cosas no son así y  $g_m$  cambia, principalmente debido a dos efectos:

- El canal no es infinitamente delgado, como hemos supuesto, sino que tiene un ancho no despreciable y, lo que es peor, no constante. En las ecuaciones de arriba habría que sustituir  $d_{Al}$  por  $d_{Al} + d_{ch}$ , donde  $d_{ch}$  es un ancho efectivo que caracteriza la dispersión espacial de los electrones en el canal. Cuando  $V_G$  se aproxima a  $V_T$ ,  $E_j$  decrece y el canal se ensancha. Consecuentemente la ecuación (2.16) se reemplazaría por:

$$\Delta V_G = (d_{Al} + d_{ch}) \Delta E_j + E_j \Delta d_{ch} \quad (2.19)$$

- El potencia mínimo en el AlGaAs contendrá siempre algunos electrones y, aunque no influye en la corriente de DC del drenador, sí lo hace en la transconductancia. Las variaciones de la tensión de puerta no sólo modulará el canal principal, sino también el canal parásito, por lo que la modulación del primero se verá reducida. En particular, en el caso de tensiones de puerta positivas, cuando  $V_{min}$  se hace pequeña esto tiene un fuerte efecto.

Lo que se obtiene finalmente es que la curva  $g_m$ - $V_G$  de un HEMT no es muy diferente de la de un MESFET, aunque es más ancha y su pico es más alto, principalmente debido a que la velocidad de canal es más alta y porque la capa de AlGaAs en un HEMT puede ser más delgada que la capa que contiene el canal de un MESFET.

### **2.2.3. Tecnología HEMT**

La cuestión ahora es cómo maximizar  $n_s$ . El caso es que el HEMT de GaAs/AlGaAs se comporta de forma decepcionante en este aspecto, por la siguiente razón. Uno de los peores efectos que se producen en el AlGaAs es que los átomos de Si usados como donadores pueden formar los llamados *centros de recombinación o trampas*, los cuales tienen un nivel de energía próximo a la mitad de la zona prohibida. Esto produce fenómenos de relajación y ruido de baja frecuencia, así como también produce *fotoconductividad persistente*, lo cual significa que bajo iluminación se incrementa la conductividad, pero ésta se mantiene alta cuando cesa la iluminación. Este último efecto se produce a bajas temperaturas.

Para evitar estos problemas el contenido de Al debería mantenerse por debajo de un 25 %, lo cual significa que  $\Delta W_c$  no puede ser mayor a 0.23 V. El resultado es que la densidad superficial máxima que se puede obtener es de  $10^{12}/\text{cm}^2$ . Por tanto, el

HEMT de AlGaAs puede ser un dispositivo de alta transconductancia pero no un dispositivo de alta intensidad. Se comporta de forma excelente como un amplificador de pequeña señal y bajo ruido, pero no como amplificador de potencia. Por tanto, se puede decir que es un sustituto del MESFET como amplificador para frecuencias de más de 30 GHz.

Se han pensado muchas soluciones para evitar los problemas con los centros de recombinación en los HEMT's. Todas intentan mantener los átomos de Si donadores lejos de los átomos de Al. Una solución consiste en reemplazar el AlGaAs por un enrejado de capas de AlAs y GaAs (de 5 nm de anchura cada una) de las cuales sólo éstas últimas están dopadas (figura 2.5(a)). Las barreras de AlAs son tan delgadas que los electrones pueden pasar fácilmente a través de ellas, y desde fuera el enrejado se ve como una única capa dopada de AlGaAs. Otro método consiste en poner una capa delgada (10 nm) de GaAs en la capa de AlGaAs cerca del canal. La capa de GaAs tiene a su vez una capa en el medio, muy delgada y fuertemente dopada. Esto es llamado *delta doping* (figura 2.5(b)).

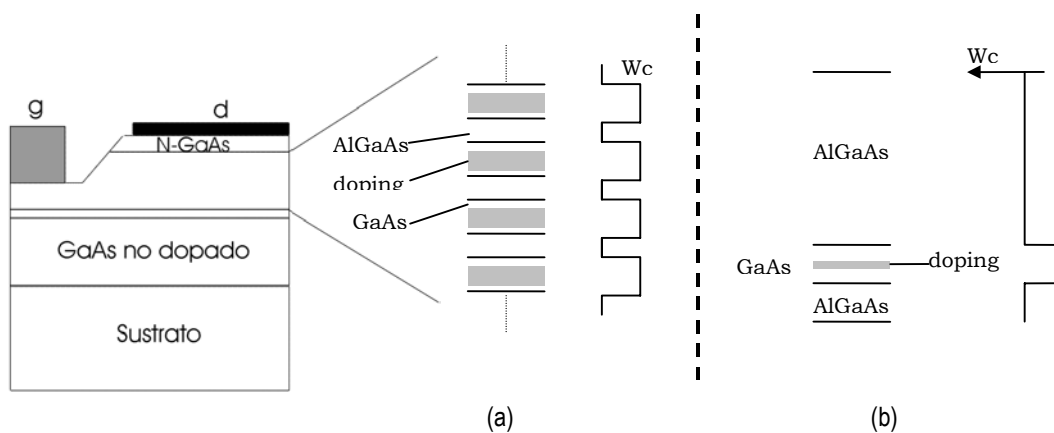


Figura 2.5

Incluso con estos trucos la discontinuidad en la banda de conducción no puede ser aumentada demasiado debido a la estructura multivalle del GaAs. Si  $\Delta W_c$  se hace demasiado alta, los electrones del canal (los cuales aparecerán en el lado del drenador) pueden pasar al valle más alto donde su movilidad es baja. Por tanto, un valor de  $\Delta W_c$  de unos 0.3 V es lo máximo que se podría conseguir.

Para incrementar aún más la densidad transversal otra posibilidad es poner bajo la capa de GaAs una segunda capa de AlGaAs tipo n, de tal forma que se obtuviera un doble canal (figura 2.6(a)). Esto incrementa la conductividad del canal el doble. Una extensión de esta idea es un canal consistente en una estructura de pozo multi-cuántico (figura 2.6(b)). En este caso las barreras tienen que ser tan delgadas ( $\leq 3$  nm) que los electrones puedan pasar fácilmente a través de ellas; de otra forma, se obtendrían canales separados, lo cual daría lugar a fenómenos extraños, como una curva  $g_m$ - $V_G$  con dos picos.

Como con la combinación AlGaAs/GaAs la discontinuidad en la banda no puede ser muy alta, en los últimos años se han buscado otras combinaciones para el canal, como  $\text{In}_x\text{Ga}_{1-x}\text{As}$  (usada en el proceso ED02AH de OMMIC). Este material tiene varias propiedades buenas: tiene una masa electrónica menor y una separación mayor entre los valles central y satélites que el GaAs. Esto último significa que cuando este material es usado en un HEMT, se puede conseguir una mayor discontinuidad en la banda de conducción.

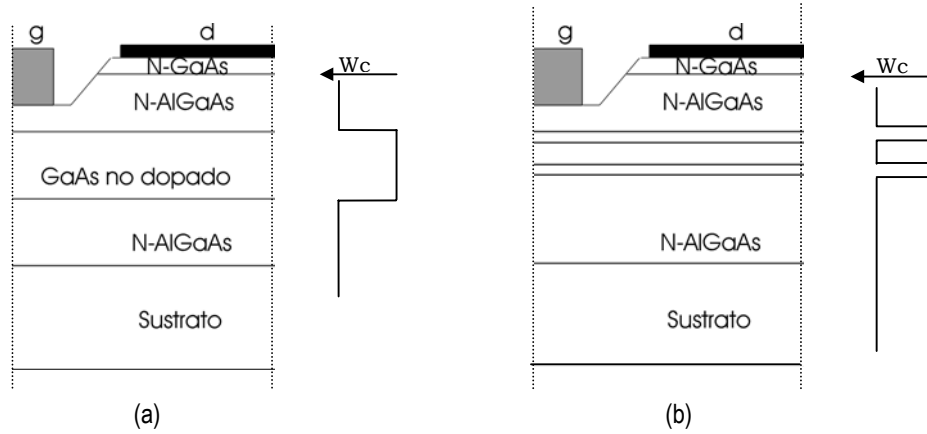


Figura 2.6

El enrejado de  $\text{In}_x\text{Ga}_{1-x}\text{As}$  no se ajusta con el GaAs, pero cuando  $x=0.53$  sí se ajusta a InP, por tanto este material puede ser usado como sustrato. Como material de la zona más alta puede ser usado InP o mejor  $\text{In}_x\text{Al}_{1-x}\text{As}$ , que se ajusta al enrejado de InP, con  $x=0.48$ . Si, sin embargo, la capa de InGaAs no es demasiado ancha ( $<10$  nm) y la cantidad de In no es demasiado alta, ésta puede ser intercalada entre dos capas de GaAs. Así, se extiende un poco la capa de InGaAs (*strained layer*, capa estirada o extendida). La combinación  $\text{In}_x\text{Ga}_{1-x}\text{As}/\text{AlGaAs}$  con  $x \leq 0.25$  puede ser depositada sobre sustratos de GaAs. Estos dispositivos son a menudo llamados HEMT's pseudomórficos (los que vamos a utilizar nosotros, del proceso ED02AH).

Ambas combinaciones, InGaAs/InAlAs y InGaAs/AlGaAs, pueden proporcionar discontinuidades en la banda de conducción más altas. Consecuentemente se obtienen densidades transversales más altas:  $2 \times 10^{12}/\text{cm}^2$  para InGaAs/AlGaAs y  $3 \times 10^{12}/\text{cm}^2$  para InGaAs/InAlAs. El transistor puede alcanzar prestaciones muy buenas: valores de  $g_m$  de 500 mS/mm y 1000mS/mm y frecuencias de corte de 110 GHz y 170 GHz para InGaAs/AlGaAs y InGaAs/InAlAs, respectivamente.

#### 2.2.4. Ruido en el HEMT

El modelo más simple de ruido, dado por Fukui, asume que la fuente principal de ruido en un MESFET y un HEMT es el ruido térmico de las resistencias de puerta y fuente. Esto conduce a la siguiente fórmula de la mínima figura de ruido:

$$F_{min} = 1 + k_1 C_{GS} f \left( \frac{R_s + R_G}{g_m} \right)^{1/2} = 1 + K_F \frac{f}{f_T} [g_m (R_s + R_G)]^{1/2} \quad (2.20)$$

donde  $k_1$  es un factor de ajuste, y cuyo valor depende del transistor en estudio. Por ejemplo, Fukui le dio para el MESFET el valor 0.016; para el HEMT su valor es menor.  $K_F$  es llamado factor Fukui y es igual a  $k_1/2\pi$ .

### 2.3. PROCESO ED02AH DE OMMIC ([3])

El proceso ED02AH de OMMIC fue desarrollado específicamente para aplicaciones de microondas hasta la banda de ondas milimétricas, y para circuitos digitales de alto régimen binario en enlaces de fibra óptica. El significado de las siglas es el siguiente:

- E: Transistor de enriquecimiento.
- D: Transistor de depleción.
- 02: Longitud de puerta de  $0.2\ \mu\text{m}$  (en realidad,  $0.18\ \mu\text{m}$ ).
- A: Proceso OMMIC tipo A.
- H: HEMT con capa pseudomórfica.

Las principales características de esta tecnología se resumen a continuación:

- Capa activa pseudomórfica de GaInAs.
- Transistores de depleción y enriquecimiento:  $V_t=0.225\ \text{V}$  o  $-0.9\ \text{V}$ .
- Dos tipos de diodos ( $0.18\ \mu\text{m}$  con capa “GM” y  $3\ \mu\text{m}$  con capa “BE”) para mezcladores, varactores o desplazadores de nivel.
- Resistencias con capa activa de GaAs.
- Resistencias con capa metálica fina de NiCr.
- Protección completa con  $\text{Si}_3\text{N}_4$ , que asegura gran fiabilidad.
- Dos tipos de capacidades MIM, una con capa de  $\text{Si}_3\text{N}_4$  y la otra con capa de  $\text{Si}_3\text{N}_4+\text{SiO}_2$ .
- $\text{Si}_3\text{N}_4/\text{SiO}_2$  + aislamiento con puente de aire entre las capas para reducir las capacidades parásitas.
- Metalización gruesa de oro de  $1.25\ \mu\text{m}$  para interconexiones e inductancias en espiral. Es posible la utilización de multilíneas metálicas para reducir las resistencias parásitas en serie.
- Conexiones a tierra (*via holes*) a través de sustratos de  $100\ \mu\text{m}$  de espesor para reducir las inductancias parásitas a tierra.
- Para circuitos digitales tales como multiplexores o demultiplexores de 40 Gbps, se dispone de transistores con longitud de puerta de  $0.13\ \mu\text{m}$  en lugar de  $0.18\ \mu\text{m}$  (proceso ED01AH). Esto incrementa la frecuencia máxima a 75 GHz o más. En este caso sería necesario introducir en los modelos como parámetro la longitud de puerta.

Los componentes activos están basados en una heteroestructura (Ga,Al)As - (Ga,In)As - GaAs obtenida mediante MOVPE, usando un sistema industrial multioblea. El perfil de la capa activa del proceso ED02AH se muestra abajo:

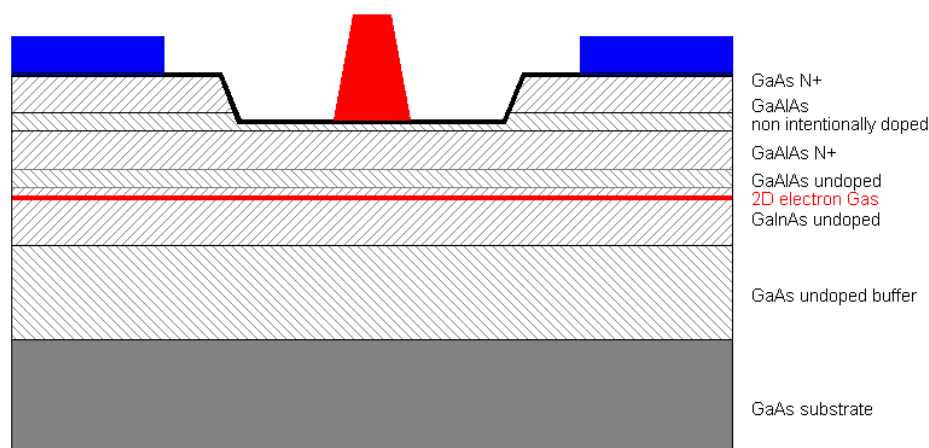


Figura 2.7

La relación de capas que se usan en el proceso ED02AH es la siguiente:

1. **Aislamiento (Máscara LI).** El aislamiento entre los componentes activos (pHEMT's, diodos, resistencias) se logra con una aplicación de boro en las zonas requeridas, mientras que una capa metálica protege las zonas activas delimitadas por la máscara LI.
2. **Contactos óhmicos (Máscara OH).** Consistente en una capa de AuGeNi, y, como es obvio, se deposita en las regiones de contacto.
3. **Depósito de metal para resistencia NiCr (Máscara MD).** Sólo disponible si se opta por resistencias de NiCr. Se trata de depositar una fina capa de NiCr de  $40 \Omega \cdot \text{cuadrado}$  en el sustrato para obtener resistencias de alta precisión.
4. **Electrodo inferior de la capacidad MIM y para diodos de  $3 \mu\text{m}$  (Máscara BE).** Es usada para el electrodo inferior de las capacidades MIM, como primera capa metálica para interconexión, por ejemplo, en líneas de transmisión, y para los diodos de  $3 \mu\text{m}$ . El grosor total del metal BE es 650 nm.
5. **Hueco del canal y metalización de la puerta (Máscaras LE y GM).** Las puertas de longitud  $0.18 \mu\text{m}$  se realizan con un equipo de haz de electrones. Primero se hace el hueco del canal y después se deposita el metal de la puerta. La anchura total de la puerta es 360 nm.
6. **Deposición de  $\text{Si}_3\text{N}_4$ .** Una capa de  $\text{Si}_3\text{N}_4$  de 150 nm es depositada en la oblea para proteger las zonas activas y formar el dieléctrico para las capacidades MIM.  $\text{Si}_3\text{N}_4$  es usado debido a su alta constante dieléctrica, adecuado para las capacidades MIM, y para prevenir la formación de óxidos de As y Ga inestables en la superficie de la oblea.
7. **Ataque con ácido de la capa de  $\text{Si}_3\text{N}_4$  (Máscara CG).** Se abren vías a través de la capa  $\text{Si}_3\text{N}_4$  con la máscara CG para habilitar el contacto (pads) con los metales previamente depositados.
8. **Electrodos superiores de la capacidad MIM (Máscara TE).** Un metal es evaporado y delimitado para formar los electrodos superiores de las capacidades MIM. Esta capacidad es también usada como una protección entre las puertas de TiAl y las líneas de Au para una alta fiabilidad y como una capa de contacto para las resistencias NiCr.
9. **Deposición de dieléctrico y abertura de contacto (Máscara CO).** Se deposita un óxido de Si de 800 nm de anchura en la oblea. Se abren ventanas para interconectar la segunda metalización con los metales OH, BE y TE.
10. **Puentes de aire (Máscara AB).** Se deposita un *pad* fotoresistivo de  $1 \mu\text{m}$  de grosor. Después de la evaporación de la segunda metalización, se quita este *pad* dejando un puente de aire de  $1 \mu\text{m}$ .
11. **Segunda metalización (Máscara IN).** Se evapora una capa de TiPtAu de  $1.25 \mu\text{m}$  de grosor. Después se delimita la capa de segunda metalización.
12. **Protección final.** Se deposita una segunda capa de  $\text{Si}_3\text{N}_4$  de 150 nm de grosor. La técnica PECVD asegura el total encapsulado del circuito.
13. **Abertura de pads (Máscara CB).** Las zonas de contacto son abiertas para las entradas y salidas del circuito.

### 2.3.1. Componentes utilizados

En este apartado se va a explicar algunos componentes de la librería de la *Foundry* que se van a usar para la realización del diseño del conmutador. No se va a entrar en mucho detalle, pero sí en los aspectos más importantes. Quizá no se utilicen todos ellos, pero es bueno sentar unas bases para ellos.

#### 2.3.1.1. Transistor de empobrecimiento

Aunque la *Foundry* dispone también de transistor de enriquecimiento, nosotros lo dejaremos un poco de lado, pues no es utilizado en nuestro proyecto.

En cuanto al transistor de empobrecimiento o depleción, su tensión umbral es  $-0.9\text{ V}$  y, al igual que el transistor de enriquecimiento, tiene una estructura multidedo. Con esta estructura se consigue tener un ancho de puerta importante, lo cual es necesario para tener una potencia de salida grande. Si no se tuviese esta estructura, se podría aumentar el ancho de puerta igualmente, pero redundaría en un aumento de la resistencia de puerta y por tanto una menor ganancia disponible y un mayor ruido. Así, el tamaño de los transistores se especifican como  $N_{bd} \times W_u$ , con  $N_{bd}$  el número de dedos y  $W_u$  la anchura de puerta por cada dedo.

##### a) Características DC

| Nombre        | Definición                                                                                                  | Unidad | Escalado   | Valor |
|---------------|-------------------------------------------------------------------------------------------------------------|--------|------------|-------|
| <b>Vt</b>     | Tensión umbral: $V_{gs}$ para $I_{ds}=1\text{ mA/mm}$ y $V_{ds}=3\text{ V}$                                 | V      | -          | -0.9  |
| <b>Idss</b>   | Intensidad drenador-fuente de saturación para $V_{gs}=0\text{ V}$ y $V_{ds}=3\text{ V}$                     | mA/mm  | $\times W$ | 250   |
| <b>Vbrgss</b> | Tensión (drenador+fuelle) – puerta para $I_g=1\text{ mA/mm}$ (drenador y fuente cortocircuitados)           | V      | -          | -0.8  |
| <b>Vleak</b>  | Tensión (drenador+fuelle) – puerta para $I_g=10\text{ }\mu\text{A/mm}$ (drenador y fuente cortocircuitados) | V      | -          | -4.6  |
| <b>Gm</b>     | Transconductancia DC para $V_{gs}=0\text{ V}$ y $V_{ds}=3\text{ V}$                                         | mS/mm  | $\times W$ | 440   |

Tabla 2.2

Se puede observar que el valor de la transconductancia concuerda con el predicho teóricamente en el apartado anterior, en el que se hablaba de un valor de  $500\text{ mS/mm}$ .

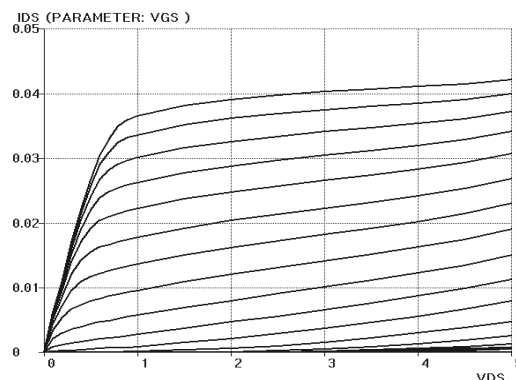


Figura 2.8

En la figura anterior se muestra la curva  $I_{ds}(V_{ds})$  para un transistor de empobrecimiento de tamaño 6 x 15, con  $V_{gs}$  como parámetro, y con  $V_{gs(max)}=+0.6$  V y  $V_{gs(step)}=+0.1$  V.

b) *Modelo de pequeña señal*

Los parámetros RF del transistor se dan según un circuito equivalente que depende de la polarización y la geometría. El circuito equivalente de pequeña señal propuesto por la *Foundry* se muestra en la figura 2.9.

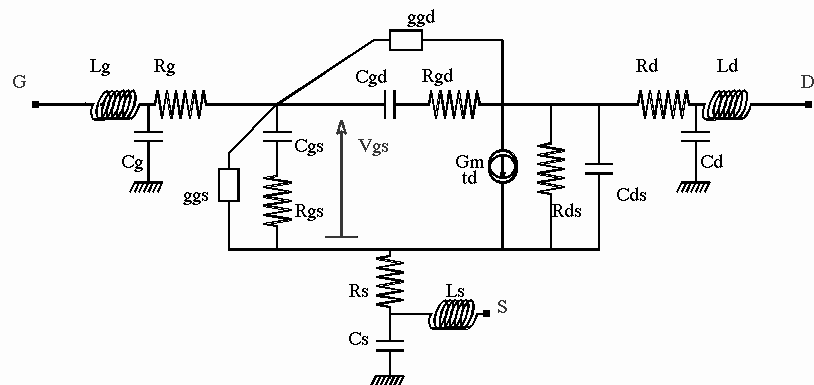


Figura 2.9

Los parámetros del modelo son:

- W: anchura total de la puerta.
- Nbd: número de dedos de la puerta.
- Wu: anchura unitaria de la puerta ( $=W/Nbd$ ).
- $V_{gs}$ : Tensión puerta-fuente de polarización.
- $V_{ds}$ : Tensión drenador-fuente de polarización.

Los elementos del circuito equivalente que se muestra arriba tienen el significado:

- $C_g, C_d, C_s, L_g, L_d, L_s$  son parásitos externos del transistor.
  - $R_g, R_s, R_d$  son las resistencias de acceso del transistor.
  - $C_{gs}, C_{gd}, C_{ds}, R_{ds}, R_{gs}, g_m$  y  $t_d$  son los elementos del circuito equivalente de un pHEMT de GaAs clásico.
  - $G_{gd}$  (conductancia puerta-drenador,  $G_{gs}$  (conductancia puerta-fuente) y  $R_{gd}$  (resistencia serie drenador-puerta) son elementos adicionales útiles para una mejor precisión en las siguientes condiciones:
    - $G_{gd}$  (mS) cuando el diodo puerta-drenador está polarizado de forma directa ( $V_{gd} \gg 0.2$  V) o polarizado fuertemente de forma inversa ( $V_{gd} \ll V_t$ ).
    - $G_{gs}$  (mS) cuando el diodo puerta-fuente está polarizado de forma directa ( $V_{gs} \gg +0.2$  V) o polarizado fuertemente de forma inversa ( $V_{gs} \ll V_t$ ).
    - $R_{gd}$  (Ohms) es usada principalmente para tener un modelo simétrico en la zona óhmica ( $V_{ds} < 1.5$  V).
- Fuera de los supuestos anteriores,  $G_{gd}$ ,  $G_{gs}$  y  $R_{gd}$  pueden ser despreciadas por simplicidad.

Como se ha comentado anteriormente, la anchura de puerta unitaria es  $W/Nbd$ . Aunque puede tomar valores de hasta 300 o 400  $\mu m$ , se recomienda, excepto para el diseño de circuitos como switches o amplificadores de potencia de baja frecuencia, que no sobrepase los 50  $\mu m$  para que la resistencia serie no sea muy grande y así tener una mayor ganancia disponible.

El manual de diseño de la *Foundry* proporciona un fichero con los valores escalados de los elementos del circuito equivalente. Con la anchura total de puerta  $W$  y el número de dedos  $Nbd$  podemos calcular los valores totales de dichos elementos siguiendo las reglas de escalado, mostradas abajo.

$$\begin{aligned}
 Rg &= Rg_0 \times W / Nbd^2 \\
 Rs &= Rs_0 / W \\
 Rd &= Rd_0 / W \\
 gm &= gm_0 \times W \\
 ggs &= ggs_0 \times W \\
 ggd &= ggd_0 \times W \\
 Rgs &= Rgs_0 / W \\
 Rgd &= Rgd_0 / W \\
 Rds &= Rds_0 / W \\
 Cgs &= Cgs_0 \times W + Nbd \times Cgse \\
 Cgd &= Cgd_0 \times W + Nbd \times Cgde \\
 Cds &= Cds_0 \times W + Nbd \times Cdse \\
 td &= td_0
 \end{aligned}$$

Figura 2.10

Para calcular el valor de los demás elementos y parámetros hay unas ecuaciones que proporciona el manual de diseño. Las reglas de escalado mostradas arriba serán utilizadas para los cálculos teóricos previos al diseño de los switches. Para terminar, sólo apuntar que las reglas de escalado de arriba son válidas para valores  $Nbd \leq 10$  y  $W \leq 50 \mu m$ .

### c) Modelo no lineal

Para el diseño de circuitos en simuladores no lineales, OMMIC propone un modelo avanzado no lineal para describir las no linealidades existentes en la corriente y la capacitancia de los transistores. Este modelo da muy buenos resultados, en particular representa mucho mejor  $G_m$ ,  $G_d$  y las variaciones de carga que la mayoría de los modelos que se usan normalmente en los simuladores. Puede ser implementado en un simulador no lineal que permita al usuario definir ecuaciones y modelos (ADS, algunas versiones de SPICE). En la figura 2.11 se muestra la estructura del modelo no lineal de OMMIC.

Se puede observar que, a diferencia del circuito equivalente de pequeña señal, se incluyen unos diodos, que se encargan de modelar las pequeñas corrientes que circulan entre puerta y drenador y entre puerta y fuente. Dichas corrientes son despreciables en un punto de funcionamiento normal del circuito, y sólo se tienen en cuenta en caso de que las tensiones externas alcancen un valor particularmente elevado.

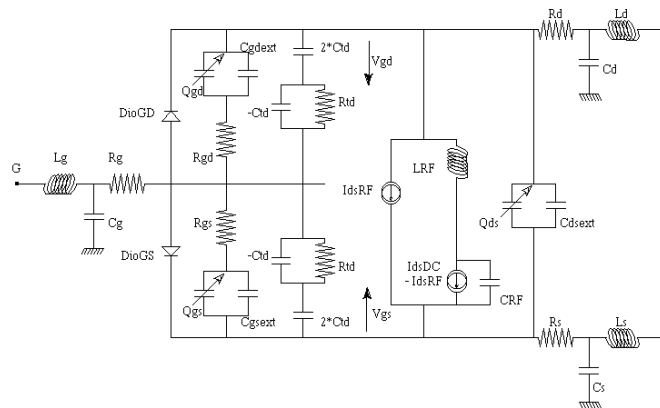


Figura 2.11

Otro elemento interesante que aporta el modelo no lineal es la red RC formada por el paralelo entre  $-C_{td}$  y  $R_{td}$  más la capacidad en serie  $2C_{td}$ . Esta red se encarga de modelar el efecto del retraso de puerta mediante la transformación de la tensión  $V_{gs}$  en otra tensión  $V_{delay}$ , que se mide en los terminales de la capacidad  $2C_{td}$ , en la que se basan las expresiones del modelo.

Los parámetros de entrada del modelo no lineal se muestran en la siguiente tabla.

| Nombre                  | Descripción                                                                                                 | Valor por defecto |
|-------------------------|-------------------------------------------------------------------------------------------------------------|-------------------|
| <b>Nbd</b>              | Número de dedos de la puerta                                                                                | 6                 |
| <b><math>W_u</math></b> | Anchura unitaria de la puerta                                                                               | 15 $\mu\text{m}$  |
| <b>Vtpcm</b>            | Parámetro de sensibilidad para simular dispositivos con diferente $V_t$                                     | -0.9 V            |
| <b>Kidss</b>            | Parámetro de sensibilidad para simular dispositivos con diferentes valores de $I_{dss}$ para una $V_t$ dado | 1                 |
| <b>Lgate0</b>           | Parámetro de sensibilidad para simular dispositivos con diferentes longitudes de puerta                     | 0.2 $\mu\text{m}$ |
| <b>Vbrgss</b>           | Parámetro de sensibilidad para simular dispositivos con diferentes tensiones de ruptura                     | -8 V              |
| <b>Rth</b>              | Resistencia térmica para cálculos de calor propio                                                           | 0 °C/Watt         |
| <b>Vdsbias</b>          | Punto de trabajo de DC del dispositivo para cálculos de calor propio                                        | 0 V               |
| <b>Idsbias</b>          | Punto de trabajo de DC del dispositivo para cálculos de calor propio                                        | 0 A               |

Tabla 2.3

Los elementos de acceso y parásitos son los mismos que los del modelo de pequeña señal. Sin embargo, las variaciones de  $R_{gs0}$ ,  $R_{gd0}$  y  $t_{d0}$  con  $V_{gs}$  y  $V_{ds}$  son despreciadas para disminuir la complejidad del modelo.

En cuanto a los elementos no lineales del modelo, hay básicamente tres:

- Las corrientes drenador-fuente, tanto la de DC como la de RF.
- Las cargas puerta-drenador, puerta-fuente y fuente-drenador.
- Las corrientes de los diodos puerta-drenador y puerta-fuente.

Esto es sólo un pequeño resumen del modelo no lineal del transistor; para una mayor profundización en el tema, se remite al lector al manual de diseño de la *Foundry*.

### 2.3.1.2. Capacidades

La *Foundry* presenta dos tipos de capacidades:

- *Capacidades SiN*. Son fabricadas usando una capa de SiN de 150 nm entre las capas BE (primera metalización) y TE (electrodo superior). Sus dimensiones mínimas son 10  $\mu\text{m}$  x 10  $\mu\text{m}$ , que se corresponde con un valor de 0.06 pF. Como valor máximo puede alcanzar 50 pF. Para una mayor precisión se aconseja que  $1/3 \leq W1/W2 \leq 3$ . En el manual de diseño se puede calcular el valor de la capacidad según unas dimensiones y viceversa, algo muy útil para la posterior implementación del *layout*. Su aspecto es el que se muestra abajo:

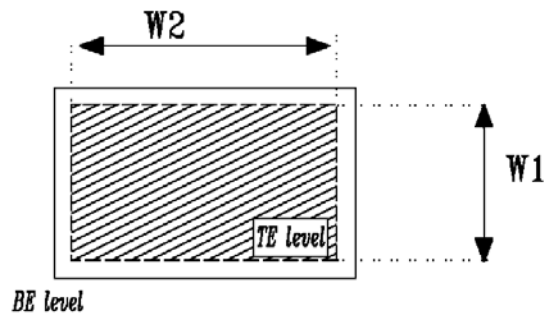


Figura 2.12

- *Capacidades SiN + SiO<sub>2</sub>*. Son fabricadas usando una capa de SiN + SiO<sub>2</sub> de 150 nm entre la primera metalización (BE) y la segunda metalización (IN). Su aspecto se muestra abajo:

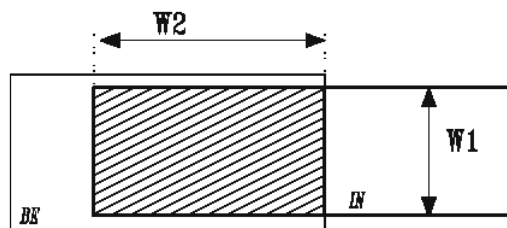


Figura 2.13

Sus dimensiones mínimas son 10  $\mu\text{m}$  x 10  $\mu\text{m}$ , que se corresponde con un valor de unos 69 fF. Como valor máximo puede alcanzar 1 pF. Al igual que la capacidad anterior, se pueden calcular las dimensiones de la capacidad por su valor y viceversa.

### 2.3.1.3. Inductancias de espiral

Son fabricadas con una banda de oro de 1.25  $\mu\text{m}$  definida por la máscara IN. La banda de retorno se hace con la primera metalización (capa BE). Su aspecto se muestra en la figura 2.14. Se puede observar las limitaciones en relación a la anchura

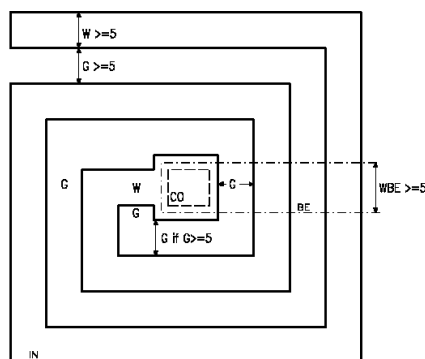


Figura 2.14

de las bandas y su separación. El manual de diseño proporciona la posibilidad de calcular su tamaño. En este elemento es muy importante este aspecto, ya que se trata del componente de mayor tamaño. Su valor máximo es 15 nH.

#### 2.3.1.4. Resistencias

Hay dos tipos de resistencias:

- *Resistencias de GaAs.* Son fabricadas usando la capa activa (ver figura 2.7). La longitud de la resistencia es definida por la distancia entre los dos contactos óhmicos (máscara OH), y el ancho (W) de la resistencia lo da el ancho de la capa activa (máscara LI). Como el GaAs exhibe una movilidad electrónica que depende del campo, hay que tener cuidado en el dimensionamiento de las resistencias para evitar saturación en la intensidad: una resistencia puede ser considerada lineal por debajo de  $V_{lin}=0.075 \text{ V}/\mu\text{m}$  de longitud. Su aspecto y limitaciones en cuanto a dimensiones se muestran abajo:

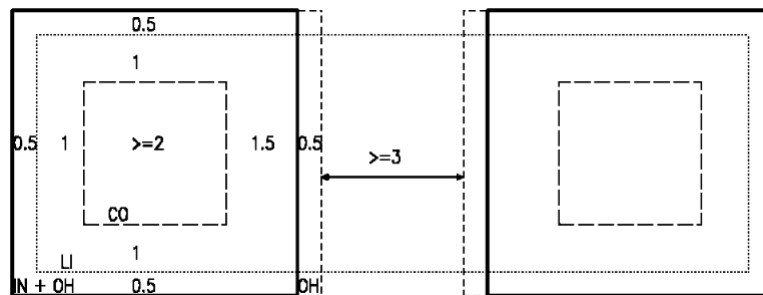


Figura 2.15

- *Resistencias de NiCr.* Para resistencias de valores pequeños o de alta precisión, se proporciona una resistencia de NiCr de lámina delgada, de 40 Ohms.cuadrado.

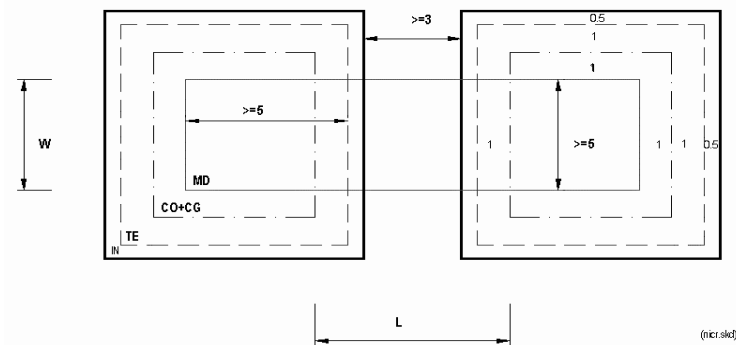


Figura 2.16

La longitud de la resistencia (L) es definida por la distancia entre los dos bordes internos de la máscara CG, y el ancho (W) es dado por el ancho de la capa resistiva (máscara MD). Hay que tener cuidado en el *layout* de hacer las resistencias lo suficientemente anchas como para soportar la corriente de DC: la máxima corriente permitida para conseguir una gran fiabilidad es de 0.2 mA/μm de ancho, y la ruptura ocurre antes de 4 mA/μm de ancho.

En este apartado se han explicado algunos de los elementos de la *Foundry* más importantes que se van a usar; por supuesto, quedan muchos por nombrar, y no menos importantes, como las líneas de transmisión, las conexiones a tierra, etc. Para más información sobre estos elementos, así como los reseñados anteriormente, se remite al lector al manual de diseño de la *Foundry*.

### 3. RESEÑA TEÓRICA DE SWITCHES

#### 3.1. CONFIGURACIÓN Y FUNCIONAMIENTO BÁSICOS ([4])

Para las configuraciones de conmutador que se van a explicar a continuación se puede usar tanto diodos PIN como FET's. Sin embargo, por simplicidad se usará el símbolo del diodo para representar ambos. En la figura 3.1 se muestran dos implementaciones de conmutador SPST (Single-Pole Single-Throw). Para la topología en serie (figura 3.1(a)), el conmutador están en conducción cuando el diodo está en su estado de baja resistencia y en otro caso está en corte. En cambio, para la topología en paralelo (figura 3.1(b)) el funcionamiento es el inverso. Las capacidades e inductancias son necesarias para proporcionar una adecuada alimentación a cada diodo y para evitar la salida de potencia de RF a través del puerto de alimentación. Para la configuración en serie, las pérdidas de inserción y las pérdidas por retorno tienen unas expresiones:

$$IL = -10 \log |S_{21}|^2 = 20 \log \left| \frac{2 + Y_d / Y_o}{2} \right| \quad (3.1)$$

$$RL = 10 \log |S_{11}|^2 = 20 \log \left| \frac{Y_d / Y_o}{2 + Y_d / Y_o} \right| \quad (3.2)$$

Donde  $Z_d$  es la impedancia del diodo (o del FET), y  $Z_o$  es la impedancia característica de las líneas de transmisión de entrada y salida. Similarmente, para la configuración en paralelo:

$$IL = -10 \log |S_{21}|^2 = 20 \log \left| \frac{2 + Y_d / Y_o}{2} \right| \quad (3.3)$$

$$RL = 10 \log |S_{11}|^2 = 20 \log \left| \frac{Y_d / Y_o}{2 + Y_d / Y_o} \right| \quad (3.4)$$

Donde  $Y_d = 1/Z_d$  y  $Y_o = 1/Z_o$ .

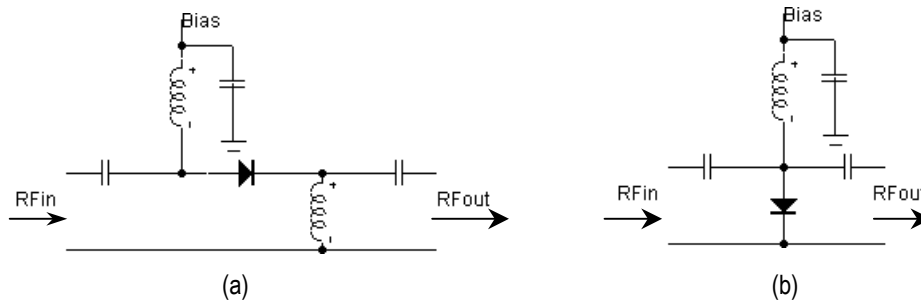


Figura 3.1

Normalmente es interesante observar las pérdidas de inserción cuando el dispositivo está en conducción y la diferencia entre los valores de pérdidas de inserción para los dos estados, donde las pérdidas de inserción para el estado de corte son llamadas aislamiento. El diseño o selección de un diodo PIN o un FET para un conmutador requiere hacer una serie de *trade-offs* entre la resistencia de conducción y la capacidad de corte. La elección influye directamente en la relación conducción/corte para el conmutador.

Los circuitos mostrados anteriormente son reflexivos en el estado de corte, lo cual podría ser indeseable. Esta situación puede ser remediada poniendo dos diodos en configuración SPDT (Single-Pole Double-Throw), como ilustra la figura 3.2(a) de abajo y terminando uno de los dos puertos de salida con una carga adaptada. Un conmutador SPDT que usa sólo diodos en paralelo es mostrado en la figura 3.2(b). Las líneas de transmisión son requeridas en este caso para proporcionar la adecuada acción de conmutación.

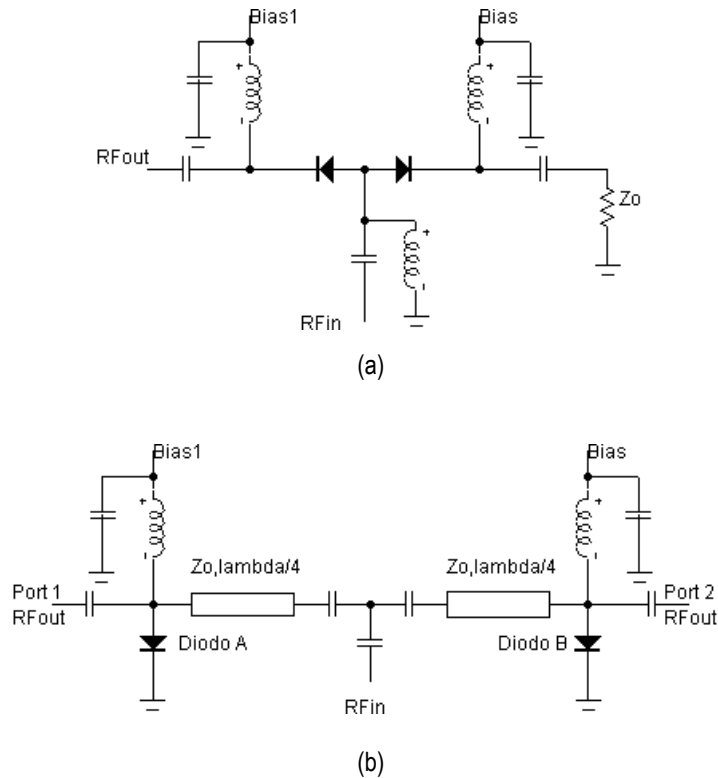


Figura 3.2

Cuando el diodo A está en conducción se puede asemejar como una baja resistencia a tierra, por lo que no pasará señal hacia el puerto 1; además, en el punto de unión común se ve como un circuito abierto, debido a la línea de  $\lambda/4$ , por lo que ese brazo del circuito no afectaría al brazo de recepción. En cambio, cuando el diodo A está en corte (alta resistencia), se dejará pasar señal hacia el puerto 1; además, en el punto de unión común se ve como un circuito abierto y este brazo no influiría en este caso en el brazo de recepción. Si los diodos A y B están complementariamente alimentados de forma adecuada, la conmutación se producirá de forma correcta. La introducción de líneas de transmisión tiende a reducir el ancho de banda útil a menos de una octava.

Incrementando el número de diodos (o FET's) usados, se pueden extender estos diseños simples para realizar conmutadores con un mayor número de polos y caminos.

### 3.2. SWITCHES MMIC CON FET'S DE GAAS ([1])

La implementación de switches con diodos PIN hace varias décadas resultó una mejora significativa en el manejo, tamaño y velocidad de conmutación de los switches de microondas, comparados con sus homólogos electromecánicos de entonces. Tales circuitos con diodos PIN pueden ser fácilmente realizados en circuitos integrados híbridos. Esto posibilitó su amplio uso en numerosas aplicaciones. Los diodos PIN pueden proporcionar velocidades de conmutación más rápidas y pueden manejar potencias de RF de medio y alto nivel. Los requerimientos de polarización de los diodos PIN son tales que en el estado de conducción requieren una alta intensidad directa y en el estado de corte requieren una gran polarización inversa a través de la unión semiconductor. Las características de conmutación de estos switches son altamente dependientes de las características individuales del diodo PIN. Hace pocos años estos switches han ido siendo reemplazados por los switches monolíticos basados en FET's de GaAs, especialmente para aplicaciones de baja potencia.

Las ventajas inherentes de los switches basados en FET's de GaAs sobre los convencionales basados en diodos PIN son: redes de polarización más simples, requerimientos de potencia de DC despreciables, velocidades de conmutación más rápidas, etc. Además, la implementación monolítica de tales switches resulta en circuitos con muy altas prestaciones y en chips muy pequeños.

#### 3.2.1. Mecanismo de conmutación de un FET de GaAs

El FET como conmutador es un dispositivo de tres terminales en el que la tensión de puerta controla los estados del transistor. El FET se comporta como una resistencia controlada por tensión en la cual la tensión de puerta controla la resistencia drenador-fuente en el canal. Las capacitancias intrínsecas puerta-fuente y drenador-puerta y los parásitos del dispositivo limitan el rendimiento del FET como conmutador a altas frecuencias.

En un típico modo de conmutación, el estado de alta impedancia se alcanza cuando una polarización negativa, mayor en magnitud a la tensión de *pinchoff* del transistor ( $|V_g| > |V_p|$ ), es aplicada a través del terminal de puerta. Cuando la tensión de puerta es cero, el FET estará en un estado de baja impedancia. Es importante hacer notar que, en ambos estados de polarización, el FET no requiere potencia de DC (idealmente), por lo que, desde el punto de vista del consumo de potencia, estos elementos pueden ser considerados dispositivos pasivos. Este hecho hace que los FET's tengan una circuitería de alimentación muy sencilla. Siendo una estructura plana, con la banda de puerta localizada entre los terminales de drenador y fuente el FET se comporta como un switch bidireccional.

El FET puede ser modelado por combinaciones serie y paralelo de resistencias y capacidades.

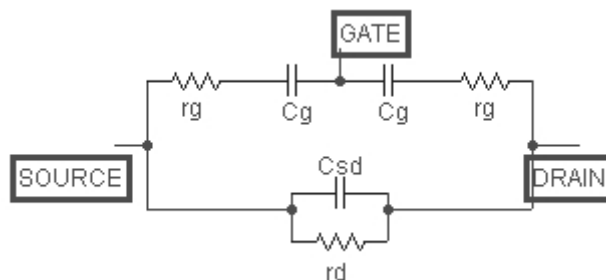


Figura 3.3

Asumiendo que la terminación de puerta presenta una impedancia muy grande para nuestra frecuencia de operación, el circuito equivalente en estado de corte puede ser algo como el mostrado en la figura 3.3. Para condiciones de  $1/\omega C_g \gg r_g$ , la capacidad efectiva drenador-fuente es simplemente  $(C_{sd} + C_g/2)$  y la resistencia efectiva del drenador es el paralelo entre  $r_d$  y  $2/(\omega^2 C_g^2 r_g)$ . La figura de mérito de un FET puede ser expresada como la relación entre su resistencia efectiva en estado de corte y su resistencia en estado de conducción.

Los parámetros físicos del dispositivo influyen fuertemente en los parámetros del circuito equivalente del FET. Los parámetros físicos más importantes son: la geometría del canal, la longitud de puerta, el grado de dopado del canal y la tensión de *pinchoff*. La metalización, el hueco de puerta, etc., influyen en la resistencia de conducción del FET; la impedancia de corte depende de la capacidad fuente-drenador ( $C_{sd}$ ), su resistencia paralelo ( $r_d$ ), y las capacidades drenador-puerta y fuente-puerta ( $C_g$ ), con sus respectivas resistencias serie ( $r_g$ ).

El valor de la capacidad  $C_{sd}$  depende del espacio entre los terminales de fuente y drenador, y es idealmente independiente de los parámetros del dispositivo como el dopado del canal y la tensión de *pinchoff*. Debido a la simetría del dispositivo, las capacidades drenador-puerta y puerta-fuente son iguales y representadas por  $C_g$ . La capacidad de puerta a tierra, si es significativa, debe ser añadida al modelo. Las resistencias que contribuyen a la impedancia de corte son  $r_d$  y  $r_g$ . La resistencia  $r_d$  está en paralelo con  $C_{sd}$  y representa las pérdidas de RF asociadas a la capacidad fuente-drenador. La resistencia  $r_g$  representa la resistencia del canal fuera de la región de *pinchoff* en la condición de corte.

La velocidad de conmutación de un FET también puede ser calculada mediante los parámetros del circuito equivalente. Asumiendo una resistencia interna de puerta de 1.5 k $\Omega$  y que para el filtro pasabajo del circuito de polarización se ha utilizado una capacidad de 10 pF, el tiempo de carga será de 15 ns. La reducción de los tiempos de conmutación son posibles optimizando el diseño del circuito de polarización de la puerta.

### 3.2.2. Circuito equivalente del FET como conmutador

En la figura 3.4(a) se muestran las pérdidas de inserción para un FET serie de cuatro dedos, en conducción, en función de la periferia total de puerta. Como era de esperar, las pérdidas de inserción decrecen conforme aumenta la periferia total de puerta. En la figura 3.4(b) se muestran las pérdidas de inserción para el mismo FET en corte. Debido al incremento del acoplamiento capacitivo, el aislamiento en el estado de corte más bajo para dispositivos con una periferia de puerta mayor que para dispositivos con periferia de puerta menor. Las características de conmutación están dadas principalmente por la anchura total de puerta; el número de dedos tiene una influencia mucho menor.

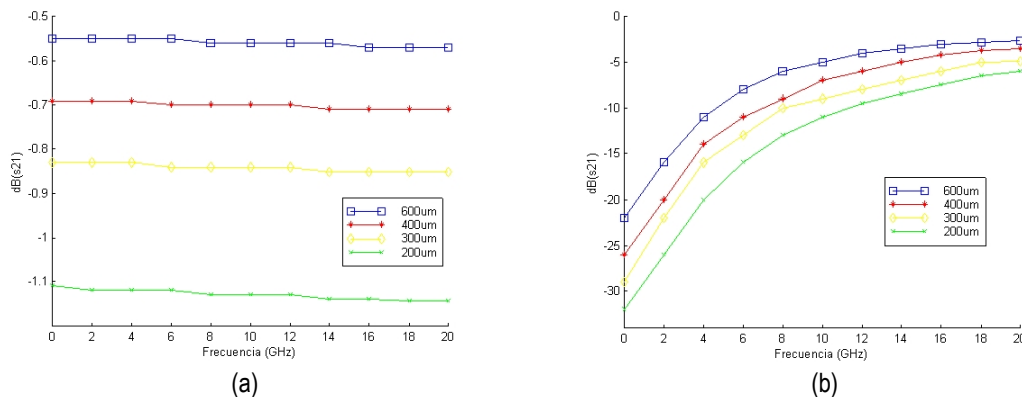


Figura 3.4

En el estado de conducción la resistencia de canal del FET es el parámetro dominante y esto resulta en que las pérdidas de inserción son idealmente independientes de la frecuencia. En el estado de corte, sin embargo, la capacidad equivalente del circuito determina la característica de aislamiento, la cual muestra una fuerte dependencia con la frecuencia. Por lo tanto, las pérdidas de inserción para el FET serie y el aislamiento para la configuración en paralelo muestran un comportamiento invariable con la frecuencia. Por otra parte, el aislamiento para el FET serie y las pérdidas de inserción para el FET paralelo muestran una dependencia con la frecuencia debido a efectos capacitivos en el estado de corte. Incrementando el tamaño del FET se reduce su resistencia de conducción y entonces reduce las pérdidas de inserción. Sin embargo, esto también resulta en un incremento de las capacidades puerta-fuente y puerta-drenador, y también de la capacidad fuente-drenador, que es la que limita el rendimiento del switch en el estado de corte.

### **3.2.3. Implementación de switches MMIC**

Los circuitos de conmutación con FET's pueden ser diseñados de la misma forma que los realizados con diodos PIN mediante el uso de circuitos equivalentes de estado de corte y conducción. El FET puede estar en configuración serie o paralelo con respecto a las líneas de transmisión a las cuales se conectan. Es importante notar las diferencias entre los switches basados en diodos PIN respecto a los switches MMIC basados en FET's. Como el FET es un dispositivo de tres terminales, la conmutación se produce sólo mediante la tensión de control en la puerta; ninguna otra tensión es necesaria para el funcionamiento del switch. Las líneas de transmisión de RF no llevan ninguna tensión DC y por lo tanto no hay necesidad de usar capacidades DC de bloqueo entre los distintos elementos de conmutación. Esto representa una ventaja muy significativa, ya que resulta una configuración más simple para los circuitos MMIC.

En los estados del switch la unión de puerta está o polarizada inversamente o polarizada directamente mediante una tensión de puerta igual a cero. En ambos estados la corriente de puerta es despreciable, lo cual simplifica de forma importante el circuito de control. En el estado de corte del switch con FET, las capacidades puerta-drenador y puerta-fuente son iguales; en este caso resulta que los terminales de puerta y drenador no están aislados el uno del otro y la impedancia de RF del circuito de polarización de la puerta afecta a la impedancia equivalente drenador-fuente. Cuando la impedancia de puerta es muy alta la capacidad drenador-fuente equivalente puede tomar un valor aproximado de  $C_d + C_g/2$ . El efecto de esta capacidad debería ser incluida en el diseño de los circuitos en estado de corte. Para frecuencias en la banda X o superiores este efecto capacitivo paralelo en el estado de corte podría ocasionar que la impedancia de corte del FET fuese mucho menor que el valor de  $r_d$ . Podría ser necesario poner una inductancia entre el drenador y la fuente para que, junto a esa capacidad, resonaran a la frecuencia de interés.

Las características de switches simples monolíticos con FET's mostradas en las figuras 3.4(a) y 3.4(b) pueden ser adecuadas para ciertas aplicaciones, pero generalmente es necesario una combinación de configuraciones serie-paralelo para conseguir las características deseadas, tales como bajas pérdidas de inserción y alto aislamiento.

### **3.3. DIFERENTES CONFIGURACIONES DE SWITCHES CON FET'S**

En este apartado se pretenden mostrar distintos conmutadores de antena propuestos en diversos artículos, y completar así el desarrollo teórico visto previamente.

#### **3.3.1. Switch T/R para comunicaciones personales a 1.9 GHz**

Este apartado está basado en el artículo “High Performance Integrated PA, T/R Switch for 1.9 GHz Personal Communications Handsets” ([5]). Como se dice en el título se trata de un circuito que integra un amplificador de potencia y un conmutador de antena, pero nosotros nos centraremos en este último.

El circuito se realiza en tecnología MMIC, y se usan MESFET's de GaAs multipuerta. Los requerimientos de intermodulación que se le exigen a este switch están muy por encima de los que se le pide a los switches convencionales que usan FET's de GaAs. Para superar este problema, se usa esta configuración multipuerta para los transistores, ya que permite reducir la tensión AC que aparece entre la puerta y el drenador o fuente, lográndose así que el switch pueda manejar potencias más altas. El circuito se muestra en la siguiente figura:

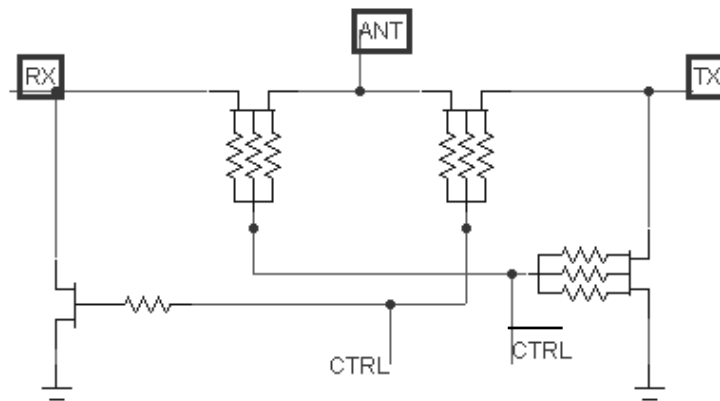


Figura 3.5

La resistencia de conducción del FET multipuerta es cerca de 2.5 veces mayor que la de un FET de una puerta de la misma periferia. Para compensar esto se deben usar FET's más grandes. Como en un FET multipuerta la distancia entre drenador y fuente es mayor que para un FET de una puerta, la capacidad equivalente en estado de corte es menor que para un FET de una sola puerta. La consiguiente pérdida de aislamiento que se produce al aumentar el tamaño de los transistores, necesario para disminuir las pérdidas de inserción, es muy pequeña. El FET en paralelo del brazo de recepción puede ser de una puerta, sin que esto afecte a la linealidad del circuito. Este diseño asimétrico permite adaptarse a las necesidades de los dos modos de funcionamiento. La periferia o tamaño de los FET's se optimiza para conseguir que su capacidad de corte junto a las inductancias series parásitas del chip resuenen a la frecuencia deseada. En la tabla siguiente se muestran los resultados obtenidos:

|                              |        |
|------------------------------|--------|
| <b>Pérdidas de inserción</b> | <1 dB  |
| <b>Aislamiento</b>           | 30dB   |
| <b>Tensiones de control</b>  | 0/-4 V |
| <b>IP3out (Pin=23 dBm)</b>   | 48 dBm |

Tabla 3.1

### 3.3.2. Conmutadores SPDT MMIC para DC-40 GHz y 20-40 GHz

Aquí nos basamos en el artículo titulado “DC-40 GHz and 20-40 GHz MMIC SPDT Switches” ([6]). Nos muestran el diseño y fabricación de dos switches de banda ancha, en tecnología MMIC y que usan transistores FET's de longitud de puerta de  $0.35\ \mu\text{m}$ .

En la figura 3.6 se muestra la topología del switch SPDT de 20-40 GHz.

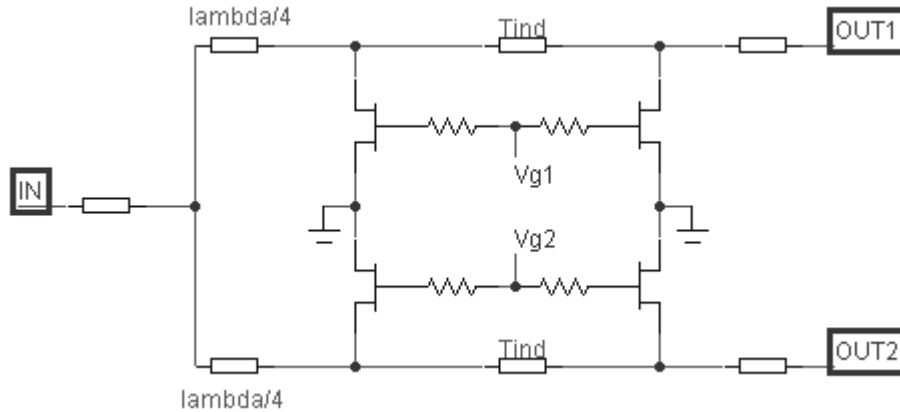


Figura 3.6

Como se puede observar, se usan FET's en paralelo junto con transformadores de cuarto de onda. El circuito está compuesto por dos partes idénticas pero polarizadas de forma independiente. En funcionamiento normal, un brazo deja pasar la señal (brazo en conducción) y el otro no (brazo en corte). Los FET's en el brazo en conducción están cortados, y actúan como capacidades en paralelo. Los FET's se conectan entre sí mediante líneas inductivas. La combinación de las inductancias series de las líneas y las capacidades paralelas de los FET's forman una línea de transmisión artificial. Los FET's en el brazo en corte están en conducción y actúan como pequeñas resistencias en paralelo y a tierra. Las líneas  $\lambda/4$  se usan para transformar el cortocircuito en un circuito abierto, aislando así el brazo en corte del brazo en conducción.

Para lograr unas prestaciones adecuadas para un ancho de banda mayor, se usa la configuración mostrada en la figura 3.7. Los transformadores de cuarto de onda del circuito anterior son sustituidos por FET's en serie. Los FET's en serie en el brazo en conducción están en conducción y actúan como una pequeña resistencia, permitiendo a la señal pasar (con una pequeña atenuación).

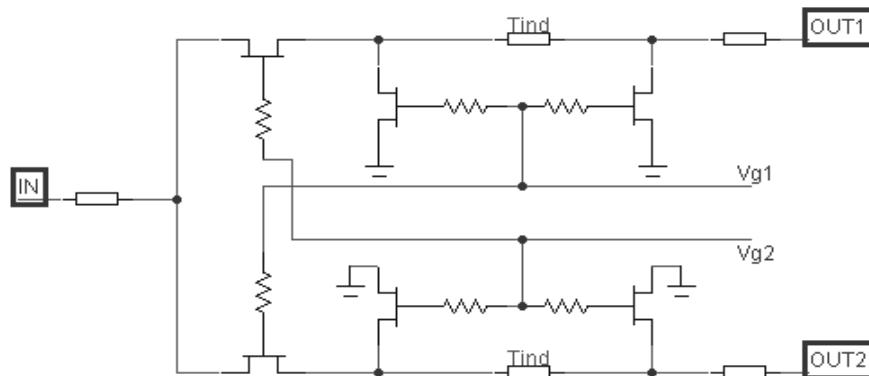


Figura 3.7

Los FET's en paralelo del brazo en conducción funcionan de la misma forma que en el circuito anterior. Los FET's en serie en el brazo en corte están cortados y actúan principalmente como una pequeña capacidad. Esta capacidad está a tierra a través de los FET's paralelo, y por tanto provoca que en el brazo en conducción haya carga capacitiva adicional, que es incorporada en la estructura de la línea de transmisión artificial. El aislamiento es proporcionado principalmente por los FET's en paralelo en el brazo en corte, fundamentalmente a altas frecuencias, donde los FET's en serie ayudan poco al aislamiento.

En las figuras siguientes, a modo de curiosidad, se muestra la implementación de estos circuitos en tecnología MMIC. Se puede observar como el switch de 20-40 GHz (figura 3.8(a)) es mayor (en concreto, 1.27 mm x 1.27 mm) que el de DC-40 GHz (0.84 mm x 1.27 mm) (figura 3.8(b)), debido a las líneas de transmisión de  $\lambda/4$ .

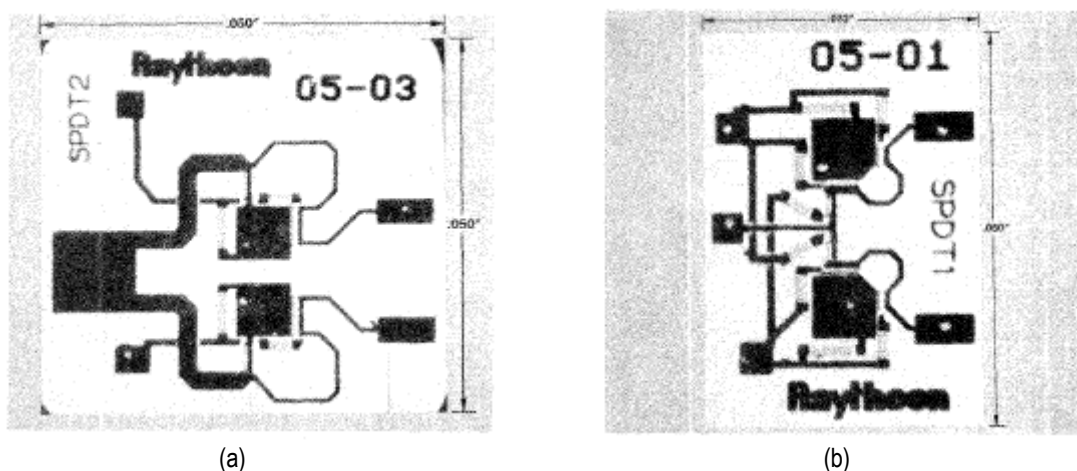


Figura 3.8

En cuanto a las prestaciones de estos switches, se puede decir que el switch para DC-40 GHz tiene unas pérdidas de inserción de menos de 3 dB y un aislamiento de unos 23 dB para casi toda la banda. En cuanto al switch de 20-40 GHz tiene unas pérdidas de inserción de menos de 2 dB y un aislamiento de unos 25 dB.

### 3.3.3. Switch T/R de alta potencia para 2-18 GHz

Este apartado está basado en el artículo "A High Power 2-18 GHz T/R Switch" ([7]). En él se nos habla de un conmutador de antena en tecnología MMIC desarrollado para alcanzar potencias de más de 35 dBm. Para ello hace uso de tres técnicas: diseño asimétrico de los brazos de transmisión y recepción, uso de FET's de doble puerta para manejo de grandes tensiones y utilización de FET's grandes para manejo de intensidades importantes.

Con este switch se consiguen más o menos las mismas características de pérdidas de inserción y aislamiento que un switch convencional, pero se consigue aumentar la capacidad de manejo de potencia más de 8 dB.

La primera de las técnicas usadas para incrementar la potencia es reemplazar los FET's de una puerta por FET con doble puerta. Simplificadamente se puede considerar un FET de doble puerta como dos FET's de una puerta puestos en serie. La variación de tensión de RF puede ser distribuida a través de los dos dispositivos, incrementándose el límite de potencia impuesto por la tensión máxima que soportan.

Comparado con los FET's de una puerta usados en los switches convencionales el FET de doble puerta tiene una resistencia de conducción considerablemente mayor. Por tanto, para mantener unas bajas pérdidas de inserción, es necesario incrementar la periferia (tamaño) de estos transistores de forma importante.

La segunda técnica usada es aumentar la periferia de los transistores, lo cual hace aumentar la capacidad de manejar grandes corrientes. El mayor problema por usar FET's de mayor tamaño es que su capacidad de *pinchoff* o corte es mayor, lo que perjudica a las pérdidas de inserción. Ésta es otra razón para usar FET's con doble puerta, pues su capacidad de corte es mucho menor que la de un FET con una puerta.

La tercera técnica utilizada para incrementar la capacidad del switch de manejar grandes potencias es realizar un diseño asimétrico; por tanto, el conmutador se diseña tal que los brazos de transmisión y recepción sean diferentes. Por ejemplo, los FET's en paralelo del brazo de transmisión y los FET's en serie del brazo de recepción deben manejar grandes variaciones de tensión de RF, por tanto, deben ser de doble puerta. En cambio, los FET's en serie del brazo de transmisión y los FET's en paralelo del brazo de recepción deben manejar grandes corrientes, por lo que tienen que tener grandes periferias. En algunos casos, FET's con doble puerta son usados en estas localizaciones para disminuir la capacidad de corte.

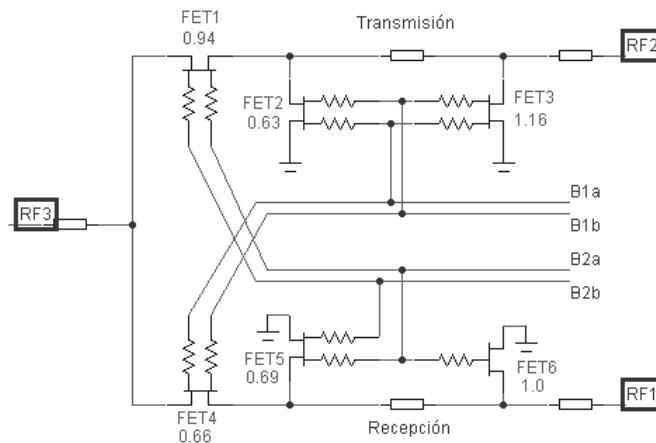


Figura 3.9

El esquemático del circuito es mostrado en la figura 3.9. En él se indica el tamaño de cada dispositivo. El switch está diseñado para manejar potencias más altas en el modo transmisión. Se observa que los FET's 2, 3 y 4 deben manejar variaciones de tensión grandes y por tanto son de doble puerta. Los tamaños de estos dispositivos son también lo suficientemente grandes para reducir su resistencia de conducción. El FET 1 y en menor medida el FET 5 deben manejar grandes corrientes, por lo que su periferia es mayor. Estos además son de doble puerta para reducir la capacidad de corte. El FET 6 es el único que no es de doble puerta.

En cuanto a las prestaciones de este switch se pueden resumir en la tabla siguiente:

|                              |    |        |
|------------------------------|----|--------|
| <b>Pérdidas de inserción</b> | RX | 2.5 dB |
|                              | TX | 2 dB   |
| <b>Aislamiento</b>           | RX | 30 dB  |
|                              | TX | 30 dB  |
| <b>P<sub>in</sub> (1 dB)</b> | RX | 35 dBm |
|                              | TX | 32 dBm |

Tabla 3.2

Es necesario destacar que las medidas de potencias se han realizado para diferentes tensiones de polarización de puerta. En concreto, las de la tabla, que son las mejores que se obtienen, son para unas tensiones de control de 0/-14 V.

Para terminar, en la figura 3.10 se muestra la fotografía del switch en tecnología MMIC. Para su realización se han usado FET's con una longitud de puerta de 0.25  $\mu\text{m}$ , siendo el tamaño del circuito total de 0.9 mm x 1.5 mm.

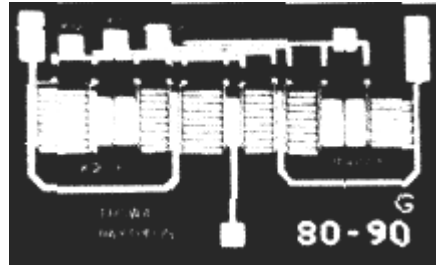


Figura 3.10

### **3.3.4. Switch SPDT MMIC usando JFET's de GaAs y modo E/D para comunicaciones personales**

El artículo en el que se describe este switch se titula “SPDT Switch MMIC Using E/D-mode GaAs JFETs for Personal Communications” ([8]). En él se describe cómo se diseña este switch SPDT monolítico, para el rango de frecuencias de 1-2 GHz. En concreto este switch se desarrolla para multiplexión por división en el tiempo en el sistema de telefonía digital inalámbrica de Japón, el llamado PHP (Personal Handy Phone).

El esquemático del switch se muestra en la figura 3.11. Cuando el switch está en conducción, un FET en serie está en conducción y un FET en paralelo está en corte. De forma inversa, cuando el switch está en corte, un FET serie está en corte y un FET paralelo está en conducción. Los FET's en paralelo se introducen para mejorar el aislamiento, ya que conducen la fuga de señal de RF a tierra.

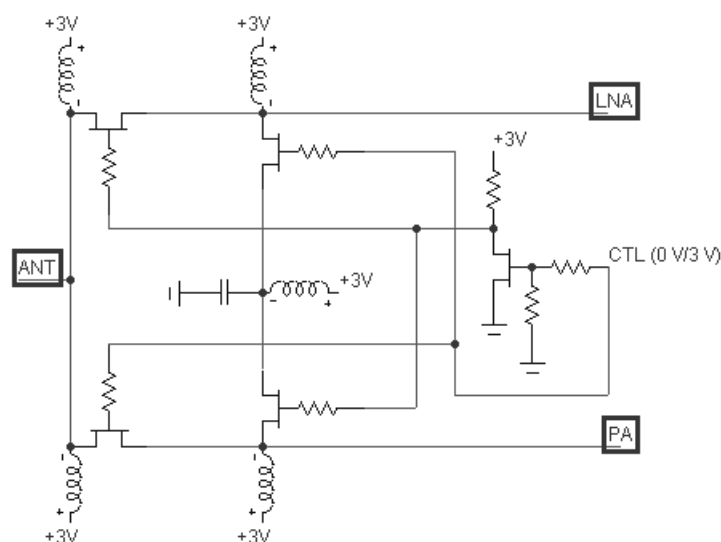


Figura 3.11

Para alcanzar pequeñas pérdidas de inserción y alto aislamiento se escogen JFET's de empobrecimiento, debido a su baja resistencia serie de conducción. La capacidad de manejo de potencia del switch en el estado de conducción esta definida por el FET serie en el estado de corte. Como las impedancias puerta-drenador y puerta-fuente son iguales la mitad de la tensión de RF del drenador caerá en la puerta. Si esta tensión excediera a la tensión umbral del FET, éste pasaría de estar en corte a estar en conducción, provocando la degradación de las prestaciones del switch. La tensión de *pinchoff* de los FET's se calculó para asegurar un buen funcionamiento hasta 200 mW de potencia; resultó ser de  $-1.5$  V. Considerando un margen de 3 dB en la capacidad de manejo de potencia, se escogió una tensión de *pinchoff* de  $-1.2$  V para la fabricación del FET.

Normalmente, se prefieren FET's con anchura de puerta grande, pues así se alcanzan bajas pérdidas de inserción. Sin embargo, un gran ancho de puerta puede degradar el aislamiento. Se tomó un ancho de 1mm, y se obtuvieron como valores de simulación 0.45 dB de pérdidas de inserción y 34 dB de aislamiento, a 1.9 GHz. Se incorporó un FET inversor de enriquecimiento para la tensión de control, con anchura de puerta de 80  $\mu\text{m}$ .

En la figura 3.12 se muestra una fotografía del switch integrado.

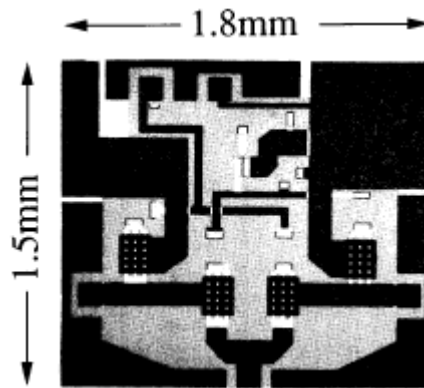


Figura 3.12

En cuanto a las prestaciones del switch se muestran en la siguiente tabla:

|                                   |          |
|-----------------------------------|----------|
| <b>Frecuencia de operación</b>    | 1.9 GHz  |
| <b>Tensión de control ON/OFF</b>  | 0 V/3 V  |
| <b>Tensión DC de polarización</b> | 3 V      |
| <b>Pérdidas de inserción</b>      | < 0.7 dB |
| <b>Aislamiento</b>                | 30 dB    |
| <b>Velocidad de conmutación</b>   | < 100 ns |
| <b>P<sub>in</sub> (1 dB)</b>      | 28 dBm   |
| <b>IP3<sub>in</sub></b>           | 43 dBm   |

Tabla 3.3

### **3.3.5. Switch SPDT IC en tecnología de GaAs para sistema digital de comunicaciones móviles**

El título del artículo es "A GaAs High-Power RF Single-Pole Double-Throw Switch IC for Digital Mobile Communication System" ([9]).

Una de las ventajas de los switches realizados con FET's de GaAs es su bajo consumo. Sin embargo, existe distorsión de la forma de onda conforme se incrementa la potencia de transmisión. Esto limita la capacidad del switch de transmitir grandes potencias. Otra desventaja es que son necesarias tensiones negativas para el control del switch.

Como se ha dicho anteriormente los switches convencionales con FET's tienen limitada su capacidad de manejo de potencia. Esto no es debido ni a su tensión de ruptura ni a su corriente máxima de drenador, sino a su tensión umbral. Para superar esto, este switch propone la utilización de tensión sincronizada superpuesta a la tensión de control. En la figura 3.13 se muestra un switch simple que utiliza esta idea. El switch funciona de la siguiente manera:

- ON: El FET1 está en corte (circuito abierto) y el FET2 está en conducción (cortocircuitado). La señal de RF es transferida a la salida. La señal de RF también es dada a la tensión de puerta del FET1.
- OFF: El FET1 está en conducción (cortocircuitado) y el FET2 está en corte (circuito abierto). La señal de RF es aislada de la salida.

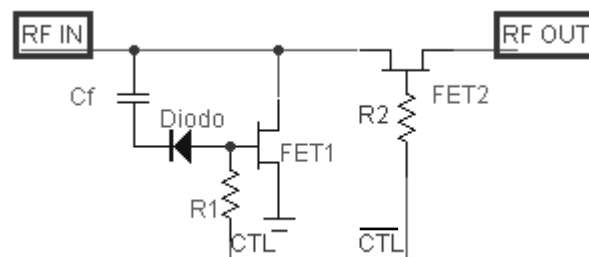
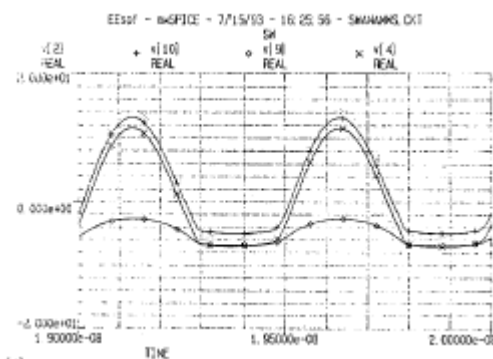
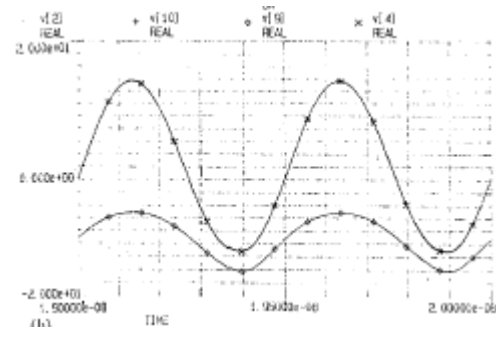


Figura 3.13

La principal característica de este circuito es la capacidad de alimentación directa  $C_f$  y el diodo conectados en serie entre la puerta del FET1 y el puerto de entrada de RF. Esto proporciona la tensión sincronizada superpuesta a la puerta del FET1. La figura 3.14 muestra la forma de onda de RF simulada, con ((b)) y sin capacidad de alimentación directa ((a)). La forma de onda senoidal no se distorsiona cuando se inserta la capacidad de alimentación directa. El diodo mantiene una tensión de pico negativa en la puerta del FET1 limitando las pérdidas de la potencia transmitida.



(a)



(b)

Figura 3.14

En la figura 3.15 se muestra el switch SPDT completo.

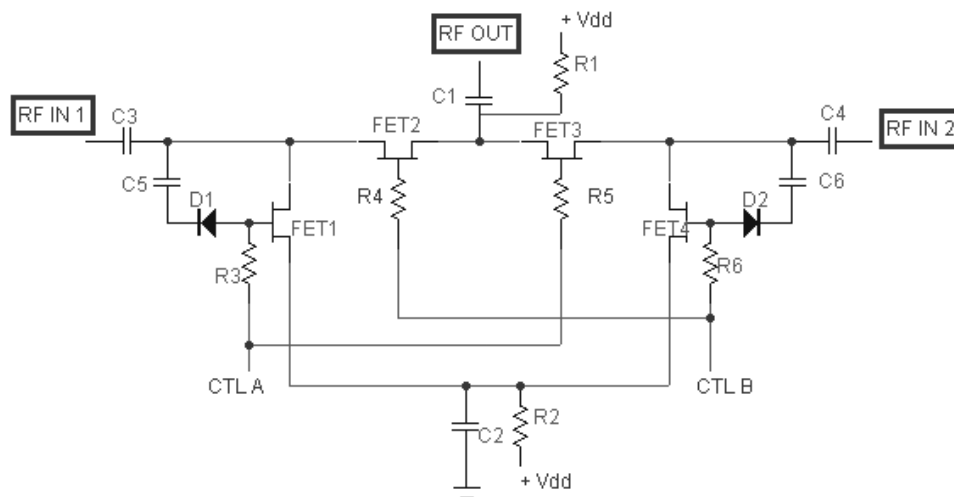


Figura 3.15

Con este switch se consiguen unas pérdidas de inserción de menos de 1 dB y un aislamiento de 25 dB. Para una tensión de control de 5 V se consigue una potencia de entrada de caída de 1 dB de 37 dBm.

### 3.3.6. Switch T/R monolítico de alta potencia para la banda K/Ka

Este artículo se titula “A High Power K/Ka-Band Monolithic T/R Switch” ([10]). En él se nos habla del diseño de un switch adecuado para sistemas de RADAR, con gran capacidad de manejo de alta potencia y bajas pérdidas de inserción.

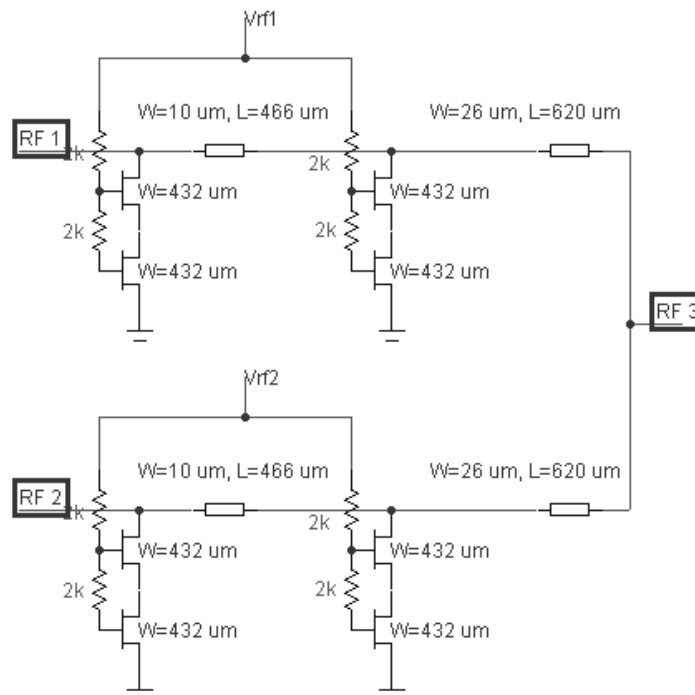


Figura 3.16

Para aumentar la capacidad del switch de manejar grandes potencias, hay dos técnicas: una, usar MESFET's con doble puerta, para así incrementar el umbral limitante de tensión. Este método fue ya explicado anteriormente en otros artículos. Otra, que es la usada en este artículo, es la utilización de MESFET's apilados. Así, también se incrementa el umbral de tensión, ya que en las uniones puerta-drenador de cada uno de los dos MESFET's cae la mitad de la tensión que caería en un solo transistor. Aunque al apilar dos transistores se incrementa la inductancia serie a través de ellos y la capacidad paralelo desde los MESFET's a tierra, también se consigue una mayor capacidad de manejo de potencia que los transistores de doble puerta. En la figura 3.16 se muestra el circuito. Como se puede observar, la estructura base es la misma que la de un switch convencional, con la salvedad de que se introduce la novedad de los transistores apilados.

En cuanto a las prestaciones, este switch exhibe unas pérdidas de inserción de menos de 2 dB y un aislamiento de más de 20 dB. Las pérdidas de inserción son iguales para ambos brazos, al igual que las pérdidas por retorno, que son de unos -10 dB. Además este switch ofrece una compresión de 0.2 dB para 30 dBm de potencia de entrada. No existe compresión hasta una potencia de entrada de 28 dBm. Para obtener estas prestaciones se han usado tensiones de control de *on* y *off* de 0 y -10 V, respectivamente. Ofrece además unos muy buenos tiempos de conmutación, por debajo de 500 ps.

### **3.4. EFECTOS DE LA NO LINEALIDAD DEL SWITCH** ([11])

Los conmutadores hacen uso de dispositivos no lineales, como el diodo o el transistor. Esta no linealidad produce unos armónicos no deseados. En general, un sistema que usa un dispositivo no lineal tiene una función de transferencia que puede ser escrita como una serie de Taylor:

$$V_{out} = a_0 + a_1 V_{in} + a_2 V_{in}^2 + a_3 V_{in}^3 + \dots \quad (3.5)$$

Para un conmutador, el término lineal de  $v_{in}$ ,  $a_1$ , proporciona la respuesta deseada. El resto de términos produce señales espúreas indeseables.

Si la señal de entrada a un sistema consiste sólo en una frecuencia (un tono), es decir  $v_{in} = \cos(\omega_1 t)$ , entonces la señal de salida dada por la ecuación (3.5) contendrá todos los armónicos,  $m\omega_1$ , de la señal de entrada. Estos armónicos son clasificados por su orden,  $m$ . Para un conmutador, el armónico de primer orden (fundamental) es la respuesta deseada, y la presencia de armónicos de mayor orden es llamada distorsión armónica. Si se tiene un ancho de banda de una octava o más, el producto de distorsión de segundo orden de una señal de baja frecuencia podría caer en la banda de paso.

Aparecen problemas más serios cuando la entrada al sistema contiene dos frecuencias relativamente cercanas, es decir,  $v_{in} = \cos(\omega_1 t) + \cos(\omega_2 t)$ . Entonces el espectro de salida contendrá todos los armónicos de la forma  $m\omega_1 + n\omega_2$ , donde  $m$  y  $n$  son enteros; el orden de un producto dado es definido como  $|m| + |n|$ . El término  $v_{in}^2$  produce términos en las frecuencias  $2\omega_1$ ,  $2\omega_2$ ,  $\omega_1 - \omega_2$  y  $\omega_1 + \omega_2$ , los cuales son todos productos de segundo orden. Estas frecuencias están generalmente lejos de las fundamentales y por tanto pueden ser filtradas fácilmente. El término  $v_{in}^3$  produce términos en las frecuencias  $3\omega_1$ ,  $3\omega_2$ ,  $\omega_1 + 2\omega_2$  y  $2\omega_1 + \omega_2$ , los cuales son todos productos de tercer orden, y que pueden ser filtrados, y también  $2\omega_2 - \omega_1$  y  $2\omega_1 - \omega_2$ , que no pueden ser generalmente filtrados. Estos últimos son importantes, ya que podrían afectar al rango dinámico y la ancho de banda del sistema.

Una medida de la distorsión por intermodulación de segundo o tercer orden es dada por los puntos interceptos, los cuales son puntos de la curva de la potencia de salida respecto a la potencia de entrada para el componente o sistema no lineal bajo consideración. Cuando la potencia de entrada se incrementa, se llega a la saturación, produciendo un recorte de la forma de onda de salida y distorsión de la señal. Esta distorsión se manifiesta provocando que la potencia de entrada se reparta entre los armónicos.

La ecuación (3.5) muestra que la potencia en el producto de segundo orden varía como  $v_{in}^2$ , por tanto la curva de potencia de salida para este producto tiene una pendiente doble a la curva de la potencia de salida para la frecuencia fundamental. Si la parte lineal de la ganancia de pequeña señal es prolongada, interceptará la curva de la potencia del producto de segundo orden en el punto intercepto de segundo orden. Este punto puede ser especificado por la potencia de salida y entrada en la intersección, y es una medida de la cantidad de distorsión por intermodulación de segundo orden. El componente o sistema se comportará bien por debajo de este punto.

Un punto intercepto similar es definido para la distorsión por intermodulación de tercer orden. Debido a que está producido por el término  $v_{in}^3$  su curva tiene una pendiente triple. Además del hecho que este tipo de distorsión es más difícil de filtrar que otras distorsiones, su punto intercepto normalmente se produce a un nivel de potencia más bajo que el punto intercepto de segundo orden.

## 4. SWITCH A

### 4.1. BASE DOCUMENTAL DEL SWITCH

Este apartado, al igual que los similares que seguirán para los posteriores switches, trata de ofrecer una traducción fiable de los artículos en los que se basa el switch en cuestión, para posteriormente ofrecer las correspondientes modificaciones y comentarios.

En concreto, este artículo se titula “A Sub-Nanosecond Resonant-Type Monolithic T/R Switch for Millimeter-Wave Systems Applications” ([12]).

#### 4.1.1. Introducción

El desarrollo de switches T/R (o conmutadores de antena) con excelentes características de aislamiento son indispensables para redes de área local inalámbricas de 100-200 Mbps y aplicaciones de sensores autónomos.

La realización de conmutadores con FET's frente a los conmutadores con diodos PIN tiene las ventajas siguientes:

- Mayor velocidad de conmutación.
- Puerto de polarización aislado de la tensión de RF.
- Despreciable disipación de potencia.
- Realizable en tecnología monolítica.

Los conmutadores T/R con FET's convencionales se hacen con un par de FET's entre antena y tx y entre antena y rx. Esta estructura ha sido aplicada para frecuencias por debajo de 20 GHz; su problema es su baja velocidad de conmutación. Para mejorarla, se sustituyen los FET's por líneas de transmisión, con longitud e impedancia características. El artículo describe un switch T/R usando el concepto de resonancia serie/paralelo.

#### 4.1.2. Diseño del circuito

El circuito se ve en la figura 4.1. Consta de brazos de transmisión y recepción, cada uno con un par de FET's de deplexión, líneas de transmisión  $T_{IND}$  conectadas en serie con cada FET y líneas de transmisión  $T_{CAP}$ , las cuales están conectadas en paralelo con cada  $T_{IND}$ .

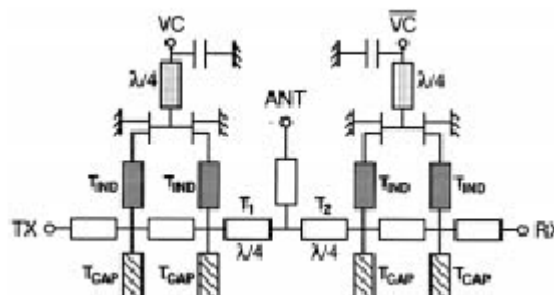


Figura 4.1

Las líneas de los caminos tx-antena y antena-tx tienen una impedancia característica de  $50 \Omega$ . Las líneas  $\lambda/4$   $T_1$  y  $T_2$  proporcionan un alto aislamiento tx-rx. El funcionamiento del conmutador es controlado con las tensiones complementarias

$V_c$  y  $\overline{V}_c$ . Las líneas  $\lambda/4$  de las puertas de los FET's y las capacidades de *bypass* son puestas para eliminar la fuga de señal RF.

Cuando el FET están en conducción ( $V_{gs} = 0$  v) se representa por  $R_{ON}$ ; cuando está en corte se representa por la capacidad drenador-fuente de *pinchoff*  $C_p$ . Las líneas inductivas y capacitivas se pueden representar por  $L$  y  $C$ , respectivamente.

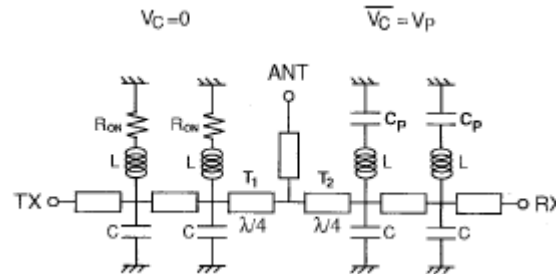


Figura 4.2

En contraste con los conmutadores presentados hasta la fecha, debido a un par de FET's en conducción, el circuito resonante paralelo que resulta en el correspondiente brazo estará abierto, y por tanto, la señal puede ser transmitida; pero en el otro brazo, el par de FET's está en corte, y el circuito resonante serie que resulta estará en corte, y por tanto la señal es bloqueada. Además las líneas  $\lambda/4$   $T_1$  y  $T_2$  son para cancelar el efecto del circuito resonante serie en corte sobre la señal transmitida en el otro brazo y también para tener un gran aislamiento tx-rx.

En este caso, el conmutador fue diseñado para una frecuencia de 60 GHz. Se usan HJFET's de 300  $\mu$ m de longitud de puerta. Se optimizaron las líneas  $T_{CAP}$  y  $T_{IND}$  para tener máxima adaptación en los puertos, mínimas pérdidas de inserción y máximo aislamiento tx-rx.

#### 4.1.3. Rendimiento

En la figura 4.3 se muestra una fotografía del chip resultante, de tamaño 3.3 mm x 1.7 mm.

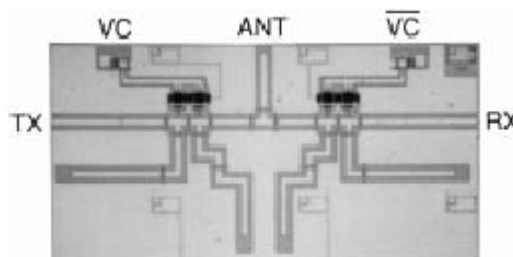


Figura 4.3

En cuanto a los resultados, se consiguió:

- Pérdidas por retorno en el puerto de antena: 10 dB sobre 56-60.5 GHz y 13 dB en 60 GHz.
- Pérdidas por retorno en el puerto de tx: 10-25 dB sobre 56-60.5 GHz y 14 dB en 60 GHz.
- Pérdidas de inserción: 5 dB en 56-62 GHz, 3.9 dB en 59 GHz, 5 dB en 60 GHz.

- Aislamiento tx-rx: 28 dB en 56-61 GHz, 41 dB en 59 GHz, 32 dB en 60 GHz.

Estos resultados se pueden observar en la figura 4.4, que se muestra abajo.

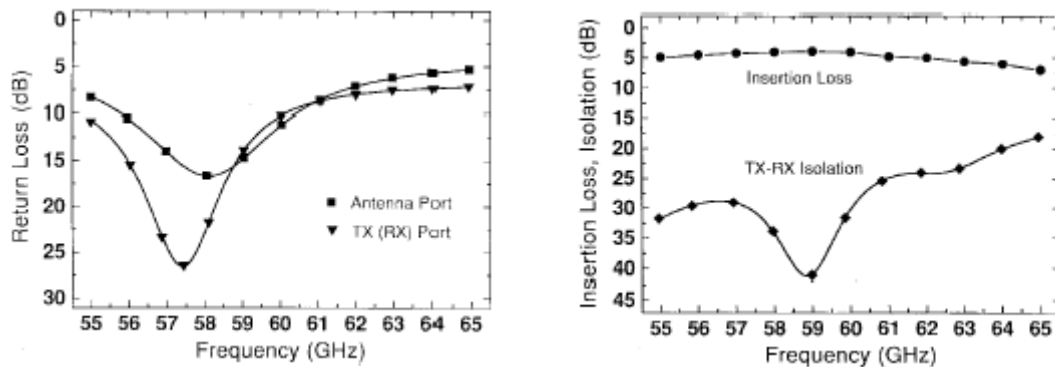


Figura 4.4

Además, se midió el rendimiento con respecto a la velocidad de conmutación, para ello se usó para la tensión de control una señal cuadrada de 250 MHz y 50 % de *duty-cycle* con niveles de 0V/-3.2V y un tiempo de subida y caída de 100 ps; resultó que para una señal de entrada de 60 GHz el tiempo de subida y caída era de 250 ps.

#### 4.1.3.1. Efectos del ajuste de la tensión de control

Como se dijo anteriormente, este switch opera basándose en el concepto de resonancia serie/paralelo. Para una inductancia fija  $L$ , la frecuencia de resonancia del switch puede ser cambiada ajustando las tensiones de control  $V_c$  y  $V_{c'}$ , las cuales cambian, de forma complementaria, la correspondiente capacidad drenador-fuente del FET. Se investigó los efectos de cambiar  $V_c$  en las pérdidas por retorno del puerto de transmisión y en las pérdidas de inserción. Los resultados se pueden ver en la figura 4.5.

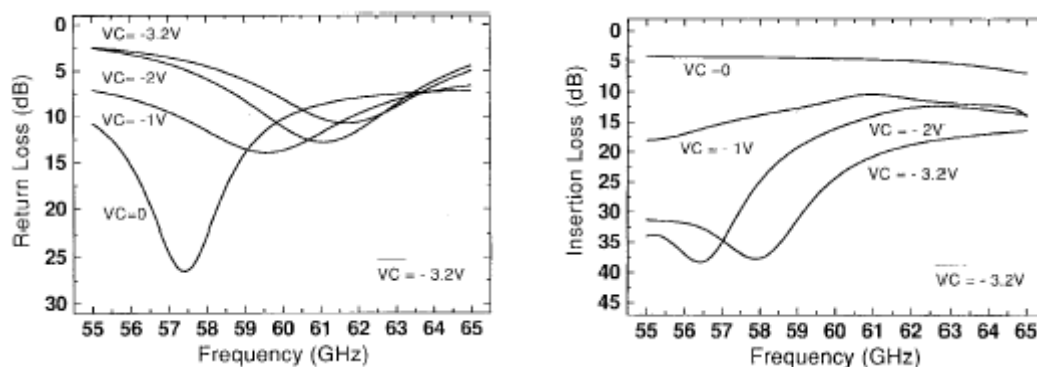


Figura 4.5

Se observa que mientras la mejor adaptación y menores pérdidas de inserción se producen para  $V_c=0$ , la reducción de  $V_c$  aumenta las pérdidas por retorno y, consecuentemente, incrementa las pérdidas de inserción, hasta que  $V_c$  alcanza la tensión de *pinchoff*, -3.2 V, para la cual el puerto de transmisión está aislado del puerto de antena. Además, se puede observar que al bajar  $V_c$ , la frecuencia de resonancia del switch y, por tanto, la frecuencia central de operación del switch, puede ser desplazada a la derecha en el espectro.

#### **4.1.4. Conclusiones**

Han sido descritas las consideraciones de diseño y las prestaciones para un switch T/R monolítico para la banda V. Este switch posee una estructura novedosa, en la cual, para dejar pasar la señal, presenta un circuito resonante paralelo, resultado de la conducción de un par de FET's; por otra parte, para bloquear la señal, presenta un circuito resonante serie, resultado del estado de corte de un par de FET's. Con una tensión de control de 0/-3.2 V, el switch T/R presenta unas pérdidas de inserción mínimas de 3.9 dB y un aislamiento máximo de 41 dB sobre 57-61 GHz. Además la velocidad de conmutación medida para el chip desarrollado es 250 ps. El chip monolítico tiene un tamaño de 3.3 mm x 1.7 mm; se espera encontrar aplicaciones en redes de área local inalámbricas y en sistemas de sensores.

## 4.2. MODIFICACIONES Y COMENTARIOS TEÓRICOS

El switch del artículo se dirige a la banda V de frecuencias, por lo que se puede deducir que, al adaptarlo a nuestra frecuencia de interés, 5.25 GHz, su comportamiento no será exactamente el mismo. En la figura 4.6 podemos ver el esquema del switch original, tal como se nos presenta.

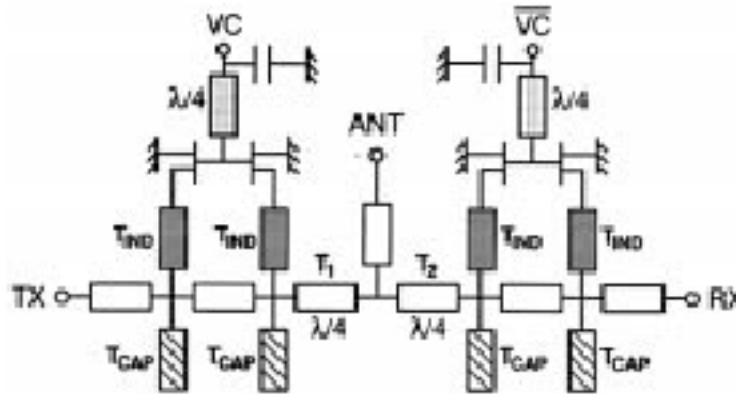


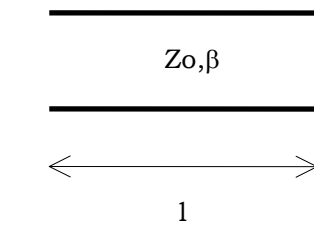
Figura 4.6

Observando este circuito podemos enumerar las modificaciones que fue necesario realizar:

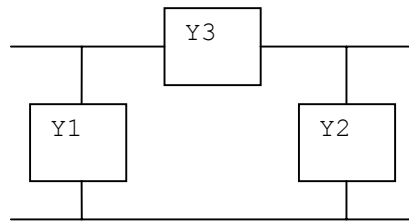
- Las líneas  $\lambda/4$  introducidas entre las puertas de los FET's y el puerto de alimentación se usan para eliminar la fuga de señal RF a través de este puerto. Se consideró que no eran necesarias, ya que por la puerta de un FET la corriente es despreciable y, por tanto, la posible fuga también. Además, en ese puerto lo que prima es la alimentación DC, a la que no afecta esta línea.
- Las líneas  $T_{IND}$  y  $T_{CAP}$  se sustituyen, respectivamente, por una inductancia y una capacidad, que a nuestra frecuencia realizan la misma función. Además, como se explica a continuación, la longitud de las líneas puede llegar a ser muy grande.
- Las líneas  $\lambda/4$  introducidas en los caminos tx-antena y antenna-rx son necesarias para evitar que cuando se transmite señal en un brazo, el circuito resonante serie en el otro brazo no le afecte, y además para asegurar un alto aislamiento tx-rx. Dicho lo cual, el problema radica en que, a nuestra frecuencia, esas líneas tienen una longitud que hace inviable su utilización. En efecto,

$$l = \frac{\lambda}{4} = \frac{c}{4f_i} = \frac{3 \cdot 10^8 \text{ m/s}}{4 \cdot 5.25 \cdot 10^9 \text{ Hz}} = 1.43 \text{ cm} \quad (4.1)$$

Por ello, se optó por su equivalente de parámetros concentrados, en concreto la configuración pi. Para realizarlo se usaron las relaciones típicas entre las matrices ABCD de una línea  $\lambda/4$  y de una configuración en pi de impedancias; estas relaciones se pueden ver en la figura 4.7.



$$\begin{aligned} A &= \cos(\beta l) \\ B &= jZ_0 \sin(\beta l) \\ C &= jY_0 \sin(\beta l) \\ D &= \cos(\beta l) \end{aligned}$$



$$\begin{aligned} A &= 1 + \frac{Y_2}{Y_3} \\ B &= \frac{1}{Y_3} \\ C &= Y_1 + Y_2 + \frac{Y_1 Y_2}{Y_3} \\ D &= 1 + \frac{Y_1}{Y_3} \end{aligned}$$

Figura 4.7

Sustituyendo  $l = \lambda/4$  e igualando los términos de ambos tenemos:

$$B = jZ_0 = \frac{1}{Y_3} \Rightarrow Z_3 = jZ_0 \text{ (inductancia)} \quad (4.2)$$

$$A = \cos\left(\frac{2\pi \lambda}{\lambda} \frac{\lambda}{4}\right) = \cos\left(\frac{\pi}{2}\right) = 0 = 1 + \frac{Y_2}{Y_3} \Rightarrow Z_2 = -Z_3 = -jZ_0 \text{ (capacidad)} \quad (4.3)$$

$$D = A = 0 = 1 + \frac{Y_1}{Y_3} \Rightarrow Z_1 = -Z_3 = -jZ_0 \text{ (capacidad)} \quad (4.4)$$

Ahora, teniendo en cuenta que  $Z_0 = 50 \Omega$  en nuestro sistema, resulta lo siguiente:

$$jZ_0 = j50 = j\omega L \Rightarrow L = \frac{50}{\omega_t} = \frac{50}{2\pi f_t} = 1.515761 nH \quad (4.5)$$

$$-jZ_0 = -j50 = -j\frac{1}{\omega C} \Rightarrow C = \frac{1}{50\omega_t} = \frac{1}{50 \cdot 2\pi f_t} = 0.6063045 pF \quad (4.6)$$

Por tanto, el circuito que resulta es el siguiente:

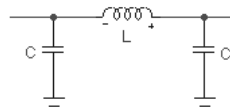


Figura 4.8

- d) Por último, sólo añadir que la última modificación fue cambiar las tensiones de control de  $-3.2/0$  V a  $-3/0$  V, para conseguir una mayor congruencia con los demás switches de la bibliografía, los cuales utilizan en su mayoría esa última combinación de tensiones.

Para concluir, en la figura 4.9 se muestra el circuito a realizar, ya con las modificaciones hechas.

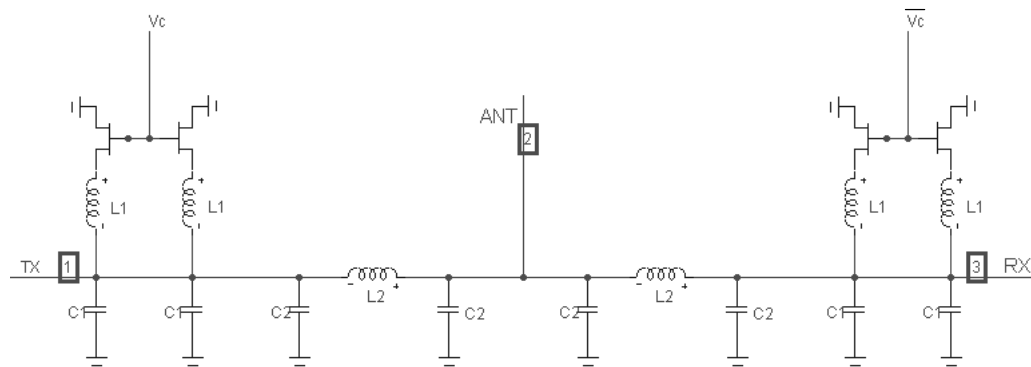


Figura 4.9

## 4.3. DISEÑO, SIMULACIONES Y RESULTADOS

### 4.3.1. Discusión teórica previa

Para el diseño de este circuito se ha seguido un método de abajo a arriba, es decir, comenzando por pequeñas partes para después unirlos y acabar con el circuito completo.

Primero, se tomó un solo transistor, con su L y C correspondiente en paralelo, tal como se muestra en la figura 4.10.

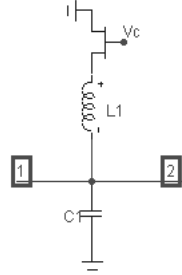


Figura 4.10

Ahora cabe destacar dos casos: cuando  $V_c=0$  V, es decir, el transistor está en estado de conducción, y cuando  $V_c=-3$  V. En este último caso, sería suficiente con  $-0.9$  V, pero se toma este valor para ser congruente con los posteriores pasos del diseño y con la configuración final del circuito.

Cuando  $V_c=0$  V, el transistor está en conducción, por lo que se puede sustituir por una resistencia pequeña  $R_{ON}$ ; como se puede observar en la figura 4.11, tenemos un circuito resonante paralelo.

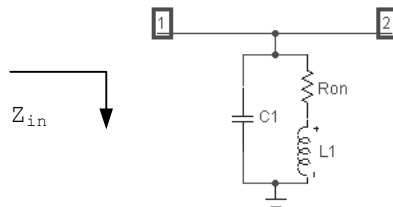


Figura 4.11

$$Z_{in} = \left( \frac{1}{R_{ON} + j\omega L_1} + j\omega C_1 \right)^{-1} = \left[ \frac{R_{ON}}{R_{ON}^2 + \omega^2 L_1^2} - j \left( \frac{\omega L_1}{R_{ON}^2 + \omega^2 L_1^2} - \omega C_1 \right) \right]^{-1} \quad (4.7)$$

Queremos que, a una frecuencia de 5.25 GHz, pase toda la señal de 1 a 2, por lo que la impedancia que forme el circuito resonante debe ser infinita, es decir, debe ser un circuito abierto. Como se puede observar, se debe cumplir lo siguiente:

$$\frac{R_{ON}}{R_{ON}^2 + \omega^2 L_1^2} - j \left( \frac{\omega L_1}{R_{ON}^2 + \omega^2 L_1^2} - \omega C_1 \right) = 0 \quad (4.8)$$

Resulta obvio que la parte real no puede ser cero, pero sí tendrá un valor pequeño, como se probará más tarde. En cambio, la parte imaginaria sí puede ser cero; de esta imposición resulta la ecuación (4.9), en la que se observa que tenemos una relación de diseño entre  $L_1$  y  $C_1$ .

$$C_1 = \frac{L_1}{R_{ON}^2 + \omega^2 L_1^2} \quad (4.9)$$

Si se particulariza para  $f=5.25$  GHz y ponemos  $L_1$  en nH y  $C_1$  en pF, tenemos lo siguiente:

$$C_1(pF) = \frac{1000 L_1(nH)}{R_{ON}^2 + 1088 L_1(nH)^2} \quad (4.10)$$

$$Z_{in}|_{max} = \frac{R_{ON}^2 + 1088 L_1(nH)^2}{R_{ON}} \quad (4.11)$$

Ahora pasamos a estudiar el caso en el que el transistor está cortado; en esta situación, podemos sustituir el transistor por la capacidad de *pinchoff* entre el drenador y la fuente, característica del transistor y de la situación de polarización en la que se encuentra éste. Por tanto, tendremos el circuito de la figura 4.12.

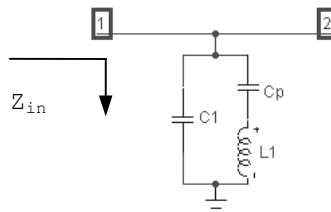


Figura 4.12

En esta situación, tenemos un circuito resonante serie, el cual, queremos que no deje pasar señal a nuestra frecuencia, por lo que  $Z_{in}$  debe ser cero, es decir, debemos tener un cortocircuito.

$$Z_{in} = \left( \frac{1}{\frac{1}{j\omega C_p} + j\omega L_1} + j\omega C_1 \right)^{-1} = \frac{1}{j\omega C_1 + \frac{j\omega C_p}{1 - \omega^2 L_1 C_p}} = -\frac{j(1 - \omega^2 L_1 C_p)}{\omega C_1(1 - \omega^2 L_1 C_p) + \omega C_p} \quad (4.12)$$

Imponiendo que  $Z_{in}=0$ , obtenemos una restricción definitiva para  $L_1$ , como se puede ver en la ecuación (4.13).

$$L_1 = \frac{1}{\omega^2 C_p} \quad (4.13)$$

Si particularizamos para  $f=5.25$  GHz y ponemos  $L_1$  en nH y  $C_p$  en pF, tenemos lo siguiente:

$$L_1(nH) = \frac{0.919}{C_p(pF)} \quad (4.14)$$

Para comenzar las simulaciones con unos valores adecuados, es conveniente utilizar los resultados obtenidos anteriormente. Empezamos por la ecuación (4.14); debemos tomar un valor adecuado de  $C_p$ , para lo que acudimos al modelo de pequeña señal ofrecido por la *Foundry*. Cuando el transistor está en corte tenemos, en pequeña señal:

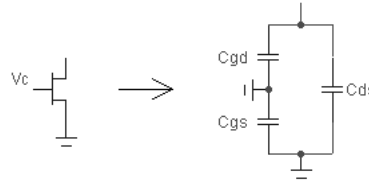


Figura 4.13

Por tanto, como se puede observar,  $C_p = C_{ds} + C_{gd}$ . Como se ha dicho anteriormente, se acude al modelo de pequeña señal dado por la *Foundry* y encontramos las siguientes relaciones:

$$C_{ds} = C_{dso} \cdot W + nbd \cdot C_{dse} \quad (4.15)$$

$$C_{gd} = C_{gdo} \cdot W + nbd \cdot C_{gde} \quad (4.16)$$

donde  $W$  es la anchura total de la puerta del transistor en mm,  $nbd$  es el número de dedos,  $C_{dso}$  y  $C_{gdo}$  son capacidades por mm y  $C_{dse}$  y  $C_{gde}$  son capacidades por dedo. Estas dos últimas capacidades son datos del propio modelo. Para los valores de  $C_{dso}$  y  $C_{gdo}$  acudimos a un fichero de texto que adjunta el modelo y en el que aparecen los valores de los parámetros de pequeña señal del transistor, para unas  $V_{ds}$  y  $V_{gs}$  dadas. Por tanto, tenemos:

$$\left. \begin{array}{l} C_{dse} = 0.0 \text{ fF} \\ C_{gde} = 1.5 \text{ fF} \\ C_{dso} = 146 \text{ fF} / \text{mm} \\ C_{gdo} = 180 \text{ fF} / \text{mm} \\ nbd = 10 \\ W = 0.5 \text{ mm} \end{array} \right\} \Rightarrow C_p = C_{ds} + C_{gd} = 83 \text{ fF} + 105 \text{ fF} = 0.188 \text{ pF} \quad (4.17)$$

Con este valor, aplicamos la ecuación (4.14) y obtenemos  $L_1 = 4.89 \text{ nH}$ . Para calcular  $C_1$  es necesario tener el valor de  $R_{on}$ , para lo cual también acudimos al modelo de pequeña señal, que muestra la siguiente relación:

$$R_{ds} = R_{dso} / W \quad (4.18)$$

donde  $R_{dso}$  es resistencia por mm y que puede ser sacada del fichero de texto descrito anteriormente. Finalmente, se obtiene  $R_{on} = 10 \Omega$ . Sustituyendo en la ecuación (4.10), obtenemos  $C_1 = 0.187 \text{ pF}$ . Como se puede observar, estos cálculos se han realizado para el tamaño mayor de transistor  $10 \times 50$ ; lo mismo se hizo con otros dos tamaños,  $6 \times 50$  y  $8 \times 50$ , obteniéndose unos valores:

$$8 \times 50 \Rightarrow \begin{cases} C_p = 0.142 \text{ pF} \\ L_1 = 6.47 \text{ nH} \\ C_1 = 0.142 \text{ pF} \end{cases} \quad 6 \times 50 \Rightarrow \begin{cases} C_p = 0.107 \text{ pF} \\ L_1 = 8.59 \text{ nH} \\ C_1 = 0.107 \text{ pF} \end{cases}$$

Figura 4.14

Con estos valores de  $C_1$  y  $L_1$  tenemos un punto de partida para las posteriores simulaciones; se verá que estos resultados teóricos habrá que variarlos para tener una solución óptima, pero son un buen comienzo.

### 4.3.2. Simulaciones y resultados

#### 4.3.2.1. Simulaciones del switch con elementos ideales

El siguiente paso fue tomar medio switch pero sin añadir el circuito equivalente a la línea  $\lambda/4$ , es decir, tomar dos transistores con sus correspondiente inductancias y capacidades.

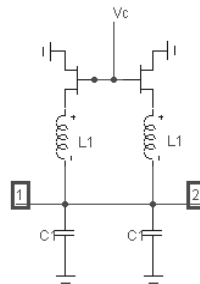


Figura 4.15

Se sustituyeron los valores anteriores y se hizo una simulación de parámetros S, observándose que los picos no se encontraban a nuestra frecuencia y no eran suficientemente altos o bajos, según el caso. Lo que se hizo fue tomar primero el caso  $V_c = -3$  V; en esta situación, no debe pasar señal de 1 a 2. Como, cuando los transistores están en corte, variaciones de la capacidad  $C_1$  no afectan para nada, lo que se hizo fue variar sólo  $L_1$  hasta obtener un máximo de  $s(1,1)$  y un mínimo de  $s(2,1)$  a 5.25 GHz.

A continuación, se tomó  $V_c = 0$  V y se ajustó  $C_1$  para tener un mínimo de  $s(1,1)$  y un máximo de  $s(2,1)$  a 5.25 GHz. A continuación, se muestran los resultados que se obtuvieron:

- **6x50**

Para el modo transmisión,  $V_c = 0$  V:

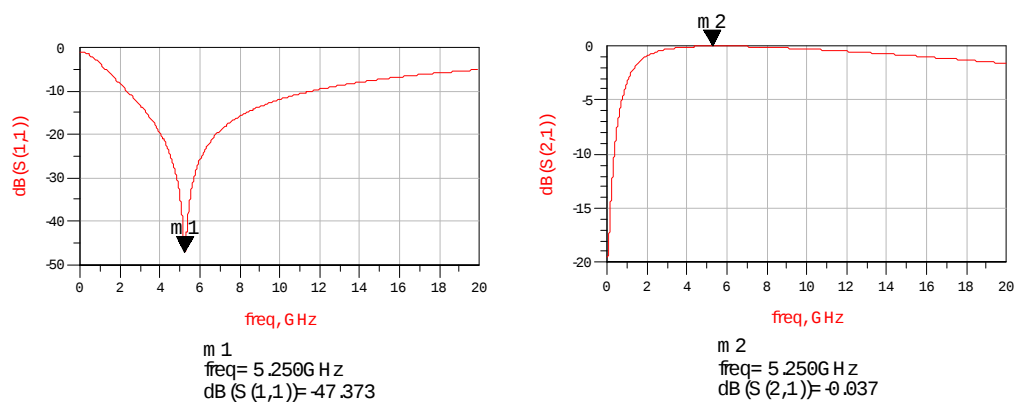


Figura 4.16

Para el modo recepción,  $V_c = -3$  V:

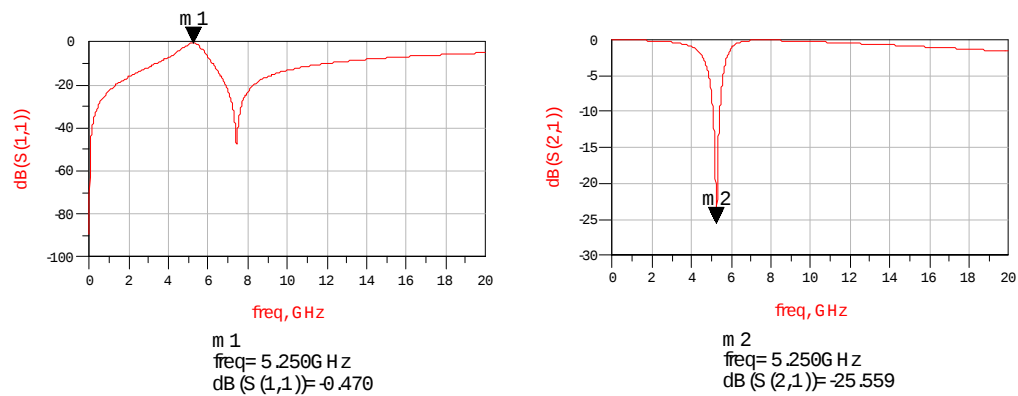


Figura 4.17

- **8x50**

Para el modo transmisión,  $V_c = 0$  V:

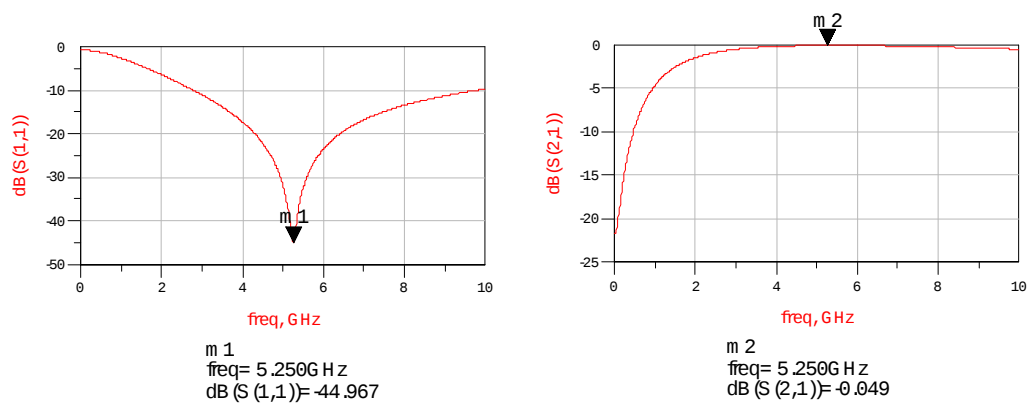


Figura 4.18

Para el modo recepción,  $V_c = -3$  V:

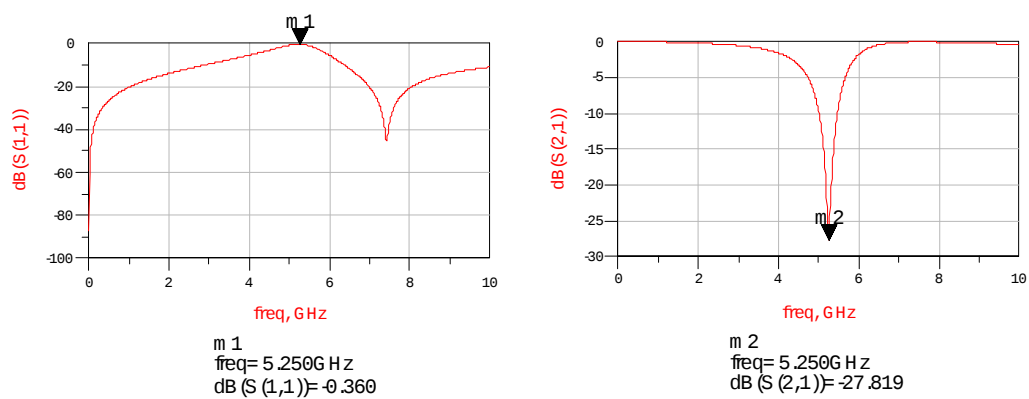


Figura 4.19

- **10x50**

Para el modo transmisión,  $V_c=0$  V:

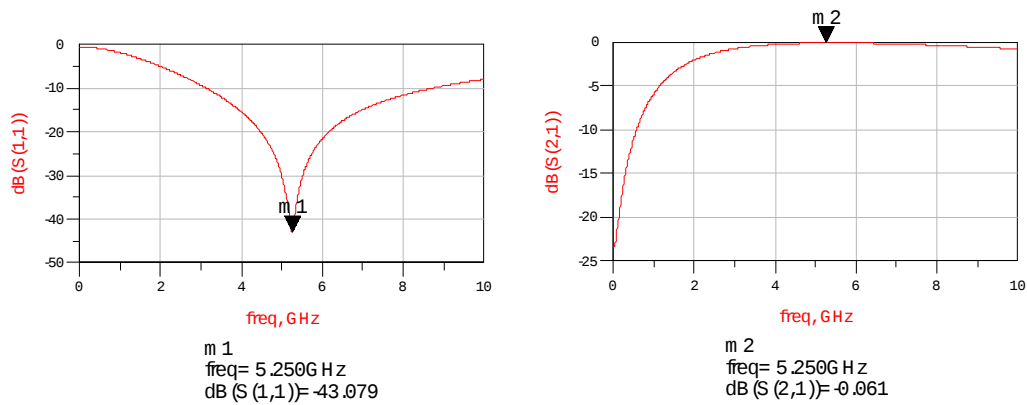


Figura 4.20

Para el modo recepción,  $V_c=-3$  V:

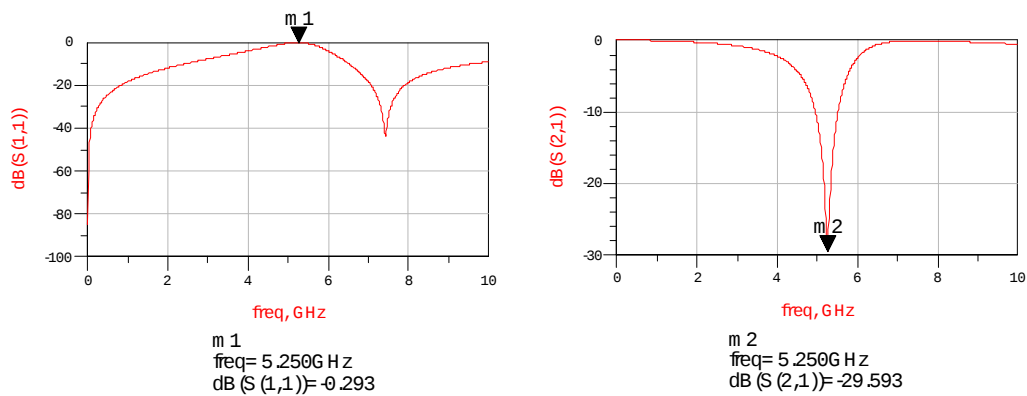


Figura 4.21

Y los valores de las inductancias y capacidades son:

|                           | <b>6X50</b> | <b>8X50</b> | <b>10X50</b> |
|---------------------------|-------------|-------------|--------------|
| <b>L<sub>1</sub> (nH)</b> | 7.95567     | 5.99959     | 4.81448      |
| <b>C<sub>1</sub> (pF)</b> | 0.115125    | 0.152591    | 0.190056     |

Tabla 4.1

Posteriormente se añadió el circuito equivalente de la línea  $\lambda/4$ , que, como era de esperar, no afecta a nuestra frecuencia, aunque sí a las demás. Las gráficas se pueden ver a continuación:

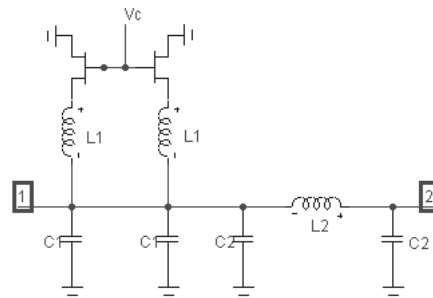


Figura 4.22

- **6x50**

Para el modo transmisión,  $V_c=0$  V:

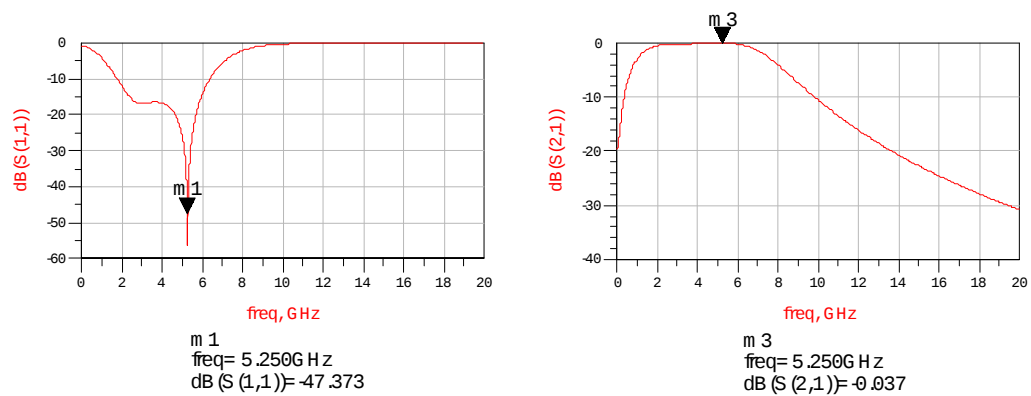


Figura 4.23

Para el modo recepción,  $V_c=-3$  V:

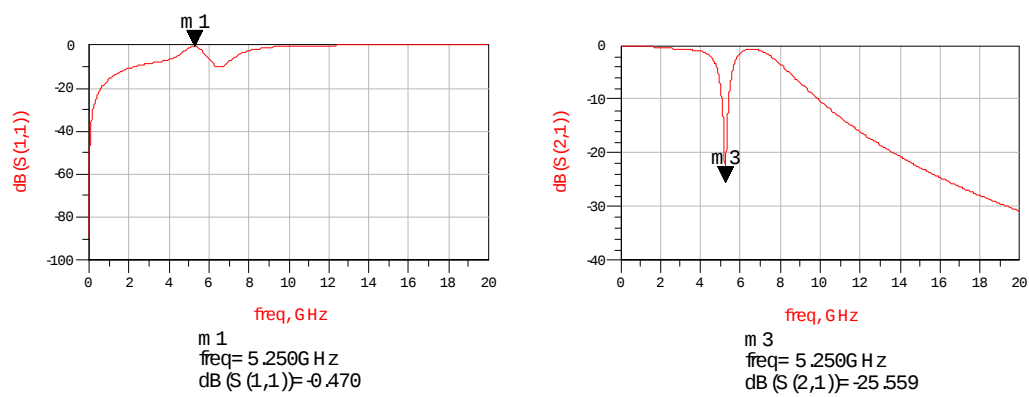


Figura 4.24

- **8x50**

Para el modo transmisión,  $V_c=0$  V:

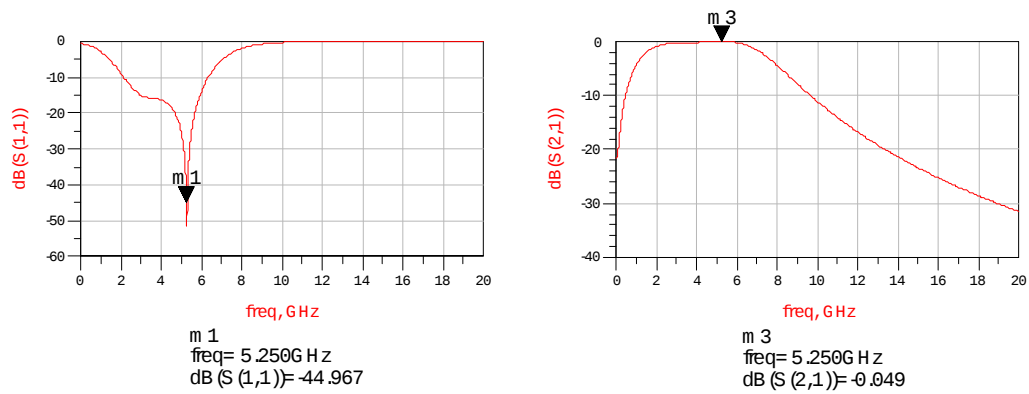


Figura 4.25

Para el modo recepción,  $V_c=-3$  V:

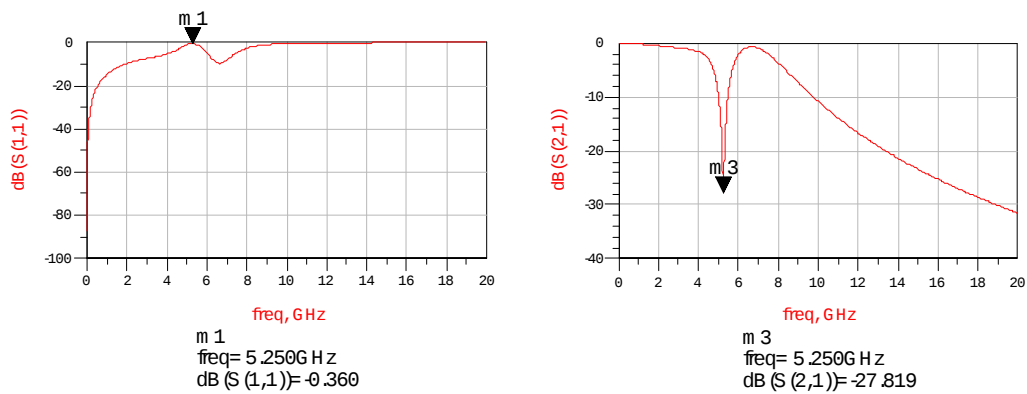


Figura 4.26

- **10x50**

Para el modo transmisión,  $V_c=0$  V:

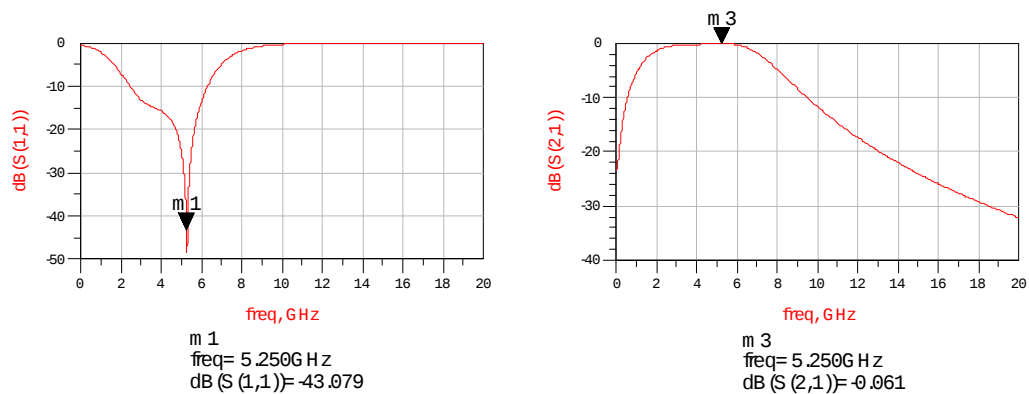


Figura 4.27

Para el modo recepción,  $V_c = -3$  V:

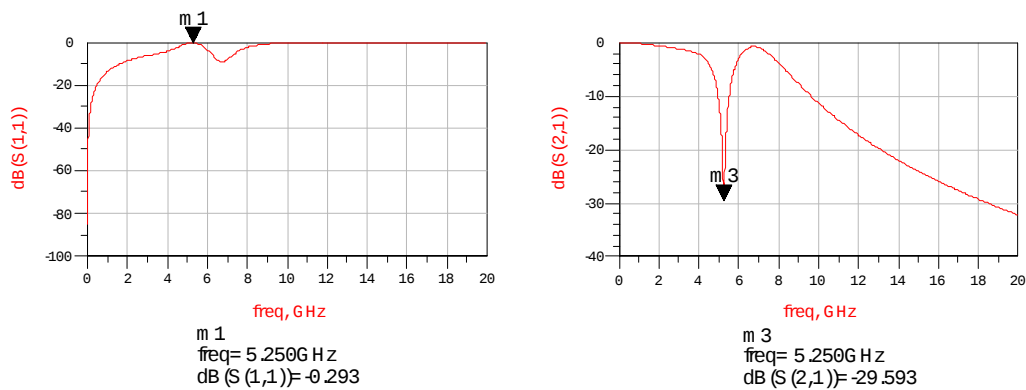


Figura 4.28

El siguiente paso fue tomar el circuito completo y hallar los valores de las inductancias y capacidades que optimizaban las características del switch. En concreto, se buscaba obtener adaptación en los puertos de tx y antenna (minimizar las pérdidas por retorno), minimizar las pérdidas de inserción y maximizar el aislamiento tx-rx. Una vez definidos los objetivos a cumplir, lo segundo fue concretar el número de variables a considerar. Lo que se hizo fue optimizar para tres casos, los ya descritos anteriormente: 6x50, 8x50 y 10x50. Un esquema del circuito completo con sus variables se muestra a continuación:

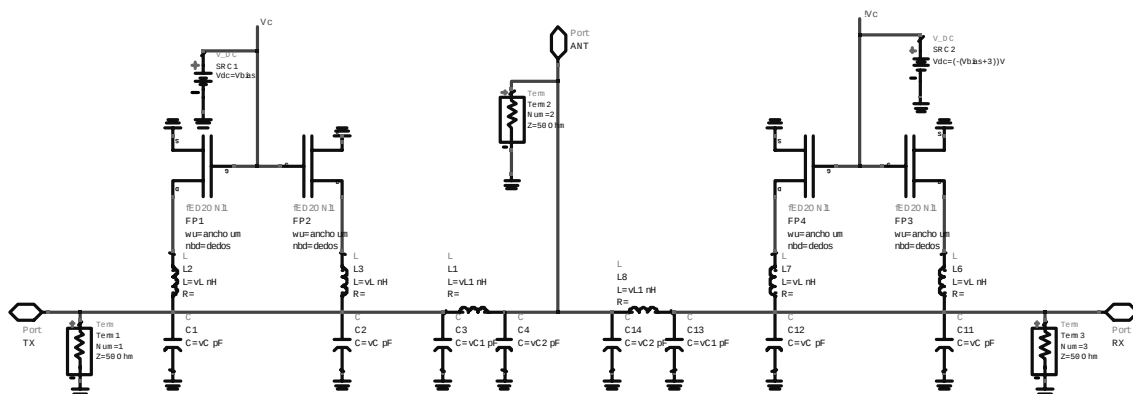


Figura 4.29

Como se puede observar, se tomó como variables las inductancias y capacidades de los circuitos equivalentes de las líneas  $\lambda/4$ ; esto se hizo pues se consideró que esos circuitos, con esos valores de inductancias y capacitancias, se comportaban como líneas  $\lambda/4$  cuando estaban aislados, pero al ser parte de un circuito mayor, requerían variar su valor, a fin de conseguir un comportamiento óptimo, pero siempre manteniendo la simetría del switch.

Los resultados que se obtuvieron fueron los siguientes:

- **6x50**

Para el modo transmisión,  $V_c=0$  V:

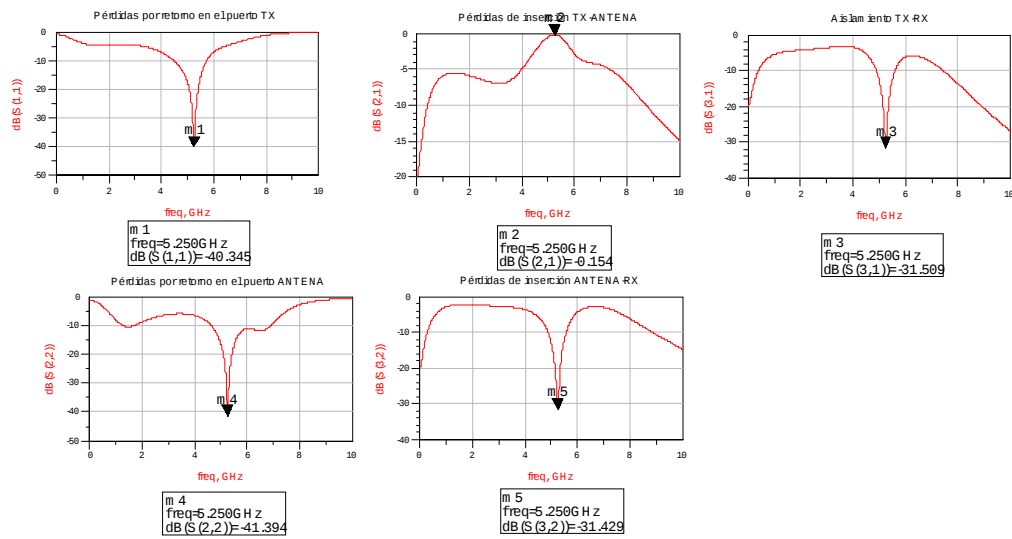


Figura 4.30

Para el modo recepción,  $V_c=-3$  V:

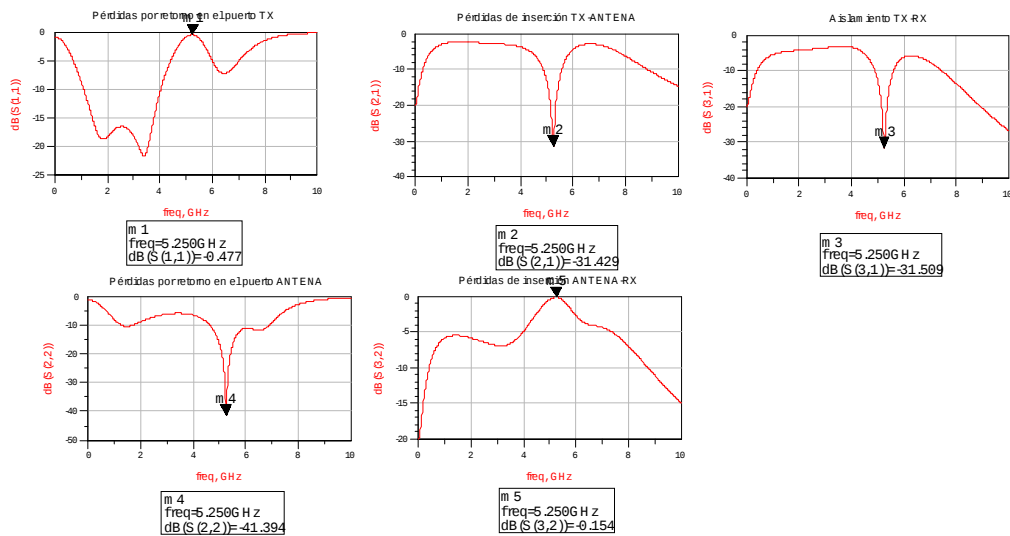


Figura 4.31

- **8x50**

Para el modo transmisión,  $V_c=0$  V:

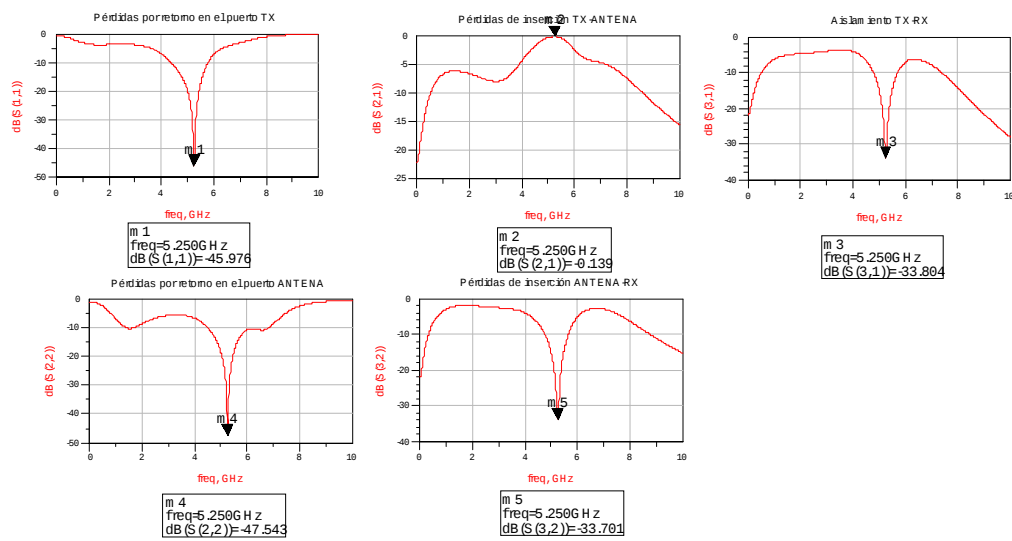


Figura 4.32

Para el modo recepción,  $V_c=-3$  V:

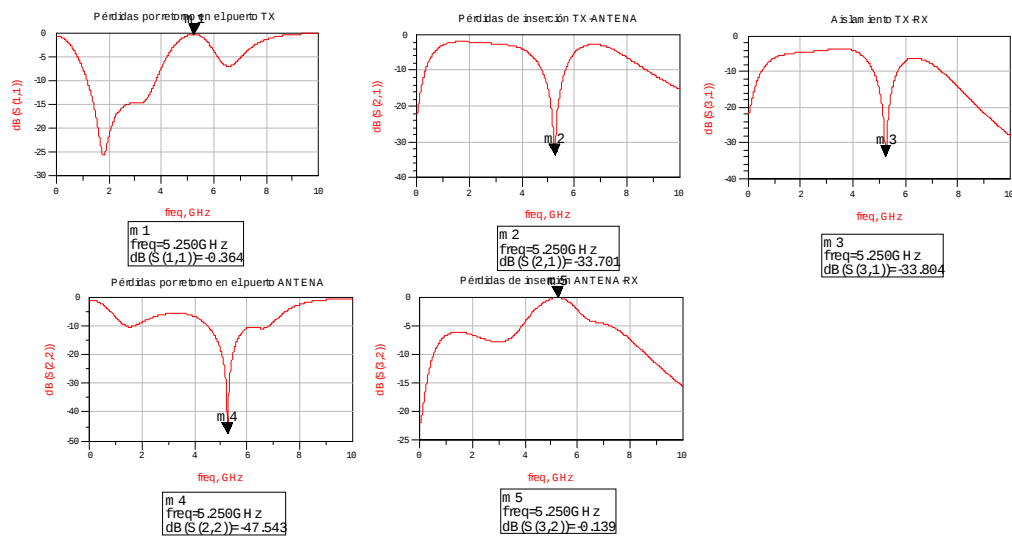


Figura 4.33

- **10x50**

Para el modo transmisión,  $V_c=0$  V:

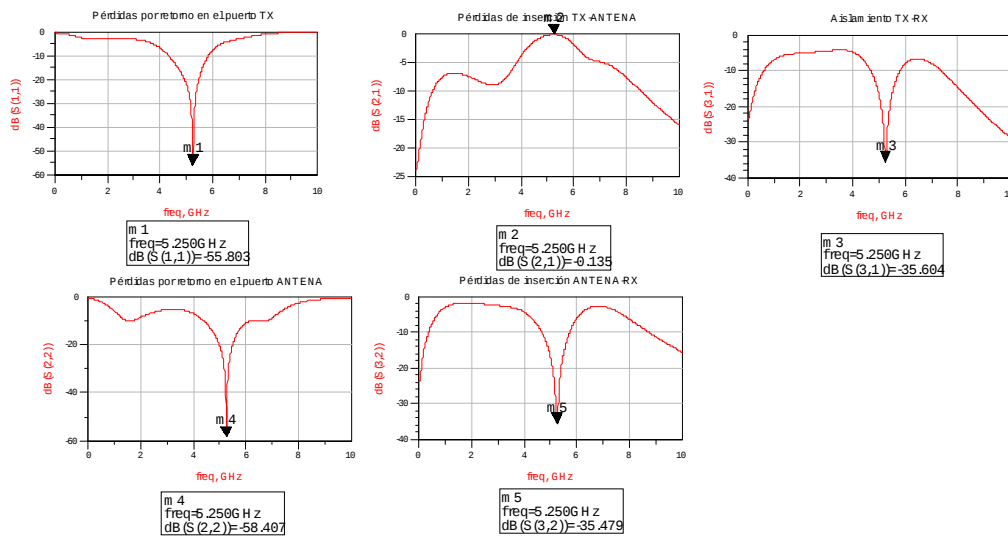


Figura 4.34

Para el modo recepción,  $V_c=-3$  V:

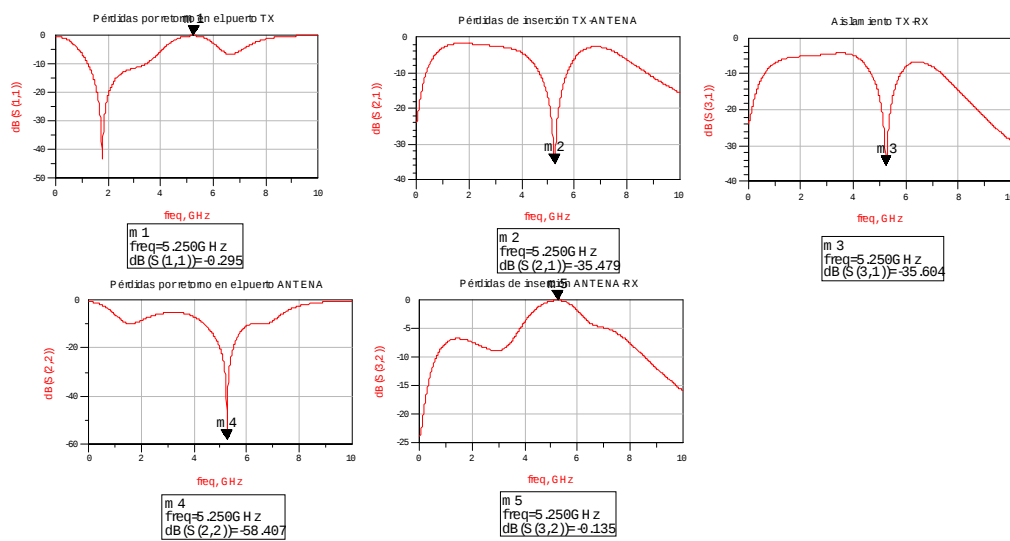


Figura 4.35

Y los valores de las variables para los tres casos:

|            | <b>6X50</b> | <b>8X50</b> | <b>10X50</b> |
|------------|-------------|-------------|--------------|
| <b>vL</b>  | 7.95676     | 5.99916     | 4.81504      |
| <b>vL1</b> | 1.51664     | 1.51652     | 1.51567      |
| <b>vC</b>  | 0.142797    | 0.150189    | 0.171797     |
| <b>vC1</b> | 0.542302    | 0.60544     | 0.625404     |
| <b>vC2</b> | 0.602053    | 0.603495    | 0.597747     |

Tabla 4.2

Con los datos obtenidos se puede observar que la configuración 10x50 es la que mejor resultados da en todos los parámetros, por lo que en principio, teniendo en cuenta este aspecto, sería la elegida. Además, tiene como ventaja que sus inductancias son menores, aspecto muy importante a la hora de su implementación física, ya que es el componente que más voluminoso puede llegar a ser y conforme menor sea, menos área ocupa. De todos modos, la decisión definitiva se tomará cuando se simule con los componentes reales, y se vea su comportamiento no sólo en cuanto a parámetros S, sino también respecto a su balance armónico.

#### 4.3.2.2. Simulaciones del switch con elementos reales

##### a) Simulación de parámetros S

Se pasó a sustituir los elementos ideales por los elementos reales, facilitados por la librería de la *Foundry*. El método a seguir fue ir sustituyendo elemento a elemento, con valores iguales a los obtenidos en la configuración ideal. Cada vez que se sustituía un elemento, se observaba cómo el comportamiento del switch era diferente, por lo que se optimizaba para obtener un nuevo valor para el elemento real. Los resultados finales, tras optimización, se reflejan a continuación.

##### - 6x50

Para el modo transmisión,  $V_c=0$  V:

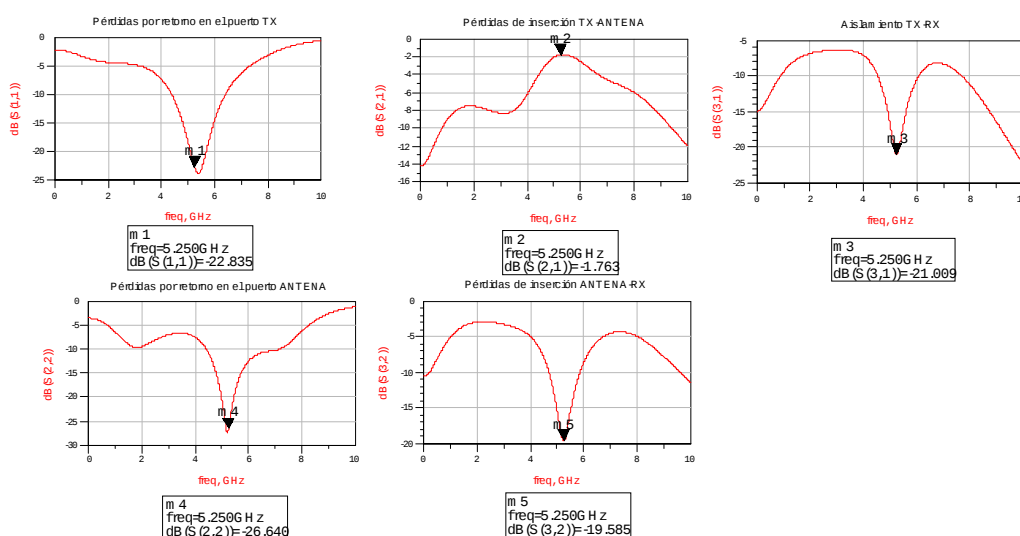


Figura 4.36

Para el modo recepción,  $V_c = -3$  V:

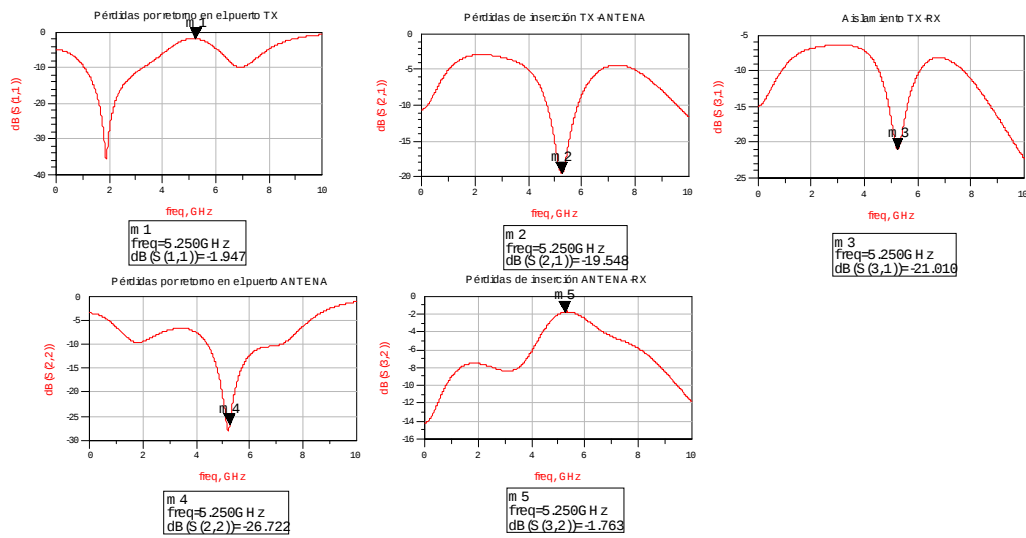


Figura 4.37

- **8x50**

Para el modo transmisión,  $V_c = 0$  V:

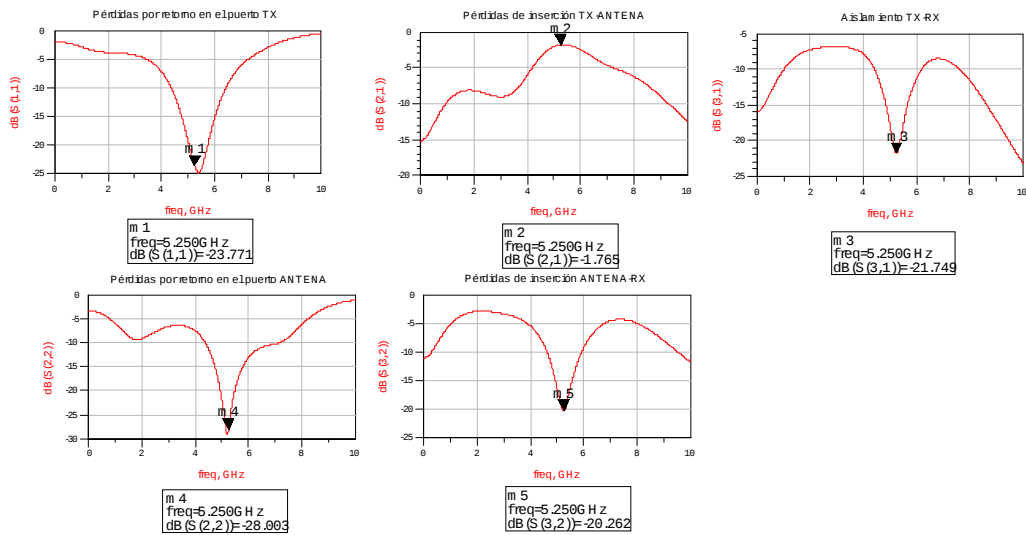


Figura 4.38

Para el modo recepción,  $V_c = -3$  V:

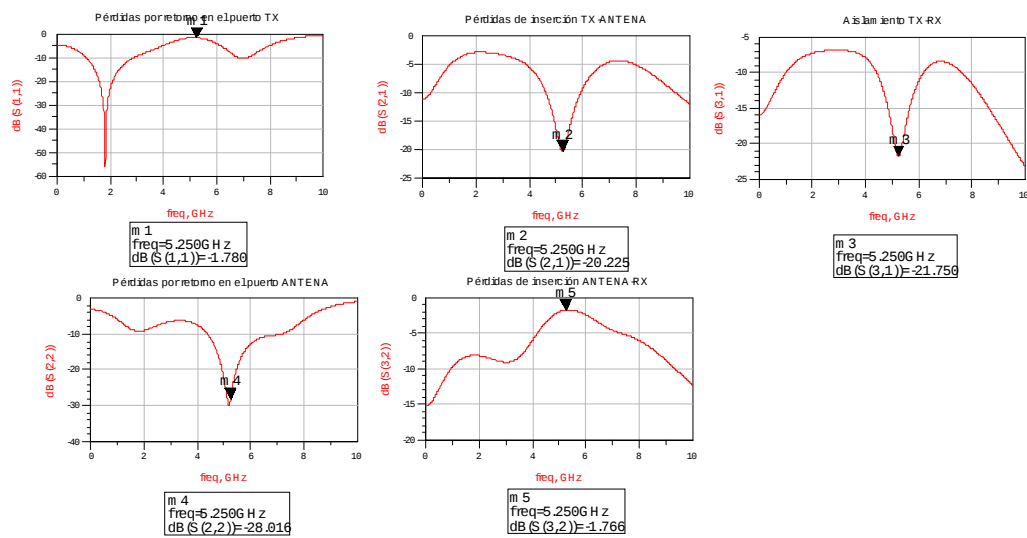


Figura 4.39

- **10x50**

Para el modo transmisión,  $V_c = 0$  V:

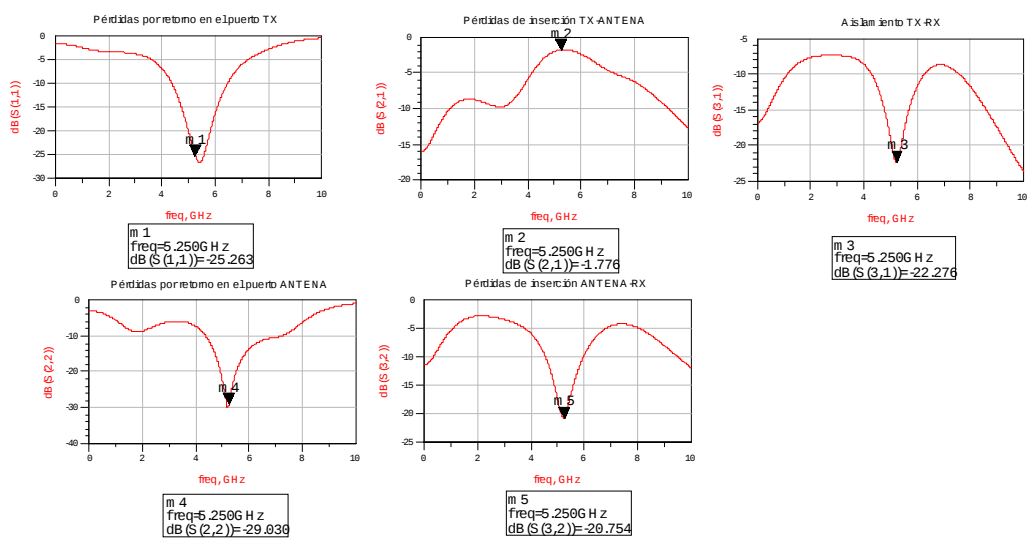


Figura 4.40

Para el modo recepción,  $V_c = -3$  V:

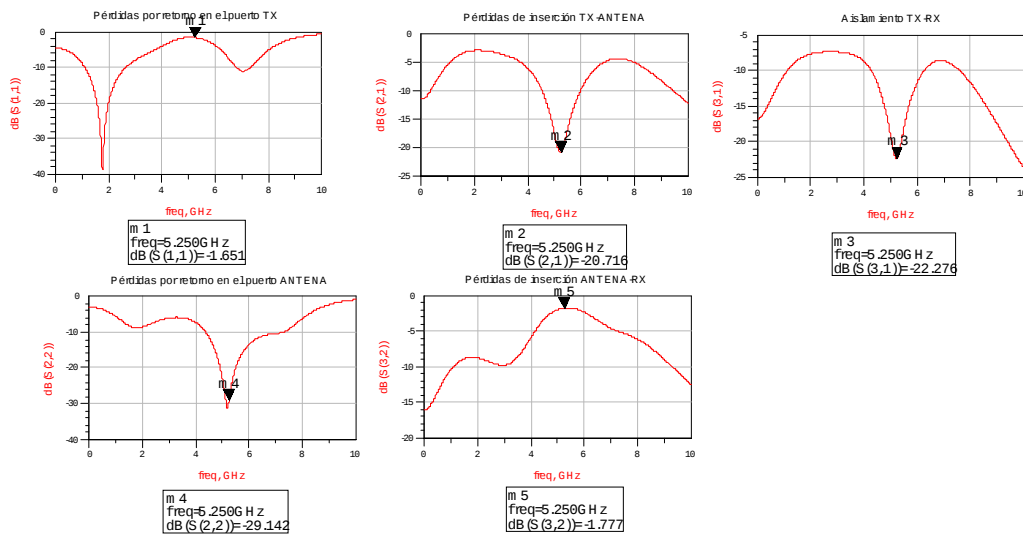


Figura 4.41

Y los valores de los componentes:

|            | 6X50      | 8X50      | 10X50     |
|------------|-----------|-----------|-----------|
| <b>vL</b>  | 4.87387   | 4.19335   | 3.68108   |
| <b>vL1</b> | 1.4717    | 1.47159   | 1.45688   |
| <b>vC</b>  | 0.0617453 | 0.0749177 | 0.0885103 |
| <b>vC1</b> | 0.463573  | 0.50097   | 0.530074  |
| <b>vC2</b> | 0.443293  | 0.442878  | 0.440874  |

Tabla 4.3

De los datos obtenidos, se puede afirmar que, desde el punto de vista de los parámetros S del switch, la configuración elegida sería la 10x50, aunque no a mucha distancia de las otras dos.

#### b) Simulación de balance armónico

Esta simulación se ha realizado de dos formas distintas:

- Se ha introducido un pulso por el puerto de entrada (tx o antena), variando su potencia RF\_power dentro de un rango adecuado y se ha medido la potencia por la correspondiente salida (antena o rx). De aquí se han sacado dos representaciones: la potencia de salida respecto a la de entrada y la ganancia. Con esta última gráfica, se ha sacado el punto de compresión de 1 dB y anotado las potencias de entrada y salida a las que se produce esta caída de la ganancia.
- Posteriormente, se han introducido dos pulsos centrados en torno a 5.25 GHz y separados 100 kHz, cuyas potencias suman RF\_power. Lo que se ha hecho es representar las potencias de salida del fundamental y del producto de intermodulación de tercer orden respecto a la potencia de

entrada RF\_power. Después, con ayuda de otra gráfica se ha medido el punto intercepto de tercer orden.

Por supuesto, lo que interesa es que tanto el punto de compresión de 1 dB como el punto intercepto de tercer orden se produzcan a potencias altas, ya que nos indicarán hasta qué potencias se puede usar el switch sin que sufra una gran degradación la señal. Cabe destacar que en el modo recepción éste no será un factor limitante, ya que se reciben potencias muy bajas; de todas formas, se han hecho también las simulaciones referidas a este modo para que se vea la gran simetría que presenta este switch.

Los resultados obtenidos fueron los siguientes:

- **6x50**

Para el modo transmisión (tx-antena):

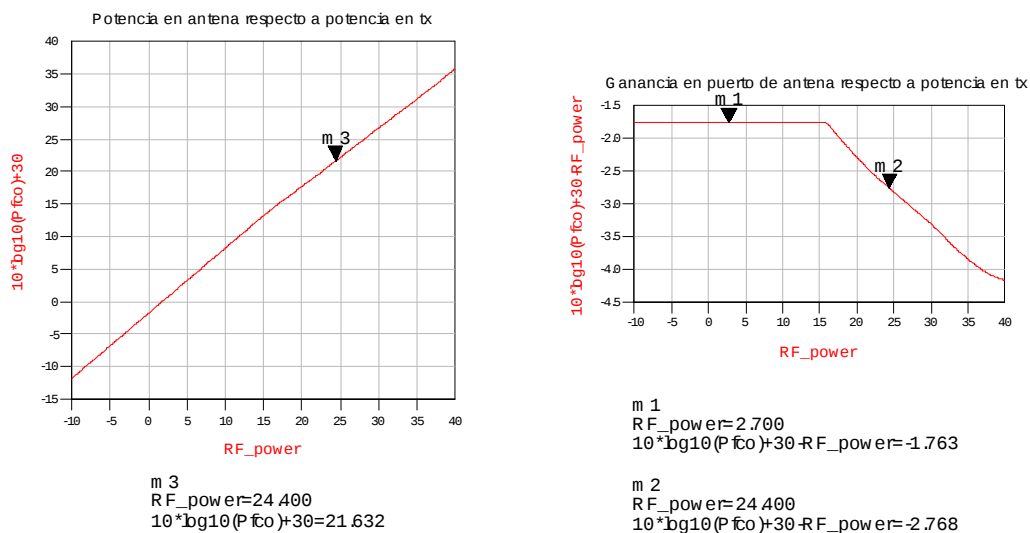


Figura 4.42

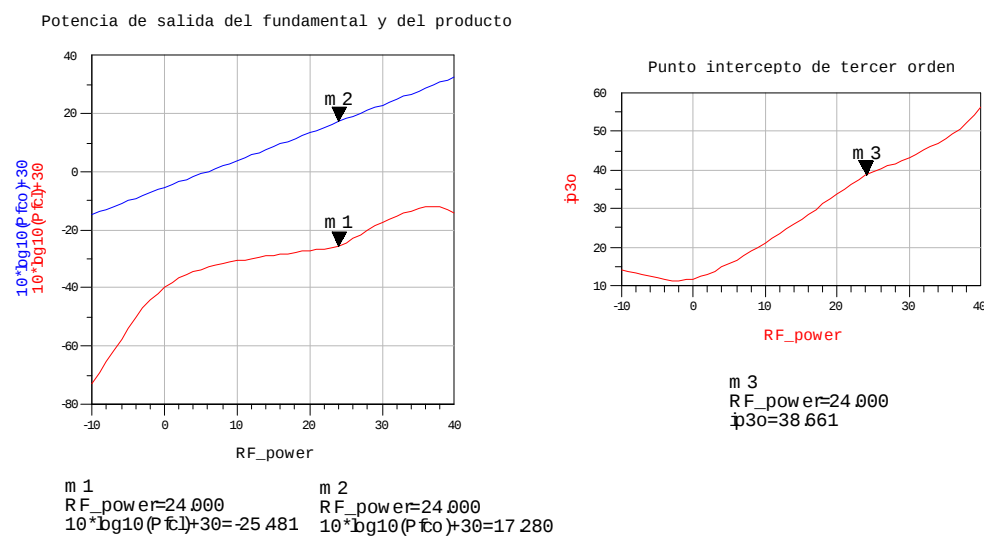


Figura 4.43

Para el modo recepción (antena-rx):

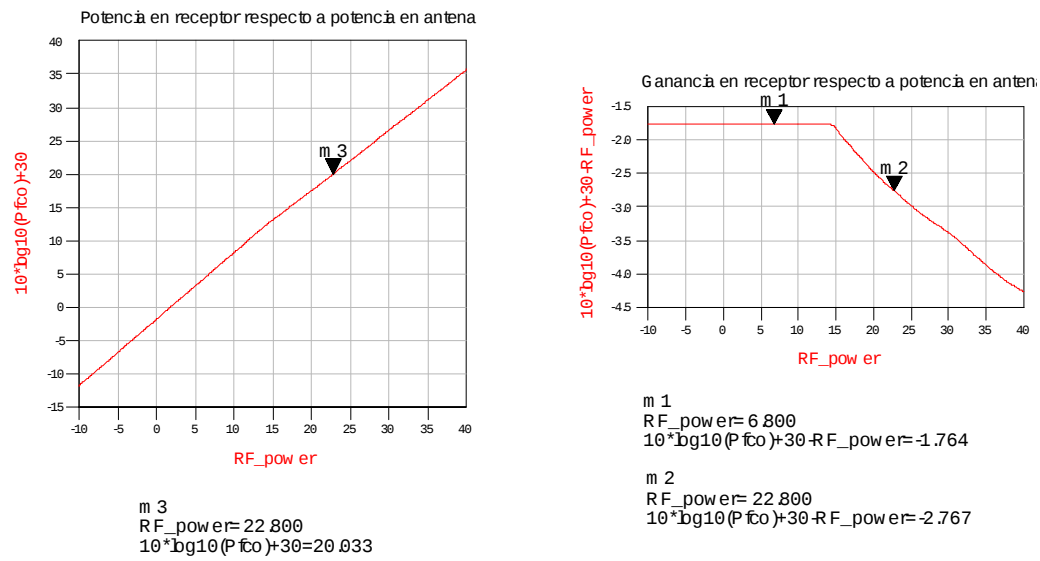


Figura 4.44

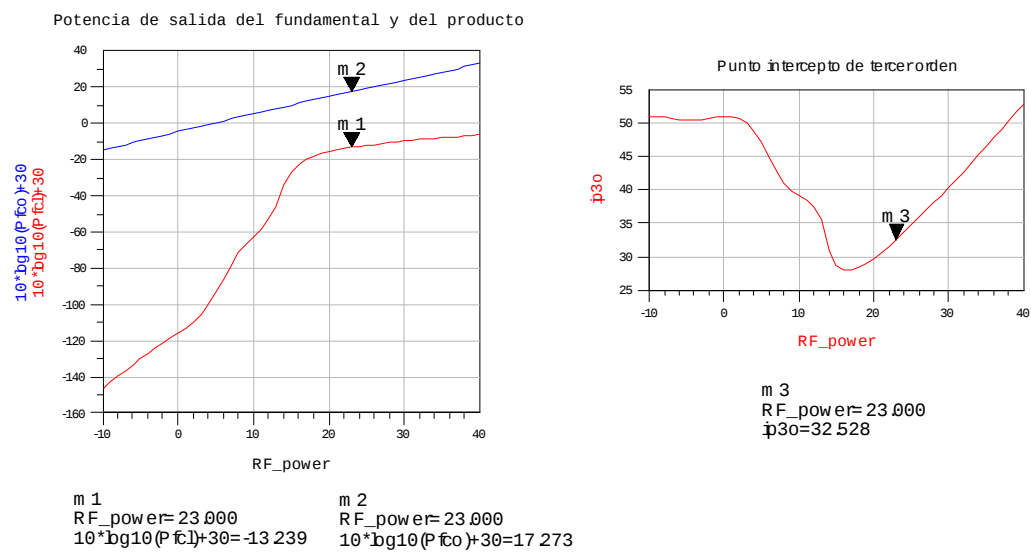


Figura 4.45

- **8x50**

Para el modo transmisión (tx-antena):

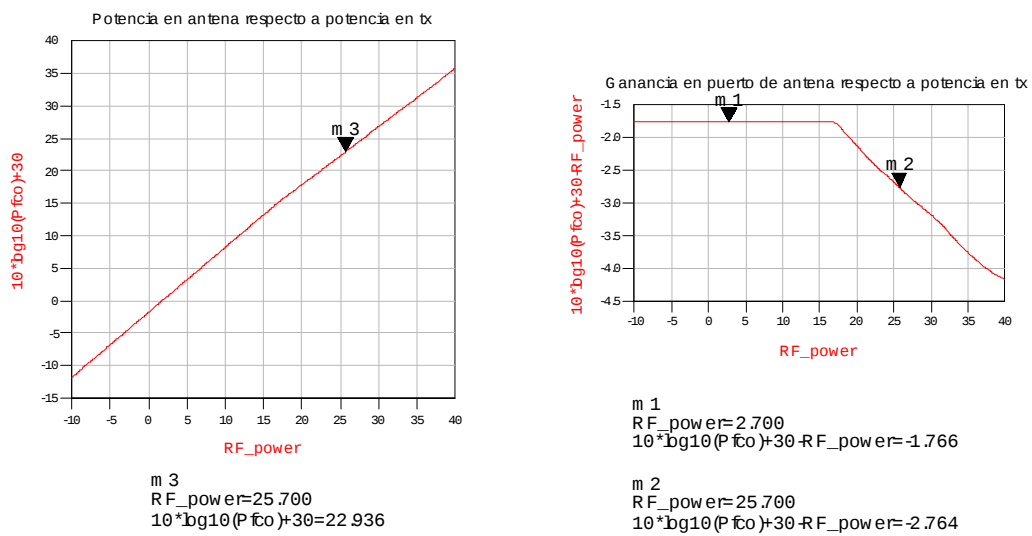


Figura 4.46

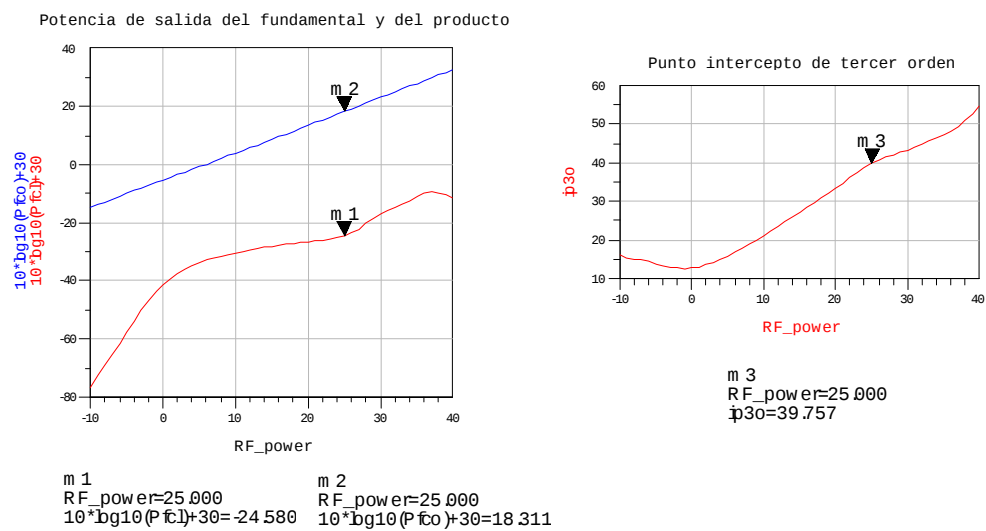


Figura 4.47

Para el modo recepción (antena-rx):

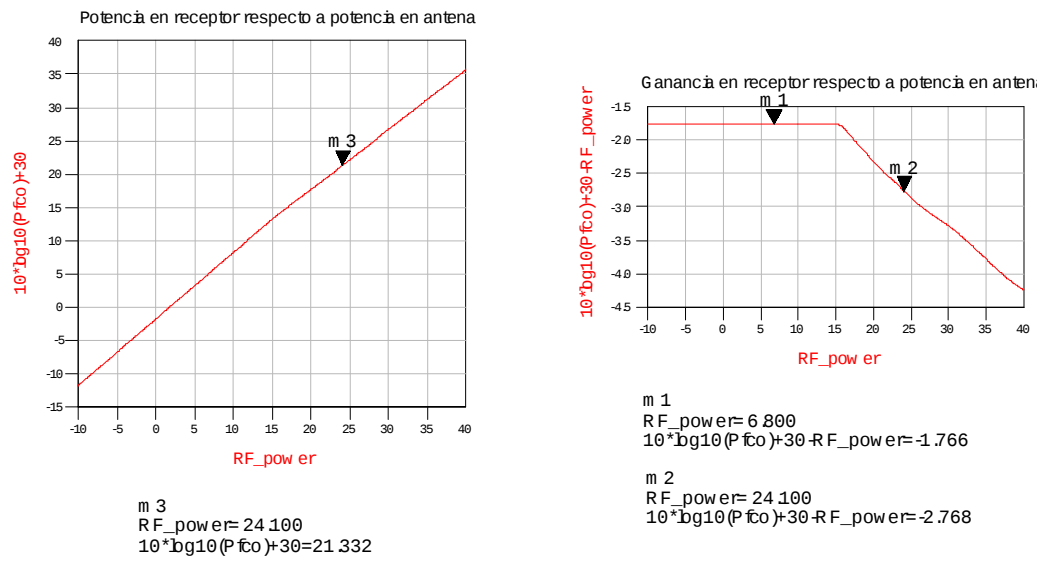


Figura 4.48

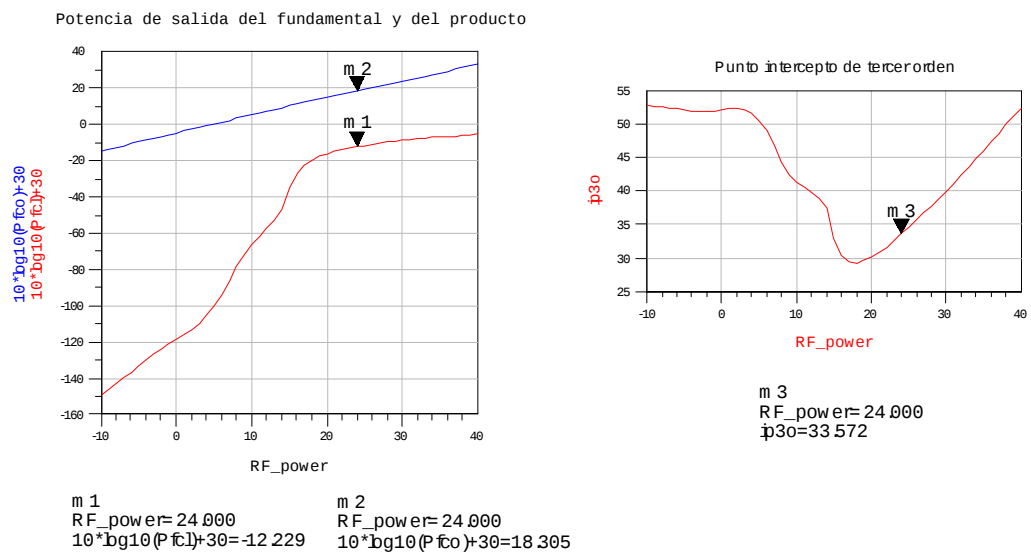


Figura 4.49

- **10x50**

Para el modo transmisión (tx-antena):

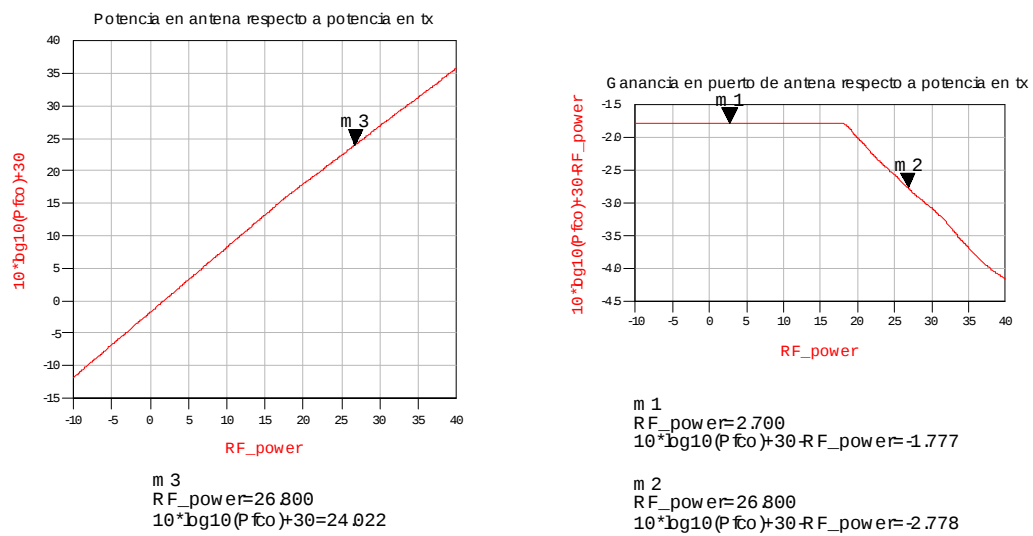


Figura 4.50

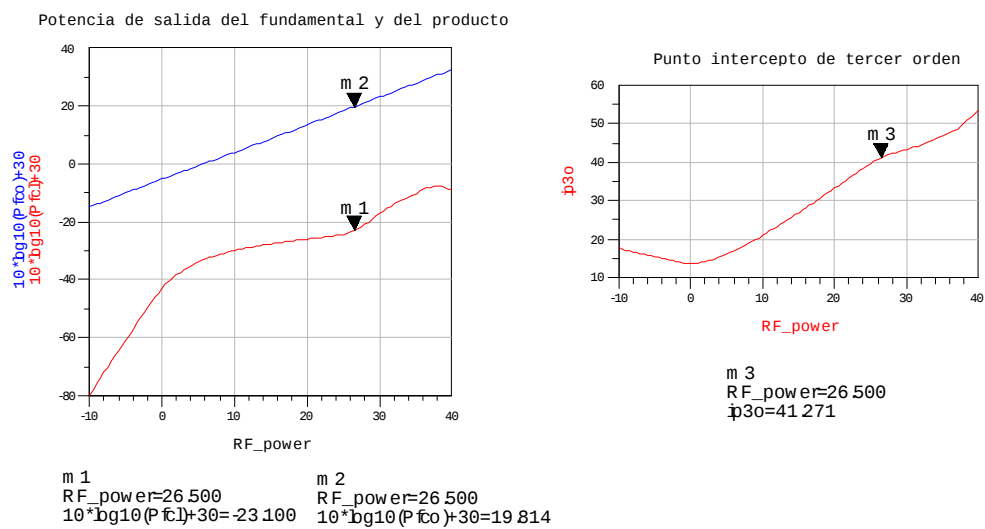


Figura 4.51

Para el modo recepción (antena-rx):

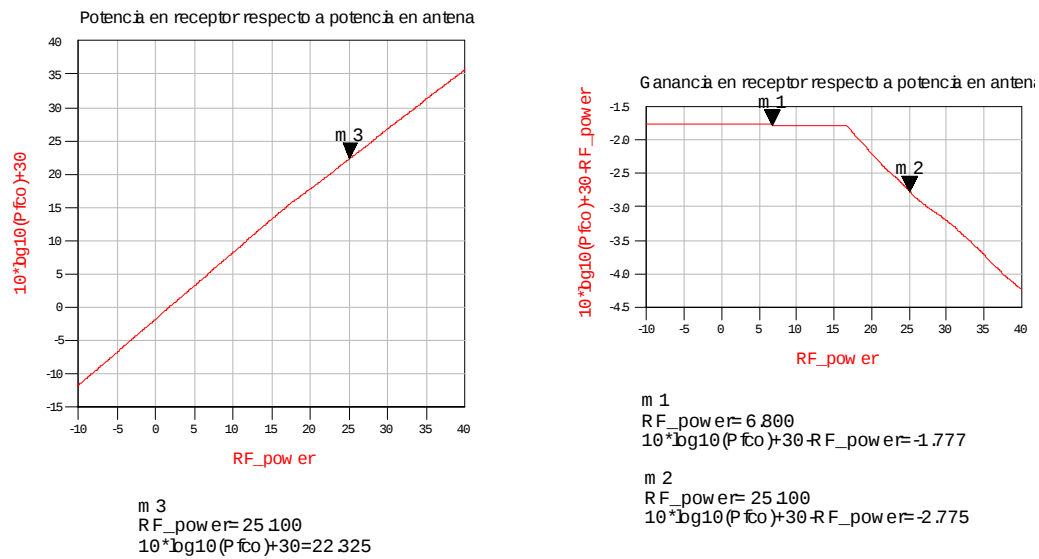


Figura 4.52

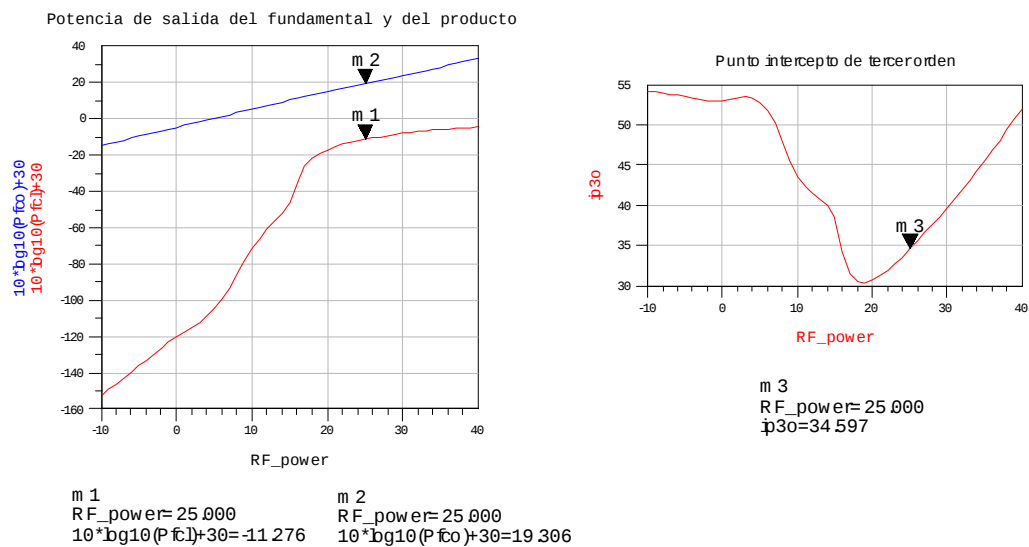


Figura 4.53

Se puede observar en todas las representaciones de la potencia de salida del producto de intermodulación de tercer orden que su forma no se acerca a la típica y la deseada. Esto provoca que la medida que realiza el programa del punto intercepo en la segunda gráfica no sea del todo exacta, pero puede dar una idea de cuál es mejor al compararla con otras representaciones.

#### **4.4. CONCLUSIONES Y SOLUCIÓN FINAL**

Para tomar la decisión de qué configuración es la elegida para este switch, es adecuado hacer una tabla resumen donde se vean todos los datos obtenidos de las simulaciones.

|                                   | <b>6X50</b> |           | <b>8X50</b> |           | <b>10X50</b> |           |
|-----------------------------------|-------------|-----------|-------------|-----------|--------------|-----------|
|                                   | <b>TX</b>   | <b>RX</b> | <b>TX</b>   | <b>RX</b> | <b>TX</b>    | <b>RX</b> |
| <b>Pérdidas por retorno (dB)</b>  | -22.8       | -26.7     | -23.8       | -28       | -25.3        | -29.1     |
| <b>Pérdidas de inserción (dB)</b> | 1.8         | 1.8       | 1.8         | 1.8       | 1.8          | 1.8       |
| <b>Aislamiento (dB)</b>           | 21          | 21        | 21.7        | 21.8      | 22.3         | 22.3      |
| <b>Po (1 dB) (dBm)</b>            | 21.6        | 20        | 22.9        | 21.3      | 24           | 22.3      |
| <b>IP3o (dBm)</b>                 | 38.7        | 32.5      | 39.8        | 33.6      | 41.3         | 34.6      |

Tabla 4.4

Como se puede observar, la mejor configuración, como cabía esperar, es la de un tamaño de transistores de 10x50. Además, como se vio en la tabla 4.3, resulta con unas inductancias menores, lo cual es otra ventaja añadida, ya que conforme menor es la inductancia, menor área ocupa en la posterior realización física.

## 5. SWITCH B

### 5.1. BASE DOCUMENTAL DEL SWITCH

El artículo en el que se basa este switch se titula “*High-Performance GaAs Switch IC’s Fabricated Using MESFET’s with Two Kinds of Pinch-off Voltages and a Symmetrical Pattern Configuration*” ([13]). A continuación se muestra el mismo traducido al castellano.

#### 5.1.1. Introducción

La utilización de monolíticos fabricados usando MESFET’s de GaAs o JFET’s ha sido extendida ampliamente en sistemas de telefonía móvil, ya que permite satisfacer las necesidades de estos sistemas, tales como el bajo consumo de potencia durante un largo tiempo de funcionamiento, usando pequeñas baterías y proporcionando excelentes prestaciones en la banda de las altas frecuencias. Por tanto, el desarrollo de switches integrados usando estos FET’s han reemplazado los switches de diodos, ya que éstos requieren una continua alimentación para su funcionamiento. Además, es necesario bajar la tensión de control convencional de 0/-5 V a 0/-3 V ó +3/0 V.

En este artículo se ha desarrollado un switch SPDT (Single Pole Double Throw) usando MESFET’s de GaAs los cuales operan con tensiones 0/-3 V y +3/0 V para uso en los switches T/R de los PHP (Personal Handy Phones, sistema de telefonía inalámbrica digital de nueva generación de Japón), usados en la banda de 1.9 GHz.

Las especificaciones objetivo para el diseño son las siguientes:

- 1) Tensión de control ( $V_{c(on)}/V_{c(off)}$ ): 0/-3 V, +3/0 V.
- 2) Potencia de salida en el punto de compresión de 1 dB ( $P_{0(1\text{ dB})} \geq 22\text{ dBm}$ ).
- 3) Punto intercepto de tercer orden ( $IP3 \geq 37\text{ dBm}$ ).
- 4) Pérdidas de inserción  $\leq 1.0\text{ dB}$ .
- 5) Aislamiento  $\geq 22\text{ dB}$ .

En este artículo se muestran las nuevas técnicas usadas en estos integrados, como el uso de FET’s con dos tensiones de *pinchoff* diferentes ( $V_p$ ), una configuración de fuente y drenador simétrica con respecto a la puerta y una configuración compuesta de elementos minimizados. También se muestran sus excelentes características.

#### 5.1.2. Configuración del circuito

a) *Uso de FET’s con dos tipos de  $V_p$ .*

La figura 5.1 muestra la configuración del switch SPDT con funcionamiento 0/-3 V. En este circuito, cuando los dos pares FET1 y 4, y FET2 y 3 están en conducción y en corte, respectivamente, una señal puede ser transmitida desde la antena al circuito de recepción; de forma inversa, cuando los dos pares FET1 y 4, y FET2 y 3 están en corte y en conducción, respectivamente, una señal generada en el circuito de transmisión puede ser transmitida a la antena. Las características más importantes exigidas por las especificaciones del sistema PHP son: (i) una tensión de control para mantener el estado de corte ( $V_{c(off)}$ ), (ii) pérdidas de inserción, (iii) linealidad de la transferencia de potencia en el bloque de transmisión, y (iv) aislamiento en el bloque de recepción durante las transmisiones desde el circuito de transmisión a la antena.

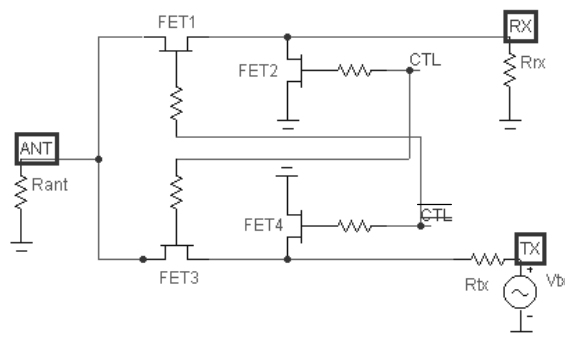


Figura 5.1

Sin embargo, las características de un circuito integrado fabricado con FET's con un solo  $V_p$  son degradadas conforme se hace  $V_p$  más baja. Para prevenir esta degradación, se usan FET's con dos tipos de  $V_p$ , es decir, una  $V_p$  poco profunda (-0.8 V) y una muy profunda (-2.4 V) para los pares FET1 y 2 y FET4 y 3, respectivamente. Esta combinación de  $V_p$ 's es conveniente para alcanzar excelentes resultados en el switch T/R usado en el sistema PHP, el cual requiere diferentes niveles de potencia en recepción (más bajo nivel) y en transmisión (más alto).

La figura 5.2 muestra la dos curvas  $I_d$ - $V_d$  de una MESFET con  $V_p$ 's poco profunda y muy profunda, y la curva de  $V_{tx}$  correspondiente a la potencia transmitida desde el circuito de transmisión a la antenna. La línea de carga del FET3 es dada por la ecuación (5.1), asumiendo que el estado de corte de los FET's 1 y 4 es perfecto, es decir, que la impedancia entre el drenador y la fuente es infinita.

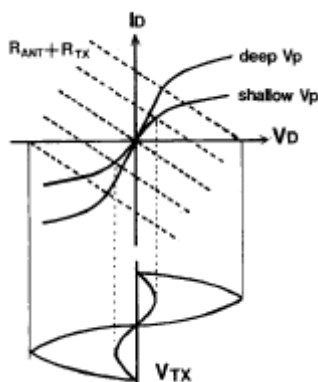


Figura 5.2

$$I_D = -\frac{V_{DS}}{R_{TX} + R_{ANT}} + \frac{V_{TX}}{R_{TX} + R_{ANT}} \quad (5.1)$$

Como se puede observar en la figura, una  $V_p$  más profunda proporciona un valor de  $R_{on}$  más bajo, además de un mayor rango de región lineal. Por tanto, con la  $V_p$  más profunda se puede alcanzar unas pérdidas de inserción menores, ya que la potencia disipada en  $R_{on}$  es menor; pero además, proporciona mayor rango de linealidad, producido porque  $R_{on}$  mantiene su valor durante un mayor rango; esto permite que el incremento de  $I_d$  sea proporcional al incremento de  $V_d$ . Consecuentemente, el par FET3 y 2 es usado con  $V_p$  muy profundo, ya que permite alcanzar gran linealidad y bajas pérdidas de inserción durante la transmisión de alta

potencia. En el estado de corte, ambos, los  $V_p$ 's muy profundo y poco profundo, tienen la misma capacidad entre la fuente y el drenador porque sus FET's son fabricados con la misma geometría.

El  $V_p$  para el par FET1 y 4 es determinado con ayuda del máximo valor de  $V_{tx}$ ,  $V_{tx(max)}$  en el bloque de transmisión, como sigue: la figura 5.3 muestra la relación entre  $V_p$  y  $V_{tx(max)}$  para mantener el estado de corte de estos FET's mientras se transmite una señal de alta potencia del transmisor a la antena;

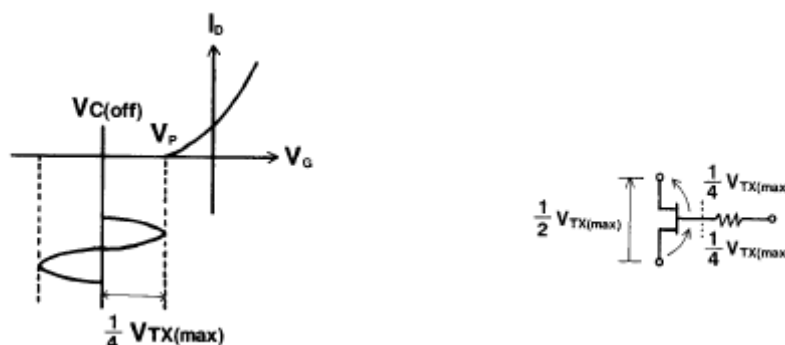


Figura 5.3

asumiendo que la  $R_{on}$  del FET3 es pequeña y que el corte del FET1 es perfecto, la tensión de la señal es igualmente dividida en las resistencias  $R_{ant}$  y  $R_{tx}$ . Por tanto, la señal aplicada entre la fuente y el drenador del FET1 es igual a la tensión que cae en  $R_{ant}$ . Consecuentemente, su valor máximo es  $V_{tx}/2$ . Por tanto, las tensiones máximas  $V_{ds}$  y  $V_{gd}$  son  $V_{tx}/4$ , cuando la corriente a través de la puerta es despreciable y el FET presenta simetría drenador-fuente respecto a la puerta. Por consiguiente, el estado de corte se mantiene cuando:

$$V_p \geq V_C(off) + V_{tx(max)} / 4 \quad (5.2)$$

pero se pierde cuando:

$$V_p \leq V_C(off) + V_{tx(max)} / 4 \quad (5.3)$$

En este último caso, el aislamiento del camino de recepción se degrada. Por tanto, el FET con un  $V_p$  poco profundo puede alcanzar un aislamiento alto durante la transmisión de alta potencia. El valor del  $V_p$  poco profundo es determinado para mantener el estado de corte hasta para una potencia de transmisión de 23 dBm.

#### b) Configuración simétrica drenador-fuente

Los FET's simétricos usados tienen dos ventajas respecto a los FET's convencionales: una, las capacidades a tierra de fuente y drenador son iguales, lo cual hace fácil y acertado estimar las capacidades a tierra; la otra es que las capacidades a tierra de un FET discreto tienen casi el mismo valor en el integrado porque la fuente y el drenador (especialmente la fuente) pueden mantener la misma forma en el switch integrado. En la figura 5.4 se muestran los circuitos equivalentes para el estado de corte y conducción del MESFET.

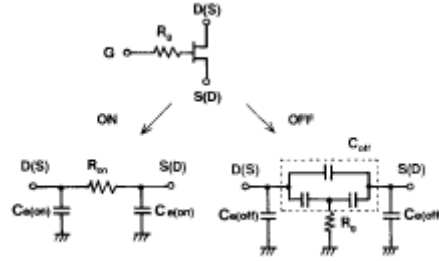


Figura 5.4

En la figura 5.5 se muestra el valor de  $C_e(\text{off})$  (capacidad a tierra) para un FET simétrico y otro asimétrico, respecto a la anchura de puerta. Se puede observar como, en un FET simétrico, el valor de  $C_e(\text{off})$  para drenador y fuente son iguales, y pequeño comparado con la del FET asimétrico. Lo mismo puede aplicarse a  $C_e(\text{on})$ .

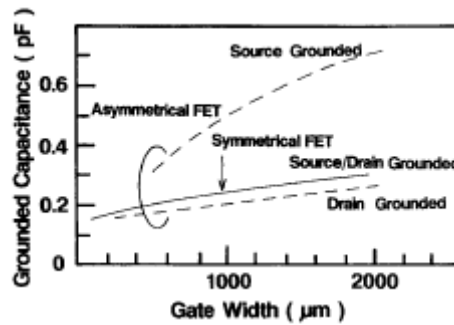
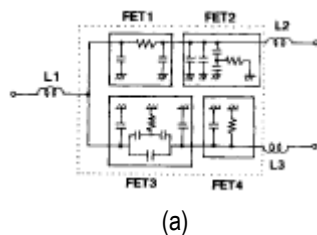


Figura 5.5

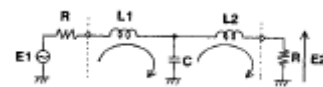
### c) Simulación

Los switches MMIC fueron diseñados para usar una única relación entre las inductancias de las conexiones y la capacidad total a tierra ( $C$ ) del switch integrado para conseguir un envío eficiente de señales de recepción y transmisión. La figura 5.6(a) muestra el circuito equivalente de un switch integrado, incluyendo  $C_e(\text{on})$  y  $C_e(\text{off})$ , donde los FET's 1 y 4 están en corte, y  $L_1$ ,  $L_2$  y  $L_3$  son las inductancias asociadas a los cables. En este caso, la señal es transmitida desde la antenna al bloque de recepción. El circuito puede ser simplificado como se muestra en la figura 5.6(b). La relación entre la tensión de entrada ( $E_1$ ) y la tensión de salida ( $E_2$ ) es dada por la ecuación (5.4), asumiendo que  $L_1=L_2=L$ .

$$E_2 = \frac{R}{j\omega C \left[ \frac{1}{\omega^2 C^2} + \left( R + j \left( \omega L - \frac{1}{\omega C} \right) \right)^2 \right]} E_1 \quad (5.4)$$



(a)



(b)

Figura 5.6

En la figura 5.7, mostrada más abajo, se representa  $E_2$  en función de  $C$ , según la ecuación (5.4), donde el valor de  $L$  usado es 0.8 nH. Cuando  $C$  alcanza un valor de cerca de 0.6 pF, el switch se comporta como una excelente línea de transmisión. Usando este resultado, las pérdidas de inserción pueden ser reducidas. El circuito de la figura 5.6(a) fue simulado con el programa LIBRA. Las anchuras de puerta obtenidas fueron: para el camino de transmisión, 1000  $\mu\text{m}$  y 200  $\mu\text{m}$ , para los FET's 3 y 4, respectivamente; para el camino de recepción, 1400  $\mu\text{m}$  y 200  $\mu\text{m}$ , para los FET's 1 y 2, respectivamente.

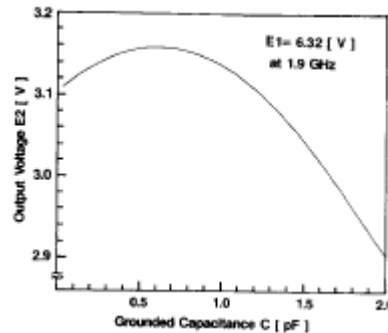


Figura 5.7

d) *Circuito con configuración +3/0 V*

La figura 5.8 muestra el circuito con configuración +3/0 , el cual fue fabricado añadiendo sólo cuatro capacidades y dos resistencias a la configuración 0/-3 V, para eliminar la necesidad de circuitería externa como la capacidad de desacoplo de continua. La resistencia de puerta ( $R_g=7\text{ k}\Omega$ ) fue determinada mediante simulación del circuito para reducir la intensidad de fuga a través de la puerta. Todas las capacidades tienen como valor 14 pF; se tomó este valor por ser el más grande posible manteniendo el tamaño del chip por debajo de 1 mm x 1 mm. Las inductancias de la figura representan las asociadas a los cables.

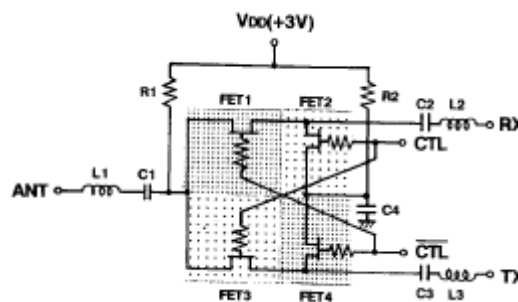


Figura 5.8

### 5.1.3. Características del switch integrado

Las figuras 5.9(a) y 5.9(b) muestran las pérdidas de inserción y el aislamiento en recepción y transmisión, respectivamente, para el circuito con configuración 0/-3 V; se pueden observar tanto las características medidas como las simuladas.

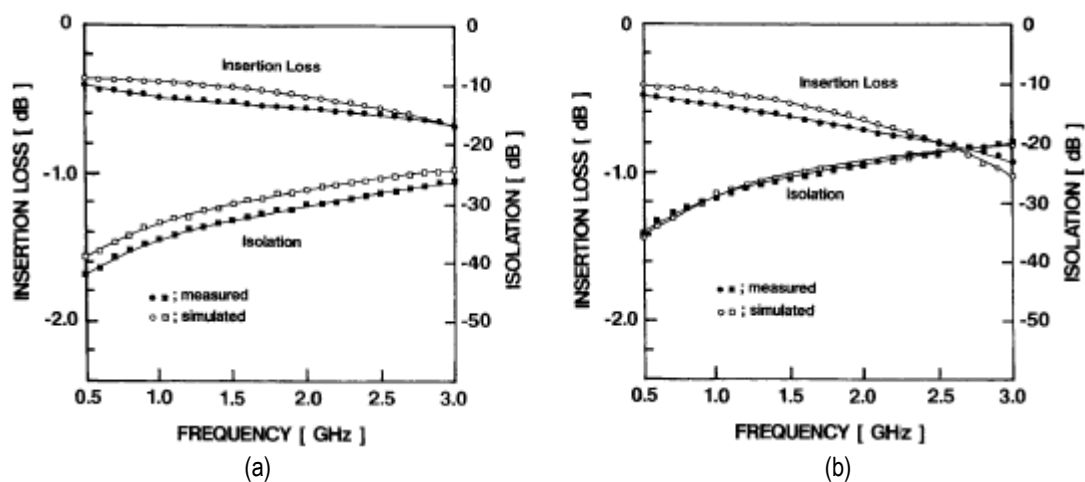


Figura 5.9

V. Las figuras 5.10(a) y 5.10(b) son las correspondientes a la configuración +3/0

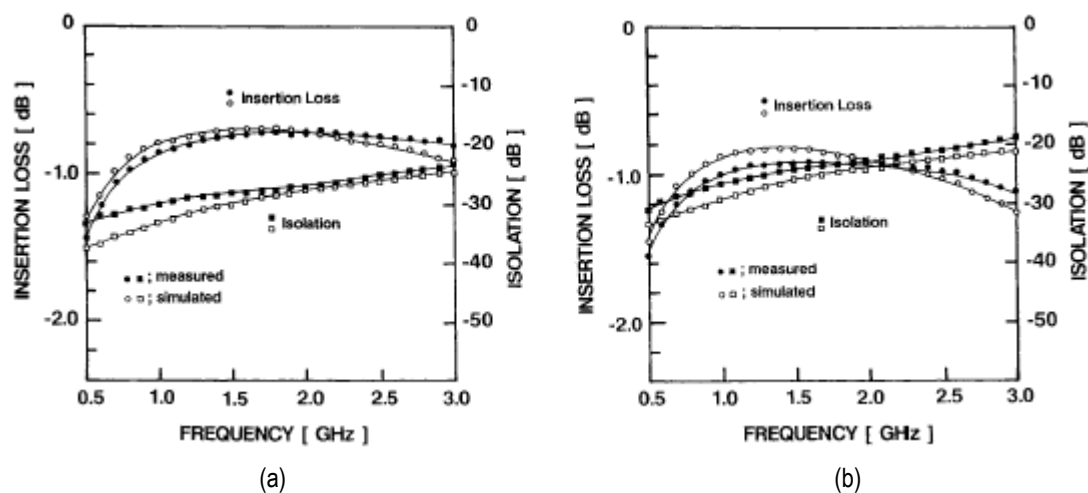


Figura 5.10

A continuación se muestra una tabla con las características finales de los dos tipos de switch.

|                                  |                  |          |          |
|----------------------------------|------------------|----------|----------|
| <b>Tensión de control ON/OFF</b> |                  | 0 V/-3 V | +3 V/0 V |
| <b>Tensión de alimentación</b>   |                  | -----    | 3 V      |
| <b>Pérdidas de inserción</b>     | RX               | 0.55 dB  | 0.73 dB  |
|                                  | TX               | 0.65 dB  | 0.95 dB  |
| <b>Aislamiento</b>               | RX               | 31 dB    | 27 dB    |
|                                  | TX               | 24 dB    | 23 dB    |
| <b>Po(1 dB)</b>                  |                  | 25.4 dBm | 25.4 dBm |
| <b>IP3</b>                       |                  | >46 dBm  | >46 dBm  |
| <b>Tiempo de conmutación</b>     | t <sub>ON</sub>  | 18 ns    | 18 ns    |
|                                  | t <sub>OFF</sub> | 18 ns    | 18 ns    |

Tabla 5.1

#### 5.1.4. Apéndice (cálculo de $R_g$ )

Se supuso que la fuga de corriente a través de puerta era despreciable. En este apéndice se explica cómo determinar el valor de  $R_g$  para que efectivamente se pueda considerar así.

La figura 5.11(a) muestra el caso en el que el FET1 o el 4 están cortados. En el caso de transmisión, asumiendo que la  $R_{on}$  del FET3 es pequeña y el estado de corte del FET4 es perfecto, la fuente de tensión,  $R_1$ , el FET y  $R_2$  en la figura, corresponden con la tensión en la antena,  $R_{ant}$ , el FET1 y  $R_{rx}$ , respectivamente, donde  $R_1$  y  $R_2$  son supuestas  $50\ \Omega$ , y la anchura de puerta del FET1 es  $1000\ \mu\text{m}$ . Los cálculos se realizan teniendo en cuenta que la potencia de la señal transmitida es 20 dBm, es decir, la máxima amplitud de la fuente de tensión ( $V_{tx}(\text{máx})$ ) es 6.32 V. En este caso, la fuente de tensión de la figura es 3.16 V, ya que la tensión que cae en la antena es  $V_{tx}(\text{máx})/2$ . En la figura 5.11(b) se muestra el circuito equivalente. Aplicando la ley de Kirchoff, se obtiene los resultados que se muestran en la gráfica de la figura 5.12. Se observa que si  $R_g$  es mayor a  $7\ \text{k}\Omega$  la intensidad de puerta se aproxima a un valor constante y  $V_{gs}$  y  $V_{gd}$  se acercan a  $V_{ds}/2$ . Se determina  $R_g=7\ \text{k}\Omega$  por los resultados calculados y el tiempo de conmutación, el cual es mayor conforme se incremente  $R_g$ .

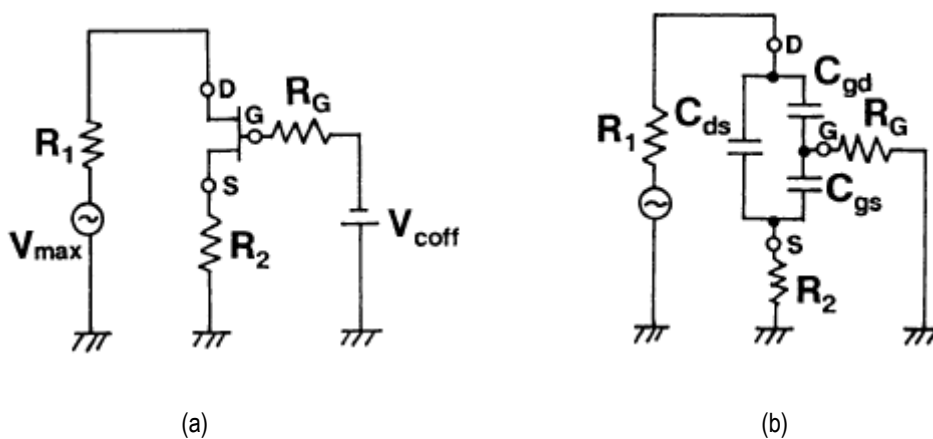


Figura 5.11

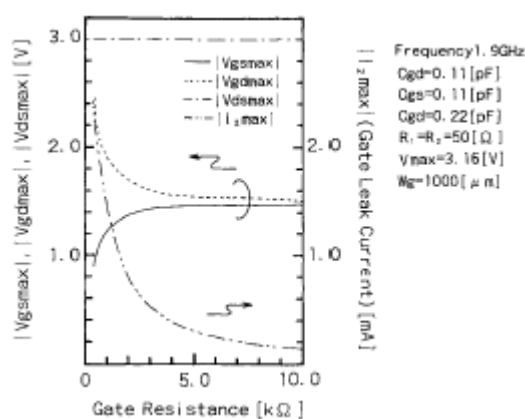


Figura 5.12

## **5.2. MODIFICACIONES Y COMENTARIOS TEÓRICOS**

Vamos a enumerar las distintas modificaciones y comentarios que se hicieron sobre este switch:

- a) En este switch se trabaja con MESFET's de GaAs; en cambio, nosotros trabajamos con transistores HEMT.
- b) Como se ha podido leer en el artículo, este switch trata con dos tipos de tensión de *pinchoff*, para diferenciar y sacar el máximo partido en cada modo de funcionamiento, transmisión y recepción. Nosotros usamos un solo tipo de transistor, el mismo que en el switch anterior, y cuya tensión umbral es  $-0.9\text{ V}$ . Esto resultará en que nuestro switch será totalmente simétrico en sus dos modos, lo cual no debería ser ni una ventaja ni una desventaja.
- c) De las dos configuraciones que mostraba el artículo, se decidió por trabajar por el switch con modo  $0/-3\text{ V}$ , por seguir con la misma filosofía que el switch anterior, en el que no es necesaria tensión de alimentación externa. Sin embargo, se aprovechó la otra configuración ( $+3\text{ V}/0\text{V}$ ), para modificar y mejorar el futuro switch. En concreto se introdujo la capacidad y la inductancia que esta configuración usa en serie en la entrada de cada puerto. Como se dice en el artículo, la capacidad se pone para evitar tener que usar circuitos externos como la capacidad de bloqueo de DC; a su vez, poniendo la inductancia, se modela las inductancias propias de las líneas de transmisión, lo cual sería muy útil para la posterior realización del *layout*.

## 5.3. DISEÑO, SIMULACIONES Y RESULTADOS

### 5.3.1. Diseño teórico previo

El diseño de este switch se puede decir que es sencillo, ya que, a diferencia del switch anterior, no tiene muchos elementos tales como inductancias y capacidades cuyos valores óptimos hay que buscar para alcanzar unas metas concretas.

Uno de los aspectos que sí se pueden calcular es la potencia máxima que el switch es capaz de transmitir. Aunque este aspecto, como el que veremos a continuación, vienen bien explicados en el artículo, es preferible verlo aquí, y con mayor detenimiento y profundidad.

Partimos del switch de la figura, al que no se le añaden las capacidades e inductancias nombradas en el apartado anterior por simplicidad. Éstas se añadirán a la hora de hacer las optimizaciones con el simulador.

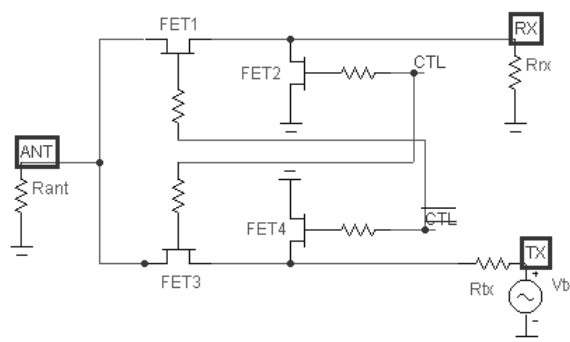


Figura 5.13

Cuando se está en el modo transmisión los FET's 3 y 2 están en conducción y los FET's 1 y 4 en corte. Esto provoca que, en teoría, la señal vaya del transmisor a la antena sin sufrir casi pérdidas. Considerando que la resistencia de conducción del FET3 es muy pequeña y que  $R_{ant} = R_{tx} = R_{rx} = 50 \Omega$ , se puede afirmar que  $V_{tx}$  se reparte de forma igual en la resistencia de antena y en la del transmisor. Por tanto, en la antena caerá una tensión igual a  $V_{tx}/2$ . Si esta tensión sobrepasa un valor determinado, puede provocar que el FET1 pase de estar cortado a estar en conducción, degradándose el funcionamiento del switch. Considerando que el FET2 es un cortocircuito perfecto, se puede poner lo siguiente:

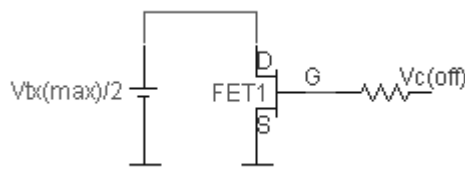


Figura 5.14

Cuando la fuga de corriente por la puerta es pequeña y el FET tiene simetría de drenador y fuente respecto a la puerta, se puede afirmar que entre drenador y puerta y entre puerta y fuente se reparte equitativamente la tensión que cae entre drenador y fuente. Por tanto, tenemos que  $V_{dg} = V_{gs} = V_{tx(max)}/4$ .  $V_{tx}$  es senoidal, por lo que a veces restará el efecto de  $V_{c(off)}$  ( $V_{tx} > 0$ , el que provoca que el FET pase a conducción) y a veces lo favorecerá. Por tanto, tenemos que, para asegurar que el FET siga en corte, se debe cumplir:

$$V_p \geq V_{c(off)} + V_{tx(max)} / 4 \quad (5.5)$$

En nuestro caso:

$$-0.9V \geq -3V + V_{tx(max)} / 4 \quad (5.6)$$

Por tanto, resulta que tenemos  $V_{tx(max)}=8.4$  V. Entonces, en la resistencia de antena como máximo caerá una tensión de 4.2 V. Ésta se corresponde con una tensión eficaz de 2.97 V y por consiguiente una máxima potencia de transmisión por la antena de 22.5 dBm, que, como veremos en los resultados del simulador, concuerda bastante bien con la realidad.

Una vez visto esto, pasamos ver el otro parámetro de diseño, la resistencia de puerta. Como se puede observar en la figura 5.13, cada FET tiene en su puerta una resistencia, que será de valor importante, cuya función es la de disminuir la fuga de corriente. Al igual que anteriormente, estos cálculos vienen algo explicados en el artículo, pero se mostrarán aquí para una mayor comprensión del problema.

Partimos de nuevo del modo de transmisión. En la figura 5.15(a) se muestra de nuevo el FET1 en esta situación. Como el transistor está cortado, podemos sustituirlo por su modelo de pequeña señal, como se muestra en la figura 5.15(b).

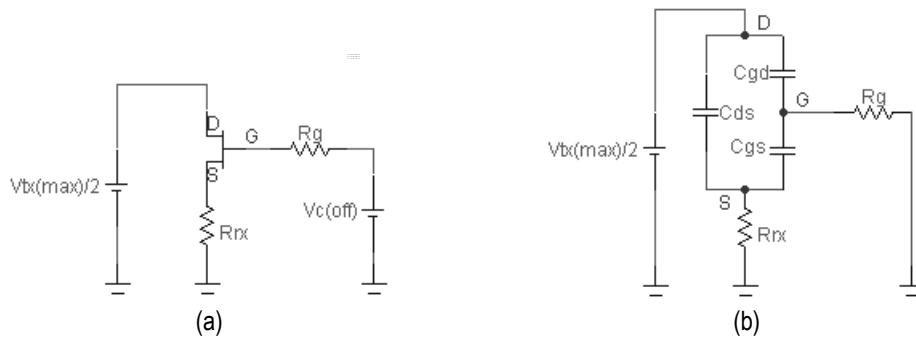


Figura 5.15

Al igual que en el switch anterior, acudimos al modelo de pequeña señal proporcionado por el fabricante y hacemos uso de la ecuaciones:

$$C_{ds} = C_{dso} \cdot W + nbd \cdot C_{dse} \quad (5.7)$$

$$C_{gd} = C_{gdo} \cdot W + nbd \cdot C_{gde} \quad (5.8)$$

$$C_{gs} = C_{gso} \cdot W + nbd \cdot C_{gse} \quad (5.9)$$

Así, para un transistor 10x50, se obtiene que  $C_{ds}=0.073$  pF,  $C_{gs}=0.125$  pF y  $C_{gd}=115$  pF. Tomamos el circuito siguiente:

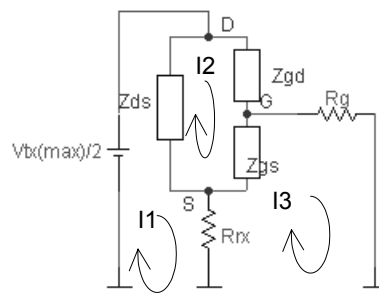


Figura 5.16

En este circuito, se han calculado los valores de las impedancias equivalentes a la capacidades parásitas, resultando su valores:  $Z_{ds}=-j415 \Omega$ ,  $Z_{gs}=-j243 \Omega$  y  $Z_{gd}=-j263 \Omega$ . Suponemos que la potencia máxima que se transmite por la antena es de unos 20 dBm; este valor se corresponde con una tensión eficaz de 2.23 V, y una tensión máxima de 3.16 V; por tanto  $V_{tx}(\max)/2=3.16$  V. Suponiendo que la resistencia del receptor es  $50 \Omega$ , podemos plantear las siguientes ecuaciones de malla:

$$I_1 Z_{ds} + (R_2 - Z_{ds}) I_2 - R_2 I_3 = 3.16V \quad (5.10)$$

$$-I_1 Z_{ds} + (Z_{ds} + Z_{gd} + Z_{gs}) I_2 - Z_{gs} I_3 = 0 \quad (5.11)$$

$$-I_1 R_2 - Z_{gs} I_2 + (R_2 + Z_{gs} + R_g) I_3 = 0 \quad (5.12)$$

$$-j415 I_1 + (50 + j415) I_2 - 50 I_3 = 3.16V \quad (5.13)$$

$$j415 I_1 - j921 I_2 + j243 I_3 = 0 \quad (5.14)$$

$$-50 I_1 + j243 I_2 + [(50 + R_g) - j243] I_3 = 0 \quad (5.15)$$

Se observa que tenemos tres ecuaciones con cuatro incógnitas. Lo que nos interesa es dejar  $I_3$  en función de  $R_g$ , para después representar la corriente de puerta respecto a  $R_g$ . Si sumamos la ecuaciones (5.13) y (5.14), obtenemos la ecuación (5.16); a su vez, si multiplicamos la ecuación (5.14) por  $50/j415$  y se la sumamos a (5.15), nos queda la ecuación (5.17).

$$(50 - j506) I_2 - (50 - j243) I_3 = 3.16 \quad (5.16)$$

$$-(111 - j243) I_2 + [(21 + R_g) - j243] I_3 = 0 \quad (5.17)$$

Y de aquí sacamos la siguiente relación para la fuga de corriente de puerta máxima.

$$I_3 = I_{g(max)} = \frac{1.571 + j0.538}{[(R_g - 45) - j121]} \quad (5.18)$$

De igual forma, se pueden sacar expresiones para  $I_2$  e  $I_1$  en función de  $I_3$ :

$$I_2 = (0.611 + j6.18) \cdot 10^{-3} + (0.485 + j0.05) I_3 \quad (5.19)$$

$$I_1 = (1.356 + j13.7) \cdot 10^{-3} + (0.491 + j0.111) I_3 \quad (5.20)$$

Como se puede observar, tienen valores muy parecidos. De estas ecuaciones, se pueden sacar expresiones para las tensiones máximas de puerta-fuente, drenador-fuente y puerta-drenador.

$$V_{ds(max)} = -j415(I_1 - I_2) \quad (5.21)$$

$$V_{gd(max)} = -j263(-I_2) \quad (5.22)$$

$$V_{gs(max)} = -j243(I_3 - I_2) \quad (5.23)$$

Con estas ecuaciones, se puede representar las tensiones máximas y ver su comportamiento respecto a la resistencia  $R_g$ . Se hace con ayuda de MATLAB, y resulta la gráfica de la figura 5.17.

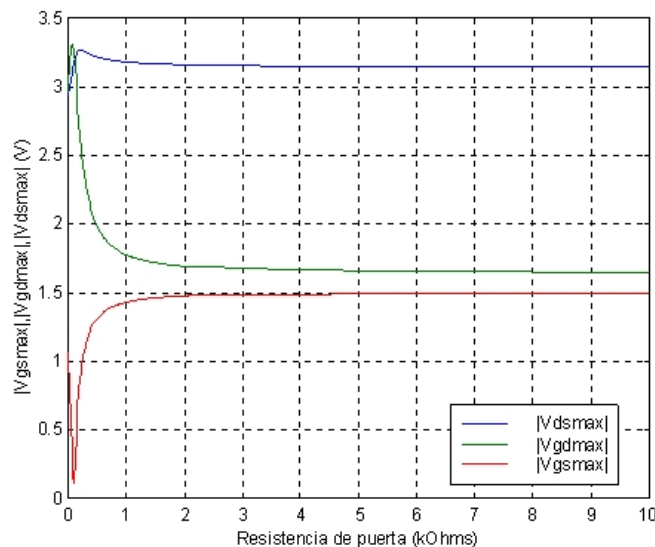


Figura 5.17

Pero quizá lo que más nos interese sea ver la respuesta de la fuga de corriente máxima por la puerta respecto a la resistencia  $R_g$ . Si representamos mediante MATLAB la ecuación (5.18):

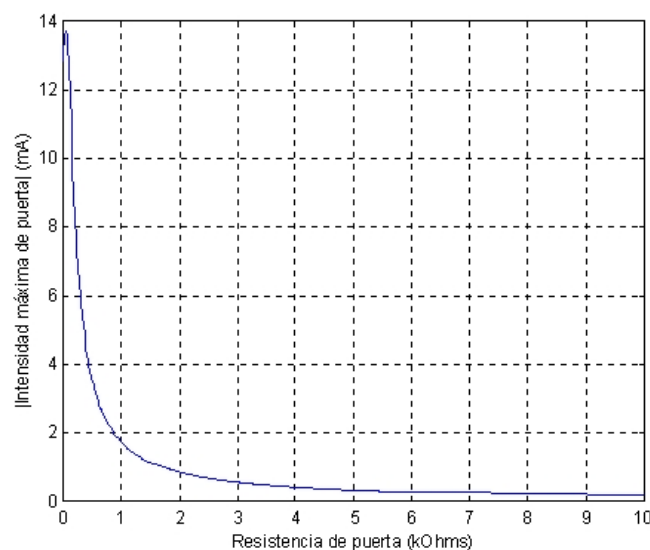


Figura 5.18

La idea es tomar un valor de  $R_g$  suficientemente alto como para que la fuga de corriente sea pequeña. Se observa además en la figura 5.17, que conforme esta fuga de corriente es menor la simetría drenador-fuente respecto a la puerta es mayor. Pero en el artículo se nos avisa que si se toma demasiado alta esta resistencia, puede producir que el tiempo de conmutación sea demasiado alto. Por ello, al igual que en el artículo, tomamos el valor 7 k $\Omega$ , con el que tenemos una fuga de corriente de unos 0.24 mA, el cual es un valor muy pequeño.

En el anexo 8.2.1 se puede ver el código fuente del programa en MATLAB con el que se han obtenido los resultados anteriores.

### 5.3.2. Simulaciones y resultados

Con este circuito se siguieron los mismos pasos que en el switch anterior. Se empezó con elementos ideales y se optimizaron sus valores para lograr unos parámetros S adecuados: buena adaptación en los puertos de transmisor y antena, bajas pérdidas de inserción y alto aislamiento transmisor-receptor.

Se tomaron de nuevo tres tamaños de transistores: 6x50, 8x50 y 10x50. Posteriormente, se probó otras combinaciones de tamaños: para los transistores serie 10x50 y para los paralelos 6x50 y 4x50. Se hizo esto último para imitar un poco la configuración que se muestra en el artículo, en la que los transistores en paralelo tienen un tamaño de puerta menor que los transistores en serie.

#### 5.3.2.1. Simulaciones del switch con elementos ideales

El circuito con el que se partió, con las variables correspondientes se muestra a continuación:

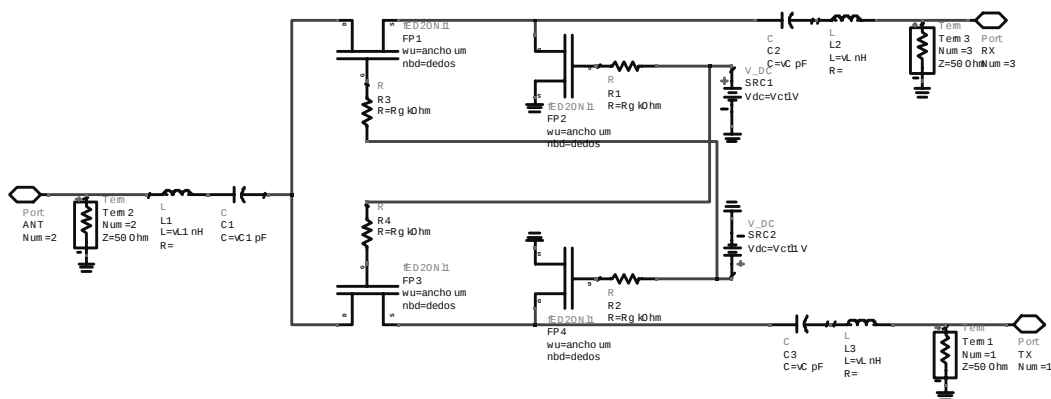


Figura 5.19

Como valores iniciales de las capacidades e inductancias antes de la optimización, se tomaron 0.919 pF y 1 nH respectivamente. Los resultados fueron:

- **6x50**

Para el modo transmisión,  $V_c=0$  V:

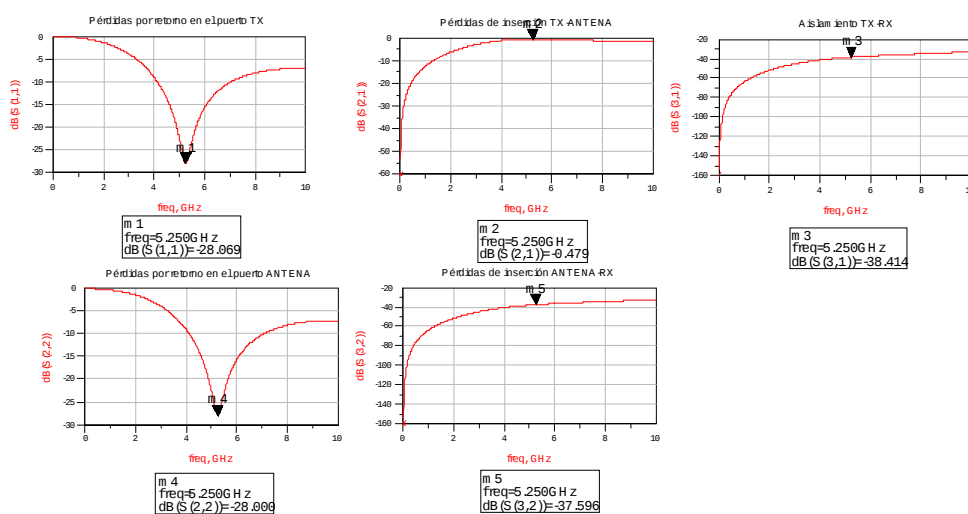


Figura 5.20

Para el modo recepción,  $V_c = -3$  V:

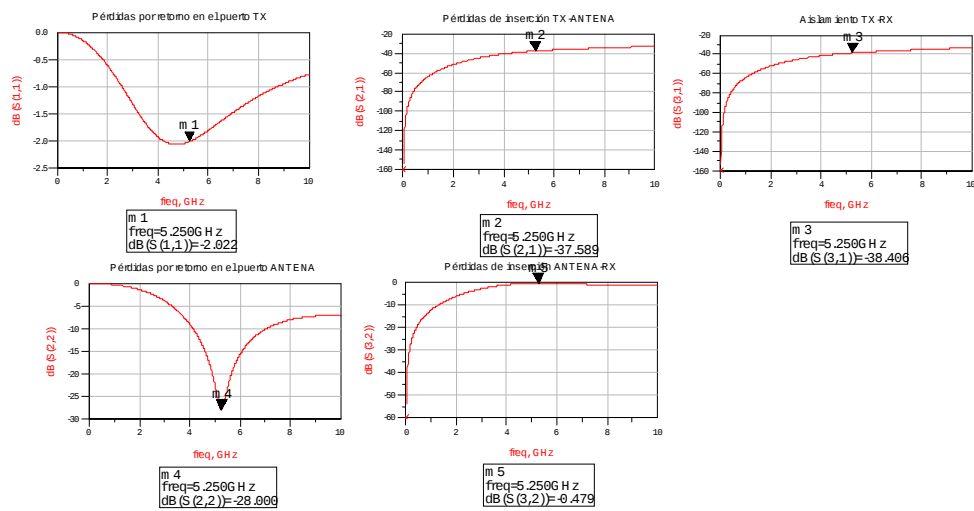


Figura 5.21

- **8x50**

Para el modo transmisión,  $V_c = 0$  V:

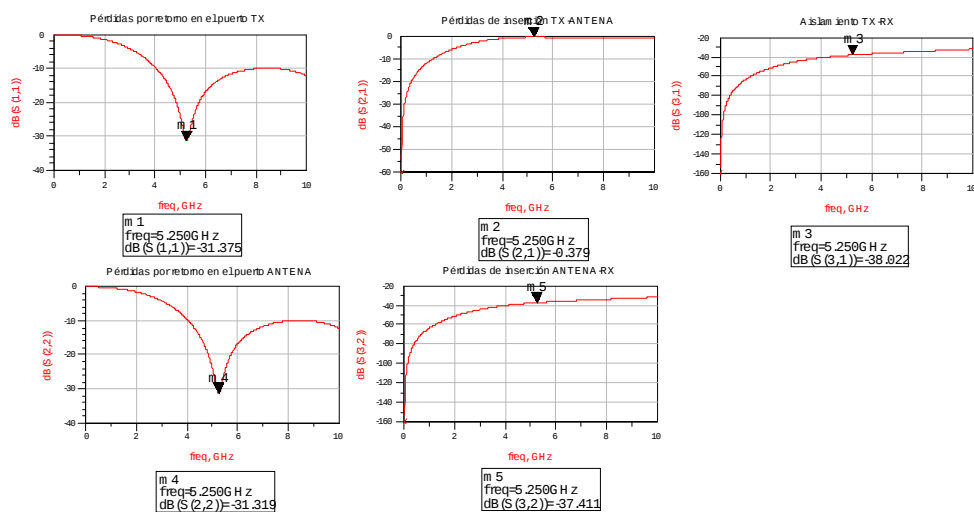


Figura 5.22

Para el modo recepción,  $V_c = -3$  V:

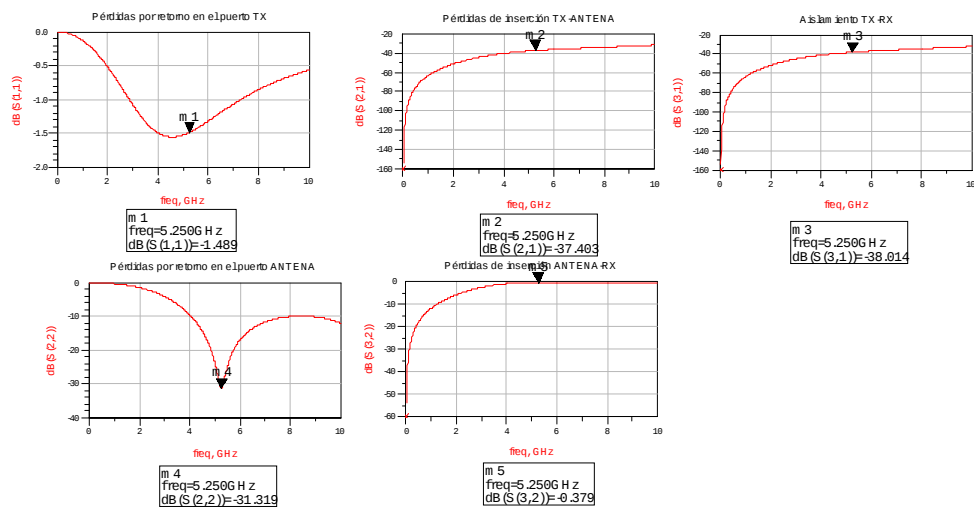


Figura 5.23

- **10x50**

Para el modo transmisión,  $V_c = 0$  V:

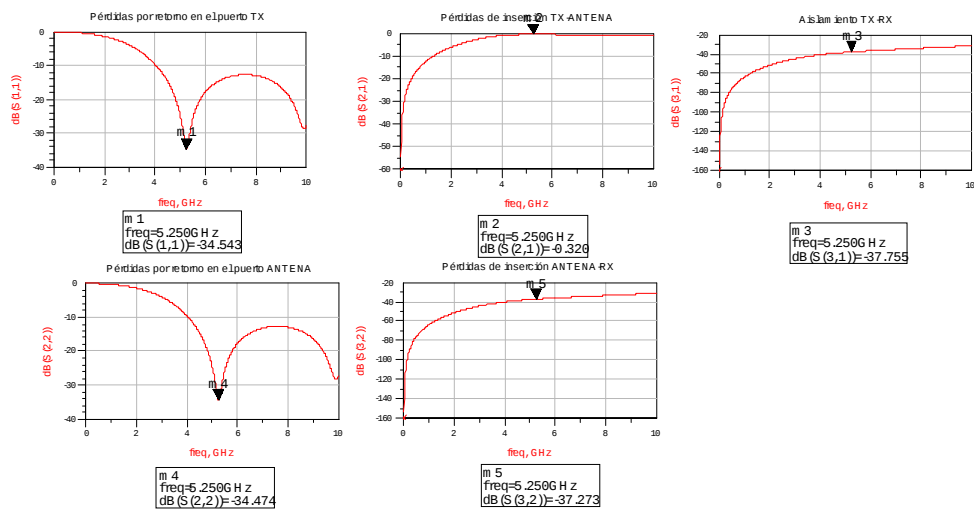


Figura 5.24

Para el modo recepción,  $V_c = -3$  V:

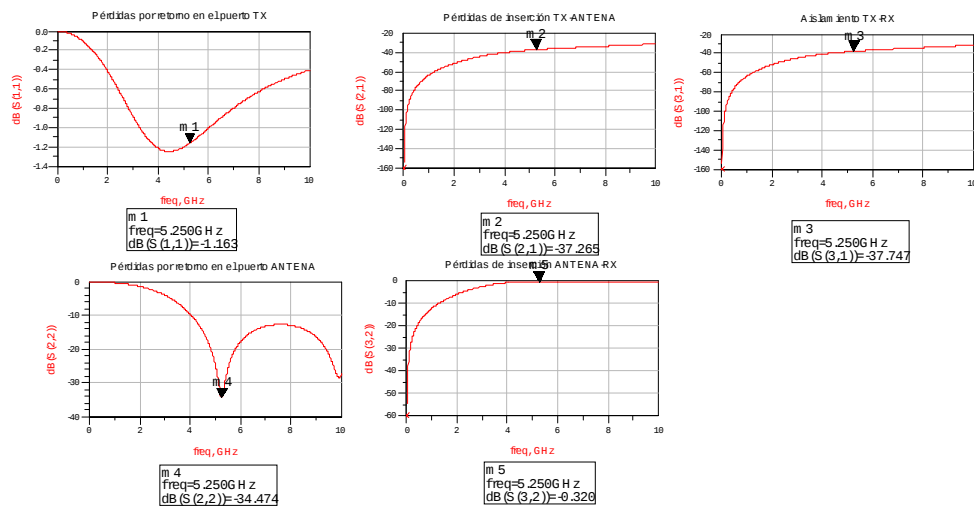


Figura 5.25

Y los valores de las variables para los tres casos:

|            | 6X50     | 8X50     | 10X50    |
|------------|----------|----------|----------|
| <b>vL</b>  | 1.29986  | 1.31427  | 1.41484  |
| <b>vL1</b> | 1.29622  | 1.31424  | 1.41584  |
| <b>vC</b>  | 0.856711 | 0.913121 | 0.899661 |
| <b>vC1</b> | 0.857377 | 0.911555 | 0.897509 |

Tabla 5.2

Con estos valores no se puede sacar ninguna conclusión clara, ya que las tres configuraciones están muy igualadas. Habrá que esperar a sustituir los elementos ideales por los reales y sacar los resultados de las simulaciones de parámetros S y de balance armónico.

### 5.3.2.2. Simulaciones del switch con elementos reales

En este caso había pocos elementos que sustituir; en concreto sólo había que sustituir las cuatro resistencias, las tres inductancias y las tres capacidades.

#### a) Simulación de parámetros S

Inicialmente se le pusieron los valores obtenidos en la optimización anterior a los elementos reales, y así tener un punto de partida para la siguiente optimización. Tras ésta, se obtuvieron los siguientes resultados:

- **6x50**

Para el modo transmisión,  $V_c=0$  V:

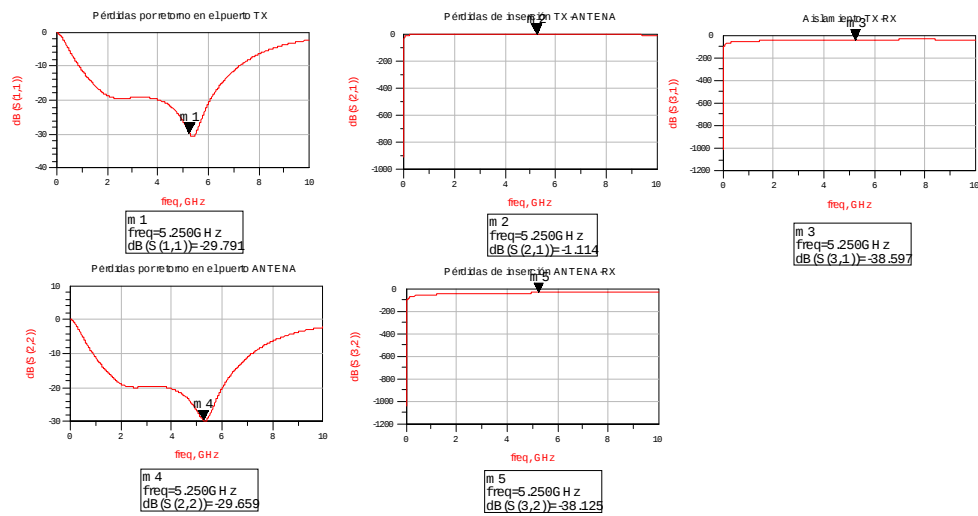


Figura 5.26

Para el modo recepción,  $V_c=-3$  V:

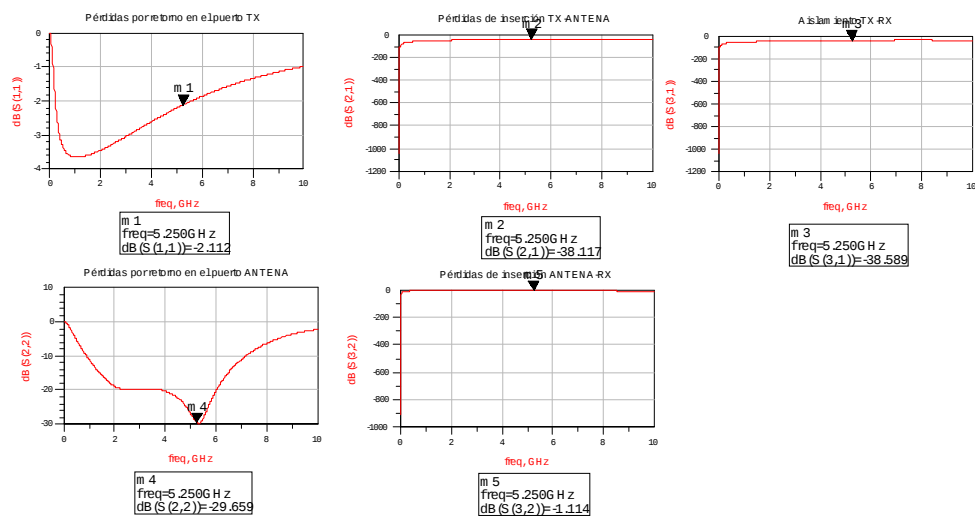


Figura 5.27

- **8x50**

Para el modo transmisión,  $V_c=0$  V:

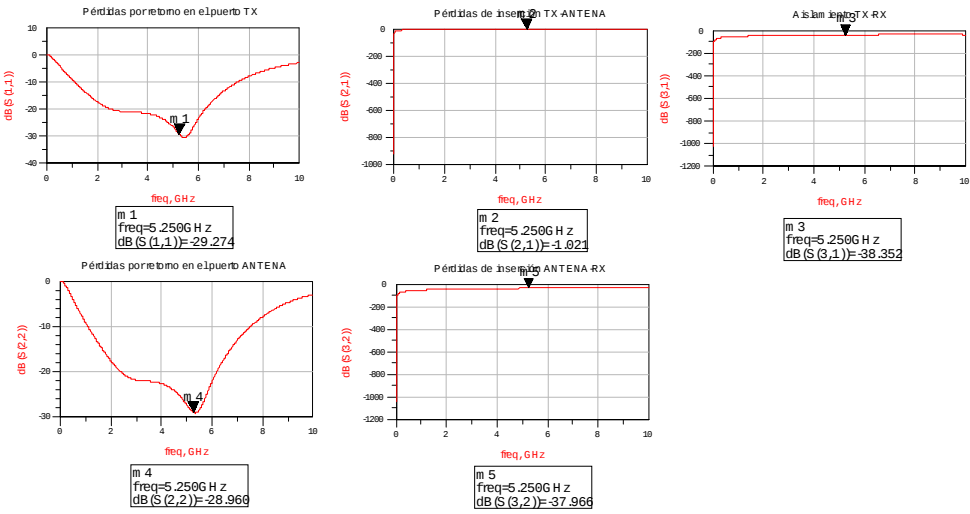


Figura 5.28

Para el modo recepción,  $V_c=-3$  V:

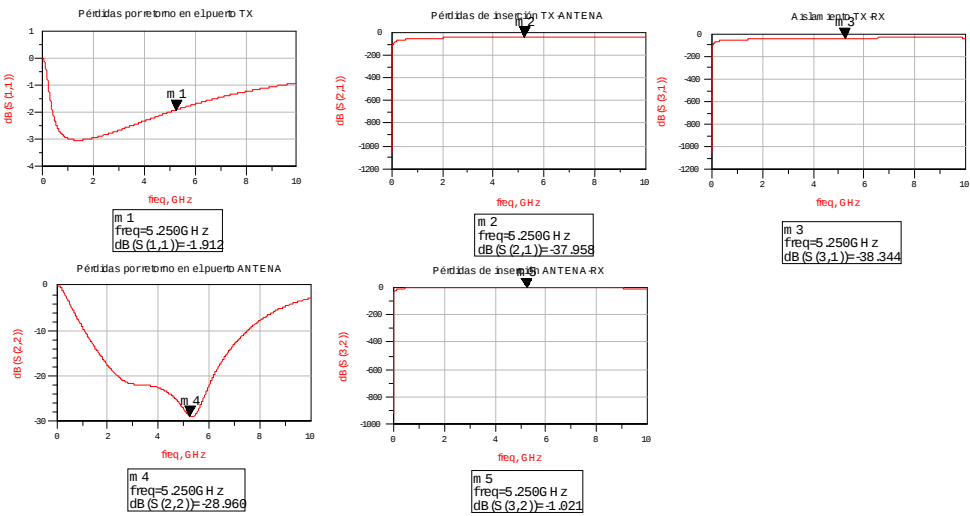


Figura 5.29

- **10x50**

Para el modo transmisión,  $V_c=0$  V:

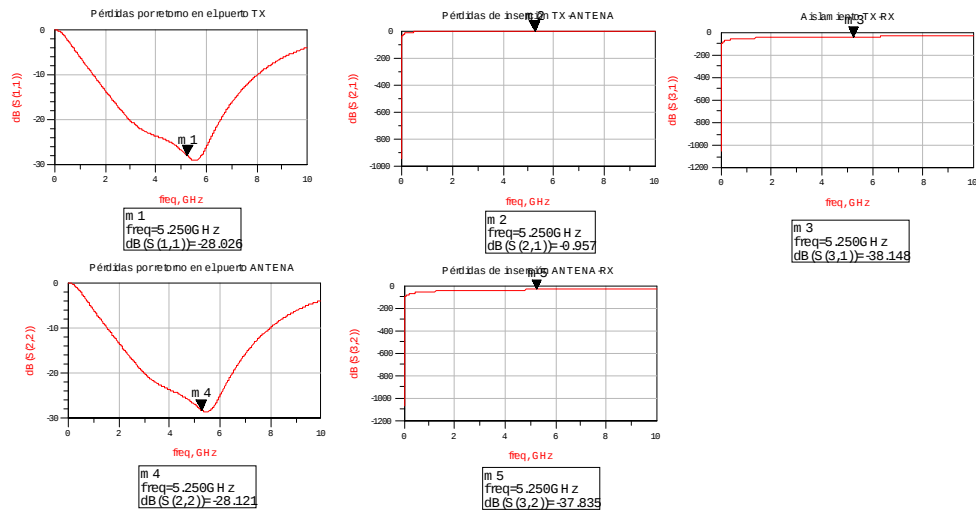


Figura 5.30

Para el modo recepción,  $V_c=-3$  V:

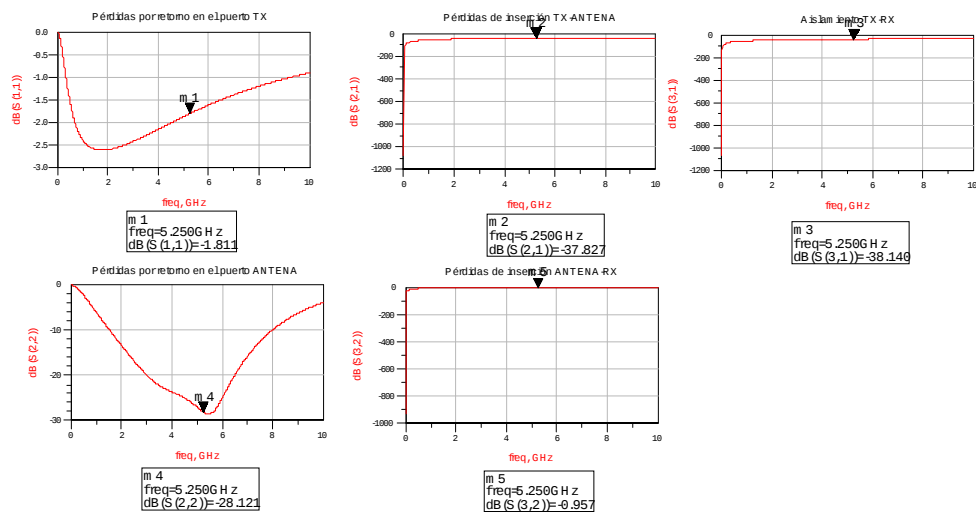


Figura 5.31

### - 10x50 y 4x50

Para el modo transmisión,  $V_c=0$  V:

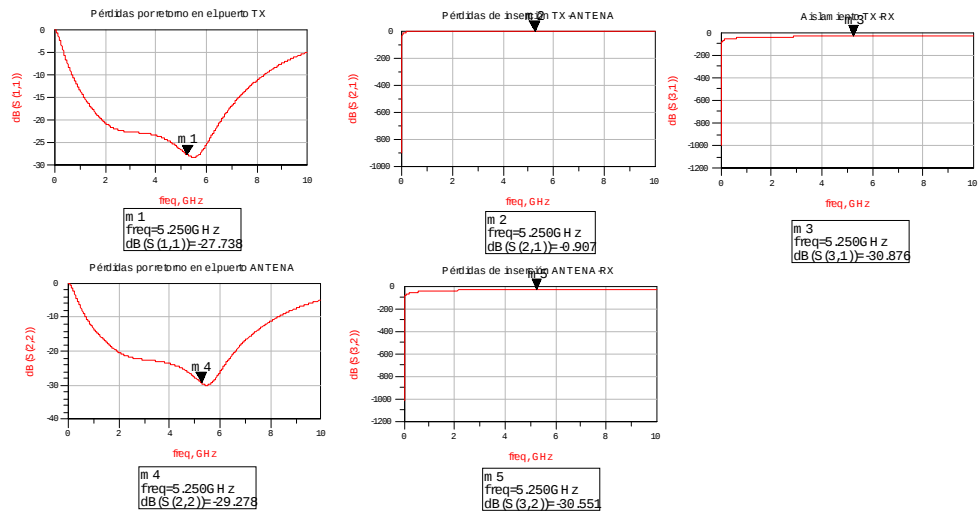


Figura 5.32

Para el modo recepción,  $V_c=-3$  V:

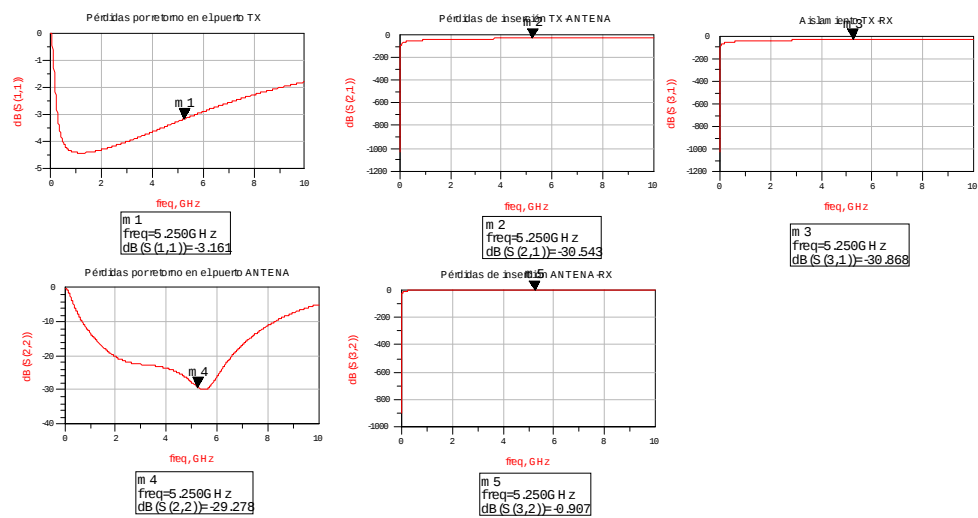


Figura 5.33

### - 10x50 y 6x50

Para el modo transmisión,  $V_c=0$  V:

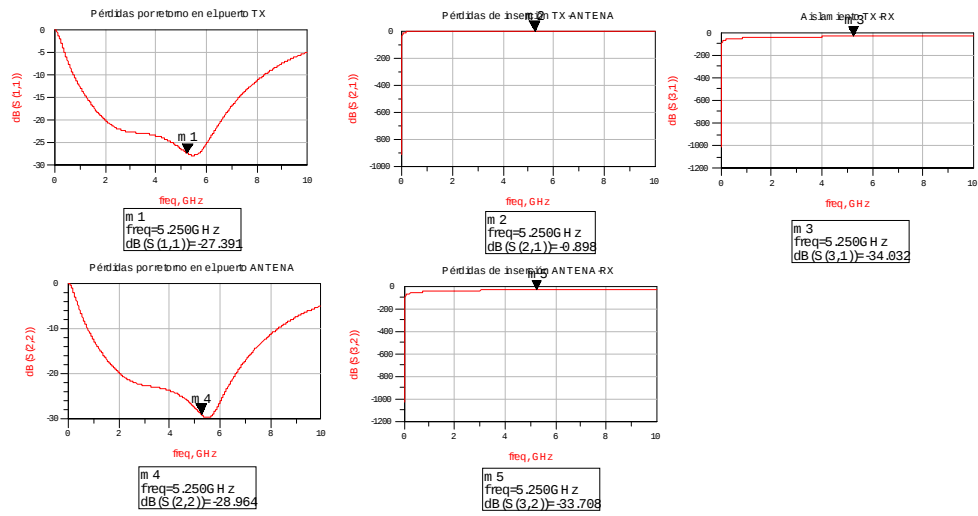


Figura 5.34

Para el modo recepción,  $V_c=-3$  V:

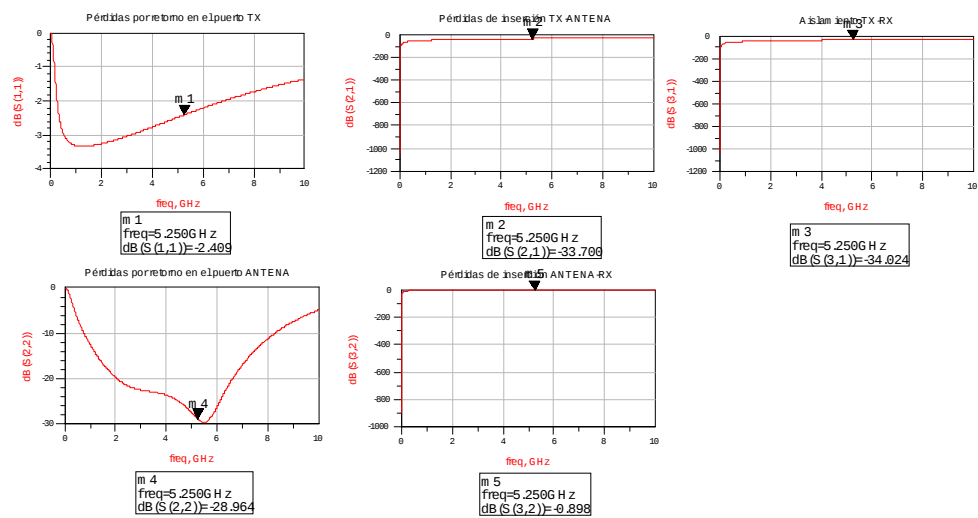


Figura 5.35

Y los valores de los elementos que resultaron:

|            | <b>6X50</b> | <b>8X50</b> | <b>10X50</b> | <b>10X50/4X50</b> | <b>10X50/6X50</b> |
|------------|-------------|-------------|--------------|-------------------|-------------------|
| <b>vL</b>  | 1.38536     | 1.27905     | 1.18151      | 1.02781           | 1.02781           |
| <b>vL1</b> | 1.3479      | 1.2321      | 1.16107      | 1.60001           | 1.60001           |
| <b>vC</b>  | 16.7484     | 11.0938     | 7.1872       | 18.6511           | 16.2243           |
| <b>vC1</b> | 5.70962     | 5.0462      | 3.50752      | 9.07044           | 8.45405           |

Tabla 5.3

De estos resultados se puede ver que los valores de las distintas configuraciones son muy parecidos, si bien parece que de nuevo la opción 10x50 tiene un poco más de ventaja, no sólo por sus buenos valores, sino también porque los valores de sus elementos son menores, lo que conlleva un menor espacio a la hora de la realización de su *layout*.

*b) Simulación de balance armónico*

Esta simulación, al igual que con el conmutador anterior, se ha realizado de dos formas distintas:

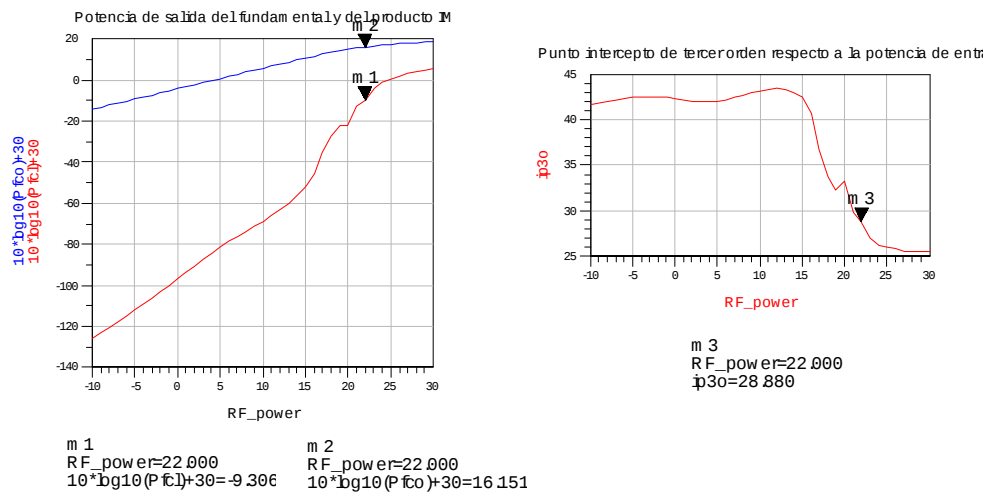
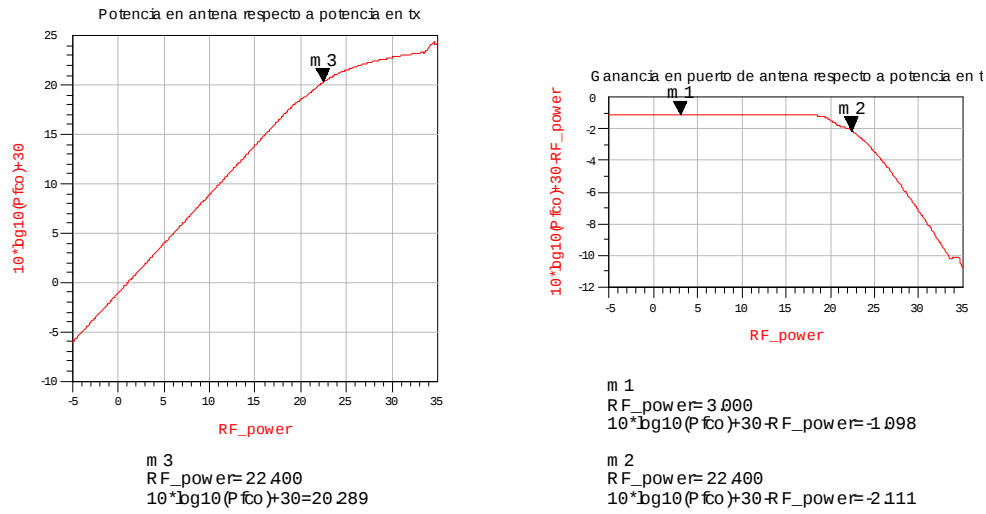
- Se ha introducido un pulso por el puerto de entrada (tx o antena), variando su potencia RF\_power dentro de un rango adecuado y se ha medido la potencia por la correspondiente salida (antena o rx). De aquí se han sacado dos representaciones: la potencia de salida respecto a la de entrada y la ganancia. Con esta última gráfica, se ha sacado el punto de compresión de 1 dB y anotado las potencias de entrada y salida a las que se produce esta caída de la ganancia.
- Posteriormente, se han introducido dos pulsos centrados en torno a 5.25 GHz y separados 100 kHz, cuyas potencias suman RF\_power. Lo que se ha hecho es representar las potencias de salida del fundamental y del producto de intermodulación de tercer orden respecto a la potencia de entrada RF\_power. Después, con ayuda de otra gráfica se ha medido el punto intercepto de tercer orden.

Por supuesto, lo que interesa es que tanto el punto de compresión de 1 dB como el punto intercepto de tercer orden se produzcan a potencias altas, ya que nos indicarán hasta qué potencias se puede usar el switch sin que sufra una gran degradación la señal. Cabe destacar que en el modo recepción éste no será un factor limitante, ya que se reciben potencias muy bajas; de todas formas, se han hecho también las simulaciones referidas a este modo para que se vea la gran simetría que presenta este switch.

Los resultados obtenidos fueron los siguientes:

- **6x50**

Para el modo transmisión (tx-antena):



Para el modo recepción (antena-rx):

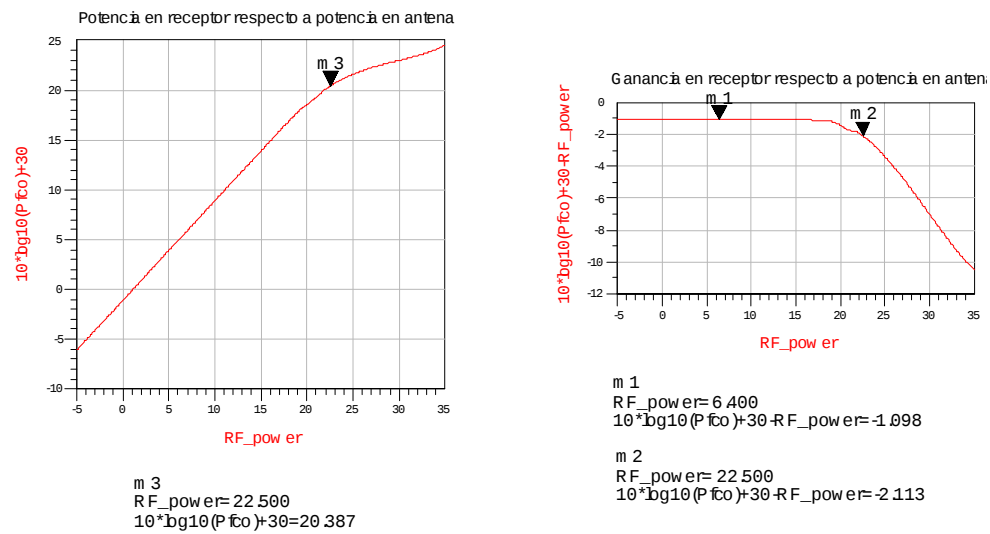


Figura 5.38

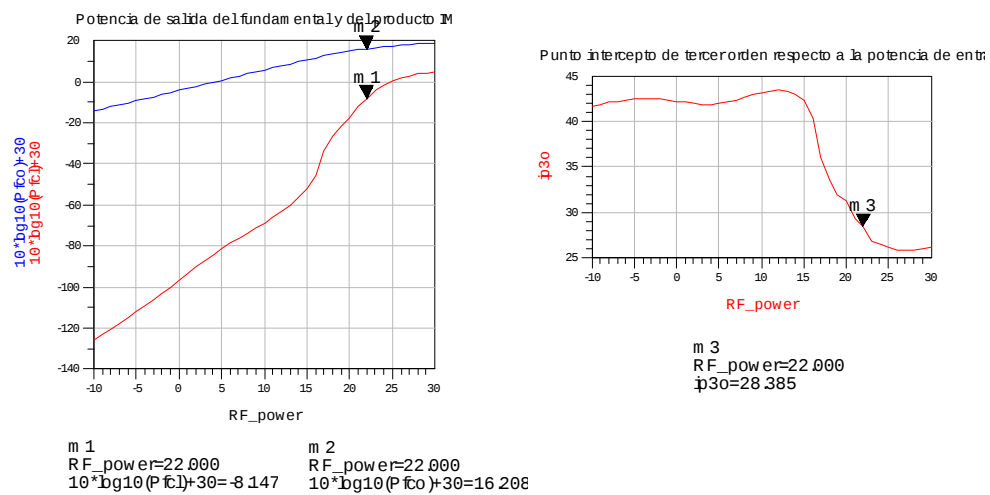


Figura 5.39

- 8x50

Para el modo transmisión (tx-antena):

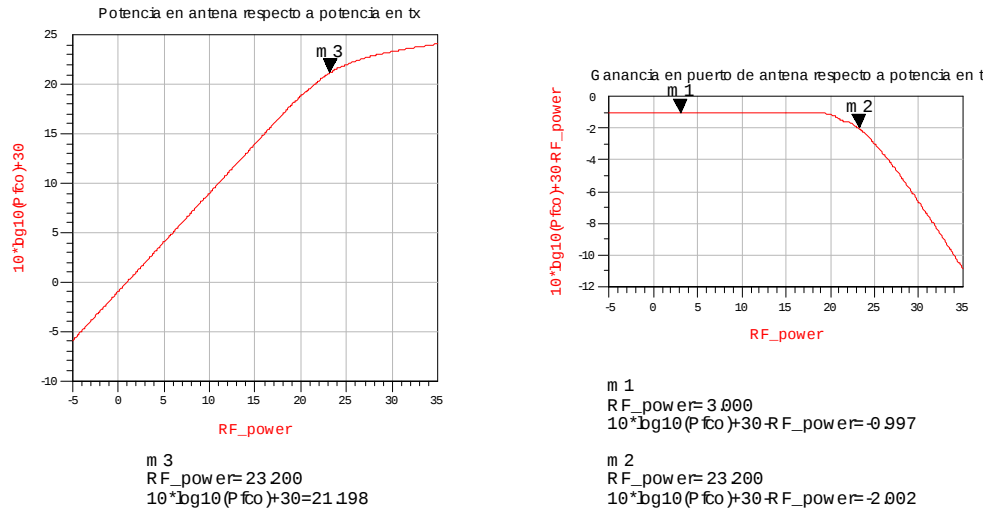


Figura 5.40

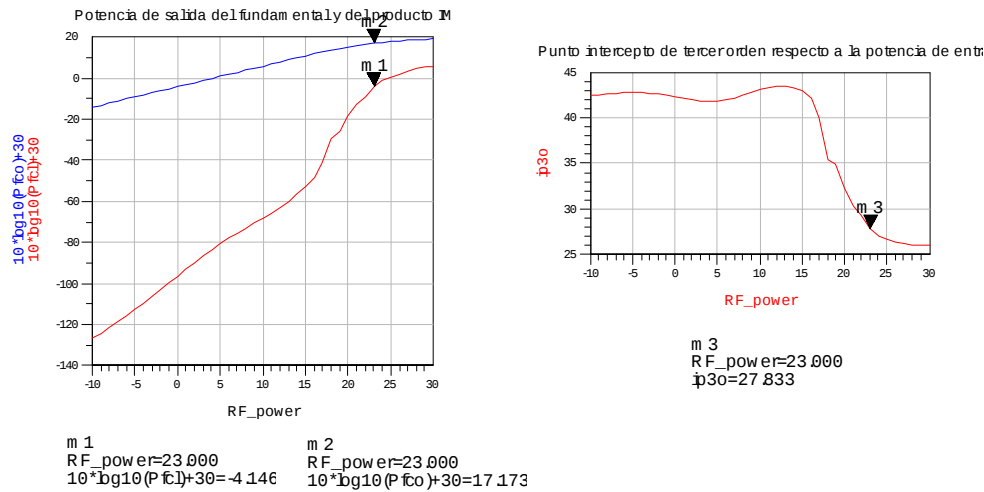


Figura 5.41

Para el modo recepción (antena-rx):

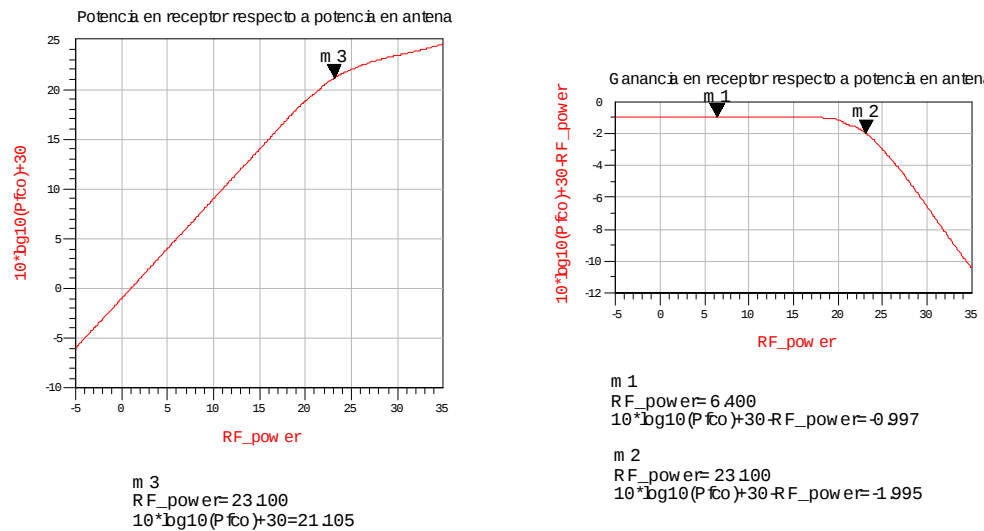


Figura 5.42

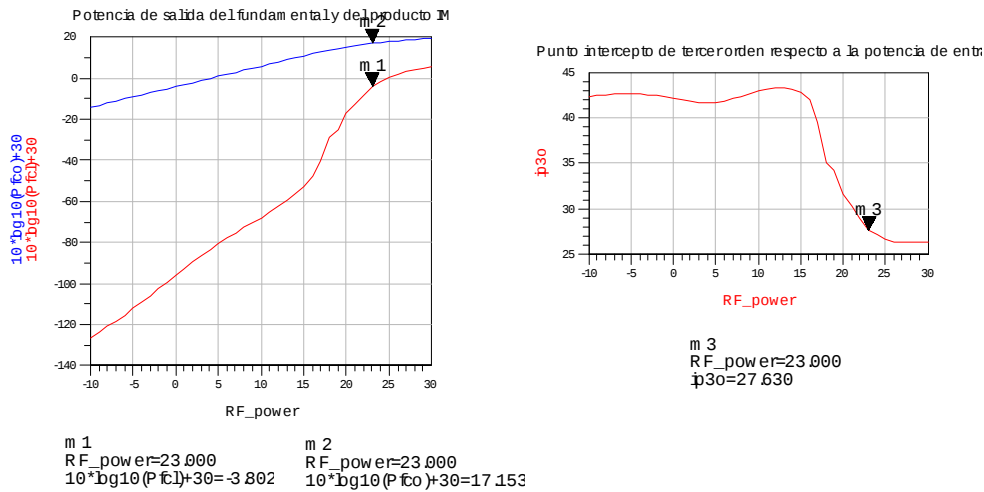


Figura 5.43

- **10x50**

Para el modo transmisión (tx-antena):

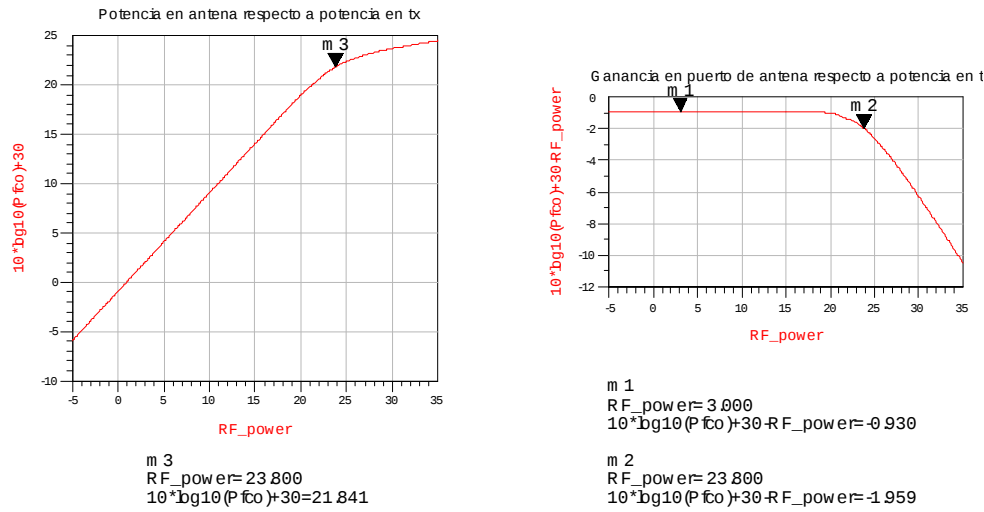


Figura 5.44

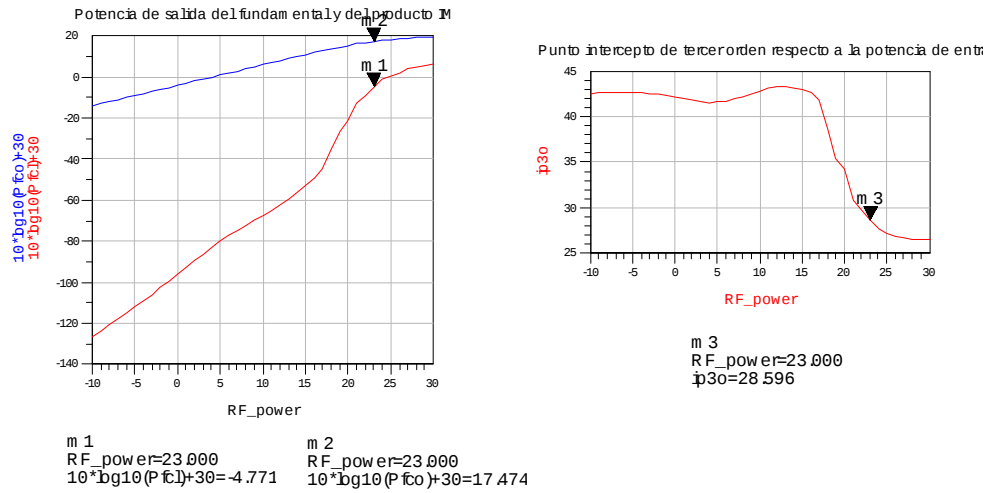


Figura 5.45

Para el modo recepción (antena-rx):

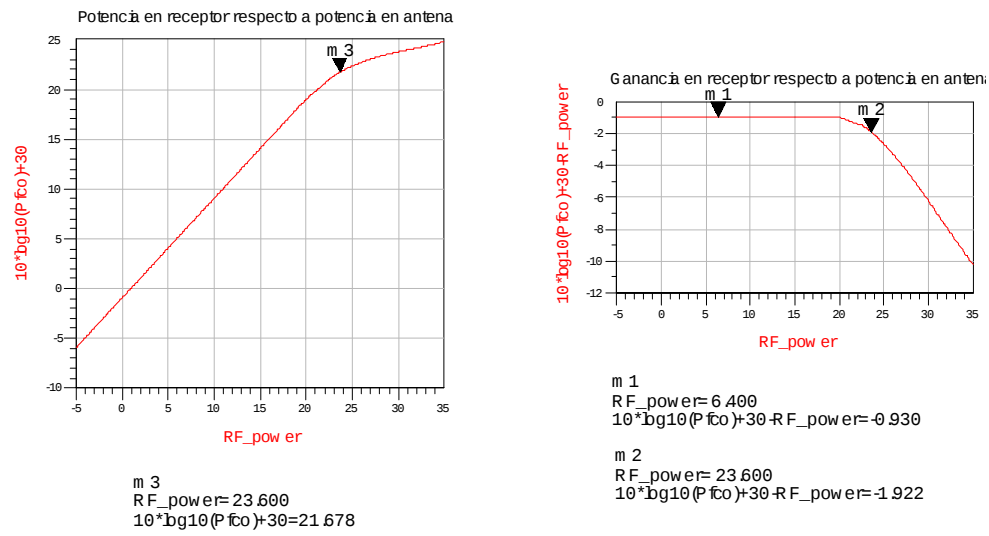


Figura 5.46

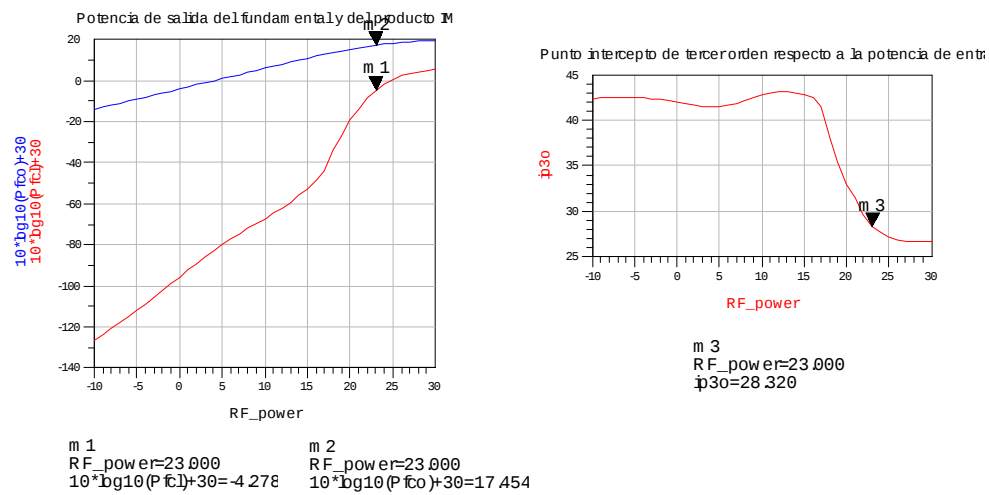


Figura 5.47

### - 10x50 y 4x50

Para el modo transmisión (tx-antena):

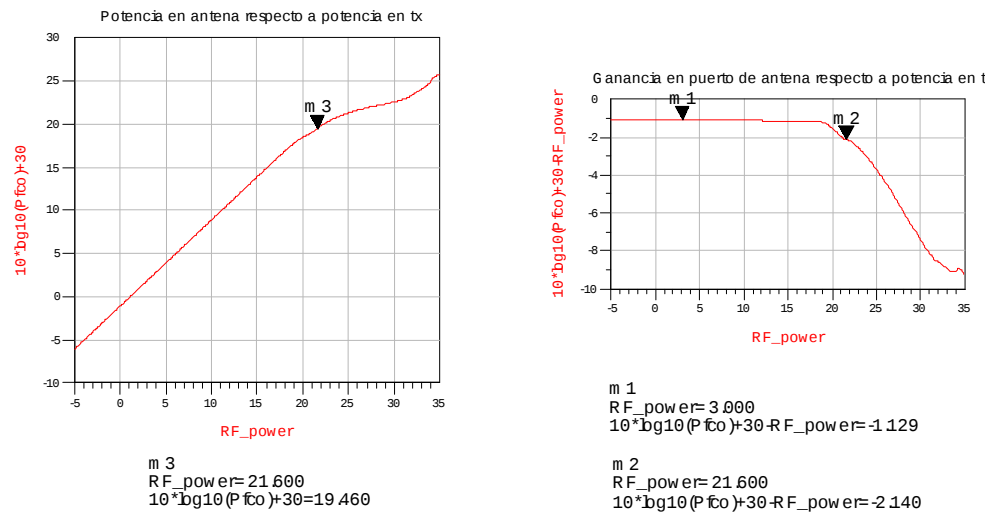


Figura 5.48

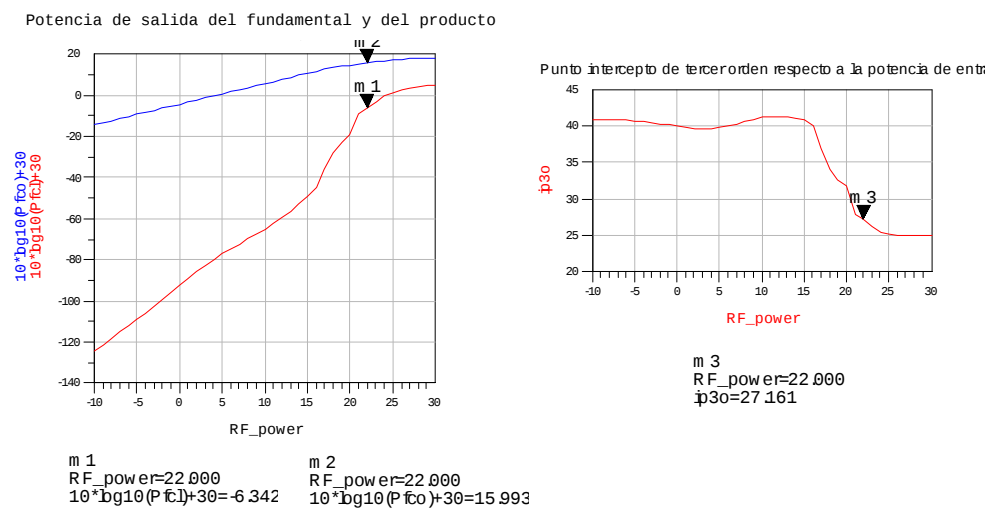


Figura 5.49

Para el modo recepción (antena-rx):

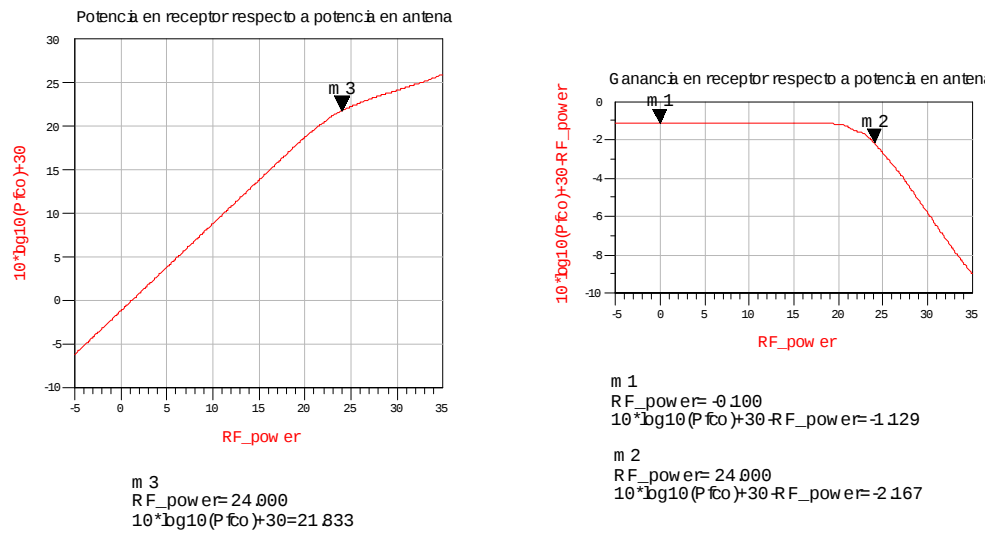


Figura 5.50

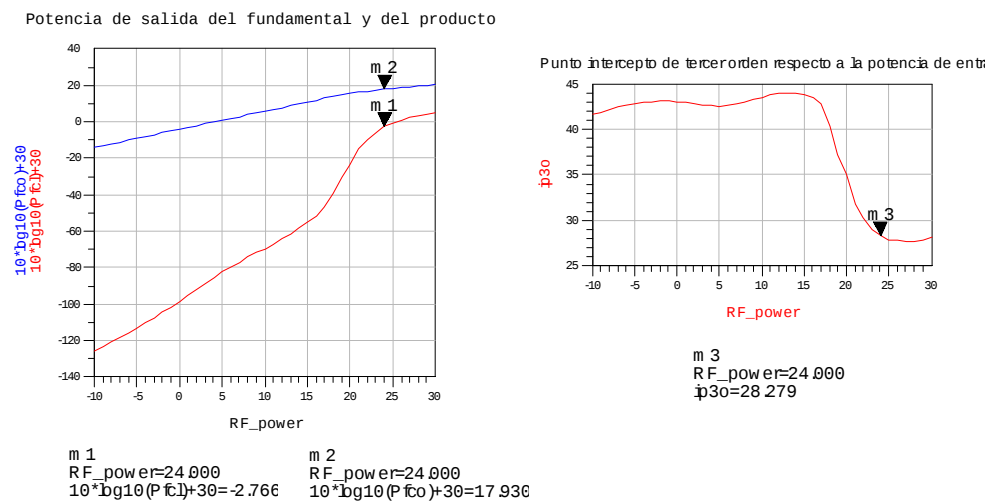


Figura 5.51

### - 10x50 y 6x50

Para el modo transmisión (tx-antena):

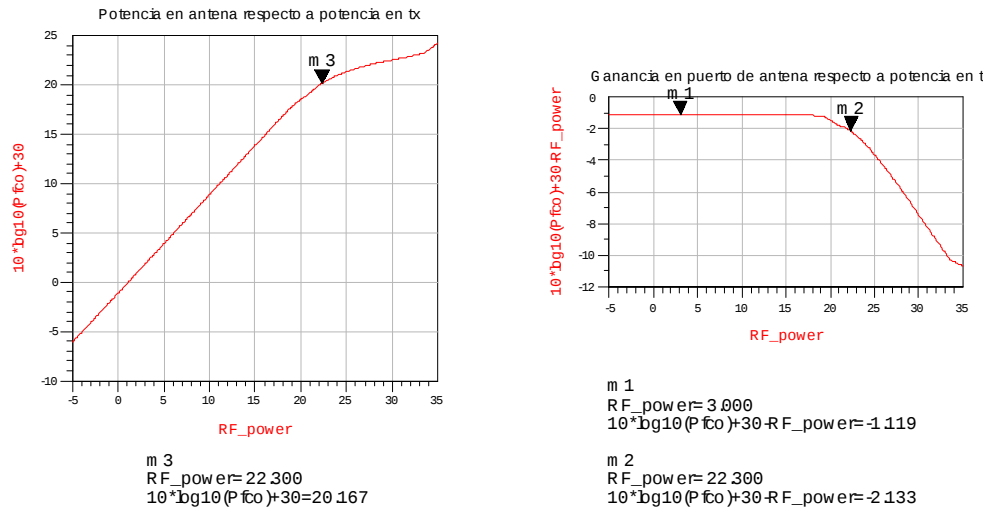


Figura 5.52

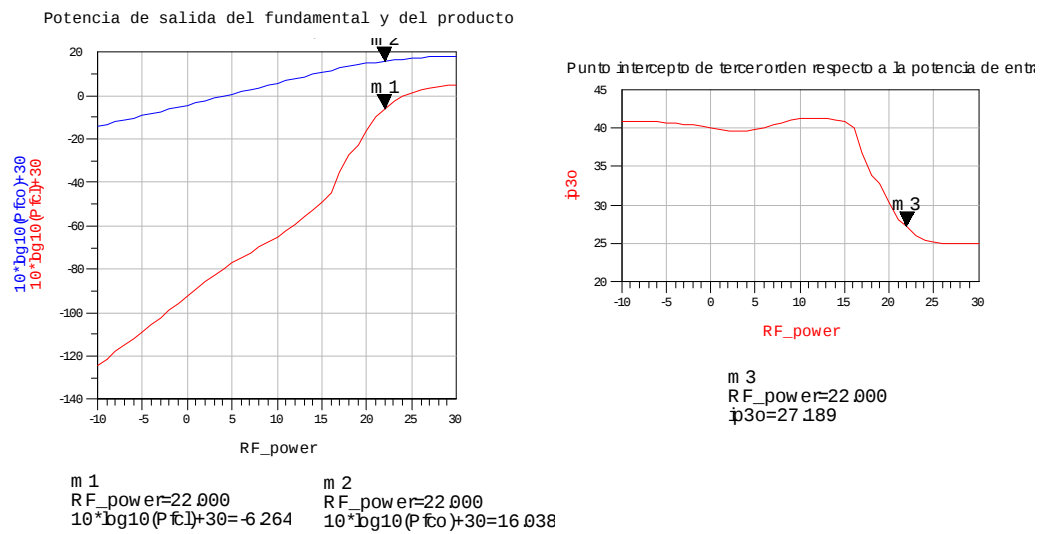


Figura 5.53

Para el modo recepción (antena-rx):

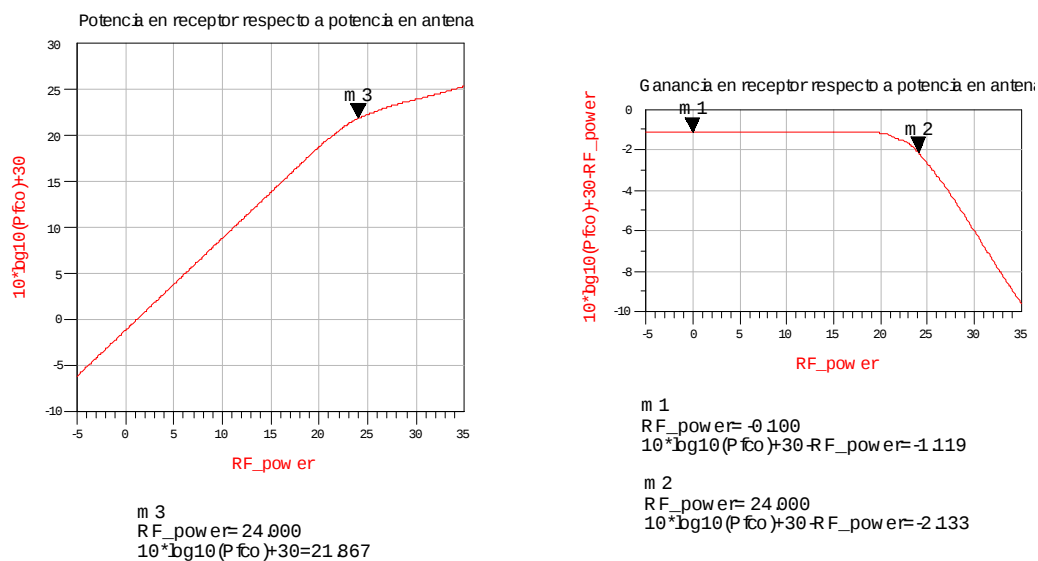


Figura 5.54

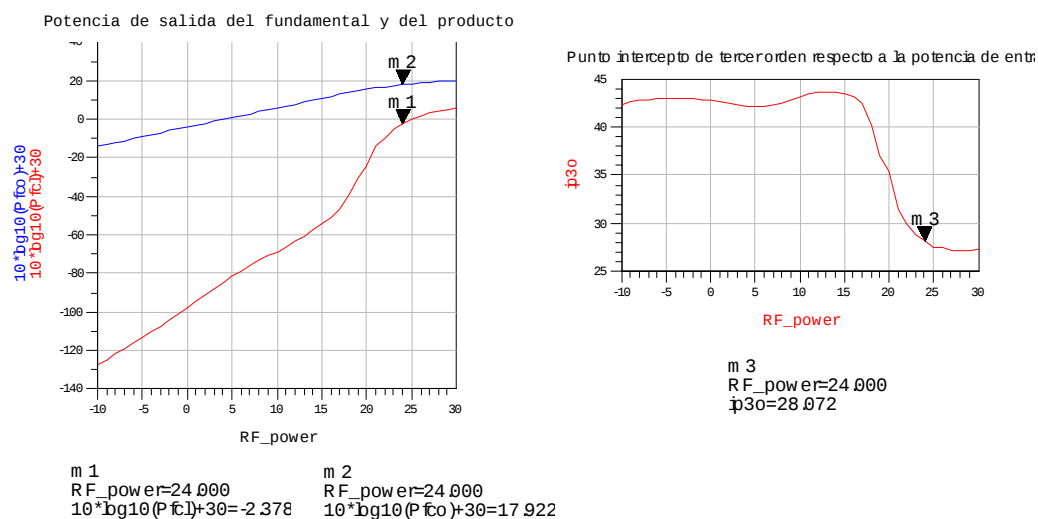


Figura 5.55

Tomando como ejemplo esta última figura, se observa en todas las representaciones de la potencia del producto  $IMD_3$  a la salida que tiene un comportamiento típico, empezando con pendiente 3 y después deformándose su forma. Como se dijo en el switch anterior, la medida del IP30 no es muy exacta. En este caso habría que tomar la parte con pendiente 3 de la curva de potencia del  $IMD_3$  y la parte lineal de la curva de la potencia de salida del fundamental, y prolongarlas hasta ver donde se cruzan. Esta medida sí la puede hacer bien el simulador tomando en la representación de IP30 un rango de potencia de entrada donde las dos curvas de potencia tienen un comportamiento típico o normal. En este caso concreto, se ve que IP30 sería de más de 42 dBm (rango de RF\_power de -10 a 15 dBm).

## 5.4. CONCLUSIONES Y SOLUCIÓN FINAL

Para tomar la decisión de qué configuración es la elegida para este switch, es adecuado hacer una tabla resumen donde se vean todos los datos obtenidos de las simulaciones.

|                                   | 6X50  |       | 8X50  |       | 10X50 |       | 10X50/4X50 |       | 10X50/6X50 |       |
|-----------------------------------|-------|-------|-------|-------|-------|-------|------------|-------|------------|-------|
|                                   | TX    | RX    | TX    | RX    | TX    | RX    | TX         | RX    | TX         | RX    |
| <b>Pérdidas por retorno (dB)</b>  | -29.8 | -29.7 | -29.3 | -29.0 | -28.0 | -28.1 | -27.7      | -29.3 | -27.4      | -29.0 |
| <b>Pérdidas de inserción (dB)</b> | -1.11 | -1.11 | 1.02  | 1.02  | 0.96  | 0.96  | 0.91       | 0.91  | 0.90       | 0.90  |
| <b>Aislamiento (dB)</b>           | 38.6  | 38.6  | 38.4  | 38.3  | 38.1  | 38.1  | 30.9       | 30.9  | 34.0       | 34.0  |
| <b>P<sub>o</sub> (1 dB) (dBm)</b> | 20.3  | 20.4  | 21.2  | 21.1  | 21.8  | 21.7  | 19.5       | 21.8  | 20.2       | 21.8  |
| <b>IP3o (dBm)</b>                 | > 42  | > 42  | > 42  | > 42  | > 42  | > 42  | > 39       | > 42  | > 39       | > 42  |

Tabla 5.4

Como se ve, los valores no varían mucho de uno a otro. El aspecto que hace declinar la balanza hacia la configuración de 10x50 es que sus elementos tienen valores mucho más pequeños, sobre todo las capacidades, que en los demás llegan a ser muy grandes. Además, ofrece unos valores muy buenos y regulares en todos los aspectos, por lo que es la configuración elegida para este switch.

## 6. SWITCH C

### 6.1. BASE DOCUMENTAL DEL SWITCH

El artículo en el que se basa este switch se titula “A Low-Voltage, High-Power T/R-Switch MMIC Using LC Resonators” ([14]). A continuación se muestra el mismo traducido al castellano.

#### 6.1.1. Introducción

La máxima potencia de transmisión,  $P_{\max}$ , y la linealidad de los switches serie/paralelo convencionales que usan FET's están limitadas por la variación de la tensión de RF a través del drenador (o fuente) y de la puerta de los FET's que se encuentran en estado de corte: serían SW-a y SW-c en la figura 6.1(a). Esta figura muestra un esquema típico de estos switches. Dada esta limitación, la única forma de conseguir que el switch trabaje con alta potencia y baja distorsión a la vez, es mediante una tensión de corte más alta de los FET's, mayor tensión de control y mediante la utilización de FET's *apilados*, para la distribución de la tensión de RF. Sin embargo, estas medidas también tienen sus limitaciones. Primero, el uso de tensión de alimentación más baja en equipos de comunicaciones móviles hace que sea muy difícil alcanzar los requerimientos de potencia de transmisión usando switches T/R convencionales. Esto es debido a que la máxima potencia de transmisión decrece rápidamente, por causa de la tensión de RF, si se usan tensiones de control por debajo de 3 V. Segundo, la transformación de impedancias es una técnica que coloca al FET en un punto de baja impedancia y de este modo reduce los picos de tensión en el dispositivo, pero ocupa un área grande en la implementación monolítica, más aún para bandas de frecuencia comerciales por debajo de 5 GHz.

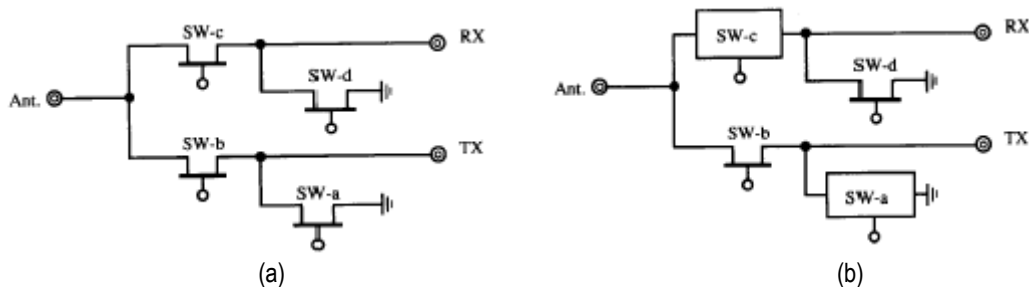


Figura 6.1

Con estas limitaciones, este artículo introduce una solución práctica y única para conmutación T/R de alta potencia y baja distorsión y con tensión de control baja. Se reemplazan SW-a y SW-c por circuitos resonantes LC, compuestos por inductancias de espiral, capacidades MIM y FET's de conmutación. Estos circuitos proporcionan un esquema de control inverso: el resonador LC está en corte cuando el FET's de conmutación está en conducción, y viceversa. De este modo, se permite a todos los FET's de conmutación estar en estado de conducción en el modo transmisión. Por tanto, la tensión entre drenador/fuente y puerta es cero, lo que elimina la limitación debida a la tensión de RF. La  $P_{\max}$  y la linealidad pueden ser mejoradas significativamente aumentando la anchura de las puertas de los FET's. Se ha diseñado y fabricado un switch T/R a 1.9 GHz, alcanzando una potencia de término de intermodulación de tercer orden de menos de -40 dB, para una potencia de transmisión mayor a 1 W, con tensiones de control de 0/-2 V.

### 6.1.2. Comparación entre potencias máximas transmitidas

Los estados de los FET's para los switches T/R convencional y propuesto para el modo transmisión son mostrados en la tabla 6.1; para compararlos, se usa un esquema de circuito equivalente para ambos switches, mostrado en la figura 6.1(b).

| Switches T/R                      | Sw-a y c | Estado de los FET's en Sw- |    |     |    | Prestaciones requeridas del FET |
|-----------------------------------|----------|----------------------------|----|-----|----|---------------------------------|
|                                   |          | a                          | b  | c   | d  |                                 |
| Switch T/R resonante LC propuesto |          | ON                         | ON | ON  | ON | Alta intensidad                 |
| Switch T/R con FET convencional   |          | OFF                        | ON | OFF | ON | Alta tensión e intensidad       |

Tabla 6.1

La máxima transferencia de potencia,  $P_{max}$ , para los switches T/R convencional y propuesto son, respectivamente, la ecuaciones (6.1) y (6.2) mostradas abajo, donde  $V_p$  es la tensión de *pinchoff* del FET,  $V_c$  es la tensión de control para los FET's en estado de corte,  $n$  es el número de FET's apilados en SW-a y SW-c, e  $I_{dss}$  y  $Q_L$  son, respectivamente, la corriente de saturación de los FET's en el circuito resonante LC y la  $Q$  cargada del switch T/R en el modo transmisión. El término  $Z_0$  es la impedancia del sistema.

$$P_{max} = \frac{2[n(V_c - V_p)]^2}{Z_0} \quad (6.1)$$

$$P_{max} = \frac{Z_0}{2} \left( \frac{I_{dss}}{Q_L} \right)^2 \quad (6.2)$$

La figura 6.2(a) muestra  $P_{max}$  para switches T/R convencionales, medida en el punto de compresión de 1 dB. Los cuadrados blancos (1-4), los cuadrados negros (5-7) y el triángulo blanco (8) se corresponden con switches T/R con FET's solitarios, FET's apilados y FET's multipuerta, respectivamente, para SW-a y SW-c. Las curvas sombreadas son la  $P_{max}$  calculada para un switch T/R con FET's solitarios ( $n=1$ ) y FET's apilados ( $n=5$ ), donde  $V_p$  está entre  $-1$  y  $-2$  V. Para transmitir 1 W, por ejemplo, es necesaria una tensión de control de al menos 6 V para  $n=1$ ; además, para tener tensiones de control de menos de 2 V sería necesario por lo menos 5 FET's apilados. Sin embargo, en la práctica, el número de FET's apilados está limitado por debajo de 3, ya que un número mayor hace aumentar la resistencia en serie, y por consiguiente, provoca una degradación del rendimiento del switch.

En la figura 6.2(b) se muestra una comparación de  $P_{max}$  para los switches T/R convencional y propuesto, con funcionamiento de 2 V. La anchura de puerta de cada FET en SW-a y SW-c, la cual es proporcional a  $I_{dss}$ , es usada como parámetro para la comparación.

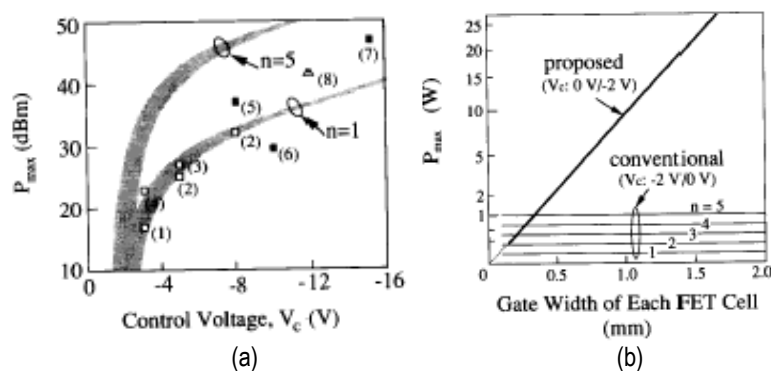


Figura 6.2

En el switch T/R resonante LC propuesto se observa que la  $P_{\max}$  aumenta conforme aumenta la anchura de la puerta. En cambio, para los switches convencionales, se mantiene constante, para cada  $n$ .

### 6.1.3. Diseño del switch T/R

#### a) Circuitos resonantes LC

En la figura 6.3 se muestran los cuatro tipos de circuitos resonantes LC con FET's. Un par de FET's de conmutación, FET SW<sub>1</sub> y FET SW<sub>2</sub>, son combinados con inductancias y capacitancias.

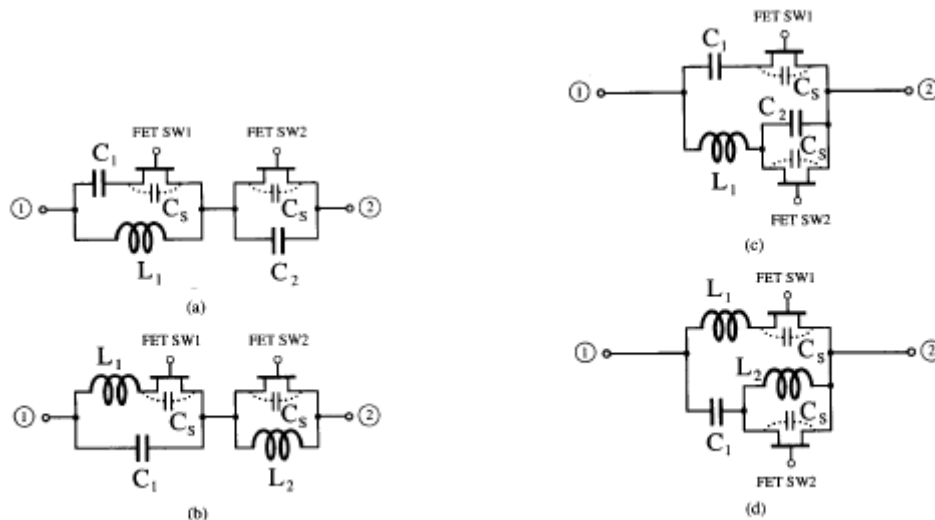


Figura 6.3

Estos circuitos están abiertos (off) entre los puertos 1 y 2 cuando los FET's están en estado de conducción, debido a la resonancia en paralelo de  $L_1$  y  $C_1$ . Sin embargo, estos circuitos permiten el paso de señal (on) entre los puertos 1 y 2 cuando los FET's están en estado de corte debido a la resonancia serie entre el inductor  $L_1$  y la capacidad  $C_2$ , en paralelo con  $C_S$  en las figuras 6.3(a) y 6.3(c), o debido a la resonancia serie de  $C_1$  y  $L_2$  en paralelo con  $C_S$  en la figuras 6.3(b) y 6.3(d). La capacidad  $C_S$  es la capacidad  $C_{ds}$  del FET en estado de corte. Cuando los FET's son ideales,  $C_1$  y  $C_2$  son diseñadas para que tengan el mismo valor. Sin embargo, debido a que  $C_S$  no es despreciable,  $C_1$  y  $C_2$  son calculadas por separado para satisfacer las condiciones de la tabla 6.2 y cancelar el efecto de  $C_S$  en la condición de resonancia, donde la frecuencia de resonancia  $\omega_0$  es igual a  $(L_1 C_1)^{-1/2}$ .

| Tipo | Relación                                    |
|------|---------------------------------------------|
| (a)  | $C_2 + C_S + C_1 C_S / (C_1 + C_S) = C_1$   |
| (b)  | $C_S + C_1^2 / (C_1 - C_S) = C_1 L_1 / L_2$ |
| (c)  | $C_2 + C_S = C_1$                           |
| (d)  | $L_2 (C_2 + C_S) = L_1 C_1$                 |

Tabla 6.2

#### b) Switch T/R

En la figura 6.4 se observa un switch propuesto con el circuito resonante LC tipo a. Estos resonadores LC son usados en paralelo en la parte de transmisión y en serie en el brazo de recepción. Son situados en lugares donde la variación de tensión

de RF alcanza valores muy grandes en el modo transmisión. En este modo todos los FET's están en estado de conducción ( $V_c=0$  V), de tal forma que la variación de tensión de RF a través del drenador y fuente del FET es muy pequeña, y por tanto el switch funciona en modo corriente libre de la limitación de la tensión de RF. Una tensión de control tan pequeña como dos veces la tensión de *pinchoff* del FET es suficiente como para conmutar del modo transmisión al modo recepción.

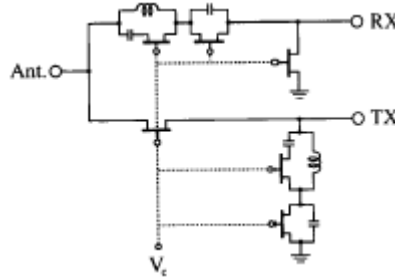


Figura 6.4

Los aspectos a considerar en el diseño del switch son: límite en el ancho de puerta debido a la capacidad de corte  $C_s$ , y balance de ancho de banda entre los brazos TX y RX. La máxima anchura de puerta,  $W_{gmax}$ , para el resonador LC es determinada imponiendo que  $C_2$  sea cero en la condición del tipo a de la tabla 6.1; la solución se muestra en la ecuación (6.3):

$$C_1 = 1.6C_s = 1.6C_{s0}W_{gmax} \Rightarrow W_{gmax} = \frac{C_1}{1.6C_{s0}} = \frac{1}{1.6\omega_0^2 L_1 C_{s0}} \quad (6.3)$$

El balance de ancho de banda entre los brazos TX y RX es determinado cuando los factores Q cargada para los modos transmisión y recepción son iguales:

$$\frac{\omega_0}{R_{ind} + 2Z_0} = \frac{2\omega_0 C_1}{2\omega_0^2 C_1^2 (R_{ind} + R_{on}) + \frac{2}{Z_0}} \quad (6.4)$$

donde  $R_{ind}$  y  $R_{on}$  son, respectivamente, la resistencia serie de  $L_1$  y del FET en estado de conducción. El miembro a la izquierda y a la derecha representan, respectivamente, la Q cargada para los modos recepción y transmisión. Como la frecuencia de resonancia es la misma para ambos modos, se puede obtener una expresión para  $L_1$ :

$$(\omega_0 L_1)^2 = Z_0(2Z_0 - R_{on}) \approx 2Z_0^2 \quad (6.5)$$

Finalmente, usando las ecuaciones (6.3) y (6.5), tenemos que la máxima anchura de puerta para un sistema de 50  $\Omega$  es:

$$W_{gmax}(mm) = 1.4[f_0(GHz) \cdot C_{s0}(pF/mm)]^{-1} \quad (6.6)$$

El valor de  $W_{gmax}$  es 0.7 mm cuando la frecuencia de resonancia es 2 GHz y  $C_{s0}$  es 1 pF/mm. Como se puede ver en la figura 6.2(b) es posible transmitir en teoría una potencia de hasta 5 W. Se observa en la ecuación (6.6) que conforme  $C_{s0}$  es menor, la anchura deja de ser una limitación. Esta capacidad puede ser cancelada conectando un elemento inductivo adicional, lo cual es sobre todo deseable para frecuencias más altas.

La máxima anchura de puerta para el resonador tipo c es obtenida mediante el mismo procedimiento. Resulta que es 1.6 veces mayor que para el tipo a. Los otros dos tipos, b y d, están libres de estas limitaciones. Sin embargo, su características de conducción son complejas cuando  $C_S$  se acerca o es mayor que  $C_1$ , debido a varias resonancias que se producen en el esquema.

Un switch T/R usando resonadores del tipo a fue testado para conformar su potencial. Los resultados se muestran en la siguiente sección.

#### 6.1.4. Resultados medidos

Se fabricó un switch T/R a 1.9 GHz con resonadores LC, usando tecnología MMIC uniplanar, capaz de manejar potencias de RF mayores a 1 W, con tensiones de control de 0/-2 V. Los parámetros de fabricación fueron:  $L_1=7$  nH,  $C_1=1$  pF,  $C_2=0.5$  pF,  $C_{SO}=0.625$  pF/mm,  $R_{on}=2$   $\Omega$ .mm y  $I_{dss}=0.2$  A/mm. La Q cargada para el modo transmisión fue calculada como  $\omega_0(L_1/2)/(2Z_0)=0.44$ .

##### a) Prototipo del switch T/R

Se integraron en un chip de GaAs de 2x2 mm seis FET's de 0.48 mm de anchura de puerta, inductancias en espiral y capacidades MIM, como es mostrado en la figura 6.5. La tensión de *pinchoff* es -1 V. El factor Q de la inductancia de espiral a 1.9 GHz estaba entre 10 y 15.

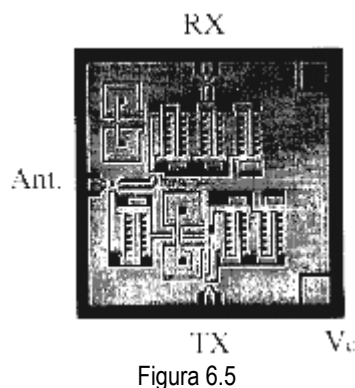


Figura 6.5

Se ha comparado la linealidad de este switch respecto a un switch convencional, midiendo la potencia de salida respecto a la de entrada, por la que se ha introducido dos tonos (figura 6.6). El switch T/R resonante LC (línea continua) es bastante lineal y muestra una potencia de intermodulación de tercer orden de menos de -40 dB para una potencia de entrada de hasta 28 dBm. La máxima potencia de transmisión para un tono es de 31 dBm.

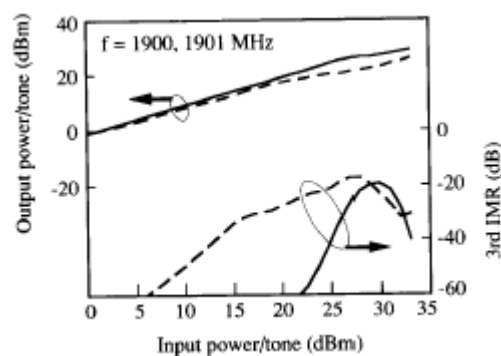


Figura 6.6

En cambio, con el switch convencional (línea discontinua), la linealidad se degrada para una potencia de entrada de unos 16 dBm. El switch propuesto, para el modo recepción, no consigue los mismos buenos resultados que en el modo transmisión, pero es suficientemente alta una linealidad de potencia de cerca de 0 dBm.

La figura 6.7(a) muestra la respuesta en frecuencia medida (línea discontinua) y calculada (línea continua) del switch T/R propuesto en el modo transmisión. Es posible comprobar también que la respuesta en frecuencia no varía mucho si se toma una  $V_c$  de  $-5$  V en vez de  $-2$  V, como se puede observar en la figura 6.7(b).

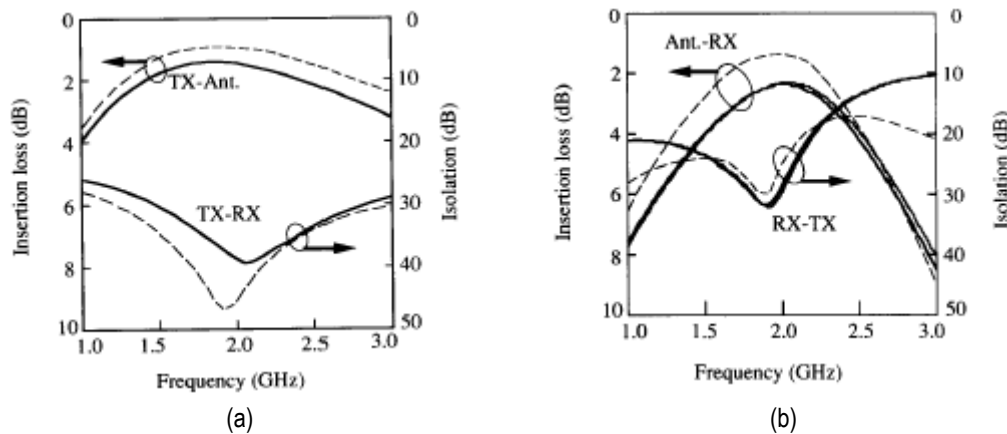


Figura 6.7

#### b) Switch T/R mejorado

La máxima potencia de entrada medida, 31 dBm, en el puerto de transmisión es cerca de 3 dB menor que la predicha en la figura 6.2(b). Esto es debido a que la corriente que atraviesa el FET serie es de cerca del doble que la corriente que atraviesa los FET's de los circuitos resonantes LC. Se debe a que la Q cargada en el modo transmisión es de 0.44. Para mostrar el potencial completo del switch, se dobló la anchura de puerta del FET serie, añadiendo otro idéntico. Se puede observar en las figuras 6.8(a) y 6.8(b).

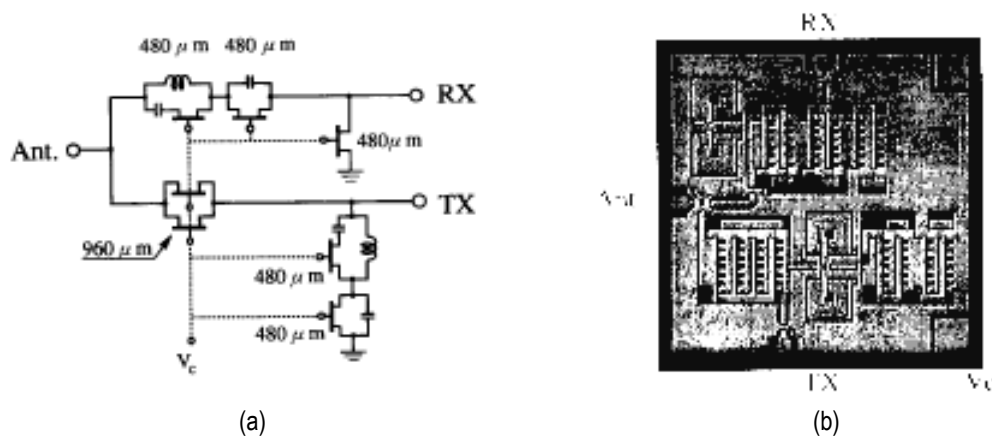


Figura 6.8

En la figura 6.9 se muestran los resultados. Como se puede observar, la potencia de salida es lineal hasta una potencia de transmisión de hasta 34 dBm. La máxima potencia de entrada usando dos tonos alcanza unos 31 dBm. Además, se consigue que las pérdidas de inserción se reduzcan 0.2 dB.

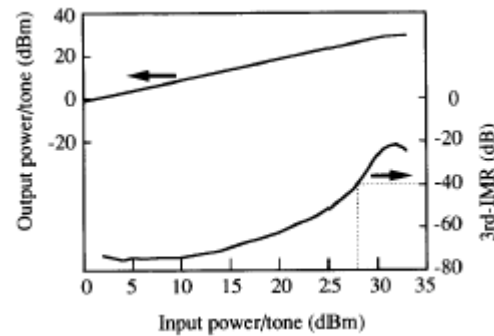


Figura 6.9

### c) Tiempos de subida y caída

Las figuras 6.10(a) y 6.10(b) muestran los tiempos de subida y caída para una tensión de control de 100 kHz y 50 % de *duty-cycle*. Los tiempos de subida y caída del pulso de control son de 0.9 ns. Se observa, que para nuestro switch da un tiempo de subida de 3.2 ns y de bajada de 1.7 ns. Estos resultados son equivalentes a los que se obtienen con switches convencionales.

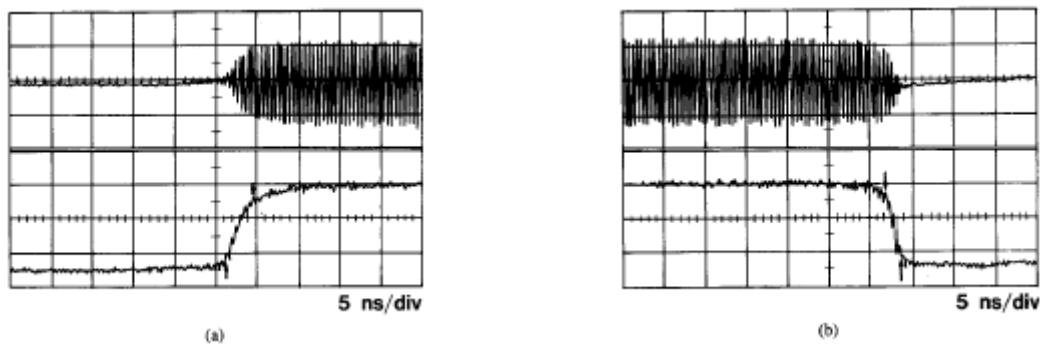


Figura 6.10

### 6.1.5. Mejora de la respuesta en frecuencia

Las pérdidas de inserción en el modo recepción es 1 dB mayor que en el modo transmisión, y el ancho de banda para el brazo RX es más estrecho que para el brazo TX. El método usado para resolver este problema es mostrado en la figura 6.11, donde las inductancias  $L_a$  y  $L_b$  son añadidas al switch T/R de la figura 6.4.

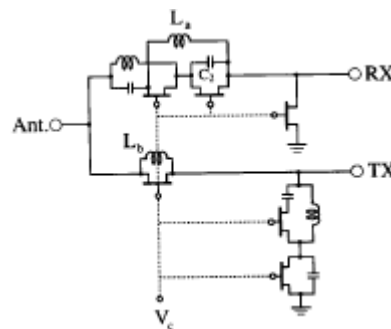


Figura 6.11

La inductancia  $L_a$  dobla el camino de la señal en el brazo de recepción para reducir las pérdidas de inserción y el factor Q; sin embargo, sólo contribuye cuando

los FET's están en corte (modo recepción). La capacidad  $C_2$  es rediseñada para mantener la frecuencia de resonancia como  $(L_1 C_1)^{-1/2}$ . La inductancia  $L_b$  cancela la capacidad  $C_s$  del FET serie para mejorar el rendimiento total. La figura 6.12 muestra el rendimiento del modo recepción, donde  $L_a=L_b=L_1$  y  $C_2=0$ .

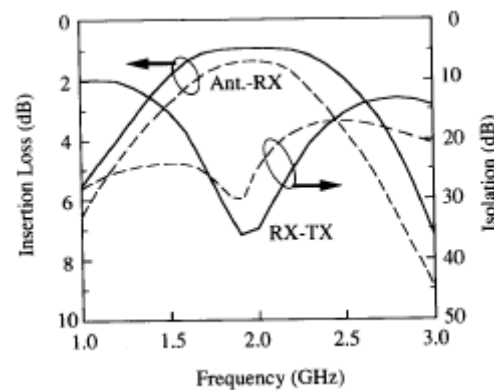


Figura 6.12

### 6.1.6. Conclusiones

Se ha conseguido realizar un switch T/R monolítico de baja tensión y alta potencia, usando una novedosa estructura de resonador LC con FET's. La posibilidad de este switch de manejar altos niveles de potencia con baja distorsión y usando un bajo nivel de tensión lo hace adecuado para aplicaciones de equipos de comunicaciones móviles.

## **6.2. MODIFICACIONES Y COMENTARIOS TEÓRICOS**

En este switch pocos cambios se han realizado en cuanto a la estructura inicial mostrada por el artículo. Lo que se hizo fue imitar los pasos que seguía el artículo. Se verá en el siguiente punto que sí hay algunos elementos que ha sido necesario introducir para el correcto funcionamiento del switch, pero no se nombran aquí por quedar un poco fuera de contexto, ya que se comprenderán mejor conforme se avance en el diseño.

Como ocurría en el switch anterior, en el artículo se nos dice que se trabaja con FET's, por lo que esto sí será una modificación importante respecto a nuestro diseño, ya que al usar HEMT's el comportamiento del conmutador final no será el mostrado en el artículo.

## 6.3. DISEÑO, SIMULACIONES Y RESULTADOS

### 6.3.1. Diseño teórico previo

Lo primero que se hizo fue estudiar de forma teórica el circuito resonante LC tipo a facilitado por el artículo y que se muestra en la siguiente figura.

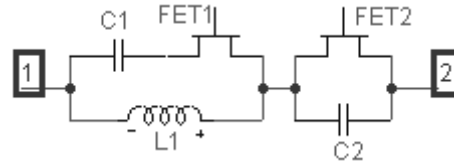


Figura 6.13

Comprobemos si la relación dada por la tabla 6.2 para el resonador tipo a concuerda con nuestros resultados teóricos. Suponemos que los transistores están en corte, y los sustituimos por sus capacidades de *pinchoff*  $C_s$ .

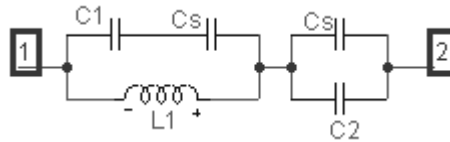


Figura 6.14

Operando obtenemos que la impedancia tiene una expresión:

$$Z = \frac{1}{j\omega \frac{C_1 C_s}{C_1 + C_s} + \frac{1}{j\omega L_1}} + \frac{1}{j\omega (C_2 + C_s)} \quad (6.7)$$

Queremos, que a una frecuencia de 5.25 GHz  $Z=0$ :

$$-j\omega (C_2 + C_s) = j\omega \frac{C_1 C_s}{C_1 + C_s} + \frac{1}{j\omega L_1} \quad (6.8)$$

Por tanto, usando que  $L_1 C_1 = \omega^{-2}$ :

$$C_2 + C_s + \frac{C_1 C_s}{C_1 + C_s} = \frac{1}{\omega^2 L_1} = C_1 \quad (6.9)$$

Para tener un valor de  $C_s$  adecuado para empezar a trabajar, hacemos uso de la figura 4.13 y las expresiones (4.15) y (4.16), dadas para el switch A, obteniendo un valor para  $C_s$  aproximado de 0.188 pF (ecuación (4.17)).

Siguiendo con los pasos mostrados por el artículo, lo siguiente que hace es calcular una expresión para  $L_1$ , imponiendo la condición de que el ancho de banda para transmisión y recepción sea el mismo (ecuación (6.4)). Si hacemos uso de ella:

$$L_1 = \frac{Z_0 \sqrt{2}}{\omega_0} = \left[ \begin{matrix} Z_0 = 50\Omega \\ \omega_0 = 2\pi \cdot 5.25\text{GHz} \end{matrix} \right] \approx 2.14361\text{nH} \quad (6.10)$$

Por tanto, para  $C_1$ :

$$C_1 = \frac{1}{\omega_0^2 L_1} \approx 0.428722 \text{ pF} \quad (6.11)$$

En la ecuación (6.6) el artículo nos daba una expresión para calcular la anchura máxima de puerta permitida. Si hacemos uso de ella:

$$\begin{aligned} W_{gmax}(mm) &= 1.4[f_0(GHz) \cdot C_{so}(pF/mm)]^{-1} = \\ &= \left[ \begin{array}{l} f_0(GHz) = 5.25 \\ C_{so}(pF/mm) = 0.376 \end{array} \right] \approx 0.7 \end{aligned} \quad (6.12)$$

Como se observa, para nosotros no será una limitación, ya que la máxima anchura de puerta que la tecnología nos permite es de 0.5 mm.

Como tenemos  $C_1$  y  $C_s$ , podemos calcular un valor adecuado para  $C_2$  haciendo uso de la ecuación (6.9). Haciendo los cálculos, se obtiene un valor de 0.11 pF.

Un aspecto interesante que se refleja en el artículo es la comparación entre la potencia máxima de transmisión para un switch convencional y para el switch propuesto. Para calcular estas potencias usamos las ecuaciones (6.2) y (6.3):

$$P_{max(convencional)} = \frac{2[n(V_c - V_p)]^2}{Z_0} = \left[ \begin{array}{l} n = 1 \\ V_c = -3V \\ V_p = -0.9V \end{array} \right] = 0.441W \Rightarrow 26.4dBm \quad (6.13)$$

$$P_{max(propuesto)} = \frac{Z_0}{2} \left( \frac{I_{dss}}{Q_L} \right)^2 = \left[ \begin{array}{l} I_{dss} = 0.250A/mm \\ Q_L = \frac{\omega_0 L_1 / 2}{2Z_0} = 0.354 \end{array} \right] = 12.5W \Rightarrow 41dBm \quad (6.14)$$

Hay que hacer notar que estos valores son ideales; en realidad, como veremos, se tienen unos valores de unos 10 dBm menos. Lo que sí es cierto y se puede observar en estos resultados es la diferencia de potencia máxima transmitida entre uno y otro.

### **6.3.2. Simulaciones y resultados**

#### **6.3.2.1. Simulaciones del switch con elementos ideales**

##### *a) Simulación de parámetros S*

Lo primero que se hizo fue tomar el circuito resonante y estudiarlo en sus dos configuraciones, tanto en serie como en paralelo. Como tamaño inicial del transistor, se tomó el máximo posible, 10x50, pudiendo variar este valor conforme fueran avanzando las simulaciones.

Se puso en paralelo y se introdujeron los valores de  $L_1$ ,  $C_1$  y  $C_2$  calculados de forma teórica. Se observó que en estado de corte ( $V_p = -2V$ ) la resonancia no se producía a nuestra frecuencia, 5.25 GHz, por lo que se dedujo que el valor de  $C_2$  no era el adecuado para anular el efecto de la capacidad de *pinchoff*. Por tanto, se optimizó el valor de  $C_2$  para que el circuito se comportara como un cortocircuito, es decir, para que no dejara pasar nada de un puerto a otro. El valor obtenido se muestra en la figura 6.15.

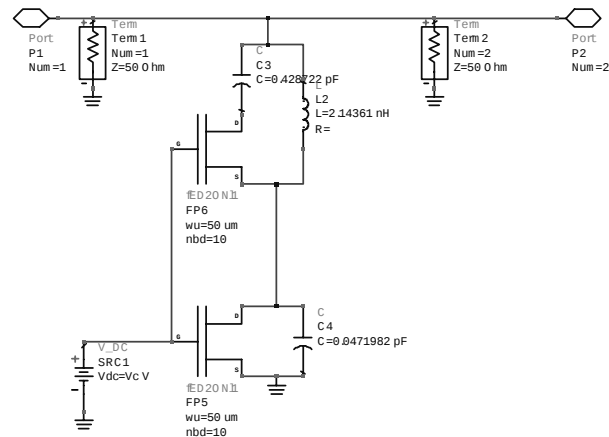


Figura 6.15

Posteriormente, se optimizó el valor de  $V_c(\text{off})$  para conseguir, al igual que antes, que el circuito se comporte como un cortocircuito lo más perfecto posible. Se hizo y se obtuvo una  $V_c(\text{off})$  de  $-1.9$  V. Por tanto, en adelante, nuestro switch sería de configuración 0/ $-1.9$  V ( $V_c(\text{transmisión})/V_c(\text{recepción})$ ). Para  $V_c = -1.9$  V, se obtuvo lo siguiente:

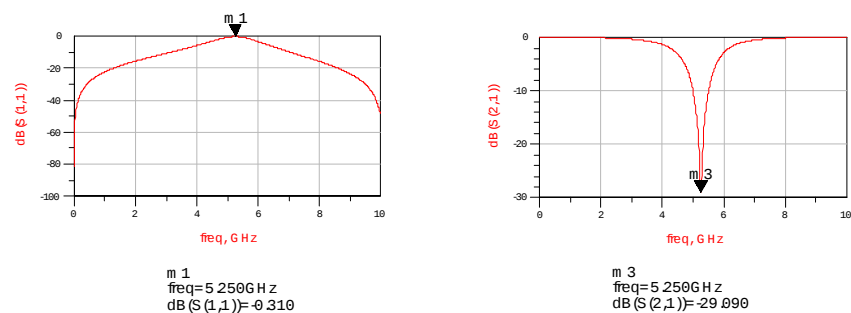


Figura 6.16

Para  $V_c = 0$  V:

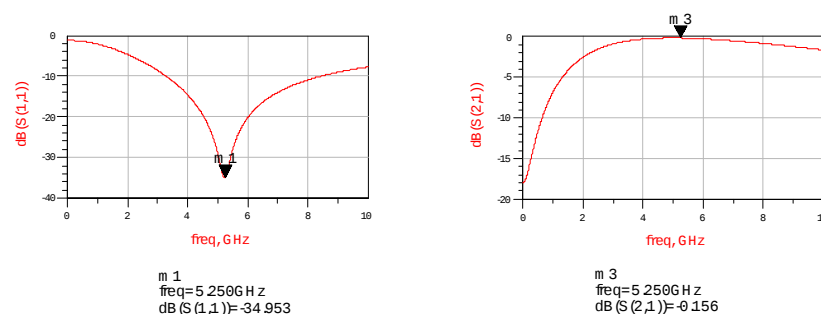


Figura 6.17

Se observa que, efectivamente, el circuito se comporta como un pequeño conmutador, tomando valores buenos en cuanto a pérdidas por retorno y pérdidas de inserción.

Posteriormente, se tomó el circuito resonante en serie:

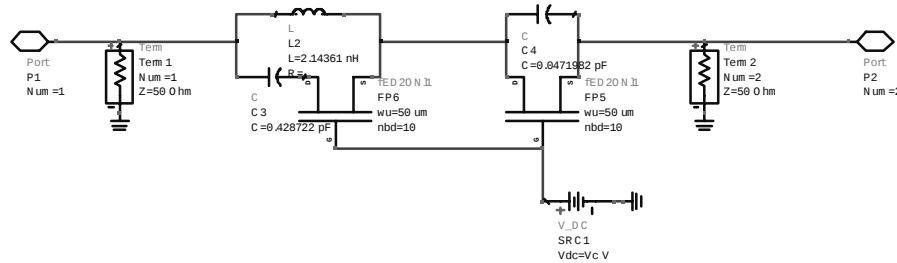


Figura 6.18

En este caso, cuando  $V_c = -1.9$  V, al ser el circuito un cortocircuito (en teoría), se deja pasar toda la señal a esa frecuencia del puerto 1 al 2 y viceversa. Por otro lado, si  $V_c = 0$  V, al ser el circuito un circuito abierto, no se debe dejar pasar nada de un puerto al otro. Para  $V_c = 0$  V, se obtuvo lo siguiente:

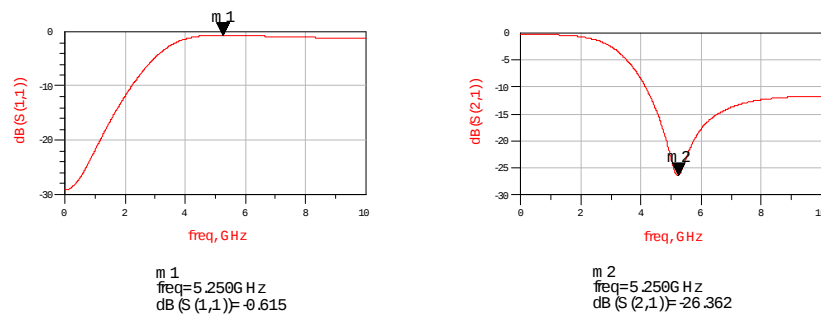


Figura 6.19

Pero para  $V_c = -1.9$  V no se obtiene lo esperado:

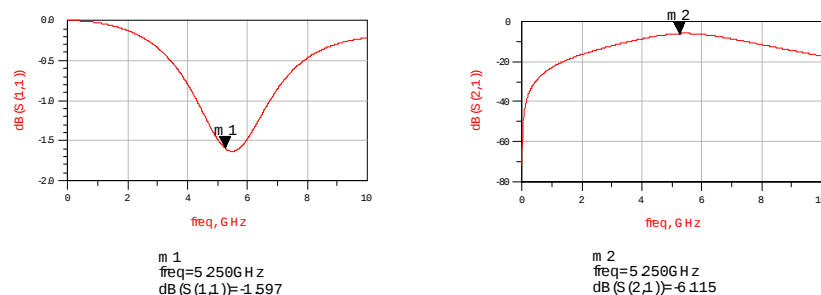


Figura 6.20

Se observa una gran desadaptación en el puerto, lo que además conlleva unas altas pérdidas de inserción. Se intentó solucionar este problema, probando con los otros tres tipos de circuito resonante, pero su comportamiento era casi idéntico.

Lo que se hizo fue tomar este circuito resonante en serie y tratar de adaptar su entrada a  $50 \Omega$ , mediante una red de adaptación sencilla, consistente en una capacidad en serie y una inductancia en paralelo. Se muestra en la siguiente figura:

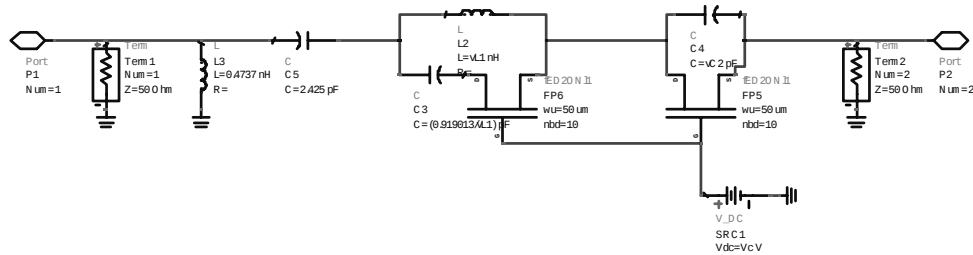


Figura 6.21

Antes calculamos la magnitud y la fase del coeficiente de reflexión, que resultó ser  $0.832 \angle -177.263^\circ$ . Se representa en la Carta de Smith y se siguen los pasos típicos para conseguir la adaptación, como se muestra en la figura.

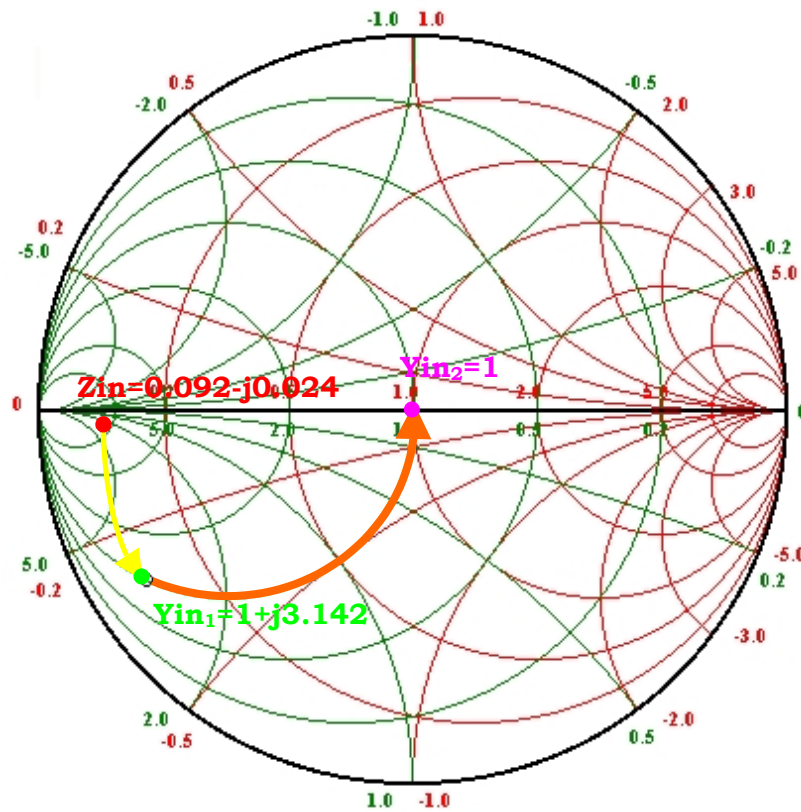


Figura 6.22

Por tanto, los valores de los elementos de adaptación son los siguientes:

$$1 \left\{ \begin{array}{l} Z_{in} = 0.092 - j0.024 \\ \Downarrow \\ Z_{in1} = 0.092 - j0.289 \end{array} \right\} \Rightarrow -j0.265 \cdot 50 = -j \frac{1}{\omega C_{adap}} \Rightarrow C_{adap} = 2.288 \text{ pF} \quad (6.15)$$

$$2 \left\{ \begin{array}{c} Y_{in1} = 1 + j3.142 \\ \Downarrow \\ Y_{in2} = 1 \end{array} \right\} \Rightarrow -j \frac{3.142}{50} = -j \frac{1}{\omega L_{adap}} \Rightarrow L_{adap} = 0.482 \text{ nH} \quad (6.16)$$

Se puso esta red de adaptación y se obtuvieron los siguientes resultados:

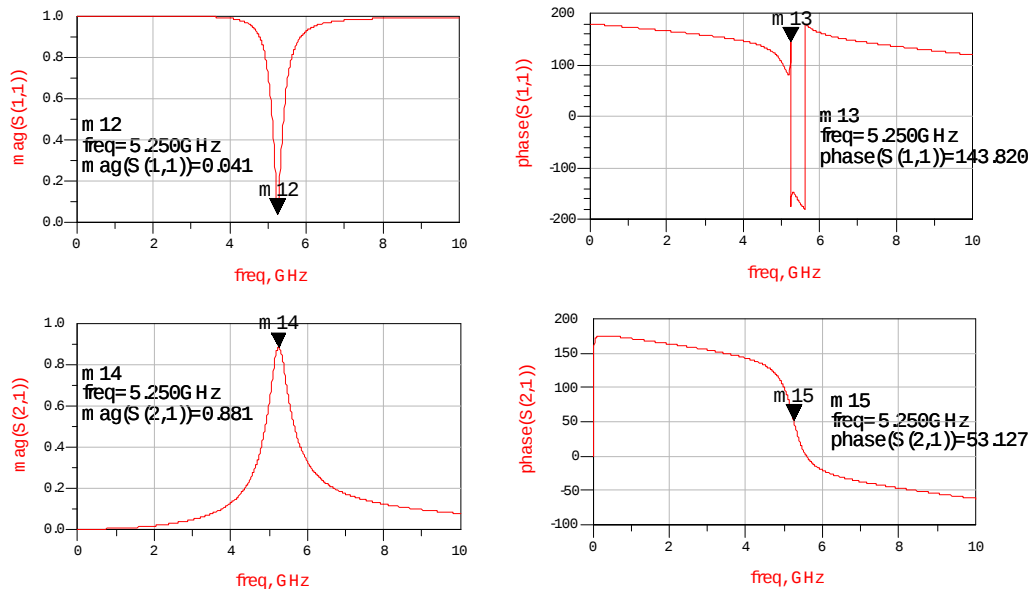


Figura 6.23

Solucionado esto, se hizo el circuito completo, con la red de adaptación de arriba, y se observó un problema: en el modo transmisión, la red de adaptación afectaba de forma importante. Por tanto, lo que se hizo fue volver al circuito resonante serie y colocar la red de adaptación donde no afectara a la transmisión: frente al puerto de recepción (figura 6.24).

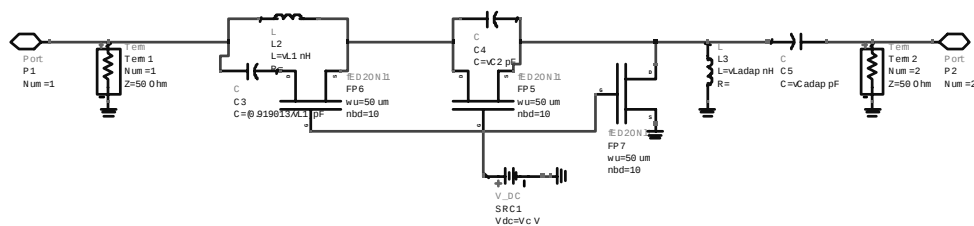


Figura 6.24

Por supuesto, como se puede observar, los valores de la red de adaptación cambiaron, por lo que se optó por optimizar para conseguir la mayor adaptación posible. El resultado se muestra en la figura siguiente:

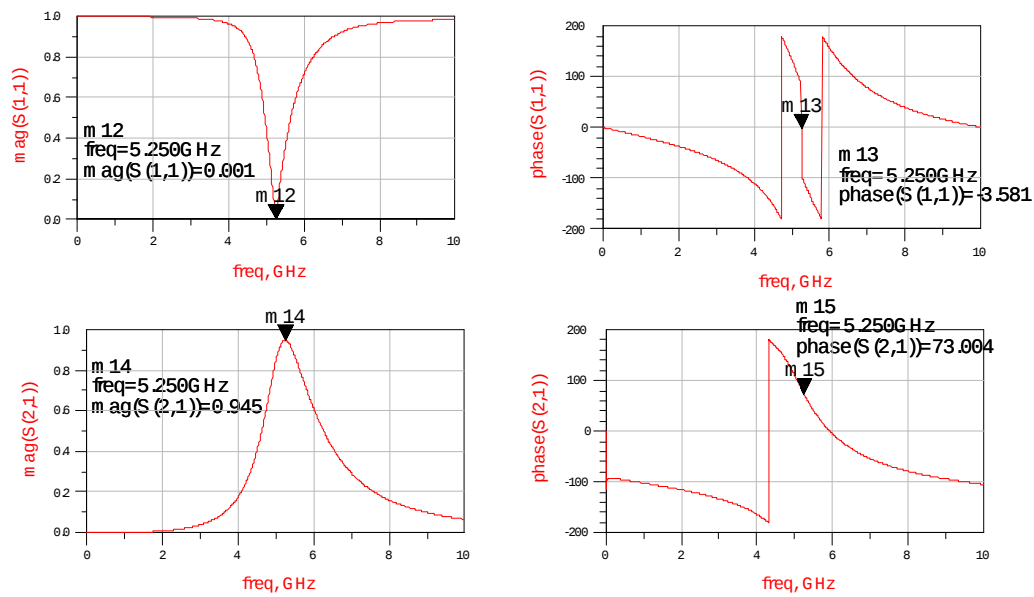


Figura 6.25

Como se puede observar, se obtienen resultados aún mejores con esta nueva posición de la red de adaptación.

Una vez realizado esto, se pasó al circuito completo. Se pusieron los valores anteriores y se obtuvo, para recepción:

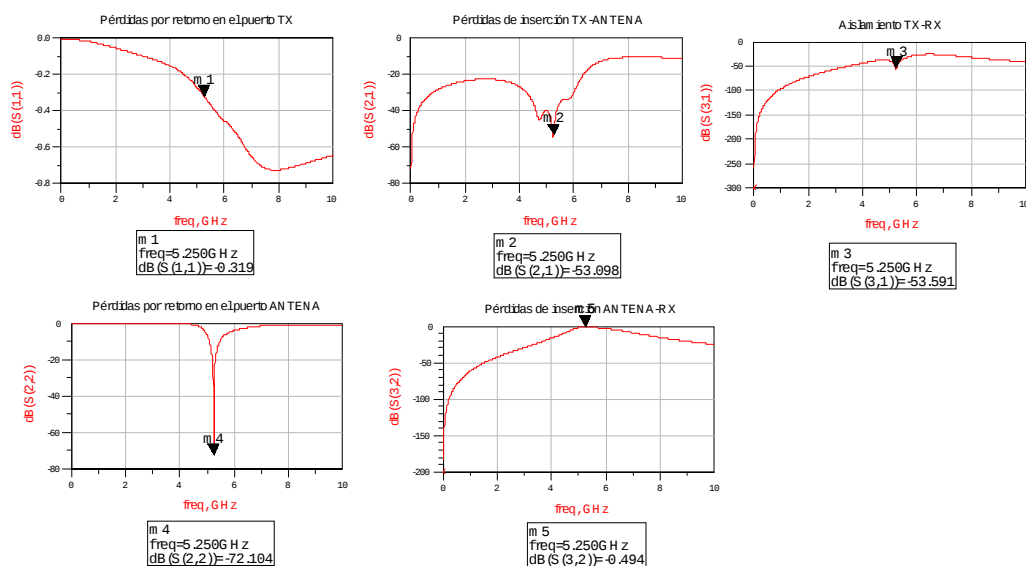


Figura 6.26

Y para transmisión:

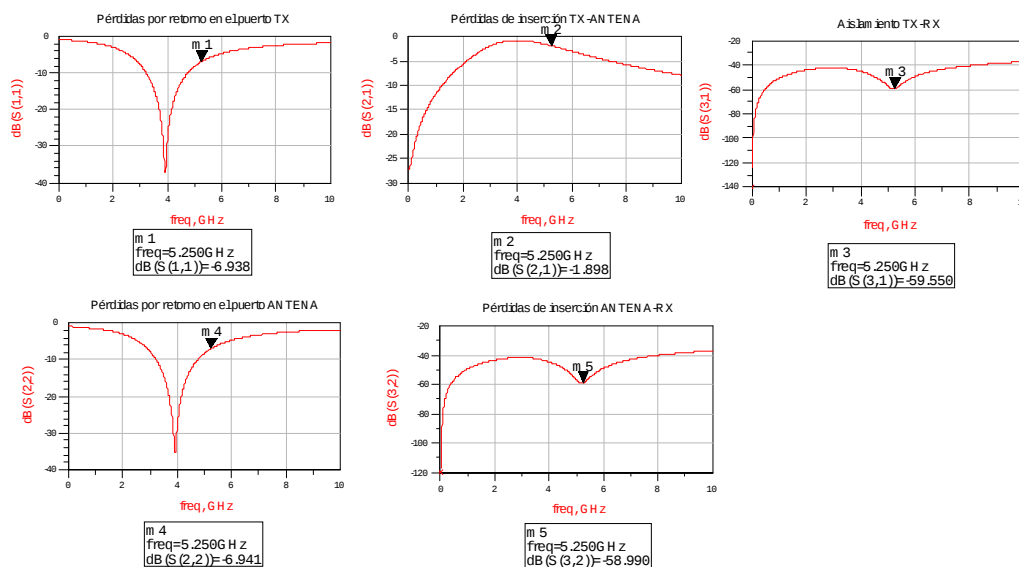


Figura 6.27

Se observa como en este último resultado, los picos de adaptación en los puertos de transmisión y recepción están desplazados. Se pensó entonces en poner una red de adaptación similar a la del camino de recepción. Se colocó frente al puerto de transmisión, y al optimizar, se observó que la capacidad en serie tomaba el valor máximo, por lo que se optó por quitarla. El circuito obtenido fue:

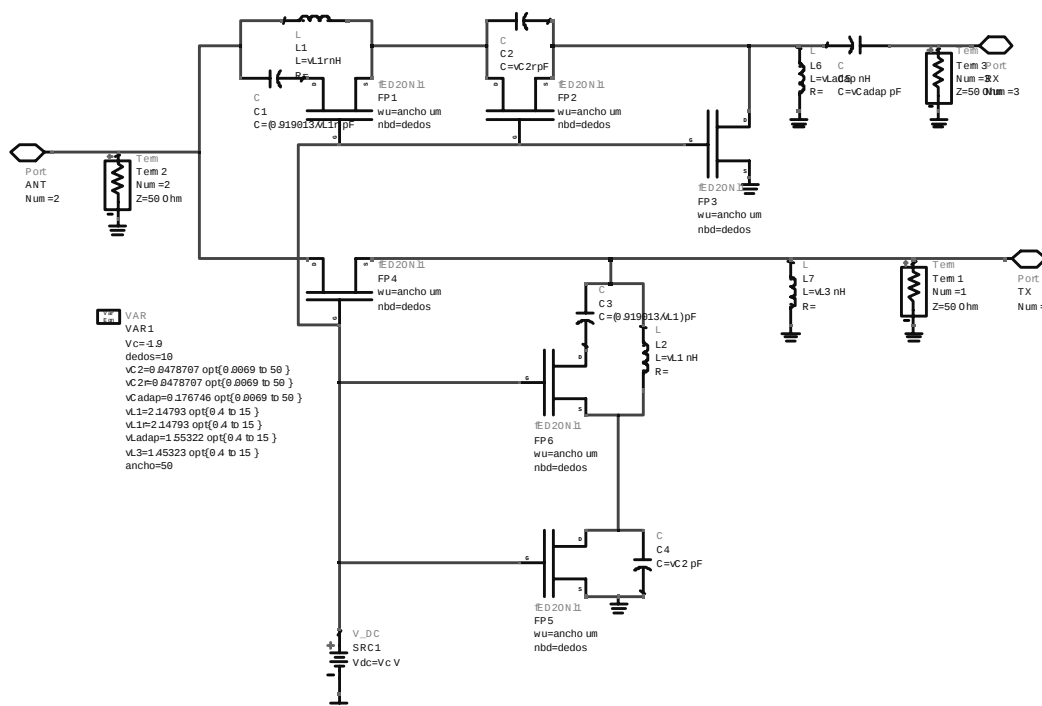


Figura 6.28

Los parámetros S para recepción:

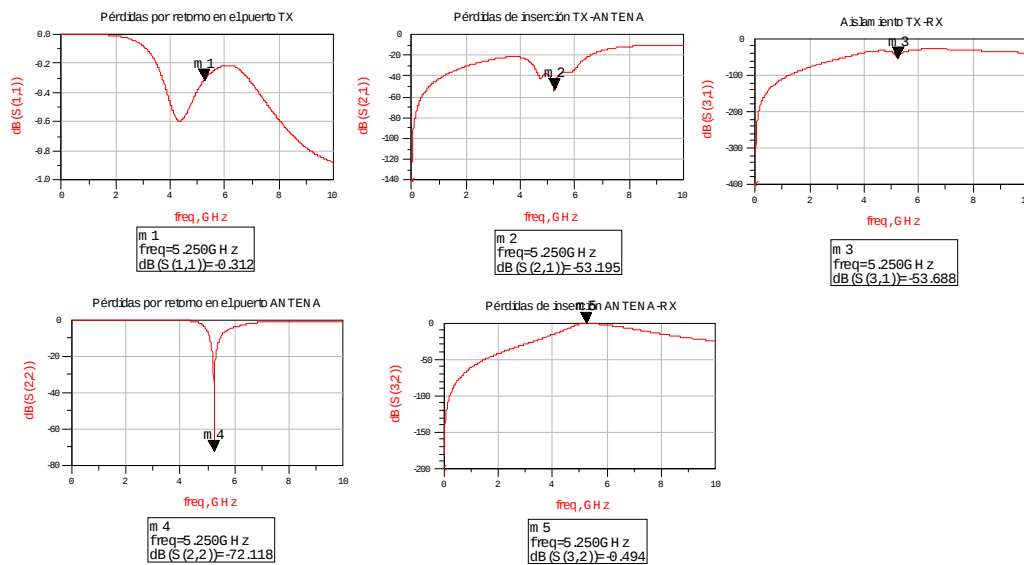


Figura 6.29

Y para transmisión:

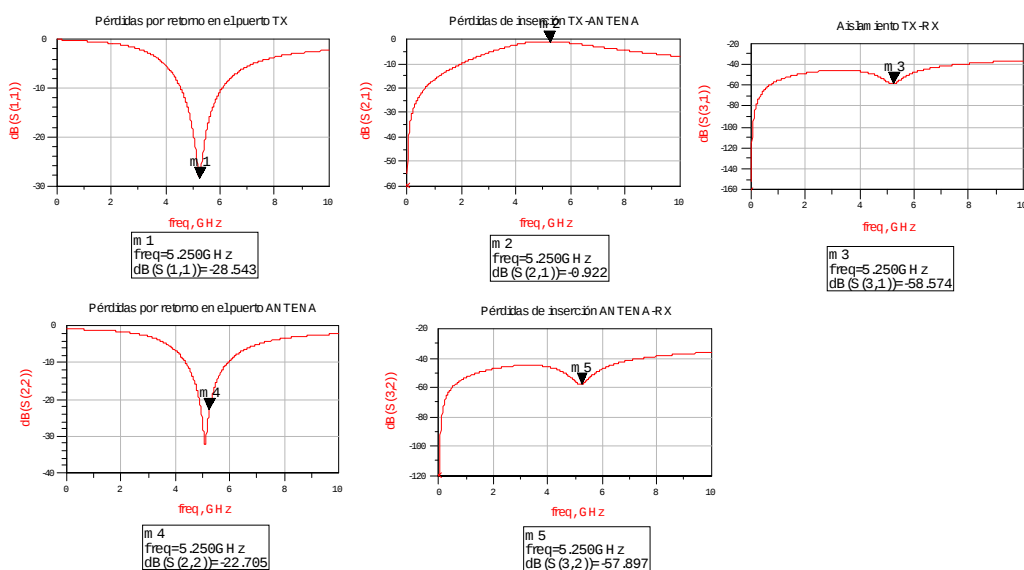


Figura 6.30

### b) Simulación de balance armónico

Al contrario de los anteriores conmutadores estudiados, se pasó a realizar esta simulación con el circuito con elementos ideales, para asegurarnos de que la principal característica de este switch, su posibilidad de manejar potencias altas, era real. Se probó a introducir un tono en transmisión, para medir la caída de 1 dB. Se obtuvo lo siguiente:

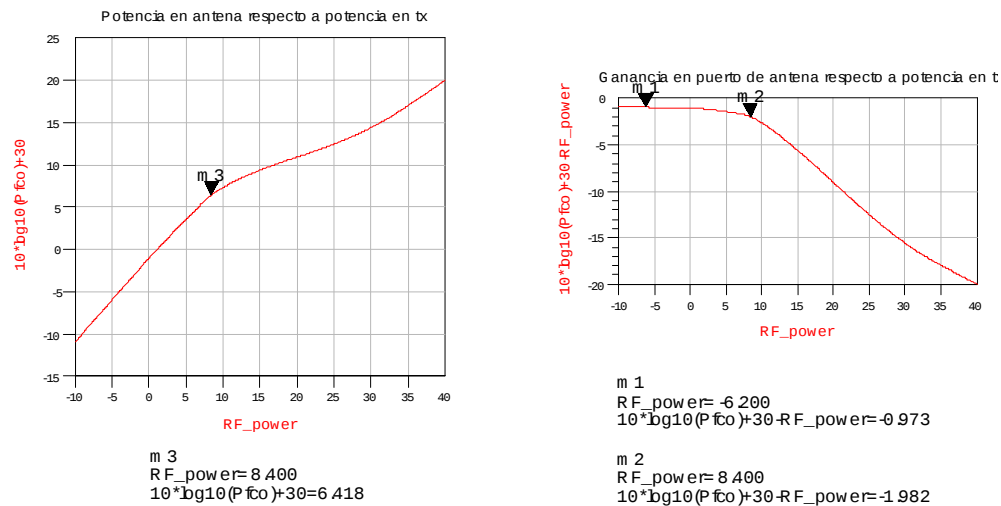


Figura 6.31

Como se puede observar, no es lo esperado, ya que se obtienen valores muy malos de potencia. La solución apareció comparando este circuito con el anterior. El aspecto más importante que se apreció fue la utilización de resistencias grandes en las puertas de los transistores. Esto explicaba por qué con este switch nos daba valores malos de potencia: se producía una fuga de corriente importante a través de las puertas de los transistores, lo que se traducía en pérdida de potencia. Por tanto, se optó por poner resistencias iguales a las del switch anterior, de 7 k $\Omega$ . Se volvió a repetir la simulación HB y se obtuvo ahora sí lo esperado:

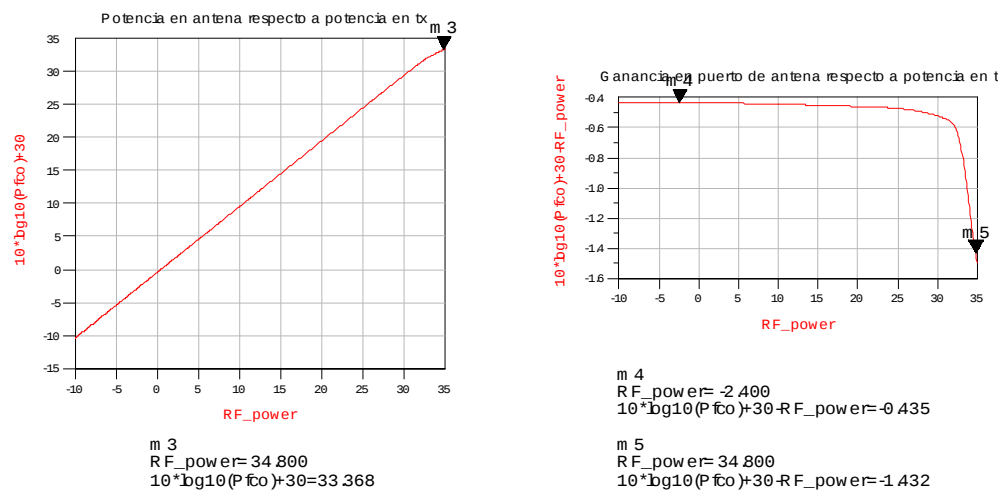


Figura 6.32

Se observa cómo se obtienen unos valores muy buenos de potencia, consiguiéndose una Po(1 dB) de 33.4 dBm.

### 6.3.2.2. Simulaciones del switch con elementos reales

#### a) Simulación de parámetros S

Se pasó a realizar el circuito anterior con los elementos reales de la librería. Se optimizaron los valores y se obtuvieron los parámetros S mostrados en las figuras 6.33 (modo recepción) y 6.34 (modo transmisión):

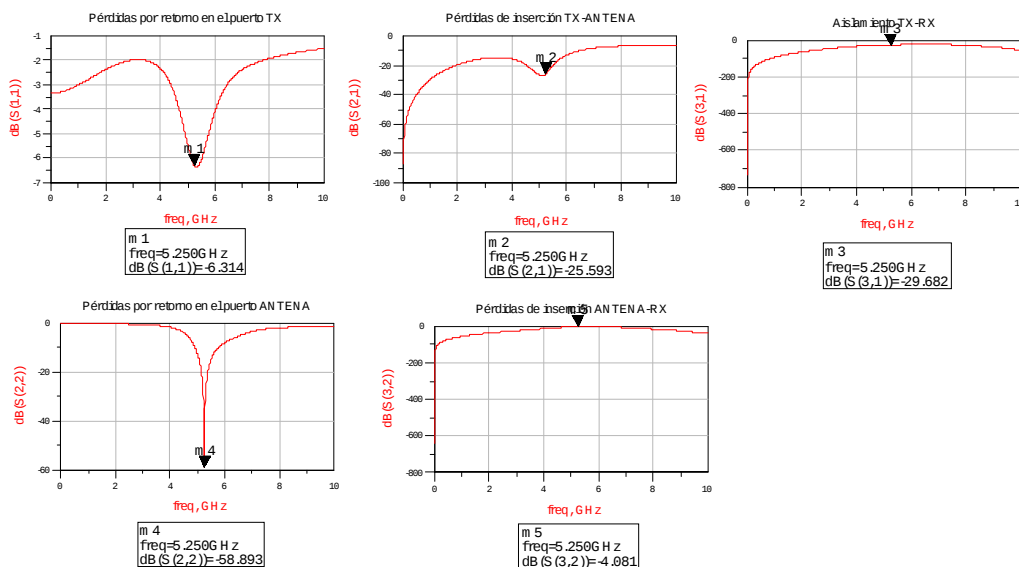


Figura 6.33

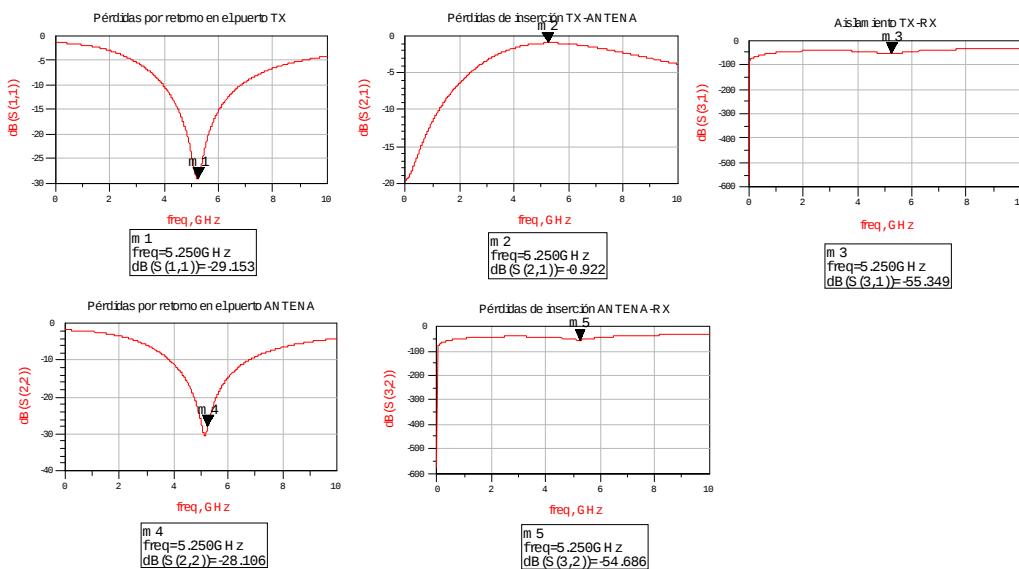


Figura 6.34

Se observa que en el modo recepción las pérdidas de inserción son de más de 4 dB. Para solucionarlo, usamos la misma técnica que se usa en el artículo. Ponemos una inductancia en serie en el brazo de recepción, como se muestra en la siguiente figura:

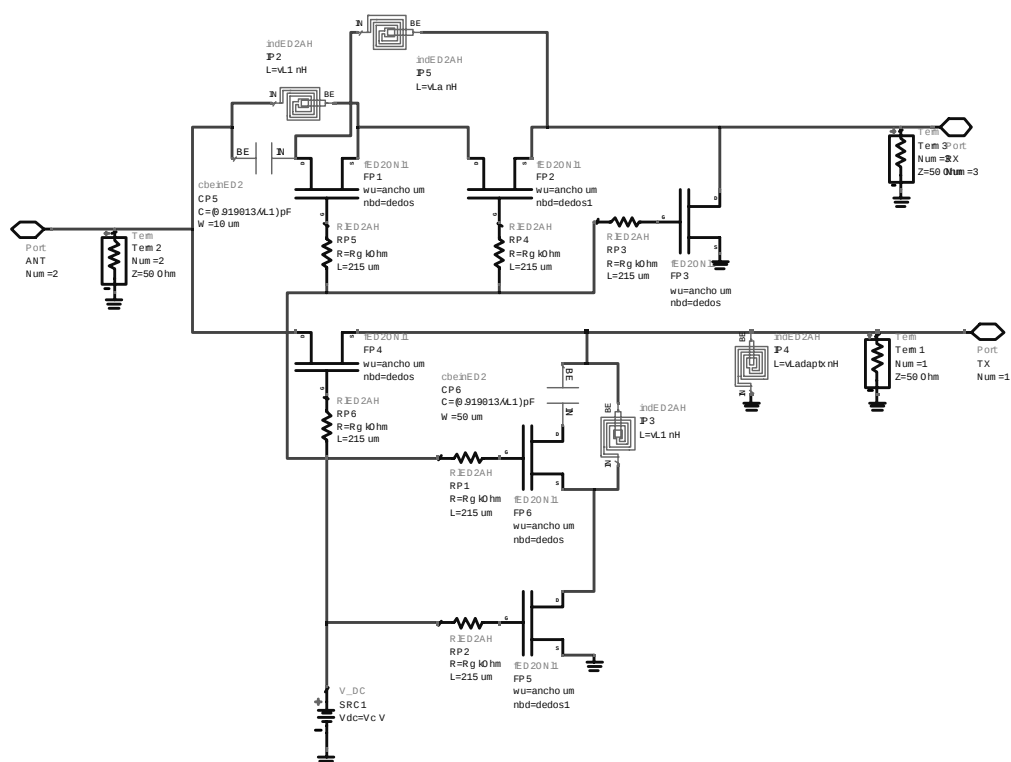


Figura 6.35

Cabe destacar, como se observa en la figura 6.35, que realizando la optimización de este circuito, las capacidades  $C_2$  se anulan, tal como ocurre en el artículo. Con este circuito, se obtuvieron los siguientes resultados para distintos tamaños de transistores. Así mismo, al poner la inductancia serie en recepción, ya no es necesaria la red de adaptación en este brazo.

### - 10x50

Para el modo recepción,  $V_c = -1.9$  V:

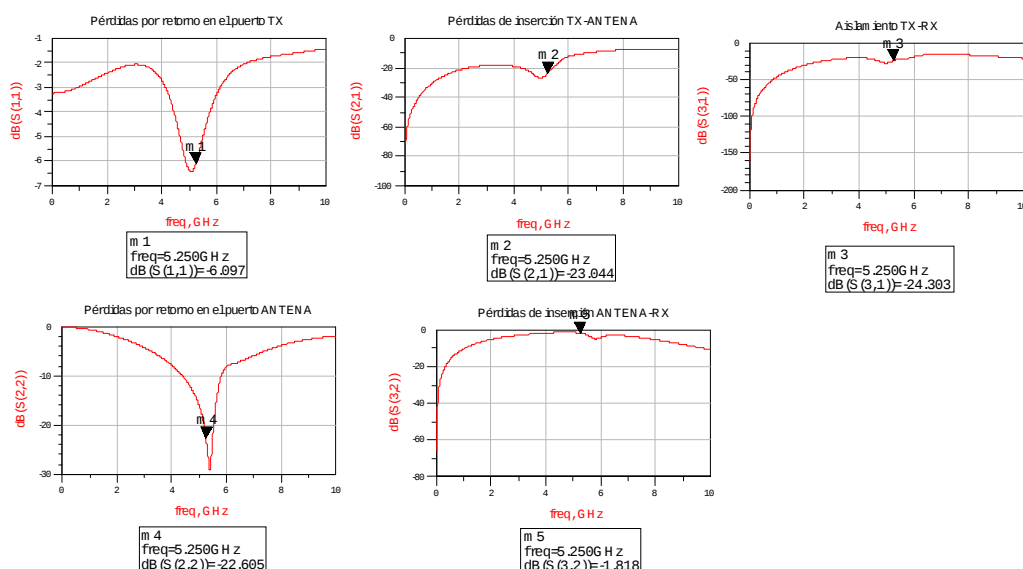


Figura 6.36

Para el modo transmisión,  $V_c=0$  V:

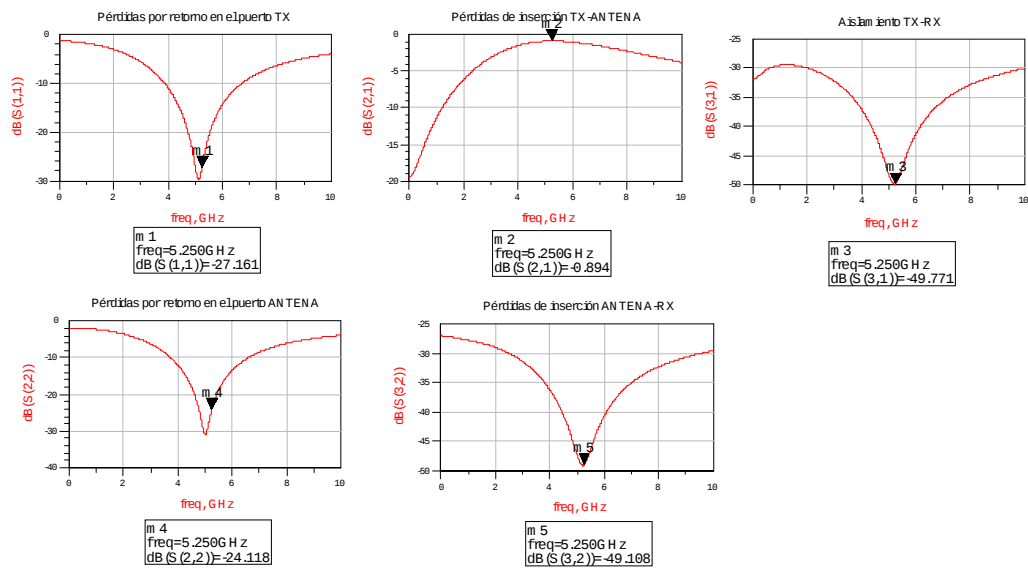


Figura 6.37

- **8x50**

Para el modo recepción,  $V_c=-1.9$  V:

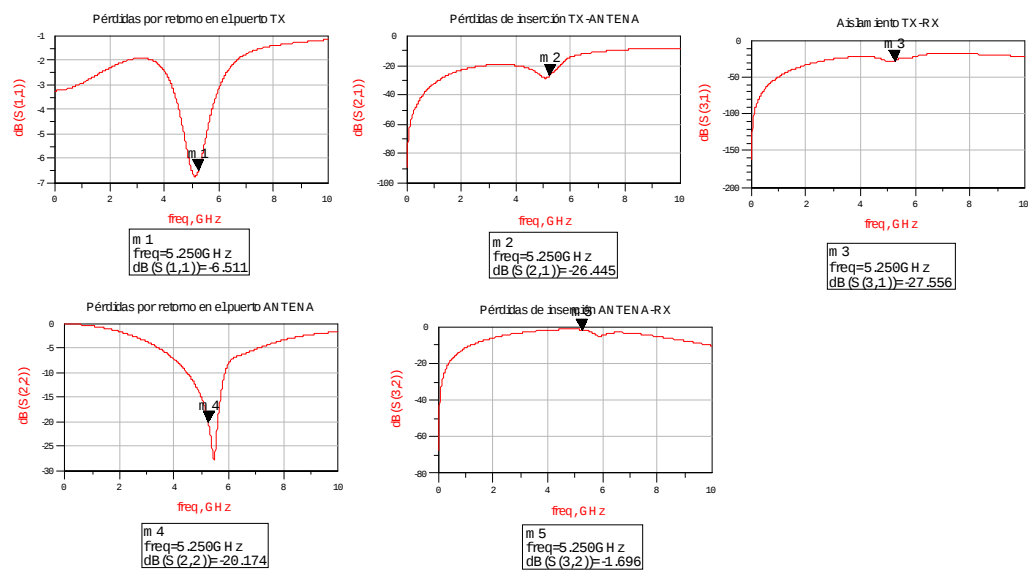


Figura 6.38

Para transmisión,  $V_c=0$  V:

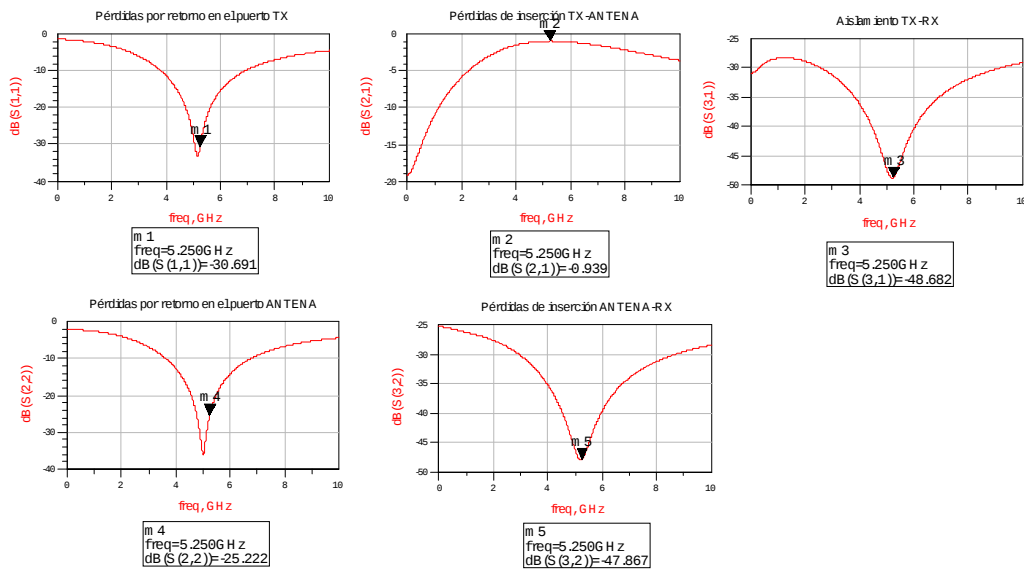


Figura 6.39

Tras probar estas dos configuraciones, se probó tomar distintos tamaños para los transistores, destacando una configuración en la que todos los transistores tenían tamaño 10x50 excepto los transistores de segundo nivel de los circuitos resonantes, que fueron de tamaño 8x50. Los resultados fueron, para recepción ( $V_c=-1.9$  V):

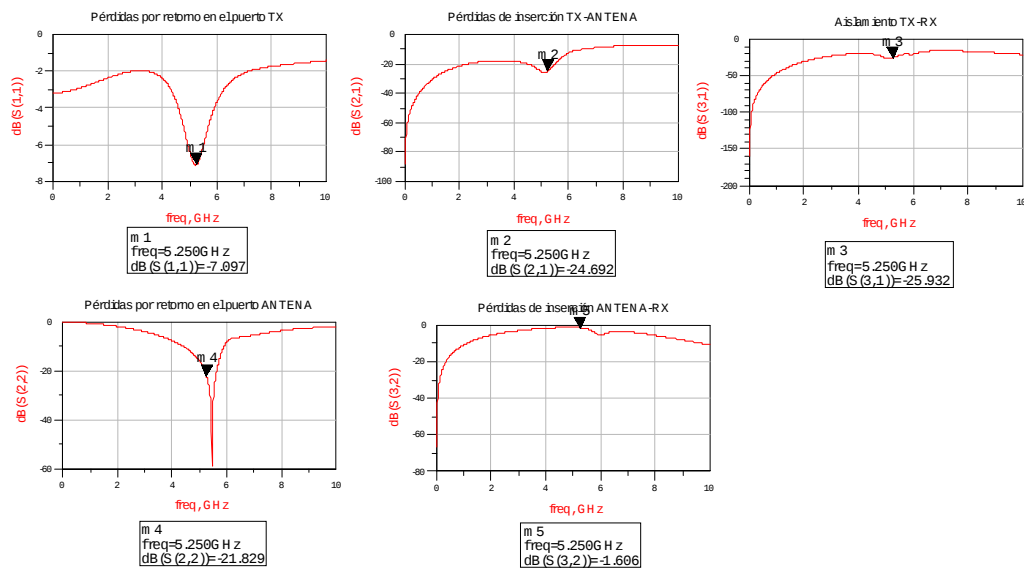


Figura 6.40

Para transmisión,  $V_c=0$  V:

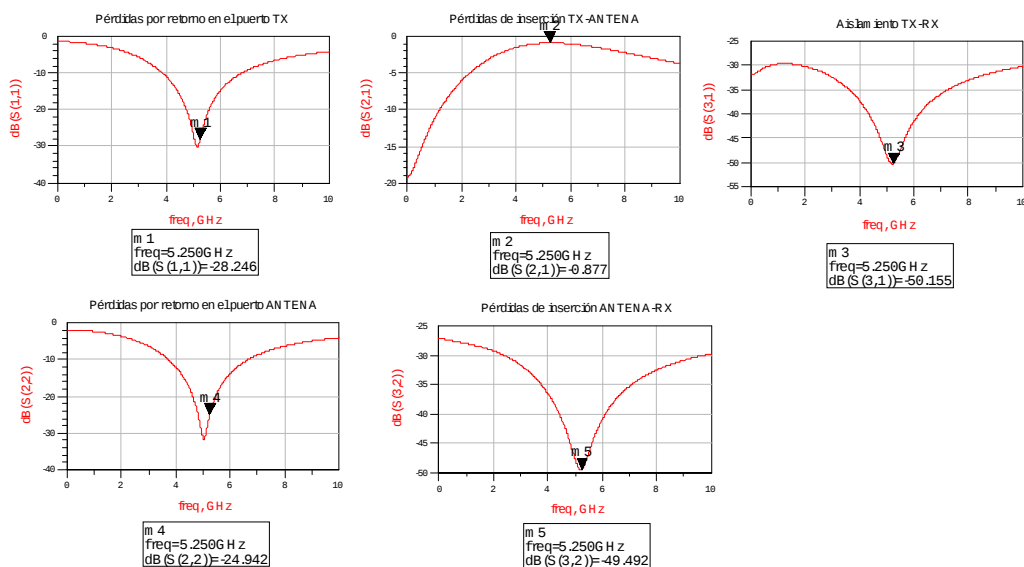


Figura 6.41

Se puede hacer una tabla con los valores de los distintos elementos que componen el circuito:

|                 | 10X50   | 8X50    | 10X50/8X50 |
|-----------------|---------|---------|------------|
| <b>vL1</b>      | 3.33663 | 3.69398 | 3.44477    |
| <b>vLa</b>      | 2.43972 | 2.66258 | 2.4828     |
| <b>vLadaptx</b> | 4       | 4       | 3.9        |

Tabla 6.3

Hay que hacer notar que durante todo el proceso de optimización, se ha obligado, al igual que en el artículo, a que la capacidad  $C_1$  tome un valor de acuerdo con  $L_1$  para que resuenen a la frecuencia deseada, en este caso, 5.25 GHz.

#### b) Simulación de balance armónico

Esta simulación, al igual que con los conmutadores anteriores, se ha realizado de dos formas distintas:

- Se ha introducido un pulso por el puerto de entrada (tx o antena), variando su potencia  $\text{RF\_power}$  dentro de un rango adecuado y se ha medido la potencia por la correspondiente salida (antena o rx). De aquí se han sacado dos representaciones: la potencia de salida respecto a la de entrada y la ganancia. Con esta última gráfica, se ha sacado el punto de compresión de 1 dB y anotado las potencias de entrada y salida a las que se produce esta caída de la ganancia.
- Posteriormente, se han introducido dos pulsos centrados en torno a 5.25 GHz y separados 100 kHz, cuyas potencias suman  $\text{RF\_power}$ . Lo que se ha hecho es representar las potencias de salida del fundamental y del producto de intermodulación de tercer orden respecto a la potencia de

entrada RF\_power. Después, con ayuda de otra gráfica se ha medido el punto intercepto de tercer orden.

Por supuesto, lo que interesa es que tanto el punto de compresión de 1 dB como el punto intercepto de tercer orden se produzcan a potencias altas, ya que nos indicarán hasta qué potencias se puede usar el switch sin que sufra una gran degradación la señal.

Llegados a este switch, tuvimos algunos problemas de convergencia con la simulación de balance armónico, principalmente para el caso de un tono. Para solucionarlo, no se hizo un *sweep* de potencia de entrada, sino que se iba metiendo el pulso con una potencia determinada; después, se representaba el espectro y se tomaba nota de la potencia que alcanzaba el armónico fundamental. Cuando éste tenía una potencia igual a la de entrada menos las pérdidas de inserción y menos 1 dB, ya teníamos el punto de compresión de 1 dB.

Los resultados fueron los siguientes:

- **10x50**

Para el modo transmisión, para un tono de 32.5 dBm tenemos:

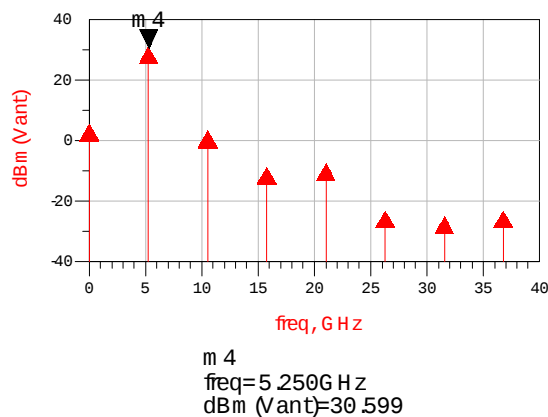


Figura 6.42

Y el punto intercepto de tercer orden para transmisión:

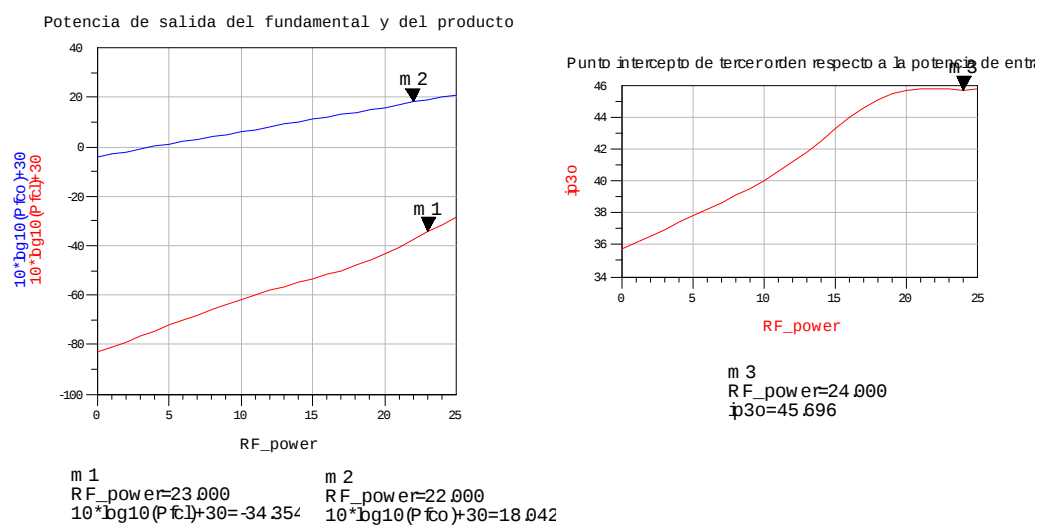


Figura 6.43

Para recepción, para un tono de 12 dBm, tenemos:

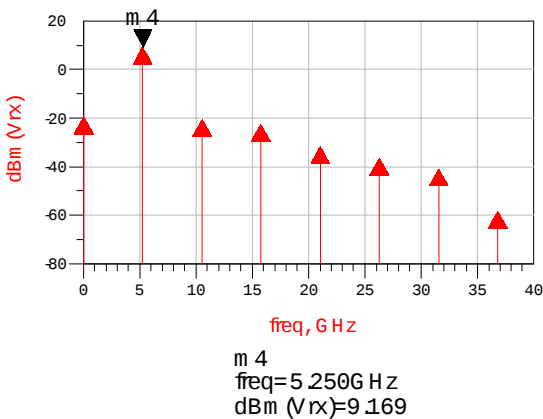


Figura 6.44

- **8x50**

Para transmisión, metemos un pulso de 30.6 dBm, y nos da:

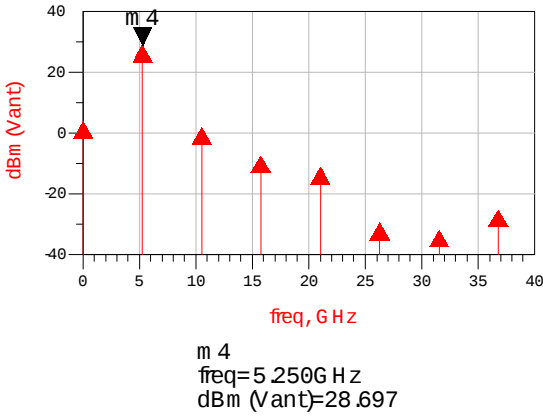


Figura 6.45

Y el punto intercepto de tercer orden para transmisión:

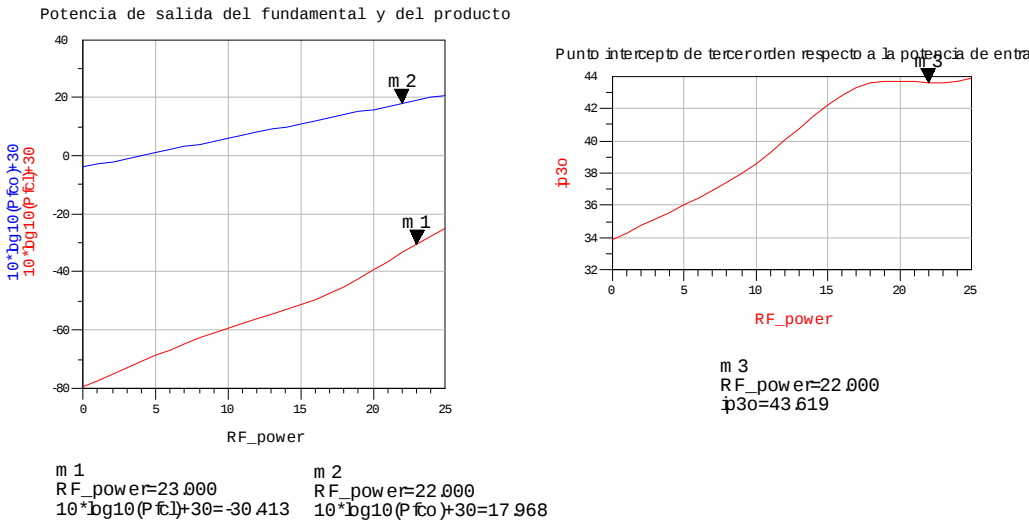


Figura 6.46

Para recepción, metemos un pulso de 11.4 dBm, y obtenemos:

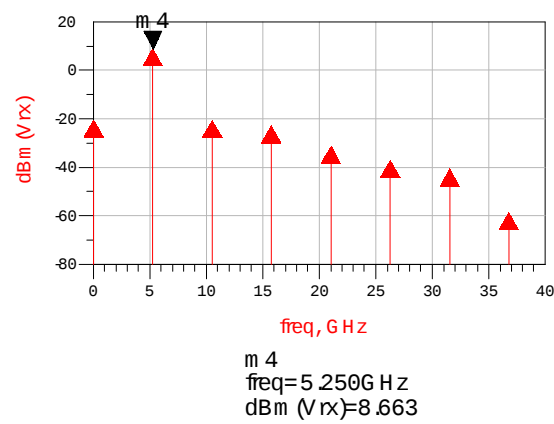


Figura 6.47

- **10x50/8x50**

Para transmisión, metemos un pulso de 32.4 dBm, y nos da:

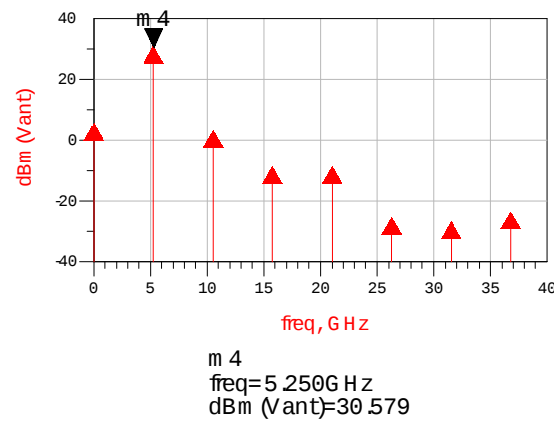
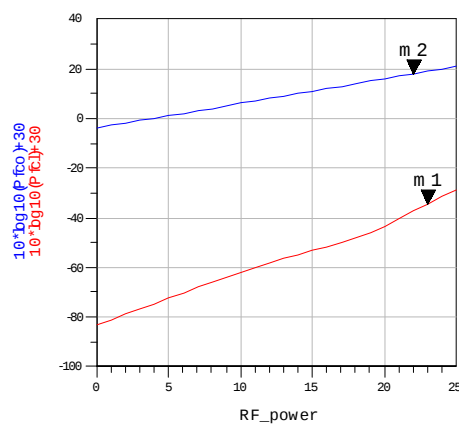


Figura 6.48

Y el punto intercepto de tercer orden para transmisión:

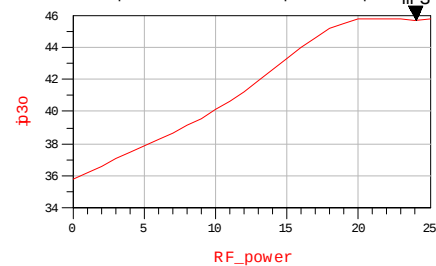
Potencia de salida del fundamental y del producto



```
m 1
RF_power=23.000
10*lg10(P f3)+30=-34.322

m 2
RF_power=22.000
10*lg10(P fco)+30=18.066
```

Punto intercepto de tercerorden respecto a la potencia de entr



```
m 3
RF_power=24.000
ip30=45.704
```

Figura 6.49

Para recepción, metemos un pulso de 12 dBm, y obtenemos:

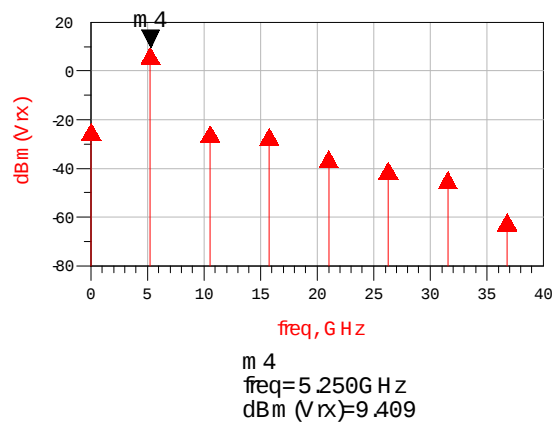


Figura 6.50

Como se puede observar, para ninguna configuración en su modo recepción se han calculado su punto intercepto de tercer orden. Esto es debido a que hubo muchos problemas con la convergencia en las simulaciones, lo que provocó que no se pudieran sacar estos datos de igual forma que en el modo transmisión. Para solucionarlo, lo que se hizo fue tomar un valor de potencia de entrada unos dB's más bajo que el correspondiente a la caída de 1 dB, para así tener un valor de potencia en el que tanto la recta lineal de la potencia del fundamental, como la recta de pendiente 3 del producto de intermodulación de tercer orden se comportaran de una forma más o menos deseable. Se introdujo un pulso con este valor de potencia de entrada y se calculó el punto intercepto de tercer orden para las tres configuraciones, obteniéndose unos valores bastante buenos como aproximación. Estos valores se pueden ver a continuación:

| Configuración  | IP3o (dBm) |
|----------------|------------|
| 8 x 50         | 16.168     |
| 10 x 50        | 16.829     |
| 10 x 50/8 x 50 | 17.153     |

Tabla 6.4

## 6.4. CONCLUSIONES Y SOLUCIÓN FINAL

Para tomar la decisión de qué configuración es la elegida para este switch, es adecuado hacer una tabla resumen donde se vean todos los datos obtenidos de las simulaciones.

|                                   | 10X50     |           | 8X50      |           | 10X50/8X50 |           |
|-----------------------------------|-----------|-----------|-----------|-----------|------------|-----------|
|                                   | <b>TX</b> | <b>RX</b> | <b>TX</b> | <b>RX</b> | <b>TX</b>  | <b>RX</b> |
| <b>Pérdidas por retorno (dB)</b>  | -27.2     | -22.6     | -30.7     | -20.2     | -28.2      | -21.8     |
| <b>Pérdidas de inserción (dB)</b> | 0.89      | 1.8       | 0.94      | 1.7       | 0.88       | 1.6       |
| <b>Aislamiento (dB)</b>           | 49.8      | 24.3      | 48.7      | 27.6      | 50.2       | 25.9      |
| <b>Po (1 dB) (dBm)</b>            | 30.6      | 9.2       | 28.7      | 8.7       | 30.6       | 9.4       |
| <b>IP3o (dBm)</b>                 | > 45      | > 16      | > 43      | > 16      | > 45       | > 17      |

Tabla 6.5

Como se puede observar, el switch presenta asimetría entre el modo recepción y el modo transmisión, sobre todo en cuando a manejo de potencia. Es curioso el, en principio, bajo valor de potencia de salida de compresión de 1 dB en el modo recepción; pero es obvio que 9 dBm es más que suficiente ya que jamás se recibirían valores de potencia cercanos a ese valor.

Las tres configuraciones de este switch son muy similares en cuanto a prestaciones, aunque se puede decir que la configuración mixta 10x50/8x50 es la mejor en casi todos los aspectos, por no decir en todos. Por tanto, esta sería la elegida para este switch.

## 7. ELECCIÓN FINAL Y LAYOUT

### 7.1. DISCUSIÓN Y ELECCIÓN FINAL

El proceso que se ha seguido durante la realización de este proyecto ha sido claro: para cada switch, se han estudiado configuraciones distintas, eligiendo posteriormente la mejor. Ahora es el momento de tomar cada una de las tres configuraciones y compararlas según cinco criterios claros: adaptación en los puertos, pérdidas de inserción, aislamiento transmisor-receptor, potencia de salida de caída de 1 dB y punto intercepción de tercer orden a la salida.

Hay que hacer notar que estos dos últimos criterios, los referentes a las posibilidades de potencia del switch, se refieren al modo transmisión, ya que en el modo recepción no es nada limitante y lo cumplen los tres switches. Por tanto, realizando una tabla:

|                                   |                    | SWITCH A | SWITCH B | SWITCH C |
|-----------------------------------|--------------------|----------|----------|----------|
| <b>Pérdidas por retorno (dB)</b>  | <b>Transmisión</b> | -25.3    | -28.0    | -28.2    |
|                                   | <b>Recepción</b>   | -29.1    | -28.1    | -21.8    |
| <b>Pérdidas de inserción (dB)</b> | <b>Transmisión</b> | 1.8      | 0.96     | 0.88     |
|                                   | <b>Recepción</b>   | 1.8      | 0.96     | 1.6      |
| <b>Aislamiento (dB)</b>           | <b>Transmisión</b> | 22.3     | 38.1     | 50.2     |
|                                   | <b>Recepción</b>   | 22.3     | 38.1     | 25.9     |
| <b>P<sub>o</sub>(1 dB) (dBm)</b>  |                    | 24       | 21.8     | 30.6     |
| <b>IP3<sub>o</sub> (dBm)</b>      |                    | > 41     | > 42     | > 45     |

Tabla 7.1

Como nota, apuntar que las pérdidas por retorno en transmisión se refieren a la adaptación en el puerto del transmisor y las pérdidas por retorno en recepción a la adaptación en el puerto de la antena.

En cuanto a los resultados mostrados en la tabla, se pueden hacer los siguientes comentarios:

- Las pérdidas por retorno son muy buenas en todos los switches, ya que por debajo de -15 dB se considera suficiente. Por lo tanto, este no sería un factor diferenciador entre los tres candidatos.
- Las pérdidas de inserción mejores se puede afirmar que son las del switch B, pero seguido muy de cerca por el switch C, incluso superándolo en el modo transmisión.
- En cuanto al aislamiento, primero decir que es un factor muy importante principalmente en transmisión, ya que es cuando se emite una potencia mayor y por tanto se requiere que muy poca potencia llegue al receptor. Por ello, se puede afirmar que en este aspecto el mejor es el switch C, aún cuando el switch B le supera en el modo recepción.
- Por último, se puede observar que el switch C es el mejor con diferencia en cuanto a posibilidad de manejo de potencia.

Teniendo en cuenta todos estos aspectos se tiene que definitivamente se inclina la balanza hacia el switch C, que sería el elegido para su implementación física. Por ello, una vez escogido, se pasa a la realización de su *layout*, como se explica en el apartado siguiente.

## 7.2. LAYOUT

Llegados a este punto nos encontramos con un problema derivado de las librerías de la *Foundry*: éstas no garantizaban que el modelo eléctrico de los transistores con un número de dedos igual a diez se correspondiera con el funcionamiento real del dispositivo. Por ello, lo que hicimos fue tomar la configuración de 8x50 del switch C para no correr riesgos. No fue necesaria mucha más modificación, ya que esta opción (8x50) seguía siendo la mejor en este switch que en los demás. Por lo tanto, se comenzó la realización del *layout* siguiendo las reglas impuestas por la *Foundry*.

La regla general para la realización del *layout* es que ocupe el menor área posible dentro de la celda que nos proporciona la *Foundry*. Esta celda es una de las muchas de las que se compone la oblea sobre la que trabaja OMMIC.

El primer paso consistió en pensar en la disposición óptima de todos los componentes, para así ocupar el menor espacio posible. Una vez hecho esto, se procedió a la unión de éstos mediante líneas de metalización IN, evitando en lo posible los cruces. Cuando no era posible evitarlos, se hacía uso de los puentes, en los que a una de las líneas del cruce se la obligaba a “bajar” a la metalización BE, para así proporcionar el paso de un lado a otro. Se optó por una anchura de línea de 10  $\mu\text{m}$ , excepto para las líneas por las que va la tensión DC de control, que son de 5  $\mu\text{m}$ . Se tomó esta decisión teniendo en cuenta que por estas líneas iría muy poca intensidad, ya que están unidas a las puertas de los transistores.

Una vez realizado el *layout*, se procedió a pasar éste a esquemático para volver a realizarle todas las simulaciones anteriores, para tener así el comportamiento más exacto posible del futuro switch. Los resultados que se obtuvieron se muestran en las gráficas 7.1 (modo transmisión) y 7.2 (modo recepción).

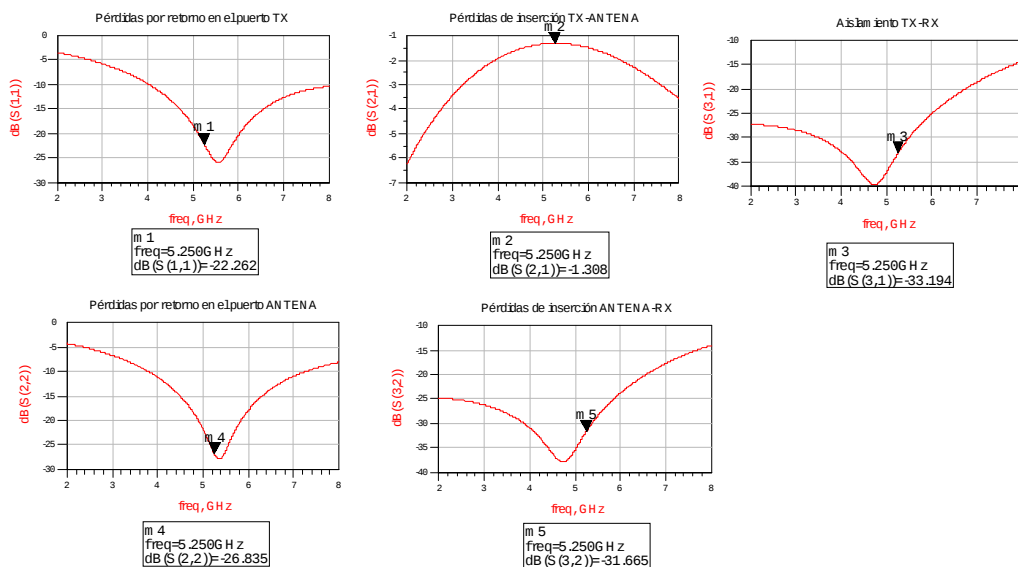


Figura 7.1

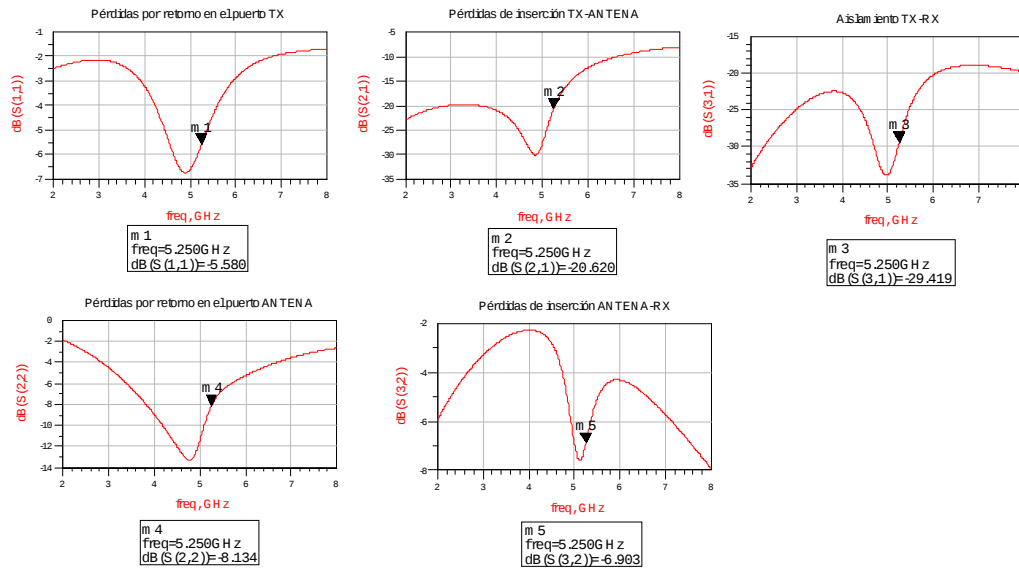


Figura 7.2

Como se puede observar en esta última figura, los resultados no eran los deseados. Se observó que las gráficas estaban desplazadas, se producía la resonancia a frecuencias superiores. Por lo tanto, se optó por acortar un poco la inductancia  $L_1$  de recepción y variar la capacidad  $C_1$  de recepción, así como la inductancia serie  $L_a$ . Además, para asegurar la resonancia a nuestra frecuencia, se puso la capacidad  $C_2$  entre el drenador y la fuente del transistor de segundo nivel del circuito resonante de recepción. Se optimizó todo y se observó que la inductancia paralelo en el brazo de transmisión se hacía de valor muy grande, por lo que se optó por quitarla, obteniéndose buenos resultados. Esto provocó además que el área del circuito se redujese mucho, ya que esa inductancia era de gran tamaño. Finalmente, se realizó el *layout* del circuito con estos componentes y sus valores. El resultado se muestra en la siguiente figura.

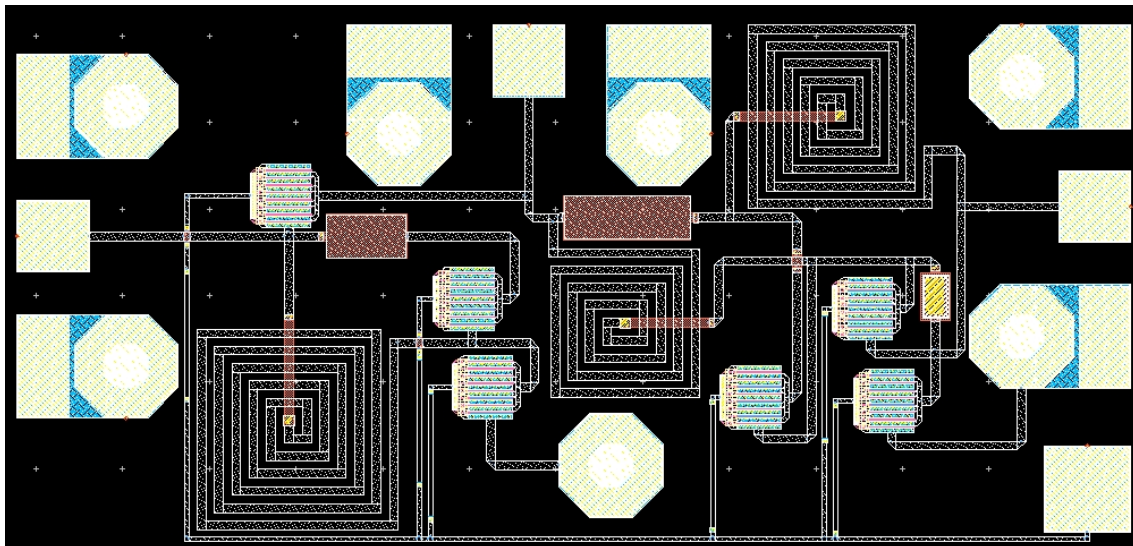


Figura 7.3

Cabe destacar que se consiguió un circuito de un tamaño pequeño comparado con las realizaciones vistas en la bibliografía. En concreto, las dimensiones del

conmutador son  $0.6 \text{ mm} \times 1.3 \text{ mm} = 0.78 \text{ mm}^2$ . Después de modificar el *layout*, se volvió a pasar a esquemático, y se realizaron las simulaciones correspondientes, que se exponen a continuación.

a) Simulación de parámetros S

Para el modo transmisión,  $V_c=0 \text{ V}$ :

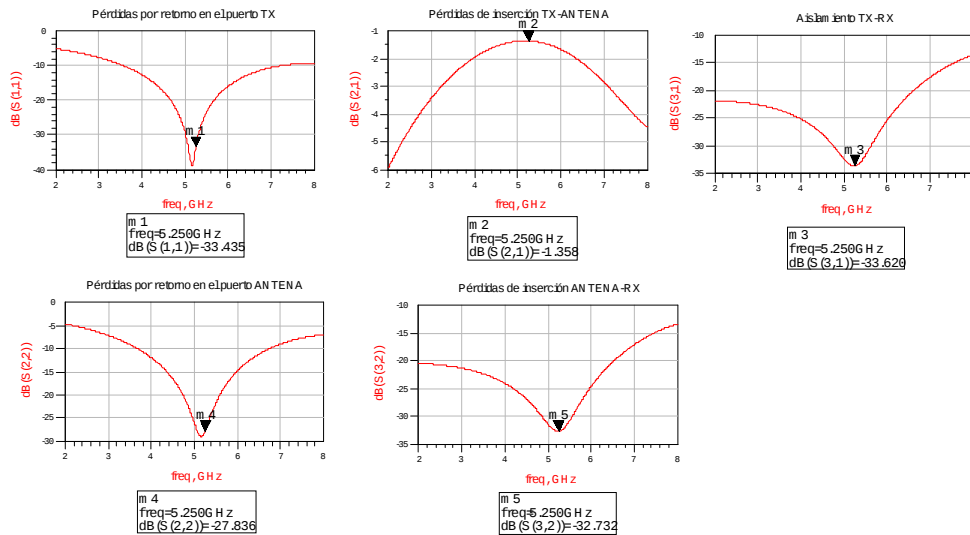


Figura 7.4

Para el modo recepción,  $V_c=-1.9 \text{ V}$ :

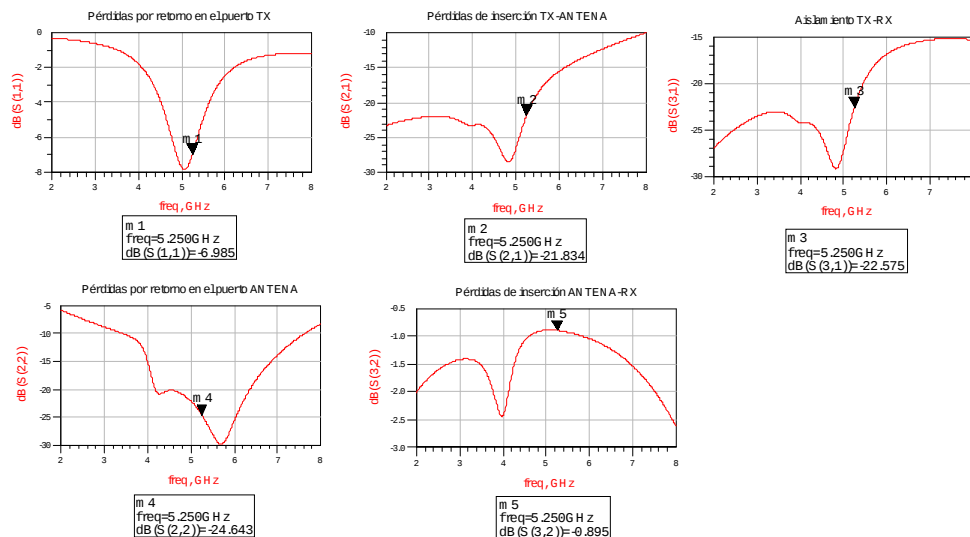


Figura 7.5

Se puede observar que se obtienen unos muy buenos valores de pérdidas de inserción y pérdidas por retorno, así como unos resultados aceptables para el aislamiento.

En cuanto al estado de recepción se probó a tomar otros valores de tensión de control, para ver como se comportaba; así, para  $V_c = -2$  V:

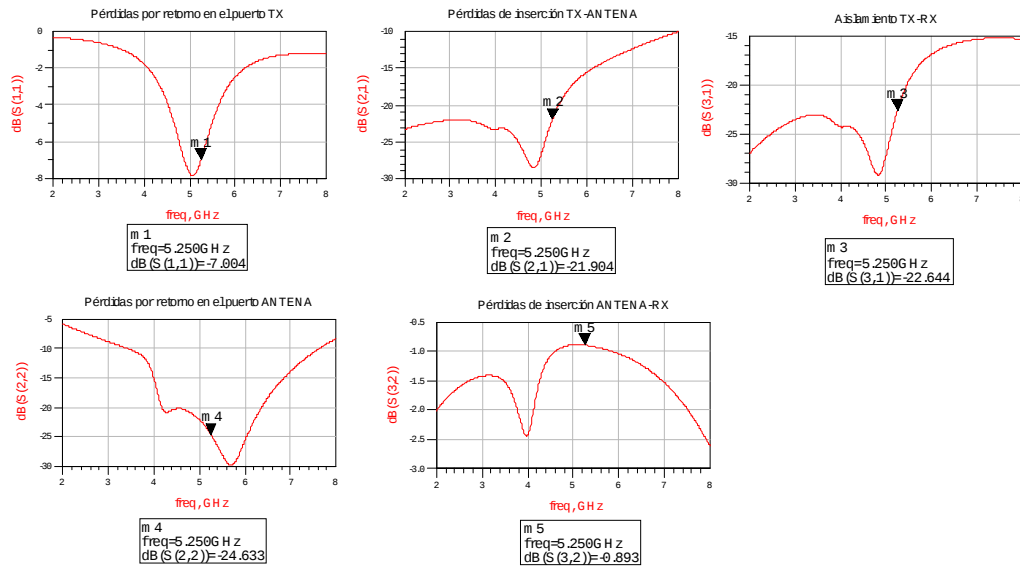


Figura 7.6

Para  $V_c = -3$  V:

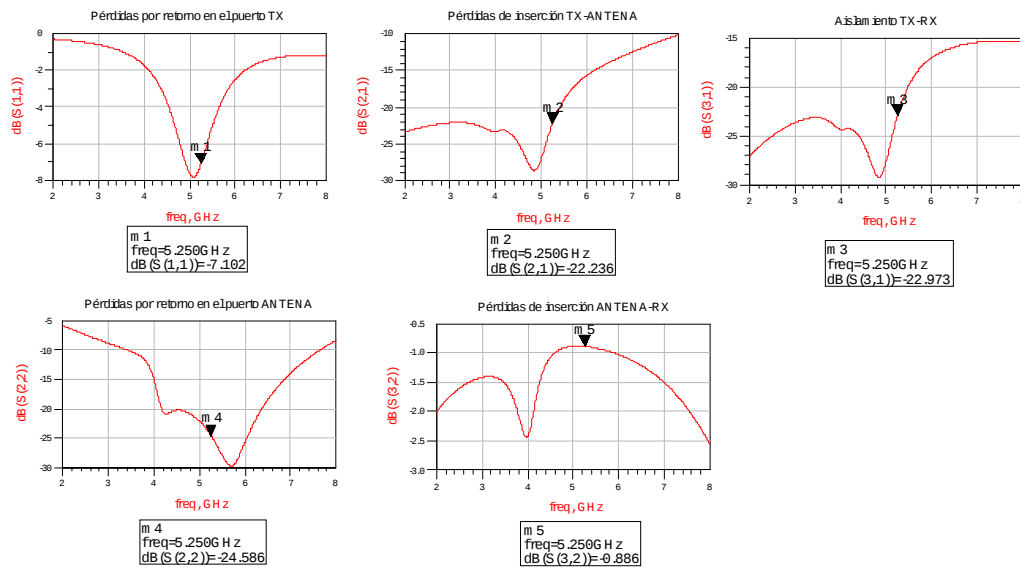


Figura 7.7

Como se puede observar, no varía mucho de uno a otro, por lo que es mejor tomar la mínima posible, -1.9 V.

También se probó a realizar diversas pruebas con distintas temperaturas de simulación:

- **10 °C**

Para el modo transmisión,  $V_c=0$  V:

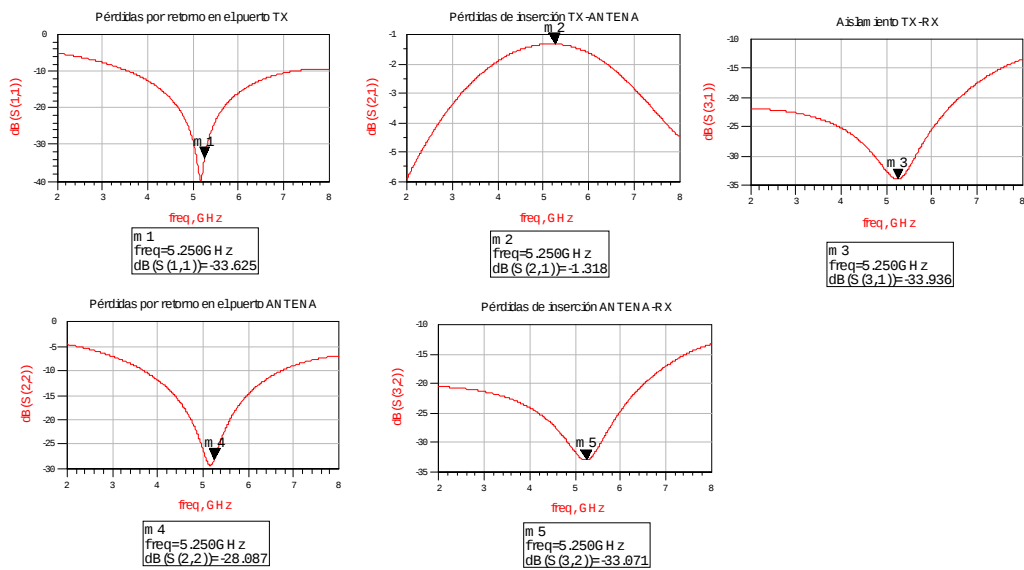


Figura 7.8

Para el modo recepción,  $V_c=-1.9$  V:

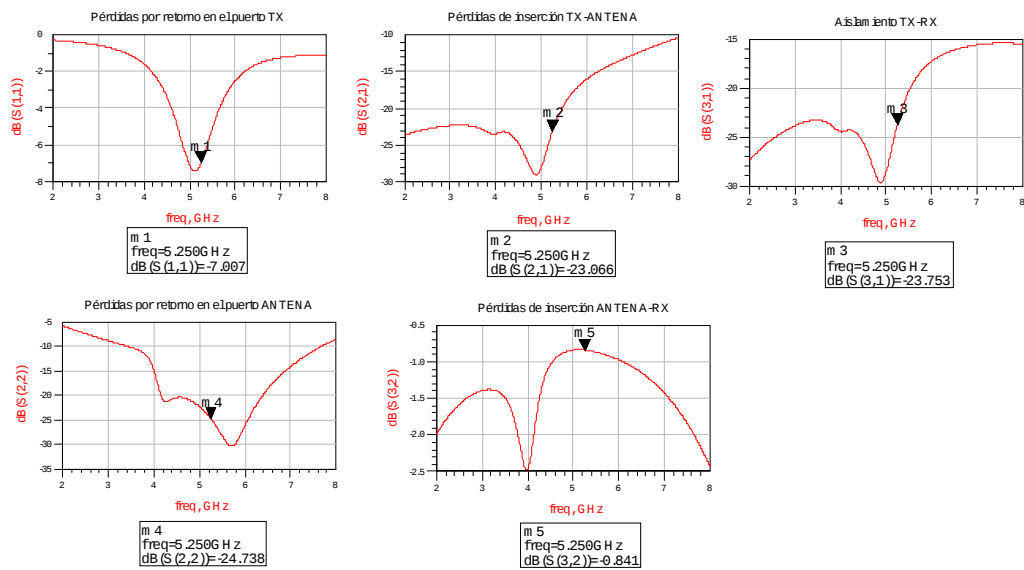


Figura 7.9

- 0 °C

Para el modo transmisión,  $V_c=0$  V:

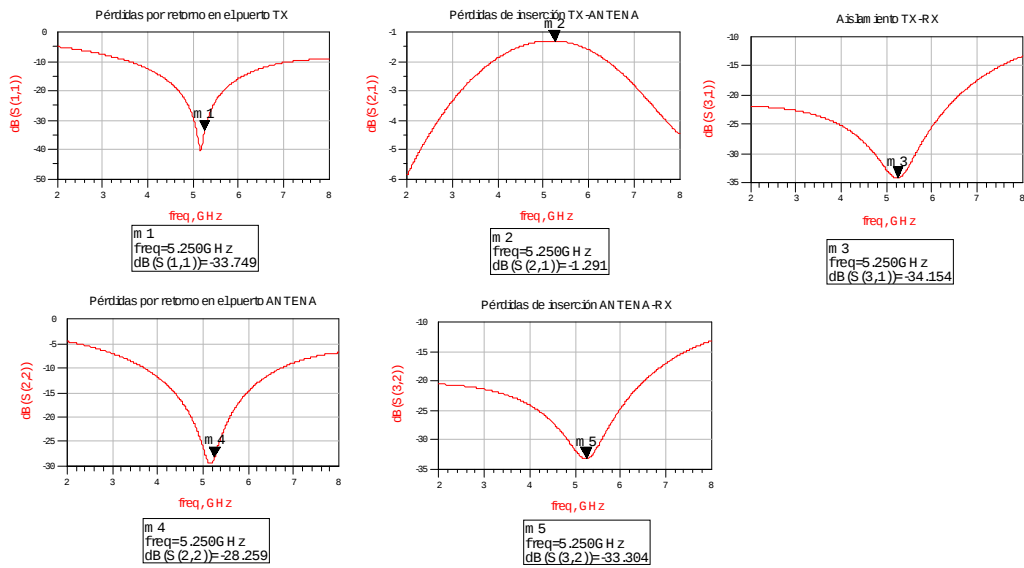


Figura 7.10

Para el modo recepción,  $V_c=-1.9$  V:

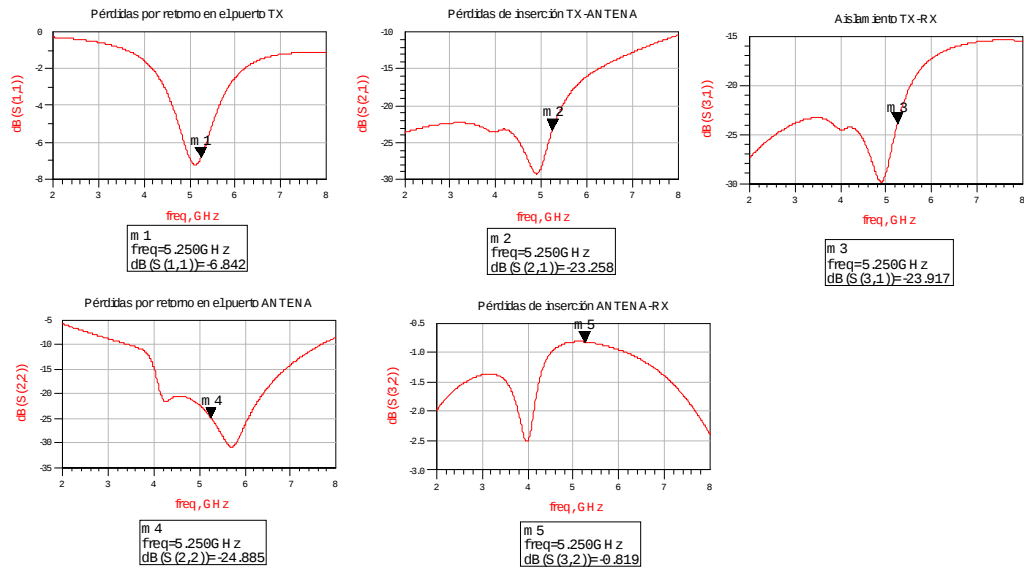


Figura 7.11

- **40 °C**

Para el modo transmisión,  $V_c=0$  V:

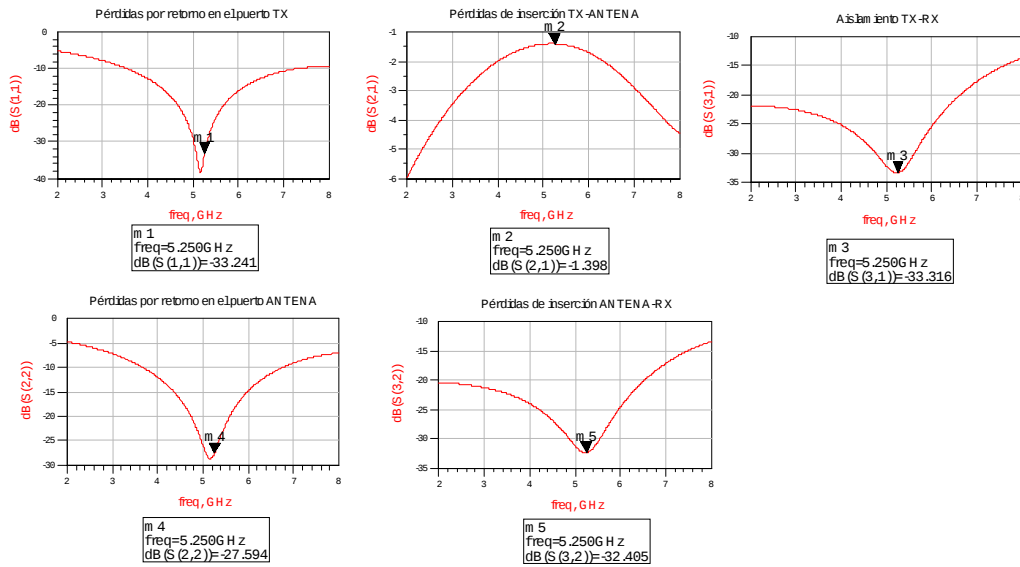


Figura 7.12

Para el modo recepción,  $V_c=-1.9$  V:

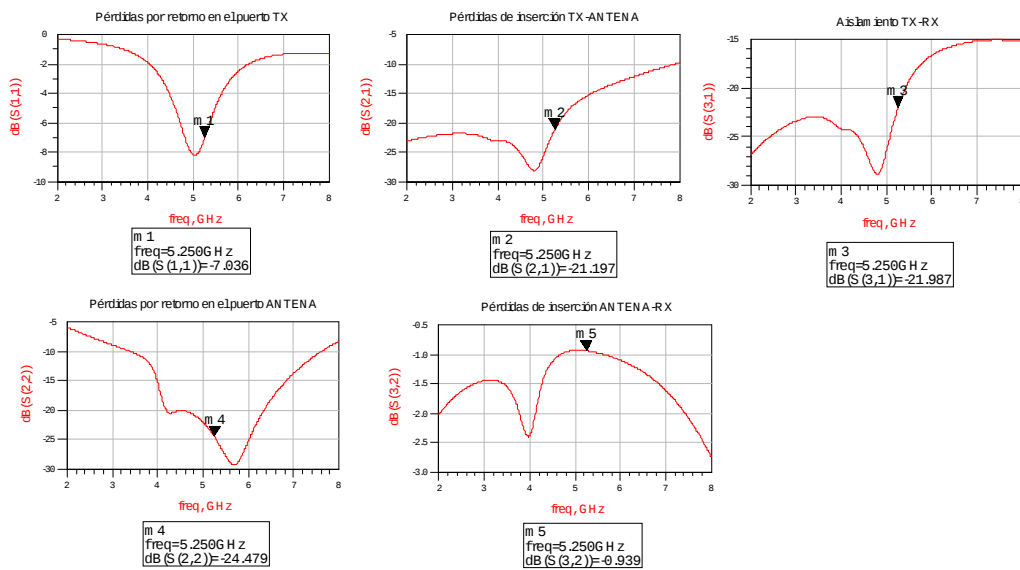


Figura 7.13

Como se puede ver, a temperaturas más bajas de simulación, mejor comportamiento tiene el conmutador, como es lógico. Sin embargo, las variaciones no son del todo muy importantes.

b) Simulación de balance armónico

Para transmisión, se metió un pulso de 30.3 dBm, y se obtuvo la potencia de salida de compresión de 1 dB:

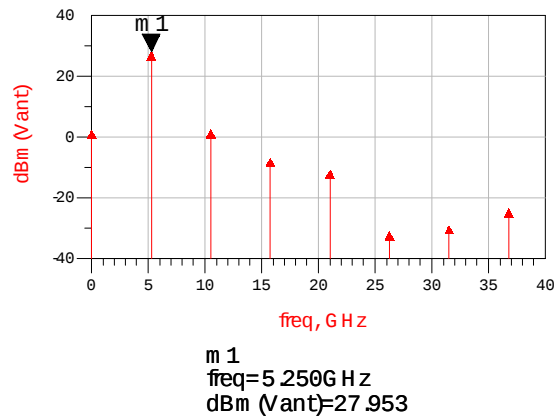


Figura 7.14

Y el punto intercepto de tercer orden para transmisión:

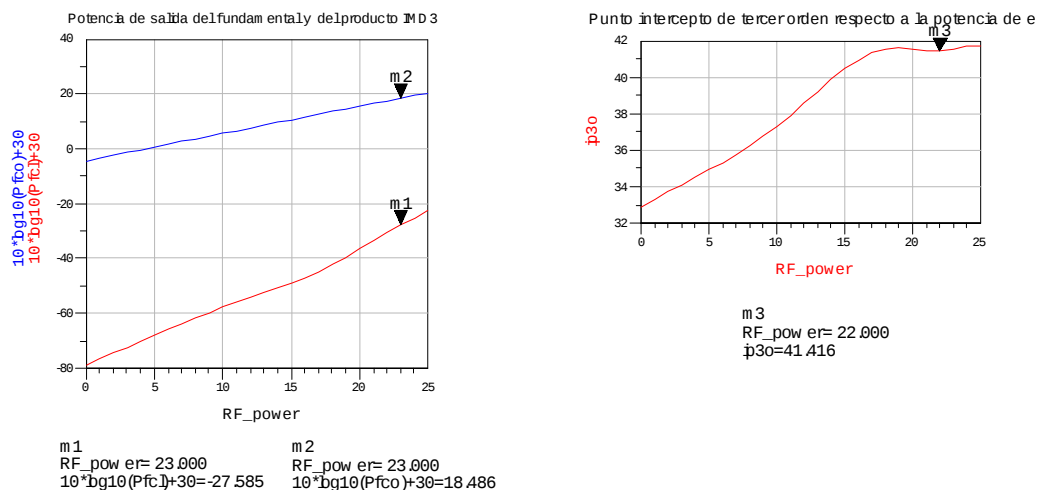


Figura 7.15

Se observa en esta última gráfica como cuando la curva correspondiente al producto de intermodulación de tercer orden toma pendiente 3 (como debe ser), la representación del IP3o se hace fiable y plana, con un valor mayor a 41 dBm aproximadamente.

Para recepción, volvieron a aparecer los problemas de convergencia nombrados anteriormente, y de una forma más intensa, por lo que sólo se consiguió llegar hasta un nivel de potencia a la entrada de la antena de 11 dBm; se comprobó que a esta potencia la respuesta todavía seguía siendo plana, lo que es mucho más que suficiente para recepción. En efecto, como se puede observar en la siguiente figura, cuando se metió un pulso de 11 dBm a la entrada, a la salida (en el receptor), sólo había perdido el equivalente a las pérdidas de inserción:

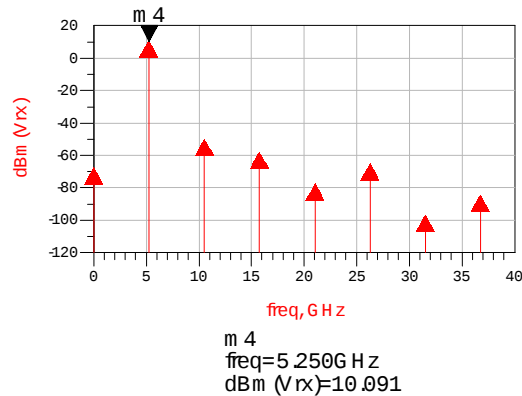


Figura 7.16

Por último, haciendo uso de la simulación de balance armónico, se hizo una comprobación que se había dejado pendiente: ¿Es adecuado el valor de las resistencias situadas en las puertas de los transistores?. Hay que recordar que el valor de estas resistencias se tomó igual al utilizado en el conmutador B. En aquella ocasión se utilizaba esta técnica para impedir la fuga de corriente a través de la puerta del transistor en corte en modo transmisión. En el caso del conmutador elegido se hizo porque, cuando se transmitía, los transistores estaban todos en conducción, y se producía una fuga de potencia de RF por las puertas de éstos. Lo que hay que comprobar ahora son dos cosas:

- ¿La intensidad a través de las puertas es pequeña?.
- ¿La intensidad a través de las puertas es lo suficientemente pequeña como para que las anchuras de las resistencias y líneas utilizadas la soporten?.

Esta última cuestión tiene un significado claro: la *Foundry*, a través de su manual de diseño, nos dice, según la anchura de la resistencia o línea, la intensidad que es capaz de soportar. Así, mirando en este manual tenemos:

| Calculation of the resistor length, maximum current and maximum voltage, given the resistor value and width |                 |         |                  |                      |                     |
|-------------------------------------------------------------------------------------------------------------|-----------------|---------|------------------|----------------------|---------------------|
| Resistor value (Ohms)                                                                                       | Width in micron | GO!     | Length in micron | Maximum current (mA) | Maximum voltage (V) |
| 7000                                                                                                        | 5               | Compute | 142.05128205     | 1.5219780215         | 10.653846153        |

| Possible connecting lines | Ohms/square | Max current (mA/um) | Min Width (um) | Min Gap (um) |
|---------------------------|-------------|---------------------|----------------|--------------|
| IN                        | 0.0275      | 6                   | 3              | 3            |
| TE                        | 0.250       | 2.5                 | 3              | 3            |
| BE                        | 0.067       | 3                   | 3              | 3            |

Figura 7.17

Como se puede observar, una línea IN de 5  $\mu\text{m}$  puede soportar 30 mA y una línea BE del mismo ancho 15 mA. En cambio, una resistencia de 7 k $\Omega$  de 5  $\mu\text{m}$  sólo soporta 1.52 mA. Por tanto, éste será el valor limitante.

Lo que se hizo fue introducir un tono de potencia 20 dBm centrado en 5.25 GHz y de orden 7, y ver el valor de la intensidad en la puerta de uno de los transistores. Se obtuvo lo siguiente:

| Frecuencia (GHz) | Intensidad (mA)     |
|------------------|---------------------|
| 0.00             | 2.023E-6 / 0.000    |
| 5.25             | 6.068E-3 / 142.883  |
| 10.50            | 2.552E-3 / 146.432  |
| 15.75            | 2.373E-3 / 83.887   |
| 21.00            | 5.426E-4 / 6.784    |
| 26.25            | 4.632E-4 / 145.969  |
| 31.50            | 2.007E-4 / -59.624  |
| 36.75            | 4.447E-4 / -127.049 |

Tabla 7.2

Si se suman, da aproximadamente 0.01 mA, por lo que no habría problema en teoría.

### 7.2.1. Otro uso del switch: diversidad de antena

Tras el diseño del conmutador, se pensó en otro aspecto en el que se puede utilizar además para el que ha sido desarrollado. Esta aplicación es la posibilidad de tener dos antenas para el caso de recepción: la principal y una de diversidad. Así, se dispone de diversidad de antena, pudiéndose conmutar de una a otra cuando las condiciones externas lo exijan. Esta idea se tomó del artículo “5-6 GHz Monolithically Integrated Calibratable Low-Noise Downconverter for Smart Antenna Arrays” ([15]).

En este artículo se presenta un *downconverter* integrado para agrupaciones de antena. Uno de los elementos de este circuito es un LNA conmutable: en la posición normal, se recibe; en la posición secundaria, se conecta a una red de calibración para calibrar el *downconverter*.

Pues bien, la idea es situar en la celda del *layout* juntos el conmutador de antena y el amplificador diseñado por otro compañero. Así, se puede crear un amplificador conmutable cuando se quiera con sólo conectar ambos elementos. De esta forma, se conectaría el amplificador en el puerto de antena y las dos antenas, una en el puerto de recepción y la otra en el puerto de transmisión.

En la siguiente figura se puede ver el proceso de adaptación de una a otra configuración. El problema que nos encontraríamos con la configuración de diversidad es que el switch no está preparado para tener un buen comportamiento en esta situación. El aspecto más crítico sería el camino recepción a antena, ya que no se ha optimizado éste para conseguir adaptación en el puerto de recepción. Por ello, este camino sería el asignado para la función de diversidad, dejando el camino óptimo para la antena principal.

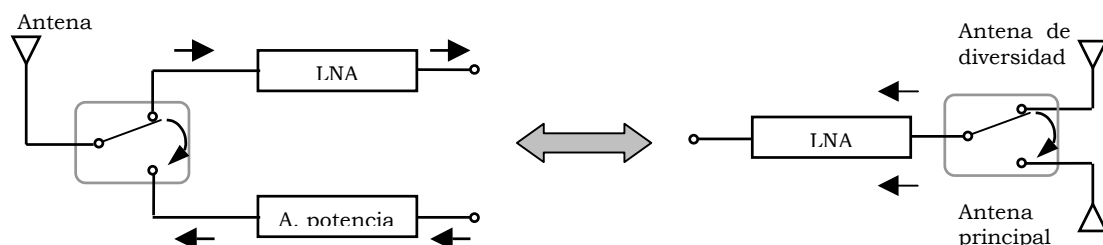


Figura 7.17

## **8. REFERENCIAS Y ANEXOS**

### **8.1. REFERENCIAS**

- [1] "MMIC Design". I.D. Robertson. The Institution of Electrical Engineers, London, United Kingdom.
- [2] "Microwave Electronic Devices". Theo G. Van De Roer. Chapman & Hill.
- [3] Manual de diseño de OMMIC.
- [4] "*An Introduction to Guided Waves an Microwave Circuits*". Robert S. Elliot. Prentice-Hall International Editions.
- [5] "*High Performance Integrated PA, T/R Switch for 1.9 GHz Personal Communications Handsets*". G. St. Onge, P. O'Sullivan, E. Heaney, F. McGrath and C. Kermarrec. M/A-COM IC Product Developptment.
- [6] "*DC-40 GHz and 20-40 GHz MMIC SPDT Switches*". M.J. Schindler and A.M. Morris. Raytheon Company Research Division.
- [7] "*A High Power 2-18 GHz T/R Switch*". M.J. Schindler and T.E. Kazior. Raytheon Company Research Division.
- [8] "*SPDT Switch MMIC Using E/D-mode GaAs JFET's for Personal Communications*". S. Kusunoki, T. Ohgihara, M. Wada and Y. Murakami. Sony Corporation Research Center.
- [9] "*A GaAs High-Power RF Single-Pole Double-Throw Switch IC for Digital Mobile Communication System*". Kazuo Miyatsuji, Shunsuke Nagata, Noriyuki Yoshikawa, Kazutune Miyanaga, Yoshiro Ohishi and Daisuke Ueda. Electronics Research Laboratory, Matsushita Electronics Corporation, Osaka, Japan.
- [10] "*A High Power K/Ka-Band Monolithic T/R Switch*". P. Bernkopf, M. Schindler, A. Bertrand. Raytheon Company Research Division.
- [11] "Microwave Engineering". David M. Pozar.
- [12] "*A Sub-Nanosecond Resonant-Type Monolithic T/R Switch for Millimeter-Wave Systems Applications*". Mohammad Madihian, Laurent Desclos, Kenichi Maruhashi, Kazuhiko Onda and Masaaki Kuzuhara. IEEE Transactions on Microwave Theory and Techniques, Vol. 46, n° 7, July 1998.
- [13] "*High-Perfomance GaAs Switch IC's Fabricated Using MESFET's with Two Kinds of Pinch-off Voltages and a Symmetrical Pattern Configuration*". Hisanori Uda, Takashi Yamada, Tetsuro Sawai, Kaoru Nogawa and Yasoo Harada. IEEE Journal of Solid-State Circuits, Vol. 29, n° 10, October 1994.
- [14] "*A Low-Voltage, High-Power T/R-Switch MMIC Using LC Resonators*". Tsuneo Tokumitsu, Ichihiko Toyoda and Masayoshi Aikawa. IEEE Transactions on Microwave Theory and Techniques, Vol. 43, n° 5, May 1995.
- [15] "*5-6 GHz Monolithically Integrated Calibratable Low-Noise Downconverter for Smart Antenna Arrays*". T. Brauner, R. Vogt and W. Bächtold. Laboratory for Electromagnetic Fields and Microwave Electronics, Swiss Federal Institute of Technology (ETH), Zürich, Switzerland.

## 8.2. ANEXOS

### 8.2.1. Cálculo en MATLAB de las gráficas de $I_q$ , $V_{ds}$ , $V_{gs}$ y $V_{gd}$ del switch B

Aquí se muestran los archivos de MATLAB con los que se han obtenido las gráficas 5.16 y 5.17. El archivo principal es *grafica.m*, que hace una llamada a cada una de las otras funciones.

#### - ***grafica.m***

```
r=[0:10:10000];
y=abs(ig(r)*10^3);
t1=abs(vds(r));
t2=abs(vgd(r));
t3=abs(vgs(r));
ejex=[0:0.01:10];
plot(ejex,y);xlabel('Resistencia de puerta (kOhms)');ylabel('| Intensidad máxima de puerta | (mA)');
grid on;
pause
plot(ejex,t1,ejex,t2,ejex,t3);xlabel('Resistencia de puerta (kOhms)');ylabel('| Vgsmax |, | Vgdmax |, | Vdsmax | (V)');
legend('| Vdsmax |', '| Vgdmax |', '| Vgsmax |', 0);
grid on;
```

#### - ***ig.m***

```
function I3=ig(res)
I1=0;
I2=0;
I3=0;
Vds=0;
Vgd=0;
Vgs=0;
I3=((1.571+j*0.538)./(-45+res-j*121));
```

#### - ***vds.m***

```
function Vds=vds(res)
I1=0;
I2=0;
I3=0;
Vds=0;
I3=((1.571+j*0.538)./(-45+res-j*121));
I2=(0.611+j*6.18)*10^-3+(0.485+j*0.05)*I3;
I1=2.22*I2-0.586*I3;
Vds=-j*415*(I1-I2);
```

#### - ***vgs.m***

```
function Vgs=vgs(res)
I1=0;
I2=0;
I3=0;
Vgs=0;
I3=((1.571+j*0.538)./(-45+res-j*121));
I2=(0.611+j*6.18)*10^-3+(0.485+j*0.05)*I3;
I1=2.22*I2-0.586*I3;
Vgs=-j*243*(I3-I2);
```

- ***vgd.m***

```
function Vgd=vgd(res)
I1=0;
I2=0;
I3=0;
Vgd=0;
I3=((1.571+j*0.538)./(-45+res-j*121));
I2=(0.611+j*6.18)*10^-3+(0.485+j*0.05)*I3;
I1=2.22*I2-0.586*I3;
Vgd=-j*263*I2;
```

### 8.2.2. Artículo en el que se basa el switch A

#### A Sub-Nanosecond Resonant-Type Monolithic T/R Switch for Millimeter-Wave Systems Applications

Mohammad Madihian, Laurent Desclos, Kenichi Maruhashi, Kazuhiko Onda, and Masaaki Kuzuhara

**Abstract**—This paper is concerned with the design consideration, fabrication process, and performance of a V-band monolithic transmit/receive (T/R) switch for millimeter-wave wireless networks applications. The developed switch integrated circuit (IC) has a novel structure in which to pass a signal, it presents a parallel resonant circuit to the signal by forward biasing a pair of switching heterojunction FET's (HJFET's), but to block the signal, it presents a series resonant circuit to the signal by reverse biasing the switching HJFET's. With a control voltage of 0/3.2 V, the developed T/R switch exhibits a minimum insertion loss of 3.9 dB, a maximum isolation of 41 dB, and a high switching speed of 250 ps, over 57–61 GHz. The monolithic T/R switch chip size is 3.3 mm × 1.7 mm.

#### I. INTRODUCTION

Development of high-speed transceiver transmit/receive (T/R) switches with excellent isolation characteristics are indispensable for 100–200-Mb/s millimeter-wave indoor local area networks (LAN's) and automotive-sensors applications [1], [2]. FET switches are advantageous over their p-i-n diode counterparts for their fast switching speed, RF-isolated bias port, negligible power dissipation, and monolithic realizability [3]–[5].

A conventional FET T/R switch is constructed by essentially incorporating a series/shunt pair of FET's between the antenna and receiver (RX) ports, as well as between the antenna and transmitter (TX) ports [6]–[8]. Such a structure, which has been applied to frequencies below 20 GHz, exhibits an appreciable isolation characteristics, however, has a relatively low switching speed of several nanoseconds. To improve the speed characteristics of the switch while keeping the isolation high, the series FET's in the above structure have been replaced by transmission lines having specific length and characteristics impedance [5], and switching speeds of 0.5 ns at 18 GHz and 1 ns at 60 GHz have been recently reported [9], [10].

The FET T/R switches reported so far block a signal when a control voltage applied to the gate terminal of the shunt FET is 0 V, but pass the signal when the control voltage is equal to or lower than the shunt FET's pinchoff voltage. To cancel out a mismatching effect of the FET drain-source pinchoff capacitance on the insertion characteristics, it is required to incorporate a parallel-resonating inductance between the drain terminal and the ground, which in turn, dc grounds the drain terminal, and thus, deteriorates low-frequency insertion characteristics of the switch.

Utilizing a series/parallel resonance concept, this paper describes an FET T/R switch featuring a simple structure suitable for sub-nanosecond class millimeter-wave transceiver applications. Circuit design, fabrication process, and experimental results for the case of a coplanar waveguide (CPW) V-band T/R switch using 0.15  $\mu\text{m}$  × 300  $\mu\text{m}$  AlGaAs/InGaAs heterojunction FET's (HJFET's) are presented.

Manuscript received March 14, 1997; revised April 7, 1998.

M. Madihian and L. Desclos are with the Wireless Network Technology Group, C & C Media Research Laboratories, NEC Corporation, Kawasaki, 216 Japan.

K. Maruhashi, K. Onda, and M. Kuzuhara are with Kansai Electronics Research Laboratories, NEC Corporation, Shiga, 520 Japan.

Publisher Item Identifier S 0018-9480(98)04940-0.

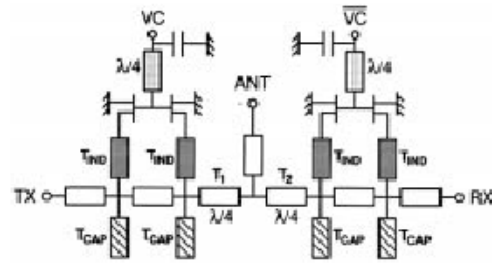


Fig. 1. V-band T/R switch schematic circuit diagram.

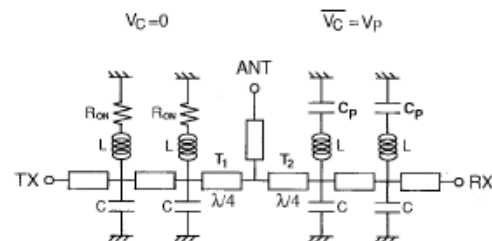


Fig. 2. Switch equivalent circuit for the case of  $V_C = 0$  and  $V_C = V_P$ .

#### II. CIRCUIT DESIGN

A schematic circuit diagram for the CPW V-band FET T/R switch is shown in Fig. 1. The switch consists of TX and RX arms, each comprising a pair of depletion-type shunt FET's, inductive transmission lines  $T_{IND}$  connected in series with each FET and capacitive transmission lines  $T_{CAP}$ , which are in parallel connection with each  $T_{IND}$ .

Signal-line segments in the transmitter-to-antenna path, as well as in the antenna-to-receiver path, have a characteristics impedance of 50  $\Omega$ . Quarter-wavelength line segments  $T_1$  and  $T_2$  in the transmitter-to-antenna and antenna-to-receiver paths, respectively, provide a high transmitter-to-receiver isolation, to be explained later.

Switch operation is performed by changing control voltages  $V_C$  and  $V_{\bar{C}}$  complementarily, which causes an FET pair to be either in an "ON" state or "OFF" state. Quarter-wavelength transmission lines incorporated between the FET gates and the bias port and bypass capacitors are used in each arm to eliminate an RF signal leakage into the FET gate bias circuit.

To explain the operation principles for the present switch, an equivalent circuit for the case of  $V_C = 0$  and  $V_{\bar{C}} = V_P$  (FET pinchoff voltage) is shown in Fig. 2, where the drain-source impedance of each FET in the TX arm is represented by the FET "ON" resistance  $R_{ON}$ , and that of each FET in the RX arm is represented by the drain-source pinchoff capacitance  $C_P$ .  $L$  and  $C$ , on the other hand, are the equivalent inductance and capacitance of  $T_{IND}$  and  $T_{CAP}$ , respectively.

Under such a circumstance, for this structure, in contrast to previously reported switches, by causing an FET pair to be in the "ON" state, the resultant parallel resonant circuit in the corresponding arm (TX arm, for this case) will become "open" and the signal can be transmitted, but on the other hand, by causing an FET pair to be in the "OFF" state, the resultant series resonant circuit in the corresponding

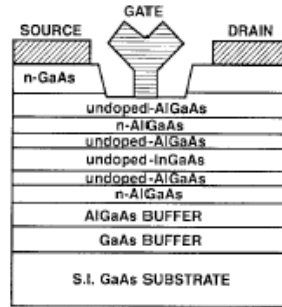


Fig. 3. Cross-sectional view for the AlGaAs/InGaAs HJFET used in the switch chip.

arm (RX arm, for this case) will become “short” and the signal will be blocked. Moreover, the role of quarter-wavelength line segments  $T_1$  and  $T_2$  is to cancel out the effect of a series resonant short circuit in one arm on a signal being transmitted in the other arm, and also to sustain a high transmitter-to-receiver isolation.

The switch was designed for operation at a center frequency of 60 GHz. Based on capacitance measurement results for a discrete  $0.15 \mu\text{m} \times 300 \mu\text{m}$  AlGaAs/InGaAs HJFET, the switch circuit (shown in Fig. 1) was analyzed on a nonlinear circuit simulator to optimize capacitive transmission lines  $T_{CAP}$ , as well as inductive transmission lines  $T_{IND}$ , for best port matching, minimum insertion loss, and maximum isolation.

### III. FABRICATION PROCESS AND DEVICE CHARACTERISTICS

The V-band T/R switch integrated circuit (IC) was fabricated on a 3-in undoped SI GaAs substrate. A cross-sectional view of a molecular beam epitaxy (MBE) AlGaAs/InGaAs HJFET used in the MMIC is shown in Fig. 3. The epitaxial layer structure consists of an AlGaAs/GaAs superlattice followed by GaAs and AlGaAs buffers, a 13-nm  $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  channel sandwiched between Si-doped  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$  layers and an 80-nm  $\text{n}^+\text{-GaAs}$  cap layer. In the FET fabrication process, mesa-isolation, conventional photolithography, electron beam evaporation, and liftoff techniques have been employed. A CPW structure was used for transmission lines, which permits chip size reduction and the possibility of realizing transmission lines with different characteristics impedances without affecting the overall chip layout. To suppress odd modes, metal bridges were extensively employed to connect ground planes along the lines, particularly in the vicinity of a line discontinuity. A metal-insulator-metal (MIM) structure was applied for fabricating dc blocking and bypass capacitors. Details of the fabrication process have been reported elsewhere [11], [12]. The HJFET's used in the switch IC have a gate length of  $0.15 \mu\text{m}$  and a total gatewidth of  $300 \mu\text{m}$  ( $75 \mu\text{m} \times 4$  fingers). Typical transconductance of 380 mS/mm and  $f_T$  of 70 GHz, both at a drain bias of 4 V, and a reverse gate-drain breakdown voltage of 10 V have been measured for the HJFET's. Measured pinchoff voltage and corresponding drain-to-source pinchoff capacitance for the HJFET's are  $-3.2$  V and 0.1 pF, respectively. The inductance  $L$  and capacitance  $C$  were realized, respectively, using  $12 \mu\text{m} \times 80 \mu\text{m}$  and  $54 \mu\text{m} \times 1200 \mu\text{m}$  transmission-line segments.

### IV. PERFORMANCE

Fig. 4 shows the chip photograph for the developed V-band switch. Chip size is  $3.3 \text{ mm} \times 1.7 \text{ mm}$ . Cascade Microtech probe station

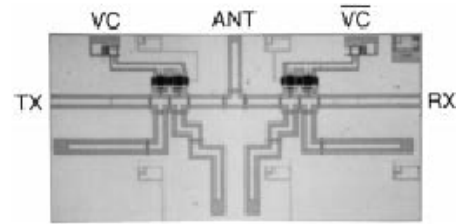


Fig. 4. V-band CPW FET T/R switch MMIC with a chip size of  $3.3 \text{ mm} \times 1.7 \text{ mm}$ .

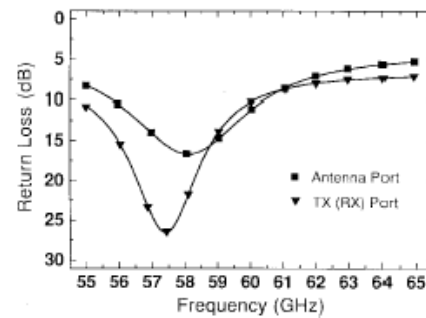


Fig. 5. Small-signal matching characteristics for the antenna and TX (or RX) ports.

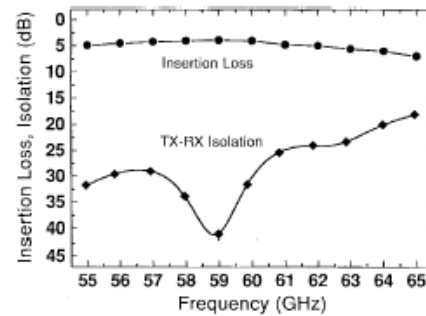


Fig. 6. Measured insertion loss and TX-to-RX isolation characteristics for the switch.

was utilized for on-wafer chip performance evaluation. Small-signal matching characteristics for the antenna and TX, as well as RX ports are depicted in Fig. 5. With respect to Fig. 5, the antenna port exhibits a return loss higher than 10 dB over 56–60.5 GHz. On the other hand, return loss for the TX port during the transmission mode, i.e.,  $V_G = 0$  and  $V_D = -3.2$  V is higher than 10 dB over 55–60.5 GHz. This curve also represents the return-loss characteristics for the RX port during the reception mode, i.e.,  $V_G = -3.2$  V and  $V_D = 0$ . Insertion-loss characteristics during transmission/reception mode and TX-to-RX isolation performance for the switch are shown in Fig. 6. The insertion loss has a minimum value of 3.9 dB at 59 GHz, and remains lower than 5 dB over 56–62 GHz. On the other hand, the TX-to-RX isolation has a maximum value of 41 dB at 59 GHz, and remains higher than 28 dB over 56–61 GHz.

Speed performance for the T/R switch was investigated using a 250-MHz 50% duty pulse with a 0-V/3.2-V level and a rise/fall time

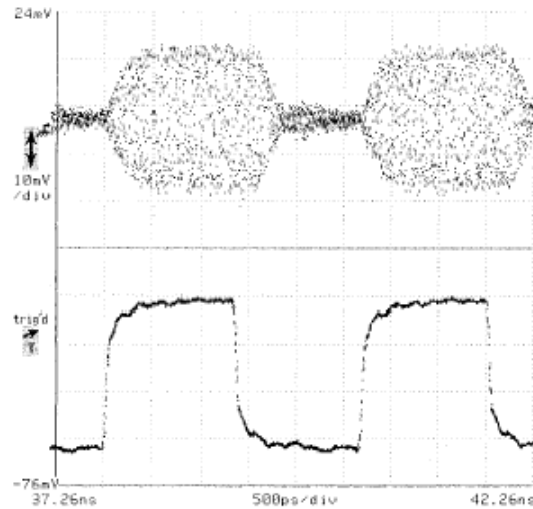


Fig. 7. Switch's speed performance measured using a 250-MHz 50% duty pulse.

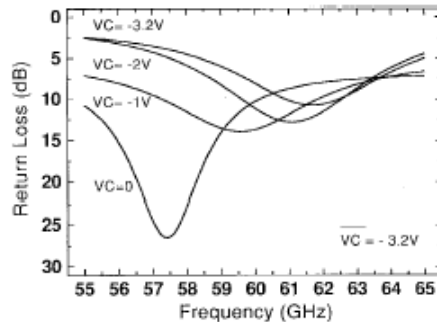


Fig. 8. Control voltage dependence of TX port matching for a fixed  $V_{GS} = -3.2$  V, and  $V_{DS}$  as a parameter.

of 100 ps. As depicted in Fig. 7, the chip exhibited a rise and fall time of 250 ps for a 60-GHz input signal. We believe that the developed monolithic microwave integrated circuit (MMIC) represents the state-of-the-art switching speed among all other circuits reported so far.

#### A. Effects of Control Voltage Adjustment on Switching Behavior

As was stated earlier, this switch operates based on a series/parallel resonance concept. For a fixed inductance  $L$ , the resonant frequency of the switch can be changed by adjusting the control voltages  $V_{GS}$  and  $V_{DS}$  which, in turn, changes the corresponding FET's drain-source capacitance. Recalling Fig. 1, we investigated the effects of  $V_{GS}$  change on the TX port-matching and insertion-loss characteristics for a fixed  $V_{DS} = -3.2$  V. Results, for the cases of  $V_{GS} = 0, -1, -2$ , and  $-3.2$  V are summarized in Figs. 8 and 9. With respect to Figs. 8 and 9, while the best port matching and lowest insertion loss have been achieved for a  $V_{GS} = 0$ , reduction of  $V_{GS}$  reduces the return loss and, consequently, increases the insertion loss, until  $V_{GS}$  approaches pinch-off voltage ( $-3.2$  V) for which the TX port becomes isolated from the antenna port. Moreover, it can be observed that by reducing  $V_{GS}$ , the resonant frequency of the switch, and thus, the operation center frequency of the switch, can be shifted up until  $V_{GS}$  approaches  $-3.2$  V, beyond which there will be no significant change.

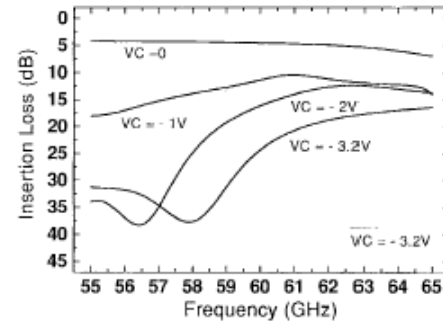


Fig. 9. Control voltage dependence of insertion loss for a fixed  $V_{GS} = -3.2$  V, and  $V_{DS}$  as a parameter.

#### V. CONCLUSIONS

Design consideration and performance for a V-band monolithic T/R switch were described. The developed switch IC has a novel structure in which to pass a signal; it presents a parallel resonant circuit to the signal by forward biasing a pair of switching HJFET's, but to block the signal, it presents a series resonant circuit to the signal by reverse biasing the switching HJFET's. With a control voltage of 0/ $-3.2$  V, the developed T/R switch exhibits a minimum insertion loss of 3.9 dB and a maximum isolation of 41 dB over 57–61 GHz. On the other hand, measured switching speed for the developed chip is 250 ps, which is believed to be the fastest value achieved so far. The monolithic T/R switch chip size is  $3.3 \text{ mm} \times 1.7 \text{ mm}$ , and the hope is to find applications in high-speed millimeter-wave indoor wireless LAN and automotive-sensors systems.

#### REFERENCES

- [1] D. Skellern and T. Percival, "High speed wireless LAN's: Technologies for missing link," in *IEEE Microwave Millimeter-Wave Monolithic Circuits Symp. Dig.*, San Diego, CA, May 1994, pp. 1–4.
- [2] H. H. Meinel, "Millimeter-wave automotive sensors" in *IEEE GaAs IC Symp. Short Course Dig.*, Oct. 1993.
- [3] R. A. Gaspari and H. H. Yee, "Microwave GaAs FET switching," in *IEEE Microwave Theory Tech. Symp. Dig.*, Ottawa, Ont., Canada, June 1978, pp. 58–60.
- [4] W. V. McLevige and V. Sokolov, "Resonant GaAs FET devices for microwave switching," *IEEE Trans. Electron Devices*, vol. ED-28, pp. 198–203, Feb. 1981.
- [5] Y. Ayasli, "Microwave switching with GaAs FETs," *Microwave J.*, vol. 25, pp. 61–71, Nov. 1982.
- [6] J. A. Eisenberg, T. B. Chamberlain, and L. R. Sloan, "High isolation 1–20 GHz MMIC switches with on-chip drivers," in *IEEE Microwave Millimeter-Wave Monolithic Circuits Symp. Dig.*, Long Beach, CA, June 1989, pp. 41–45.
- [7] H. Uda, T. Sawai, T. Yamada, K. Nogawa, and Y. Harada, "High performance GaAs switch IC's fabricated using MESFET's with two kinds of pinch-off voltages," in *IEEE GaAs IC Symp. Dig.*, San Jose, CA, Oct. 1993, pp. 247–250.
- [8] T. Tokumitsu, I. Toyoda, and M. Aikawa, "A low-voltage, high-power T/R-switch MMIC using LC resonators," *IEEE Trans. Microwave Theory Tech.*, vol. 43, pp. 997–1003, May 1995.
- [9] P. Bernkopf, M. Schindler, and A. Bertrand, "A high power  $K/Ka$ -band monolithic T/R switch," in *IEEE Microwave Millimeter-Wave Monolithic Circuits Symp. Dig.*, Boston, MA, June 1991, pp. 15–18.
- [10] G. L. Lan, D. L. Dunn, J. C. Chen, C. K. Pao, and D. C. Wang, "A high performance V-band monolithic FET transmit-receive switch," in *IEEE Microwave Millimeter-Wave Monolithic Circuits Symp. Dig.*, New York, NY, May 1988, pp. 99–101.
- [11] N. Samoto, Y. Makino, K. Onda, E. Mizuki, and T. Itoh, "A novel electron-beam exposure technique for 0.1- $\mu\text{m}$  T-shaped gate fabrication," *J. Vac. Sci. Technol. A: Vac. Surf. Films*, no. 1335–1338, Nov/Dec 1990.
- [12] Y. Nashimoto, S. Ichikawa, N. Samoto, K. Onda, M. Kuzuhara, and K. Arai, "Super-low noise heterojunction field-effect transistors (HJFETs) with 0.2- $\mu\text{m}$  T-shaped 8 gate fingers," *NEC Res. Dev.*, vol. 33, pp. 268–272, July 1992.

### 8.2.3. Artículo en el que se basa el switch B

## High-Performance GaAs Switch IC's Fabricated Using MESFET's with Two Kinds of Pinch-off Voltages and a Symmetrical Pattern Configuration

Hisanori Uda, Takashi Yamada, Tetsuro Sawai, Kaoru Nogawa, and Yasoo Harada

**Abstract**—GaAs MESFET switch IC's operating at low control voltages of 0/−3 V and +3/0 V have been developed for use in Personal Handy Phones using the 1.9 GHz band. The switch IC's have excellent RF characteristics, and have no need for external circuit installation. The unique points of these IC's are the use of GaAs MESFET's with two kinds of pinch-off voltages and a symmetrical source and drain pattern configuration with respect to the gate. The 0/−3 V IC had low insertion loss of 0.55 dB and 0.65 dB, and high isolation of 31 dB and 24 dB at receiving and transmitting operations, respectively. The +3/0 V IC also had excellent characteristics such as insertion loss of 0.73 dB and 0.95 dB, and isolation of 27 dB and 23 dB, respectively. Both IC's had an output power at 1 dB gain compression point of 25.4 dBm and 3rd order intercept point of more than 46 dBm.

**Index Terms**—MMIC, MESFET, GaAs, switch, and simulation.

### I. INTRODUCTION

APPLICATIONS for MMIC's fabricated using GaAs MESFET's or JFET's have been expanding in mobile telecommunication systems because MMIC's can satisfy system requirements such as low-power/low-voltage for long-time operation using small-size battery cells, and provide excellent performance in the high frequency region [1], [2]. So the development of switch IC's using these FET's has also increased to replace diode switches [3], [4] which require continuously applied bias currents for switch operation. Furthermore, there is a need to lower the control voltage of FET switch IC's to 0/−3 V or +3/0 V from the conventional voltages of 0/−5 V.

Against this background, we have developed high-performance SPDT (Single Pole Double Throw) GaAs MESFET switch IC's which operate at both 0/−3 V and +3/0 V for use in the T/R switch of PHP's (Personal Handy Phones; Japan's next-generation digital cordless system) used at the 1.9 GHz band.

The target specifications of our designed MMIC switches are shown below.

- 1) Control voltage ( $V_{c(on)}/V_{c(off)}$ ) : 0/−3 V, +3/0 V;
- 2) Output power at 1 dB gain compression point ( $P_{o(1\text{ dB})}$ )  $\geq 22$  dBm;

- 3) 3rd order intercept point ( $IP_3$ )  $\geq 37$  dBm;
- 4) Insertion loss  $\leq 1.0$  dB; and
- 5) Isolation  $\geq 22$  dB.

In this paper, we describe the new techniques used in these IC's, namely the use of FET's with two kinds of pinch-off voltages ( $V_p$ ), a symmetrical source ( $S$ ) and drain ( $D$ ) pattern configuration with respect to the gate ( $G$ ), and a circuit configuration composed of minimized circuit elements. The excellent characteristics of the IC's are also shown.

### II. CIRCUIT CONFIGURATION

#### A. Use of FET's with Two Kinds of $V_p$

Fig. 1(a) shows the circuit configuration of our 0/−3 V operation SPDT switch IC. In this circuit, when the two pairs of  $FET1$  and 4, and  $FET2$  and 3 are "on" and "off," respectively, an input signal from the antenna ( $ANT$ ) is transmitted to the receiving circuit ( $RX$ ) block, and conversely, when the two pairs of  $FET1$  and 4, and  $FET2$  and 3 are "off" and "on," respectively, a signal generated from the transmitting circuit ( $TX$ ) block is transmitted to  $ANT$  [2]. Important  $T/R$  switch characteristics given by the PHP specifications are (i) a control voltage to maintain the "off" state ( $V_{c(off)}$ ), (ii) insertion loss, and (iii) linearity of the power transfer characteristics at the  $TX$  block, and (iv) isolation at the  $RX$  block during transmitting operations from the  $TX$  block to  $ANT$ . However, the characteristics of conventional IC's made from FET's with only one  $V_p$  are inherently degraded as  $V_{c(off)}$  becomes lower. In order to prevent this degradation, FET's with two kinds of  $V_p$ , that is, a shallow  $V_p$  (−0.8 V) and a deep  $V_p$  (−2.4 V) were used for the pairs of  $FET1$  and 2, and  $FET4$  and 3, respectively. This  $V_p$  combination is suitable for achieving excellent characteristics in PHP  $T/R$  switch IC's which require different power levels at receiving (lower level) and transmitting (higher level) operations because of the following reasons.

Fig. 1(b) shows the two  $I_D$ - $V_D$  curves of MESFET's with a deep and shallow  $V_p$ , and the voltage swing levels of the input signal source ( $V_{TX}$ ) corresponding to the transmitting power from the  $TX$  block to  $ANT$ . The load line of  $FET3$  is given by (1) assuming that the "off" state of  $FET1$  and 4 are perfect, namely that the impedance between  $S$  and  $D$

Manuscript received January 17, 1994; revised May 13, 1994.  
The authors are with the Microelectronics Research Center, Sanyo Electric Co., Ltd., Hirakata-shi, Osaka 573, Japan.  
IEEE Log Number 9404686.

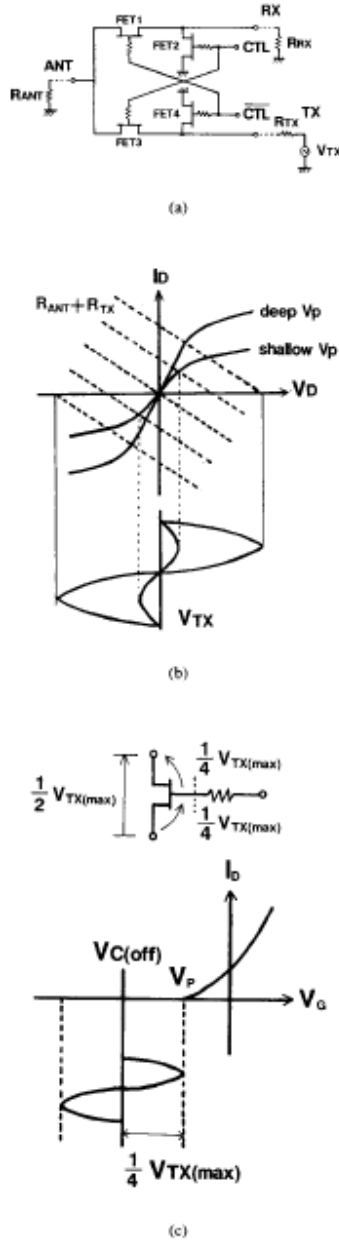


Fig. 1. (a) Circuit configuration of 0/-3 V operation SPDT switch IC. (b)  $I_D - V_D$  curves as a function of  $V_p$  and the swing level of the input signal. (c) Applied voltage of the FET and qualification of the "off" state.

electrodes of the FET is infinite.

$$I_D = -\frac{V_{DS}}{R_{TX} + R_{ANT}} + \frac{V_{TX}}{R_{TX} + R_{ANT}} \quad (1)$$

Where  $R_{ANT}$  is the impedance of the antenna, the  $TX$  block consists of inner impedance ( $R_{TX}$ ) and signal source ( $V_{TX}$ ), and both impedances are assumed to be  $50 \Omega$ . The figure indicates that the deep  $V_p$  can provide a lower and wider-range constant  $R_{on}$  defined as  $V_D/I_D$  in the linear region, than the shallow  $V_p$ , which means that the deep  $V_p$  cannot only achieve lower insertion loss than the shallow  $V_p$  because the power dissipated at  $R_{on}$  is smaller, but can also heighten the linearity because the linearity depends on the constant range of the  $R_{on}$ , which allows the incremental  $I_D$  to be proportional to the increment in the  $V_{TX}$ . Consequently, the pair of FET3 and 2 with deep  $V_p$  is used to achieve high linearity and low insertion loss during high-level power transmitting. In the "off" state, both the deep  $V_p$  and shallow  $V_p$  have the same capacitance between  $S$  and  $D$  because their FET's are fabricated with the same geometry, and the depletion layer is fully extended into the channel region. A similar analysis between  $V_p$  and RF characteristics for the FET3 is applied to the FET2.

The  $V_p$  of the pair of FET1 and 4 is determined by the maximum voltage swing level  $V_{TX(max)}$  of  $V_{TX}$  at the  $TX$  block as follows: Fig. 1(c) shows the relation between  $V_p$  and  $V_{TX(max)}$  to keep the "off" state of these FET's while transmitting the high-level power signal from the  $TX$  block to  $ANT$  (see Fig. 1(a)). Assuming that the  $R_{on}$  of FET3 is small and the "off" state of FET1 is perfect, the voltage of the signal source is divided equally into  $R_{ANT}$  and  $R_{TX}$ . So, the applied voltage between the  $S$  and  $D$  of FET1 is equal to the applied voltage of  $R_{ANT}$ . Consequently, its maximum value is  $V_{TX(max)}/2$ . And also, the applied maximum voltage to  $S-G$  and  $G-D$  is  $V_{TX(max)}/4$ , when the leak current of  $G$  is negligibly small and the FET has symmetrical  $S$  and  $D$  with respect to  $G$ . Therefore, the "off" state of kept at

$$V_p \geq V_{C(off)} + V_{TX(max)}/4,$$

but at

$$V_p \leq V_{C(off)} + V_{TX(max)}/4,$$

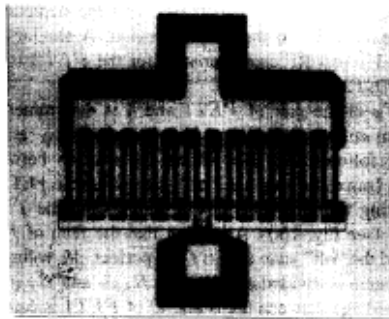
the "off" state is lost, that is, the isolation of the reception path is degraded. Then FET with a shallow  $V_p$  can achieve high isolation at the low  $V_{C(off)}$  during high-level power transmitting. The  $V_p$  value of shallow FET's is determined so as to keep the "off" state at up to 23 dBm.

#### B. Symmetrical Source and Drain Pattern Configuration

Fig. 2(a) and (b) show top SEM photographs of the newly developed FET in order to simulate an accurate switch circuit, which has a completely symmetrical  $S$  and  $D$  pattern configuration and device structure with respect to  $G$ , and a conventional asymmetrical FET pattern with a comb-type  $G$  used for LNA's (Low Noise Amplifiers) and so on. This symmetrical FET has the following two unique advantages compared with the conventional FET. One is that the  $S$  and  $D$  side grounded capacitances are equal, which makes it easy and accurate to estimate the grounded capacitances. The other is that the grounded capacitances of a discrete FET have almost the same value in the IC because the  $S$  and  $D$



(a)



(b)

Fig. 2. (a) Symmetrical source and drain pattern configuration. (b) Asymmetrical source and drain pattern configuration.

(especially the  $S$ ) pattern can maintain the same shape in the switch IC. It is difficult for a conventional FET to maintain the  $S$  area in order to combine the  $S$  with ground. Fig. 3 shows that an equivalent circuit of the FET used for the circuit adds grounded capacitances [ $C_{e(on)}$  and  $C_{e(off)}$ ] to the conventional equivalent circuit [2], [5] described by only the  $R_{on}$  and  $C_{off}$ . Fig. 4 shows the device structure of a symmetrical FET.  $G$  is positioned in the center of  $S$  and  $D$  by means of self-alignment process technology. The gate length and unit gate width are  $0.5\mu\text{m}$  and  $100\mu\text{m}$  respectively, and the distance between the  $S$  and  $G$  ( $L_{sg}$ ) and  $G$  and  $D$  ( $L_{gd}$ ) are both  $0.5\mu\text{m}$ . Fig. 5 shows the  $C_{e(off)}$  of the symmetrical and asymmetrical FET as a function of gate width, which were obtained by a optimum fitting method simulation using both measured  $S$  parameters and the equivalent circuit. This shows that the  $C_{e(off)}$  on the  $S$  and  $D$  sides are equal for the symmetrical FET but different for the asymmetrical FET, and that the  $C_{e(off)}$  on the  $S$  side are small compared with the asymmetrical FET. Above mentioned results can also apply to the  $C_{e(on)}$ .

### C. Simulation

The MMIC switches were designed to use a unique relationship between the wire-inductances and total grounded

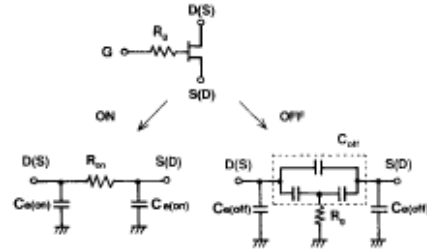


Fig. 3. Equivalent circuit for the "on"/"off" state of the MESFET.

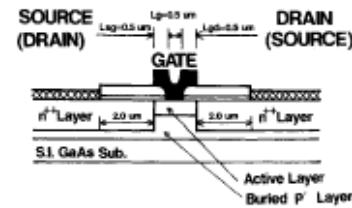


Fig. 4. Cross-sectional view of a symmetrical GaAs MESFET structure.

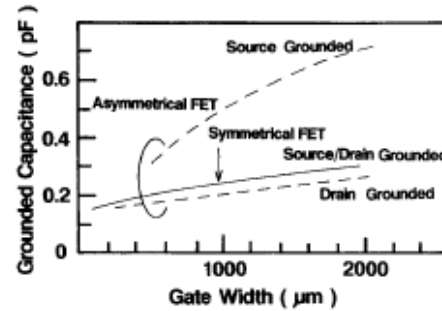
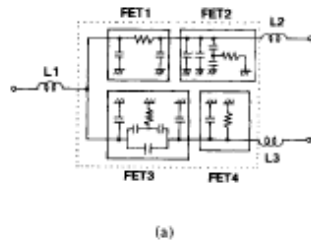


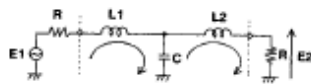
Fig. 5. Grounded capacitance of the "off" state ( $C_{e(off)}$ ) as a function of the gate width.

capacitance ( $C$ ) of the switch IC in order to send the  $TX$  and  $RX$  signals efficiently, which perform like an excellent transmission line as shown below. Fig. 6(a) shows the equivalent circuit of a switch IC including  $C_{e(on)}$  and  $C_{e(off)}$ , where  $FET1$  and  $4$  are in the "on" state and  $FET2$  and  $3$  are in the "off" state, and  $L1 \sim L3$  are the bonding wire inductance. In this case, the signal is transmitted from  $ANT$  to the  $RX$  block. This equivalent circuit can be further simplified as shown in Fig. 6(b). The relationship between input voltage ( $E_1$ ) and output voltage ( $E_2$ ) is given by (2), assuming  $L1 = L2 = L$ .

$$E_2 = \frac{R}{j\omega C \left[ \frac{1}{\omega^2 C^2} + \left\{ R + j \left( \omega L - \frac{1}{\omega C} \right) \right\}^2 \right]} E_1. \quad (2)$$



(a)



(b)

Fig. 6. (a) Equivalent circuit of the 0/-3 V IC. (b) Simplified equivalent circuit.

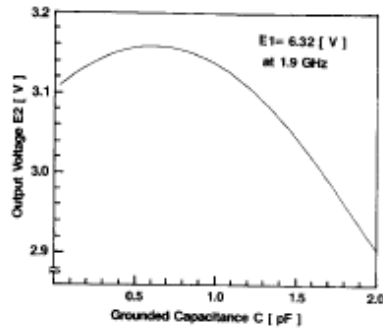


Fig. 7. Calculated result of output voltage versus grounded capacitance.

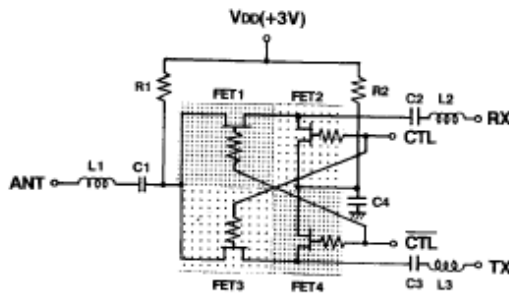
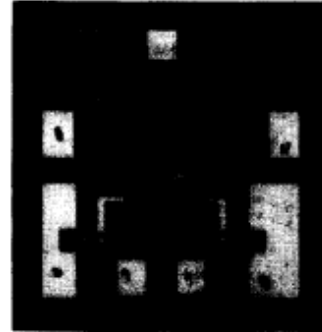
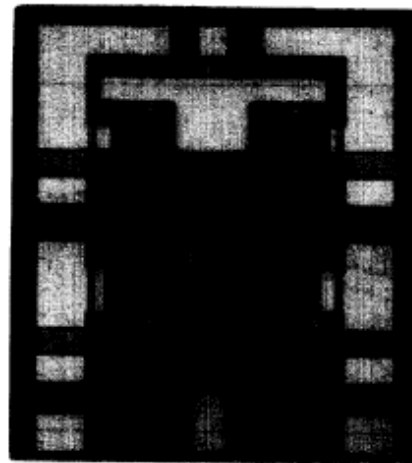


Fig. 8. Circuit configuration of the +3/0 V IC.

Fig. 7 shows calculated output voltage  $E_2$  as a function of  $C$  by (2), where the value of  $L$  used is  $0.8 \text{ nH}$ . When the value of  $C$  reaches around  $0.6 \text{ pF}$ , the switch makes an excellent transmission line from the relationship of  $L$  and  $C$ . Using this result, the insertion loss can be reduced. Actually, the circuit of Fig. 6(a) was simulated with the program LIBRA. The  $W_g$



(a)



(b)

Fig. 9. (a) Chip photograph of the 0/-3 V IC. (b) Chip photograph of the +3/0 V IC.

of a series FET ( $FET1$ ) and a shunt FET ( $FET2$ ) in the reception path was  $1400 \mu\text{m}$  and  $200 \mu\text{m}$ , respectively.  $W_g$  of a series FET ( $FET3$ ) and a shunt FET ( $FET4$ ) in the transmission path was  $1000 \mu\text{m}$  and  $200 \mu\text{m}$ , respectively.

#### D. Circuit Configuration of the +3/0 V IC

Fig. 8 shows the circuit configuration of a +3/0 V IC which was fabricated by adding only four capacitances ( $C1 \sim C4$ ) and two resistances ( $R1$  and  $R2$ ) to the configuration of the 0/-3 V IC in order to miniaturize and to eliminate the need for external circuit installations such as the dc-cut capacitance. The gate resistance ( $R_g = 7.0 \text{ k}\Omega$ ) was determined by circuit simulation to reduce the gate leakage current (see Appendix). All capacitances ( $C1 \sim C4$ ) are  $14 \text{ pF}$ , which was determined to be as large as possible while keeping the chip size at less than  $1000 \mu\text{m} \times 1000 \mu\text{m}$ .  $L1 \sim L3$  in this figure represent bonding wire inductances.

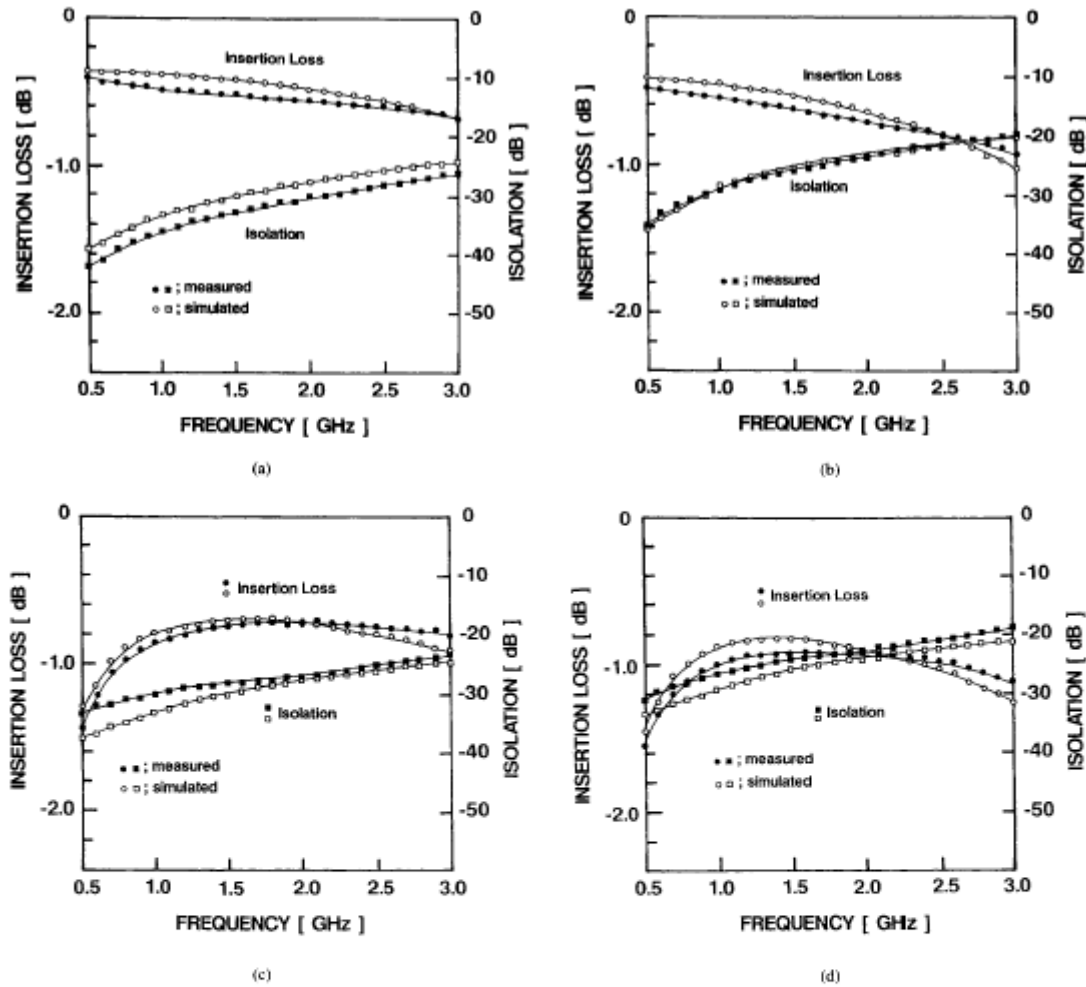


Fig. 10. Measured and simulated insertion loss and isolation, (a) Receiving operation of the 0/-3 V IC. (b) Transmitting operation of the 0/-3 V IC. (c) Receiving operation of the +3/0 V IC. (d) Transmitting operation of the +3/0 V IC.

### III. MMIC FABRICATION

A symmetrical GaAs MESFET with ion-implanted buried  $p^-$  layer was fabricated by our improved dummy-gate self-alignment processing using ECR-CVD  $\text{SiO}_2/\text{Si}_3\text{N}_4$  double-layered cap films in order to reduce the  $R_{on}$  [6], [7], which would allow reproductive activation in the RTA (Rapid Thermal Annealing) processing of the implanted wafers. A  $0.5\text{-}\mu\text{m}$  gate length was realized by reducing the dummy-gate pattern (electron beam resist: PMMA) using  $\text{O}_2$  plasma dry etching and reversing the etched dummy-gate using the lift-off of deposited ECR-CVD  $\text{SiO}_2$  film.

The ion implantation conditions of the two active layers for determining the two kinds of  $V_p$  and for forming the  $n^{++}$  contact region are shown in Table I. The  $V_p$  of  $-0.8\text{ V}$  and  $-2.4\text{ V}$  determined can also be applied to the FET for re-

ceiving MMIC's such as LNA's and Mixers, and transmitting MMIC's such as PA's (Power Amplifiers), respectively.

MIM capacitances and resistances were fabricated using  $\text{Si}_3\text{N}_4$  passivation film with a  $1600\text{ \AA}$  thickness, and a Si-implanted  $n^{++}$  layer with a sheet resistance of  $120\text{ }\Omega/\square$ , respectively. The IC's were GaAs substrates reduced to  $125\text{ }\mu\text{m}$  thickness and measured on a mounted package.

Fig. 9(a) and (b) show chip photographs of the 0/-3 V and +3/0 V IC's respectively. Each chip size was reduced to  $600\text{ }\mu\text{m} \times 600\text{ }\mu\text{m}$  and  $850\text{ }\mu\text{m} \times 900\text{ }\mu\text{m}$ , respectively.

### IV. CHARACTERISTICS OF THE SWITCH IC'S

Fig. 10(a) and (b) show the frequency dependence, measured and simulated insertion loss, and isolation characteristics of the 0/-3 V IC during the receiving and transmitting

TABLE I  
ION IMPLANTATION CONDITIONS OF SYMMETRICAL  
MESFET'S WITH TWO DIFFERENT  $V_p$

| Pinch-off Voltage | -0.8 V                                                                                                          | -2.4 V                                                                                                          |
|-------------------|-----------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------|
| n-Layer           | $20\text{Si}^+ \rightarrow \text{Si}_3\text{N}_4$ Film(150 Å)<br>40 Kev<br>$5.5 \times 10^{12} \text{cm}^{-2}$  | $20\text{Si}^+ \rightarrow \text{Si}_3\text{N}_4$ Film(150 Å)<br>130 Kev<br>$3.1 \times 10^{12} \text{cm}^{-2}$ |
| p-Layer           | $24\text{Si}^+ \rightarrow \text{Si}_3\text{N}_4$ Film(150 Å)<br>170 Kev<br>$1.0 \times 10^{17} \text{cm}^{-2}$ | $24\text{Si}^+ \rightarrow \text{Si}_3\text{N}_4$ Film(150 Å)<br>190 Kev<br>$1.2 \times 10^{17} \text{cm}^{-2}$ |
| n++ Layer         | $28\text{Si}^+ \rightarrow \text{Si}_3\text{N}_4$ Film(300 Å)<br>90 Kev<br>$5.0 \times 10^{13} \text{cm}^{-2}$  |                                                                                                                 |

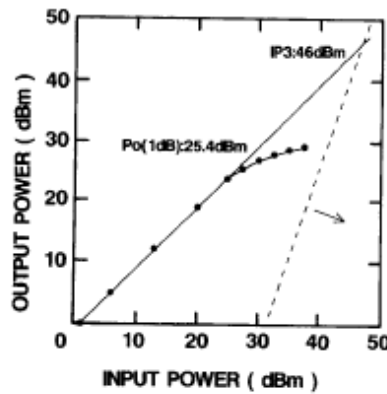


Fig. 11. Power transfer characteristic of both IC's.

operation. Fig. 10(c) and (d) show the measured and simulated characteristics of the +3/0 V IC during each operation. Their measurements and simulations agreed well in the frequency range of 0.5 GHz to 3.0 GHz for both IC's. The 0/-3 V IC had low insertion loss of 0.55 dB and high isolation of 31 dB for the receiving operation at 1.9 GHz. The IC also had an insertion loss of 0.65 dB and isolation of 24 dB for the transmitting operation. The +3/0 V IC also had excellent characteristics, such as an insertion loss of 0.73 dB and 0.95 dB, and isolation of 27 dB and 23 dB during receiving and transmitting operation at 1.9 GHz, respectively. Fig. 11 shows the power transfer characteristic of both IC's at the 1.9 GHz. These IC's had a linear output power characteristic of 23 dBm. This value was provided by a  $V_p$  of -0.8 V. And the IC's had  $P_{o(1dB)}$  of 25.4 dBm and  $IP_3$  of more than 46 dBm. The value of  $IP_3$  was limited by our measurement system. Fig. 12 shows the measured switching time of both IC's. (a) is the control voltage, (b) is the transmitting path and (c) is the receiving path. The rise and fall times were 18 ns. Table II summarizes the measured characteristics of the fabricated IC's.

#### V. CONCLUSION

Miniaturized GaAs MESFET switch IC's operating at 0/-3 V and +3/0 V in the 1.9 GHz band have been developed using

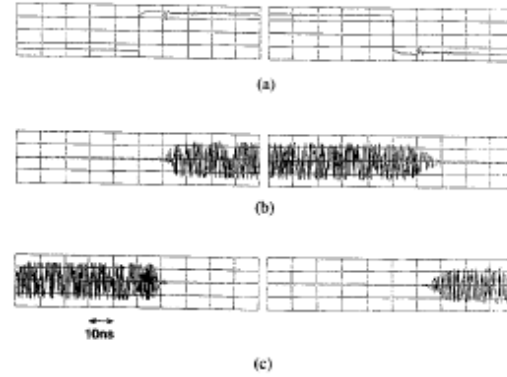


Fig. 12. Switching time of both IC's.

TABLE II  
CHARACTERISTICS OF FABRICATED 0/-3 V AND +3/0 V IC's

| ON/OFF Control Voltage | 0V/-3V    | +3V/0V   |
|------------------------|-----------|----------|
| DC Biasing Supply      | —         | 3 V      |
| Insertion Loss         | RX        | 0.55 dB  |
|                        | TX        | 0.65 dB  |
| Isolation              | RX        | 31 dB    |
|                        | TX        | 24 dB    |
| $P_{o(1dB)}$           | 25.4 dBm  | 25.4 dBm |
| $IP_3$                 | >46 dBm   | >46 dBm  |
| Switching Time         | $t_{ON}$  | 18 ns    |
|                        | $t_{OFF}$ | 18 ns    |

at 1.9 GHz

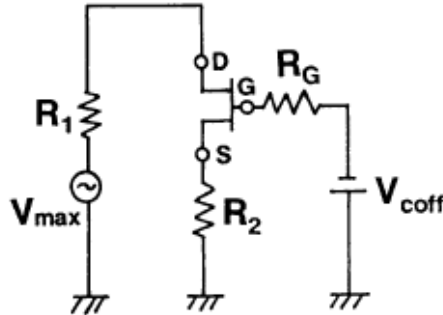
FET's with two kinds of  $V_p$  and a symmetrical  $S$  and  $D$  pattern configuration with respect to  $G$ . These IC's can satisfy the specifications of a PHP system and the characteristics agree well with simulations.

#### VI. APPENDIX

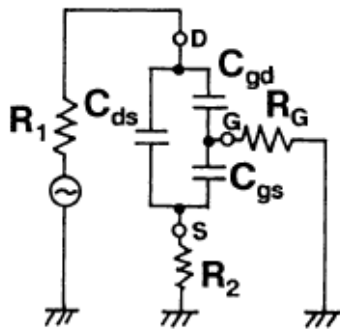
##### Determination of $R_g$

We supposed the leak current of  $G$  is negligible in Section A. This appendix describes how to determine the value of  $R_g$  to be able to consider leak current of  $G$  negligible.

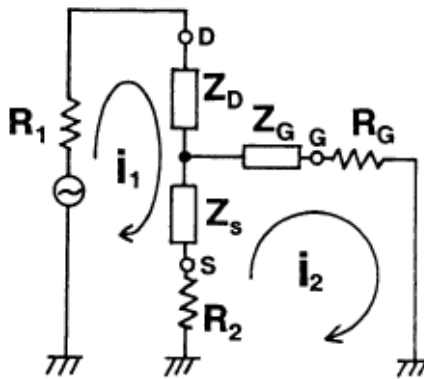
Fig. 13(a) represents the case in which the FET1 or 4 is in the "off" state in Fig. 1(a). In the example of a transmitting operation, assuming that the  $R_{on}$  of FET3 is negligibly small and the "off" state of FET4 is perfect, the voltage source,  $R_1$ , FET and  $R_2$  in Fig. 13(a), correspond with the applied voltage of the ANT electrode,  $R_{ANT}$ , FET1 and  $R_{RX}$  of Fig. 1(a), respectively, where  $R_1$  and  $R_2$  are assumed to be  $50 \Omega$ , and the gate width of the FET is  $1000 \mu\text{m}$ . The calculation is performed under the condition that the transmitting signal power of 20 dBm, that is, the maximum



(a)



(b)



(c)

Fig. 13. (a) Configuration to calculate the  $R_g$  in the "off" state. (b) Equivalent circuit of (a). (c) The  $\Delta \rightarrow Y$  converted circuit of (b).

amplitude voltage source ( $V_{TX}(\max)$ ) is 6.32 V. In this case, the voltage source in Fig. 13 is 3.16 V because the applied voltage of the ANT electrode is  $V_{TX}(\max)/2$ , and

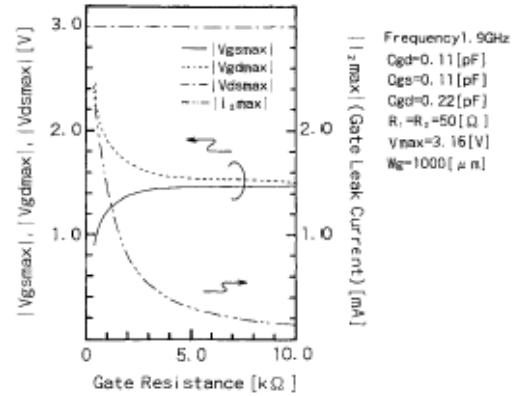


Fig. 14. Calculated  $|V_{gs \max}|$ ,  $|V_{gd \max}|$ ,  $|V_{ds \max}|$ , and  $|I_2 \max|$  versus gate resistance of the "off" state.

the frequency is 1.9 GHz. The parameters for calculation are shown in Fig. 14. Fig. 13(b) shows the equivalent circuit of 13(a), and Fig. 13(c) is the  $\Delta \rightarrow Y$  converted circuit of 13(b).  $V_{gs}$ ,  $V_{gd}$ ,  $V_{ds}$  and  $I_2$  are also calculated from Fig. 13(c) using Kirchhoff's law.  $I_2$  is the leak current which flows through the gate. Calculated results are shown in Fig. 14. The leak current of the G was reduced, and the magnitude of  $V_{gs}$  and  $V_{gd}$  approach  $V_{ds}/2$  as  $R_g$  increases. When the value of  $R_g$  is more than 7 kΩ, the  $I_2$  approaches a constant value and  $V_{gs}$  and  $V_{gd}$  approach a nearly equal value.  $R_g$  is determined to be 7 kΩ based on the calculated results and switching time, which are delayed as  $R_g$  increases.

#### ACKNOWLEDGMENT

The authors wish to thank S. Murai, T. Higashino, and M. Nishikawa for their technical contributions and support.

#### REFERENCES

- [1] S. Murai, T. Sawai, T. Yamaguchi, S. Matsushita, and Y. Harada, "A high power-added efficiency GaAs power MESFET operating at a very low drain bias for use in L-band medium-power amplifiers," *GaAs IC Symp. Dig.*, 1992, pp. 139-142.
- [2] S. Kusunoki, T. Ohgihara, M. Wada, and Y. Murakami, "SPDT switch MMIC using E/D-mode GaAs JFETs for personal communications," *GaAs IC Symp. Dig.*, 1992, pp. 135-138.
- [3] L. Thomas, A. Hing, E. Hughes, J. Beckerson, and K. Wilson, "GaAs MMIC broadband SPDT PIN switch," *Electron. Lett.*, 23rd, vol. 22, no. 22, pp. 1183-1185, Oct. 1986.
- [4] S. D. Powell, "18 to 40 GHz single-pole, 4-throw switch," *Microwave J.*, vol. 29, no. 7, pp. 127-132, 1986.
- [5] M. J. Schindler and A. Morris, "DC-40 GHz and 20-40 GHz MMIC SPDT Switches," *IEEE Trans. Electron Devices*, vol. 34, no. 12, pp. 2595-2601, 1987.
- [6] D. Inoue, M. Sawada, and Y. Harada, "Silicon nitride films deposited by ECR Plasma CVD for application to GaAs ion implantation process," in *Extend. Abstracts*, 172nd Fall Meeting of Electrochem. Soc., 87-2, pp. 556-557, 1987.
- [7] D. Inoue, S. Matsushita, S. Murai, M. Sawada, and Y. Harada, "Rapid thermal annealing of implanted GaAs using double layered SiN films formed by ECR plasma CVD," in *175th Meeting Electrochem. Soc., State-of-the-Art Program on Compound Semiconductors (SOTAPCO X)*, 668 SOA, p. 228C, 1989.



**Hisanori Uda** was born in Kyoto, Japan, on June 8, 1963. He received the B.S. degree in Electrical Engineering from Tottori University, Tottori, Japan, in 1988, and the M.S. degree in Electrical Engineering from Kyushu University, Fukuoka, Japan, in 1990.

He joined the Microelectronics Research Center of Sanyo Electric Co., Ltd., Osaka, in 1990, where he is currently engaged in the research and development of GaAs microwave devices.

Mr. Uda is a member of Institute of Electronics, Information and Communication Engineers of Japan.



**Kaoru Nogawa** was born in Ishikawa, Japan, on January 1, 1961. He received the B.S. degree in Industrial Chemistry and the M.S. degree in Molecular Engineering from Kyoto University, Kyoto, Japan, in 1984 and 1986, respectively.

He joined the Microelectronics Research Center of Sanyo Electric Co., Ltd., Osaka, in 1986, where he is currently engaged in the research and development of GaAs microwave devices.



**Takashi Yamada** was born in Gifu, Japan, on October 1, 1959. He received the B.S. degree in nuclear engineering from Nagoya University, Nagoya, Japan, in 1983.

He joined the Microelectronics Research Center of Sanyo Electric Co., Ltd., Osaka, in 1983, where he is currently engaged in the research and development of GaAs microwave devices and nanofabrication techniques.

Mr. Yamada is a member of the Japan Society of Applied Physics.



**Yasuo Harada** was born in Aichi, Japan, on May 30, 1943. He received the B.S. degree in Physics from Nagoya University, Nagoya, Japan, in 1967, and the Ph.D. degree in Electrical Engineering from Tohoku University, Sendai, Japan.

He joined the Microelectronics Research Center of Sanyo Electric Co., Ltd., Osaka, in 1967, where he is currently engaged in the research and development of GaAs microwave devices. He is a manager of the Ultra High Speed Electronics Department, Microelectronics Research Center.

Dr. Harada is a member of the Japan Society of Applied Physics and the Institute of Electronics, Information and Communication Engineers of Japan.



**Tetsuro Sawai** was born in Osaka, Japan, on August 7, 1959. He received the B.S. degree in electrical engineering from Osaka University, Osaka, in 1983.

He joined the Microelectronics Research Center of Sanyo Electric Co., Ltd., Osaka, in 1983, where he is currently engaged in the research and development of GaAs microwave devices.

Mr. Sawai is a member of Institute of Electronics, Information and Communication Engineers of Japan.

### 8.2.4. Artículo en el que se basa el switch C

## A Low-Voltage, High-Power T/R-Switch MMIC Using LC Resonators

Tsuneco Tokumitsu, *Member, IEEE*, Ichihiko Toyoda, *Member, IEEE*, and Masayoshi Aikawa, *Member, IEEE*

**Abstract**—A novel T/R switch is proposed for high-power/low-distortion operation at a low control voltage. LC-resonant switches composed of inductors, capacitors, and switch FET's are incorporated in TX and RX arms to provide a reverse control scheme that removes the rf-voltage limitation in the transmit mode. A 1.9-GHz LC-resonant T/R switch MMIC with a total FET periphery of 3.36 mm exhibits 3rd IMR less than -40 dB for an input power up to 31 dBm when controlled at 0 V/-2 V. This MMIC occupies an area as small as less than 2×2 mm. This will make it possible to implement advanced T/R-switches at PCS and ISM frequencies below 5 GHz.

### I. INTRODUCTION

THE MAXIMUM transmit power,  $P_{\max}$ , and linearity of conventional series/shunt FET T/R switches are severely limited by the rf-voltage swing across the drain/source and gate of the off-state FET's: SW-a and SW-c [1]–[4]. A typical diagram of these switches is provided in Fig. 1(a). Given this limitation, high-power/low-distortion switch operation can only be achieved by higher breakdown-voltage FET's, higher control-voltage, and rf-voltage distribution by stacking FET's [5]–[8]. However, these approaches also face serious limitations. First, system requirements for lower supply voltage in handheld communications equipment make it considerably more difficult to achieve the required transmit power with conventional series/shunt FET T/R switches. This is because maximum transmit power decreases rapidly due to rf-voltage limitations below a control voltage of 3 V. Second, impedance transformation is a technique that places the switch FET at a lower impedance point and thus reduces the voltage stress on the device, but occupies a considerably large area in the MMIC implementation for numerous commercial bands below 5 GHz [9].

Given these limitations, this paper introduces a unique and practical solution for high-power/low-distortion T/R switching at much lower control voltages. The circuit uses novel FET-switchable LC-resonant circuits. These replace SW-a and SW-c, shown in Fig. 1(a), with a LC-resonant circuit composed of spiral inductors, MIM capacitors, and switch FET's. The significant advantage of the FET-switchable LC resonators is that they provide a reverse control scheme: The LC resonator is "off" when the switch FET's are "on," and vice versa. Thus, the reverse control scheme permits all switch FET's to be in the on-state for the transmit mode. Accordingly, applied voltage across the drain/source and gate is nearly zero. This

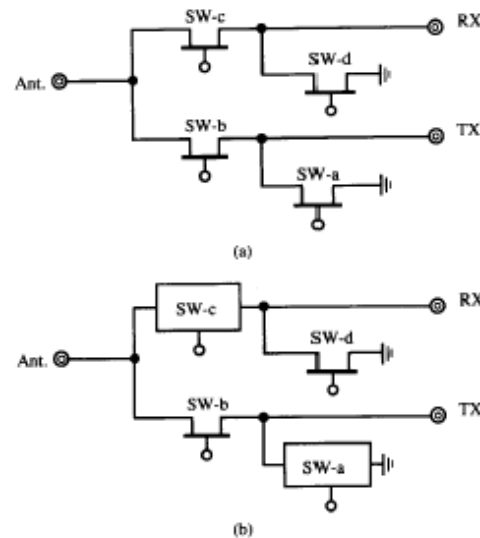


Fig. 1. Typical T/R-switch schemes for (a) conventional and (b) both proposed and conventional.

effectively removes the rf-voltage limitation in conventional T/R switches. The  $P_{\max}$  and linearity in power handling characteristics can then be significantly enhanced by increasing the FET gate-widths. A 1.9-GHz T/R-switch MMIC using LC resonators has been successfully designed and fabricated, attaining the 3rd IMR of less than -40 dB for transmit power greater than 1 W at control voltages as low as 0 V/-2 V.

### II. MAXIMUM TRANSMIT POWER COMPARISON

FET's states for the proposed and conventional T/R switches in the transmit mode are compared in Table I, using a common equivalent circuit scheme (Fig. 1(b)) for both T/R switches. The difference between them is that the proposed T/R switch includes only on-state FET's, while conventional ones have both on- and off-state switch FET's.

The maximum transmit power,  $P_{\max}$ , for the conventional and proposed T/R switches are respectively defined by

$$\text{Conventional: } P_{\max} = \frac{2[n(V_c - V_p)]^2}{Z_0}$$

Manuscript received March 14, 1994; revised August 22, 1994.  
The authors are with the Radio Systems Laboratory, NTT Radio Communication Systems Laboratories, Kanagawa 238-03, Japan.  
IEEE Log Number 9410318.

TABLE I  
STATE OF THE SWITCH FET'S IN SW-'S FOR THE TRANSMIT MODE

| SW-a & c<br>T/R switches        | State of FET's in SW- |    |     |    | Required<br>FET perf.     |
|---------------------------------|-----------------------|----|-----|----|---------------------------|
|                                 | a                     | b  | c   | d  |                           |
| Proposed LC<br>resonant T/R sw. | ON                    | ON | ON  | ON | High-Current              |
| Conventional<br>FET T/R sw.     | OFF                   | ON | OFF | ON | High Voltage<br>& Current |

[7], [8], and

$$\text{Proposed: } P_{\max} = \frac{Z_0}{2} \left( \frac{I_{\text{dss}}}{Q_L} \right)^2,$$

where  $V_p$  is the pinch-off voltage of the switch FET,  $V_c$  is a control voltage for off-state FET's,  $n$  is the number of FET cells stacked in SW-a and SW-c, and  $I_{\text{dss}}$  and  $Q_L$  are, respectively, the saturation current of the FET's in the LC-resonant circuit and the loaded  $Q$  of the T/R switch in the transmit mode. Term  $Z_0$  is the system impedance.

Fig. 2 shows  $P_{\max}$  for recently reported conventional series/shunt T/R switches, where it is measured at a 1-dB gain compression point. The white squares [1]–[4], black squares [5]–[7], and white triangle [8] indicate the T/R switches using single-FET's, stacked-FET's, and multigate-FET's, respectively, for SW-a and SW-c. Shadowed curves are the calculated  $P_{\max}$  for a T/R switch constructed with single-FET's ( $n = 1$ ) and stacked-FET's ( $n = 5$ ), where  $V_p$  is between  $-1$  and  $-2$  V. To transmit 1 W, for example, a control voltage of at least 6 V is necessary for  $n = 1$ , and  $n$  of at least 5 is necessary for control voltage as low as 2 V. However, the stacked FET number,  $n$ , is practically limited below 3 because increase in series resistance in SW-a and SW-c considerably degrades T/R switch performance. Fig. 3 compares  $P_{\max}$  for the proposed and conventional T/R switches in 2-V operation. The gate width of each FET-cell in SW-a and SW-c, which is proportional to  $I_{\text{dss}}$ , is used as the parameter for comparison. The LC-resonant T/R switch increases the maximum transmit-signal voltage, at a control voltage of 0 V, in proportion to the FET-gate width. It also switches easily from transmit to receive mode at a control voltage of  $-2$  V, as small as twice the  $V_p$ . In contrast, the conventional T/R switch provides constant transmit power for each  $n$ .

### III. T/R SWITCH DESIGN

#### A. LC Resonant Circuits

FET-switchable LC-resonant circuits are shown in Fig. 4(a)–(d). A pair of switching FET's (FET SW1 and SW2) are combined with inductors and capacitors. They are open ("off") between ports ① and ② when the switch FET's are in the on-state because of the parallel resonance of inductor  $L_1$  and capacitor  $C_1$ . However, these circuits allow the signal to pass ("on") between ports ① and ② when the switch FET's are in the off-state because of the series resonance of inductor  $L_1$  and capacitor  $C_2$ , shunted by  $C_S$  in

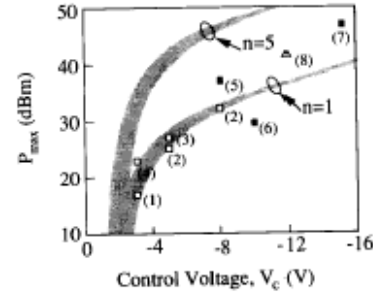


Fig. 2. Maximum transmit power versus control voltage for conventional FET T/R switches. The gray curves indicate the maximum transmit power calculated for T/R switches composed of single- and stacked-FET's ( $-1 \text{ V} > V_p > -2 \text{ V}$ ).

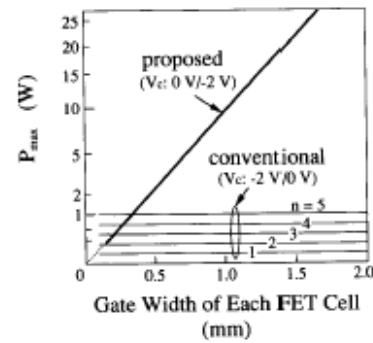


Fig. 3. Maximum transmit power comparison between the proposed LC-resonant T/R switch and conventional series/shunt FET T/R switches in 2-V operation, where  $I_{\text{dss}} = 0.2 \text{ A/mm}$ ,  $V_p = -1 \text{ V}$ , and  $Q_L = 0.44$ .

TABLE II  
PARAMETER RELATIONSHIPS FOR A SINGLE RESONANT FREQUENCY

| Type | Relationship                                |
|------|---------------------------------------------|
| (a)  | $C_2 + C_S + C_1 C_S / (C_1 + C_S) = C_1$   |
| (b)  | $C_S + C_1^2 / (C_1 - C_S) = C_1 L_1 / L_2$ |
| (c)  | $C_2 + C_S = C_1$                           |
| (d)  | $L_2 (C_1 + C_S) = L_1 C_1$                 |

Fig. 4(a) and (c) or the series resonance of capacitor  $C_1$  and inductor  $L_2$ , shunted by  $C_S$  in Fig. 4(b) and (d). Capacitor  $C_S$  is the stray capacitance between the drain and source of the off-state FET. When the switch FET's are ideal and include no parasitics, the values of  $C_1$  and  $C_2$  are designed to be equal. However, since the stray capacitance,  $C_S$  is not negligible, capacitors  $C_1$  and  $C_2$  for each scheme are designed to satisfy the equations in Table II and cancel the effect of  $C_S$  in the resonant condition, where the resonant angle-frequency  $\omega_0$  is equal to  $(L_1 C_1)^{-1/2}$ .

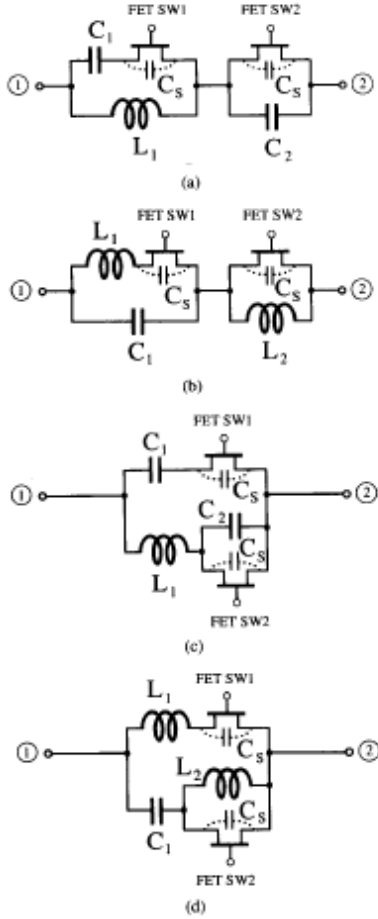


Fig. 4. FET-switchable LC-resonant circuit schemes.

### B. T/R Switch

A T/R switch incorporating FET-switchable LC resonators of type (a) is shown in Fig. 5. These LC resonators are used as a shunt switch in the TX arm and as a series switch in the RX arm. The series switch in the TX arm and the shunt switch in the RX arm are both single-FET switches. The LC resonators are positioned in places where a large rf-voltage swing is applied in the transmit mode. Since all FET's in this mode are in the on-state ( $V_c = 0$  V), the rf-voltage swing across the FET drain and source is negligibly small, i.e., the T/R switch operates in current mode free from rf-voltage limitation. A control voltage as small as twice the FET pinch-off voltage ( $V_p$ ) is enough to switch from the transmit to the receive mode. Thus, as shown in Fig. 3, maximum transmit power can be increased by increasing the FET-cell periphery.

Design issues for the T/R switch include: limits on FET-gate width due to stray capacitance,  $C_S$ , and the bandwidth balance between the TX and RX arms. The maximum FET-

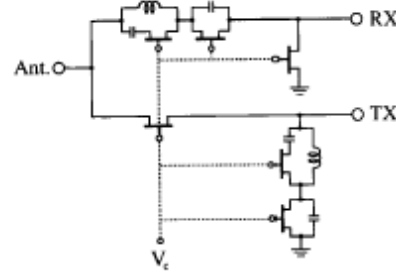


Fig. 5. Circuit scheme of a T/R switch incorporating FET-switchable LC-resonant circuits.

gate width,  $W_{g\max}$ , for the LC resonator is determined by setting  $C_2$  to zero in the parameter relationship for type (a) in Table II, as

$$C_1 = 1.6C_S = 1.6C_{S0}W_{g\max}.$$

Therefore

$$W_{g\max} = \frac{C_1}{1.6C_{S0}} = \frac{1}{1.6\omega_0^2 L_1 C_{S0}}, \quad (1)$$

where  $\omega_0$  is the resonant angle-frequency  $((L_1 C_1)^{-1/2})$  and  $C_{S0}$  is the drain-source stray capacitance per mm.

Bandwidth balance between the TX and RX arms is obtained when the loaded  $Q$  factors for both transmit and receive modes equal each other

$$\frac{\omega_0 L_1}{R_{\text{ind}} + 2Z_0} = \frac{2\omega_0 C_1}{2\omega_0^2 C_1^2 (R_{\text{ind}} + R_{\text{on}}) + 2/Z_0},$$

where  $R_{\text{ind}}$  and  $R_{\text{on}}$  are, respectively, the series resistance of inductor  $L_1$  and on-state resistance of the switch FET. The left-hand side and the right-hand side of the equation indicate the loaded  $Q$  for the receive and transmit modes, respectively. A pair of the "off" state LC resonators are counted for the transmit mode. As the resonant frequencies for both modes are equal, the inductance value,  $L_1$  can be derived from

$$(\omega_0 L_1)^2 = Z_0(2Z_0 - R_{\text{on}}) \approx 2Z_0^2. \quad (2)$$

Therefore, from (1) and (2), the maximum gate width for a 50- $\Omega$  system is represented by (3)

$$W_{g\max}(\text{mm}) = 1.4 [f_0(\text{GHz}) \cdot C_{S0}(\text{pF/mm})]^{-1}. \quad (3)$$

The  $W_{g\max}$  value is 0.7 mm when the resonant frequency,  $f_0$ , is 2 GHz, and  $C_{S0}$  is 1 pF/mm. By referring to Fig. 3, it can be seen that this gate width allows the T/R switch to transmit power up to 5 W. The smaller the  $C_{S0}$  is, the larger the FET that can be used for the LC resonator. Stray capacitance can be cancelled by connecting an additional inductive element, a method reasonably effective at higher frequencies to remove gate-width limitation.

Maximum FET-gate width for type (c) is obtained by the same procedure. It is 1.6 times larger than that for type (a). The other types of LC resonators, (b) and (d), are free from such limitations. However, the "on" state characteristics are

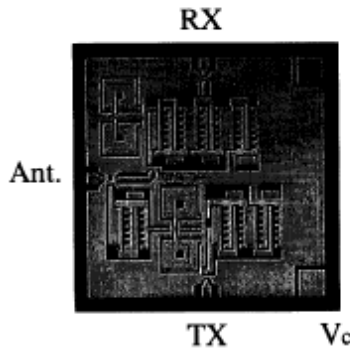


Fig. 6. Photograph of a fabricated LC-resonant T/R-switch MMIC.

complex when  $C_S$  is close to or larger than  $C_1$  because several resonances are observed in the scheme.

A T/R switch using the type (a) LC resonators was tested to confirm its potential. The results are reviewed in the next section.

#### IV. MEASURED RESULTS

A 1.9-GHz LC-resonant T/R-switch MMIC, which handles an rf power of greater than 1 W at control voltages 0 V/−2 V, was fabricated using uniplanar MMIC technology [10]. Fabrication parameters were:  $L_1 = 7$  nH;  $C_1 = 1$  pF;  $C_2 = 0.5$  pF;  $C_{S0} = 0.625$  pF/mm;  $R_{on} = 2$   $\Omega$  mm; and  $I_{dsa} = 0.2$  A/mm. The loaded  $Q$  for the transmit mode was calculated as  $\omega_0(L_1/2)/(2Z_0) = 0.44$ .

##### A. Prototype T/R Switch

Six switching FET's, each having an FET periphery of 0.48 mm, were integrated with spiral inductors and MIM capacitors on a 2 × 2 mm GaAs chip, as shown in Fig. 6 [11]. The pinch-off voltage of the FET was −1 V. The total FET periphery was 2.88 mm. The  $Q$  factor of the spiral inductor at 1.9 GHz was between 10 and 15.

The linearity of the LC-resonant T/R switch in a two-tone measurement is compared with that of a conventional FET T/R switch in Fig. 7. Here, a pair of stacked FET's is used instead of the LC resonators for the case shown in Fig. 5. These T/R switches are controlled at 0 V or −2 V/0 V for the transmit mode. The LC resonant T/R switch (solid lines) is linear enough to exhibit 3rd IMR of less than −40 dB for a total input power to port TX (transmit power) of up to 28 dBm. The maximum transmit power for a single-tone reaches 31 dBm. In contrast, with the conventional switch (dashed lines), the linearity degrades above 16 dBm input power. The linearity of the RX arm depends on the negative control voltage; however, the linear power level over 0 dBm at  $V_c = -2$  V is high enough for practical power levels received at port Ant.

Fig. 8 shows the measured and calculated frequency response of the proposed T/R switch in the transmit mode. An insertion loss of less than 1.5 dB, an isolation greater than 35 dB, and a return loss of better than 15 dB were measured

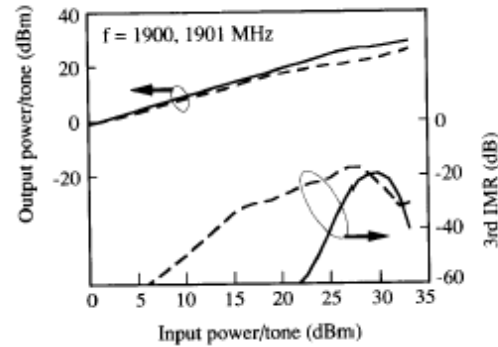


Fig. 7. Transmit-mode linearity comparison between the proposed LC-resonant T/R switch and a conventional T/R switch with stacked-FET's. The FET periphery of both switches was 2.88 mm.

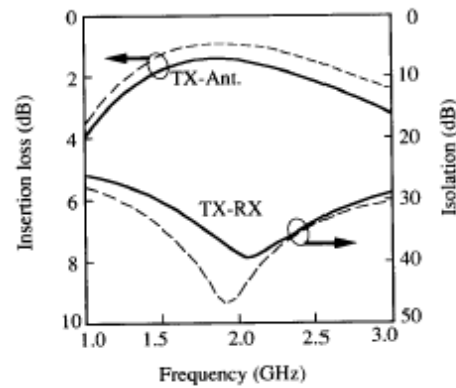


Fig. 8. Frequency response of the LC-resonant T/R switch in the transmit-mode (solid lines: measured; dashed lines: calculated).  $V_c$  is 0 V.

between 1.8 and 2.0 GHz. Fig. 9 shows the frequency response in the receive mode measured at control voltages of −2 V (solid lines) and −5 V (gray lines). Very little difference between the two control voltages is observed. The difference between measured and predicted responses is considered to be due to the accuracy of the inductor model.

##### B. Improved T/R Switch

The measured maximum input power of 31 dBm to port TX is about 3 dB lower than that predicted in Fig. 3. The maximum transmit-power degradation is caused by the current through the series-switch FET being nearly twice that through the switch FET's in the LC resonant circuit. This is because the loaded  $Q$  in the transmit mode is 0.44, as mentioned earlier. To show the full power potential of the LC resonator circuit, the FET-gate width of the series FET was doubled; other elements were not changed. The circuit scheme with the gate widths and an MMIC photograph are shown in Fig. 10. An output curve, which measures the maximum transmit power, becomes linear up to 34 dBm. The maximum input power in the two-tone measurement reaches 31 dBm as shown in Fig. 11. The

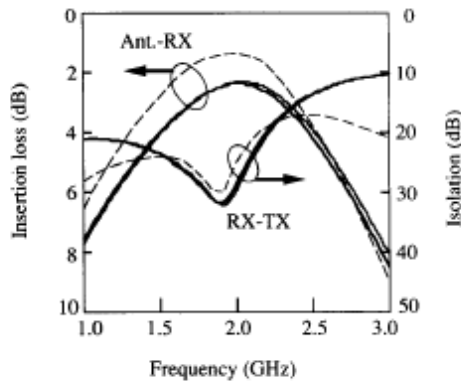


Fig. 9. Frequency response of the LC-resonant T/R switch in the receive mode.  $V_c$  is  $-2$  V (black lines) and  $-5$  V (gray lines). Dashed lines are calculated.

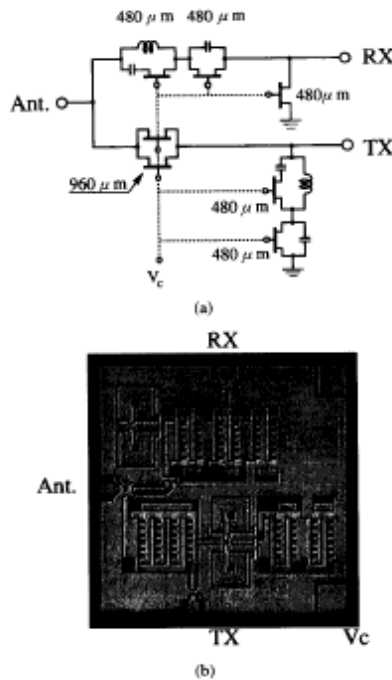


Fig. 10. (a) Circuit scheme and (b) the MMIC photograph of a LC-resonant T/R switch, which is improved in power-handling capability.

insertion loss for the transmit mode is reduced by 0.2 dB. The power-handling capability is 20 dB higher at the 2-V operation and 6 dB higher even at the 5-V operation when compared to that of conventional series/shunt FET T/R switches shown in Fig. 2.

#### C. Rise/Fall Time Characteristics

Fig. 12 shows the rise/fall time characteristics that were measured using a 100 kHz, 50% duty pulse of control voltage.

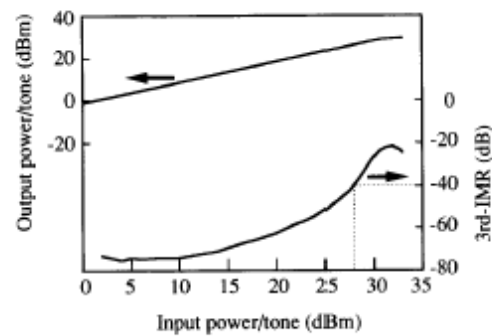


Fig. 11. Linearity of the LC-resonant T/R switch improved in power-handling capability.

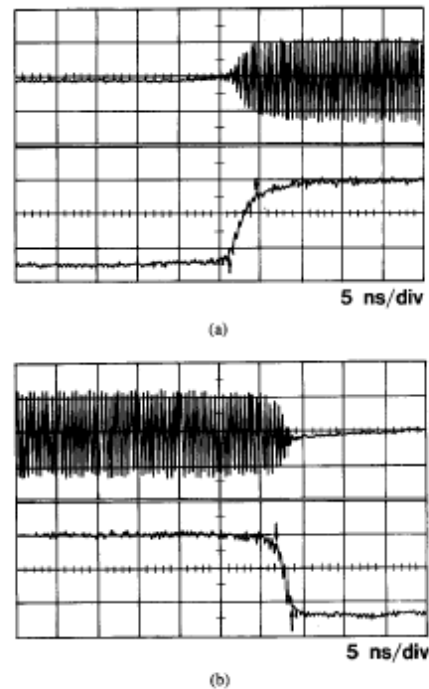


Fig. 12. (a) Rise and (b) fall time characteristics of the LC-resonant T/R switch.

The rise/fall time of the control pulse is 0.9 nsec. At  $-2$  V/0 V control voltages, the LC-resonant T/R switch exhibits a rise time of 3.2 nsec and a fall time of 1.7 nsec. The response is equivalent that obtained with conventional T/R switches.

#### V. FREQUENCY RESPONSE IMPROVEMENT

Improvement of the frequency response of the LC-resonant T/R switch is addressed in this section. The insertion loss in the receive mode is 1 dB larger than that in the transmit mode, and the bandwidth for the RX arm is narrower than that of the TX arm (Figs. 8 and 9). The method used to solve this problem

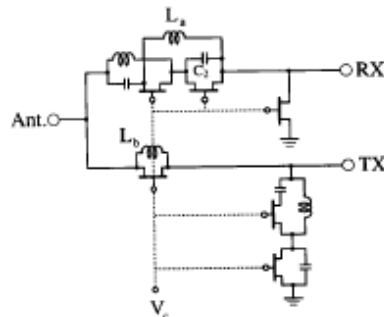


Fig. 13. An LC-resonant T/R-switch circuit scheme that introduces additional inductors in RX and TX arms to improve the RX arm characteristics.

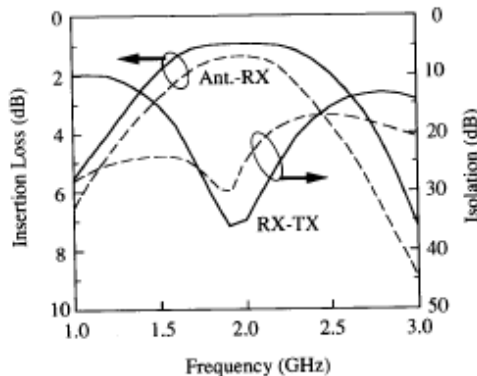


Fig. 14. RX arm frequency characteristics of the improved LC-resonant T/R switch (solid lines) and of the prototype (dashed lines).

is shown in Fig. 13, where inductances  $L_a$  and  $L_b$  are added to the T/R switch in Fig. 10. Inductor  $L_a$  doubles the signal path in the RX arm to reduce the insertion loss and the  $Q$  factor; however, it contributes only when the switch FET's are off (in the receive mode). Capacitor  $C_2$  in the resonant circuit is redesigned as the resonant frequency remains as  $(L_1 C_1)^{-1/2}$ . Inductor  $L_b$  cancels the stray capacitance of the series FET to enhance the total performance. Fig. 14 shows the simulated receive-mode performance, where  $L_a = L_b = L_1$  and  $C_2 = 0$ . Performance in the other mode is very close to that shown in Fig. 8. Inductor  $L_a$  is effective in balancing the TX and RX arm in the frequency response.

## VI. CONCLUSION

Low-voltage, high-power T/R-switch MMIC's using a novel FET-switchable LC resonator have been demonstrated. The ability of the LC-resonant T/R switch to control high levels of power with low distortion even at low levels of DC voltage makes it ideally suitable for transmit/receive switch applications in hand-held, battery-powered communications equipment. Furthermore, this ability will offer high-power switchings at millimeter-wave frequencies where breakdown voltage of active devices is low.

## ACKNOWLEDGMENT

The authors would like to thank Dr. Kenji Kohiyama and Dr. Kozo Morita for their helpful discussions and continuous encouragement.

## REFERENCES

- [1] M. J. Schindler and A. M. Moris, "DC-40 GHz and 20-40 GHz MMIC SPDT switches," in *IEEE Microwave and Millimeter-Wave Monolithic Circuits Symp.*, June 1987, pp. 85-88.
- [2] DC-6 GHz GaAs SPDT switch (SW-200), product of Adams Russel.
- [3] DC-6 GHz SPDT FET switch (TGS8704), product of Texas Instruments, Inc.
- [4] H. Uda, T. Sawai, T. Yamada, K. Nogawa, and Y. Harada, "High-performance GaAs switch IC's fabricated using MESFET's with two kinds of pinch-off voltages," in *IEEE GaAs IC Symp.*, 1993, pp. 247-250.
- [5] M. J. Schindler and T. E. Kazior, "High power 2-18 GHz MMIC T/R switch," *Applied Microwave*, pp. 90-94, 1991.
- [6] P. Benkoph, M. Schindler, and A. Bertrand, "A high power K/Ka-band monolithic T/R switch," in *IEEE Microwave and Millimeter-Wave Monolithic Circuits Symp.*, June 1991, pp. 15-18.
- [7] M. Shifrin, Y. Ayasli, and P. J. Katzin, "Monolithic control components handle 27 W of rf power," *Microwave J.*, pp. 119-122, Dec. 1989, and M. Shifrin, P. J. Katzin, and Y. Ayasli, "Monolithic FET structures for high-power control component applications," *IEEE Trans. Microwave Theory Tech.*, vol. 37, pp. 2134-2141, Dec. 1989.
- [8] F. McGrath, C. Varmazis, C. Kermarrec and R. Pratt, "Multi gate FET power switches," *Applied Microwave*, pp. 77-86, 1991.
- [9] Y. Ayasli, R. Mozzi, L. Hanes, and L. D. Reynolds, "An X-band 10 W monolithic transmit-receive GaAs FET switch," in *IEEE Microwave and Millimeter-Wave Monolithic Circuits Symp.*, May 1982, pp. 42-46.
- [10] M. Muraguchi, T. Hirota, A. Minakawa, K. Owada, and T. Sugeta, "Uniplanar MMIC's and their applications," *IEEE Trans. Microwave Theory Tech.*, vol. 36, pp. 1896-1901, Dec. 1988.
- [11] T. Tokumitsu, I. Toyoda, and M. Aikawa, "Low voltage, high power T/R switch MMIC using LC resonators," in *IEEE Microwave and Millimeter-Wave Monolithic Circuits Symp.*, June 1993, pp. 27-30.



**Tsuneo Tokumitsu** (M'88) was born in Hiroshima, Japan, in 1952. He received the B.S. and M.S. degrees in electronics engineering from Hiroshima University, Hiroshima, Japan, in 1974 and 1976, respectively.

He joined the Yokosuka Electrical Communication Laboratories, Nippon Telegraph and Telephone Public Corporation (NTT), Yokosuka, Japan, in 1976. He had been involved in developmental research on microwave and millimeter-wave GaAs FET circuits and GaAs MMIC's for space applications. In September 1986, he joined ATR Optical and Radio Communications Research Laboratories, Osaka (now, Kyoto), Japan, on leave from NTT. At ATR his primary interests were in achieving FET-sized, wide-band circuit function modules (LUFET's), multilayer MMIC's, and active inductors for highly integrated MMIC's. Since February 1990, he has been with NTT Radio Communication Systems Laboratories, Yokosuka, Japan. After he accomplished high-linearity MMIC T/R modules for 16-QAM digital radio trunk transmission systems in early 1993, he has been engaged in developmental research on novel MMIC technology including three-dimensional and advanced uniplanar MMIC's.

Mr. Tokumitsu is a recipient of the 1991 Microwave Prize granted by the IEEE Microwave Theory and Techniques Society. He is a member of the Institute of Electronics, Information and Communication Engineering of Japan.



**Ichihiko Toyoda** (M'91) was born in Osaka, Japan, on May 10, 1962. He received the B.E., M.E., and D.E. degrees in communication engineering from Osaka University, Osaka, Japan, in 1985, 1987 and 1990, respectively.

In 1990, he joined NTT Radio Communication Systems Laboratories, Kanagawa, Japan. His current interests are uniplaner and three-dimensional MMIC's and their applications based on electromagnetic analysis.

Dr. Toyoda was granted the 1993 Young Engineer Award by the Institute of Electronics, Information and Communication Engineering (IEICE) of Japan. He is a member of the IEICE of Japan.



**Masayoshi Aikawa** (M'78) was born in Saga, Japan, on Oct. 16, 1946. He received the B.S., M.S., and Dr. Eng. degrees in electronics engineering from Kyushu University, Fukuoka, Japan, in 1969, 1971, and 1985, respectively.

In 1971, he joined the Musashino Electrical Communication Laboratories, Nippon Telegraph and Telephone Public Corporation (NTT), Tokyo, Japan, where he did research and development on microwave and millimeter-wave integrated circuits, and equipment for 20-GHz digital radio trunk transmission systems and 26-GHz subscriber radio systems. In 1986, on leave from NTT, he joined ATR Optical and Radio Communication Research Laboratories, Osaka, Japan, where he was engaged in research on basic techniques such as highly integrated MMIC's and RF signal processing for future mobile communications. He is now with the NTT Radio Communication Systems Laboratories, Yokosuka, Japan, where he has been engaged in research and development on monolithic microwave and millimeter-wave integrated circuits and their applications to terrestrial, mobile, and satellite communication systems.

Dr. Aikawa is a corecipient of the 1991 Microwave Prize granted by the IEEE Microwave Theory and Techniques Society. He is a member of the Institute of Electronics, Information and Communication Engineering of Japan.

**8.2.5. Aspecto de la celda con el layout del circuito**

