



# CAPÍTULO 3

## Convertidores A/D Pipeline

### Índice:

#### CONVERTIDORES A/D PIPELINE

1. Introducción .....	15
2. El convertidor Pipeline .....	15
3. No idealidades en convertidores A/D Pipeline .....	17
3.1. Ganancia DC finita del amplificador operacional.....	18
3.2. Tamaño de las capacidades.....	18
3.3. Slew Rate y Ancho de Banda del amplificador operacional.....	20
3.4. Offset en los DACs.....	22
3.5. Jitter.....	23



## ***1. Introducción***

Los convertidores A/D pipeline son adecuados para aplicaciones donde el ancho de banda es relativamente grande al igual que una resolución también alta. Éstos son similares a los convertidores semi-flash y consiste en varias etapas en cascada con CAD de baja resolución, un amplificador S/H y un CDA. Sus propiedades son similares a los de semi- flash, aunque su principal diferencia como veremos en el capítulo posterior es el circuito S/H entre etapas el cual incrementa el máximo de la tasa de muestreo del convertidor.

Los convertidores pipeline se han convertido en los más utilizados en el diseño de arquitecturas de resolución moderada (8 a 12 bits) y frecuencias de muestreo del orden de decenas de megahercios. Para frecuencias de muestreo menores se suelen utilizar convertidores de aproximaciones sucesivas (bajas resoluciones) o arquitecturas Sigma- Delta (altas resoluciones), mientras que para frecuencias superiores (cientos de megahercios) continúan dominando los convertidores flash y sus variantes.

En este capítulo vamos a hacer una revisión de los fundamentos de los convertidores A/D pipeline y mostraremos como se determina la resolución de este tipo de convertidores así como su salida digital. Existe en estas estructuras un principio de corrección, en el cual no entraremos detalladamente, que se utiliza para relajar los requerimientos de los bloques ADC que adelante comentaremos. En el caso de necesitar resoluciones muy altas será necesaria una calibración.

Nosotros vamos a centrarnos en estudiar la estructura de los convertidores A/D pipeline y posteriormente sus principales no idealidades, que son la base de estudio de este proyecto.

## ***2. El convertidor pipeline***

El convertidor A/D pipeline está formado por varias etapas, conteniendo cada una de ellas un convertidor analógico digital (CAD), un convertidor digital analógico (CDA), un restador y un amplificador de residuo. La última etapa necesitará sólo de un CAD.

En ocasiones, se emplea un circuito de muestreo y retención (S&H) a la entrada para evitar errores por desviaciones debidas a retrasos en las dos señales de



entrada al restador. Debido a su simplicidad y rapidez, el CAD suele ser un cuantizador Flash.

Al conjunto del amplificador de residuo, el restador y el CDA se le llama también convertidor digital analógico multiplicador (MCDA) y desempeñará, además, la función de S&H.

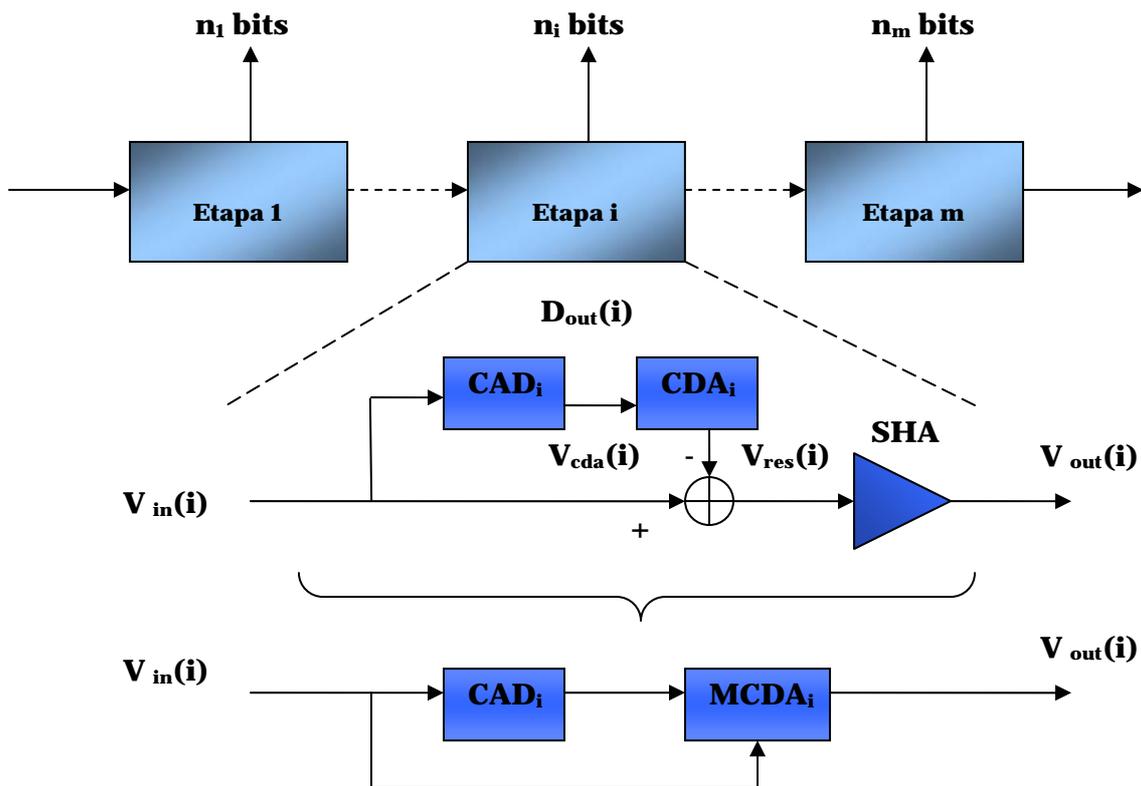


Fig. 3.1. Estructura del convertidor A/D pipeline.

El significado de cada uno de los elementos es el siguiente:

- **CAD<sub>i</sub>**: el convertidor analógico-digital de la etapa i
- **CDA<sub>i</sub>**: el convertidor digital-analógico de la etapa i
- **V<sub>res</sub>(i)**: residuo de la etapa i antes de amplificarlo
- **V<sub>in</sub>(i)**: entrada analógica de la etapa i
- **V<sub>out</sub>(i)**: salida analógica de la etapa i. Por lo tanto,  $V_{out}(i) = V_{in}(i+1)$
- **D<sub>out</sub>(i)**: salida digital de la etapa i



- **D<sub>out</sub>**: salida digital total de todo el CAD
- **V<sub>cda(i)</sub>**: salida del CDA en la etapa i
- **FS**: fondo de escala del rango de entrada del CAD de la etapa i, igual para todo i.
- **n<sub>i</sub>**: número de bits de salida de la etapa i
- **n<sub>tot</sub>**: número de bits totales del convertidor pipeline
- **N<sub>i</sub>**: número de códigos de salida de la etapa i del CAD
- **N<sub>tot</sub>**: número de bits totales del convertidor A/Dpipeline
- **G<sub>i</sub>**: ganancia del residuo de la etapa i
- **m**: número de etapas

Normalmente, el número de códigos de salida de la etapa i, N<sub>i</sub>, es potencia de dos, es decir,

$$N_i = 2^{n_i} \quad (3.1)$$

donde n<sub>i</sub> es el número de bits de la etapa i.

### ***3. No idealidades en convertidores A/D pipeline***

Las no idealidades más importantes en un CA/D pipeline, que estudiaremos a continuación son:

1. Ganancia DC finita del amplificador operacional.
2. Tamaño de las capacidades.
3. Slew Rate y Ancho de Banda del amplificador operacional.
4. Offset en los DACs.
5. Jitter.



### 3.1. Ganancia DC Finita del amplificador operacional

En este apartado se estudia la influencia de la ganancia finita del amplificador operacional sobre la resolución del convertidor. Para desarrollar el modelo se ha utilizado el circuito de la Fig 3.2, en la fase de cálculo del residuo.

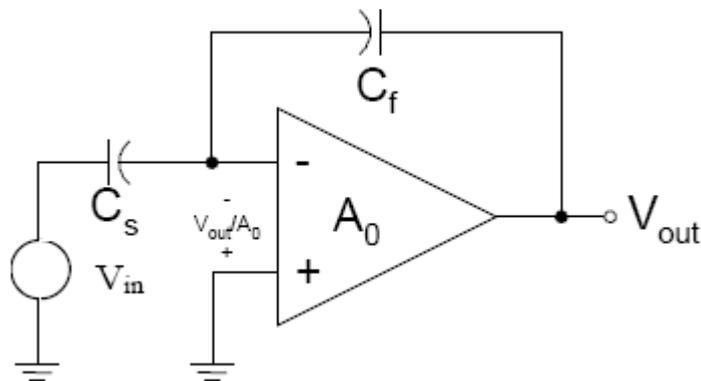


Fig. 3.2. Circuito en fase de cálculo del residuo. Cálculo de la ganancia.

Debido a la ganancia finita del amplificador ( $A_0$ ), la ganancia del amplificador de residuo se ve modificada según la siguiente expresión:

$$V_{out} = \frac{2}{1 + \frac{2}{A_0}} V_{in} \quad (3.2)$$

Siendo  $V_{in}$  en este caso la tensión del residuo.

Esta desviación de la ganancia del amplificador de residuo no es corregida por la corrección digital.

### 3.2. Tamaño de las capacidades

El tamaño de las capacidades utilizadas en el cálculo del residuo es muy importante ya que determinan el consumo del amplificador operacional, y por tanto, del convertidor completo. Por esa razón, las capacidades deben ser lo menores posible para minimizar este consumo. Sin embargo, existen dos factores que limitan el tamaño de estas capacidades y el motivo de que no podamos hacerlas tan pequeñas como queramos: el ruido térmico y el desapareamiento entre capacidades.



### 3.2.1. Ruido térmico

En un circuito de capacidades conmutadas el ruido introducido durante el proceso de muestreo es inversamente proporcional al tamaño de la capacidad. Basándonos en este principio, y teniendo en cuenta que el ruido máximo admitido viene dado por la resolución del convertidor, es posible calcular la capacidad de muestreo mínima.

La potencia total de ruido debida al proceso de muestreo viene dada por la siguiente ecuación:

$$\overline{V_{out}^2} = \frac{kT}{C_s} \quad (3.3)$$

siendo  $kT$  una constante de valor  $4.14e-21$  ( $k$ , constante de Boltzmann;  $T$ , temperatura ambiente) y  $C_s$  la capacidad de muestreo.

Por otra parte, la potencia correspondiente al ruido de cuantización para una entrada senoidal, bajo supuesto de ruido blanco, puede expresarse como:

$$\varepsilon_q^2 = \frac{\Delta^2}{12} \quad (3.4)$$

donde  $\Delta = \frac{V_{REF}}{2^n}$  se corresponde con el tamaño del escalón de cuantización de un convertidor de  $n$  bits y  $V_{REF}$  representa la tensión de fondo de escala.

La relación señal a ruido a la salida para una entrada analógica senoidal de amplitud  $\frac{V_{REF}}{2}$ , expresada en decibelios, viene dada por la expresión:

$$SNR = 6.02n + 1.76 \quad (3.5)$$

donde  $n$  representa, como se ha mencionado, el número de bits de resolución. En el caso, por ejemplo, de tener un convertidor analógico-digital pipeline de 10 bits<sup>1</sup>, el SNR será igual a 61.96 dB. Si asumimos una desviación de 1 dB respecto a la relación señal a ruido ideal, la capacidad de carga permitida a la salida del amplificador será de  $C_L \geq 49.91$  fF, valor suficientemente bajo para concluir que el ruido térmico no es un factor determinante a la hora de fijar el tamaño mínimo de las capacidades empleadas en el cálculo del residuo.

<sup>1</sup> Este es el ejemplo que veremos más adelante en el capítulo 8 de simulaciones.



### **3.2.2. Desapareamiento entre capacidades**

Cualquier variación en el cociente  $C_s/C_f$  (coeficiente del integrador del amplificador operacional) producirá una desviación en la ganancia del residuo, que no se compensaría en la corrección digital. Por otro lado, mientras más pequeña sean las capacidades peor es el apareamiento entre ellas. En nuestro caso, el mínimo valor de las capacidades vendrá limitado por este efecto.

Para desarrollar el modelo utilizado se ha tenido en cuenta que  $V_{ref} = 2V_{DAC}$ , siendo  $V_{ref}$  la tensión de referencia y  $V_{DAC}$  la salida del DAC en el modelo ideal.

El desapareamiento entre capacidades se medirá mediante el parámetro  $\varepsilon$ , que viene dado por la siguiente ecuación:

$$\frac{C_s}{C_f} = 1 + \varepsilon \quad (3.6)$$

La tensión de salida considerando el desapareamiento entre capacidades queda:

$$V_{out} = 2(V_{in} - V_{dac}) + \varepsilon(V_{in} - 2V_{dac}) \quad (3.7)$$

### **3.3. Slew-rate y ancho de banda del amplificador operacional**

Ahora veremos la influencia de otra no idealidad que afectará en la velocidad del amplificador operacional para la resolución del convertidor, definiendo las especificaciones dinámicas del opamp como su slew-rate y ancho de banda.

Veremos el efecto del slew-rate y el ancho de banda mediante el circuito de la Fig 3.3 en la fase de amplificación del residuo, en la cual la carga almacenada en  $C_s$  pasa a  $C_f$ . En la práctica, este traspaso de carga nunca se realiza completamente, no alcanzando la salida del MDAC el valor deseado, debido a las limitaciones dinámicas del amplificador.

El proceso de carga estará limitado por dos efectos. Por un lado, si el cambio de tensión a la salida es muy abrupto el amplificador saldrá de su zona de funcionamiento lineal, estando la pendiente limitada por el slew-rate. Por otro lado, cuando el amplificador está funcionando linealmente (asumimos un comportamiento de primer orden) la carga de la capacidad se producirá siguiendo una característica exponencial.

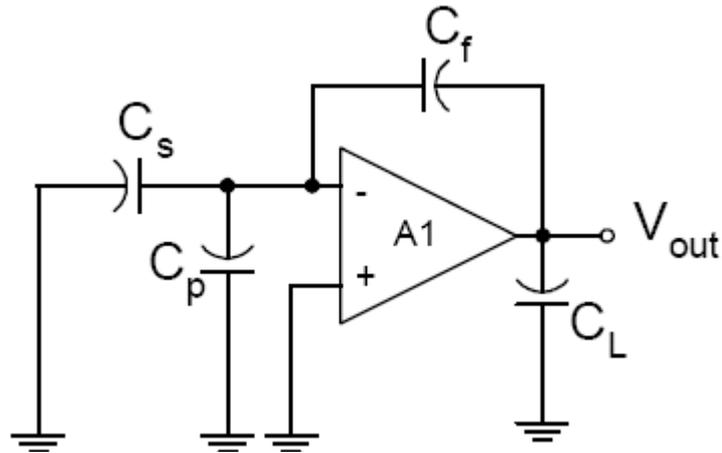


Fig. 3.3. Modelo para calcular la influencia del SR y BW del op en cálculo del residuo.

Asumimos un amplificador con respuesta en frecuencia de primer orden dado por:

$$A(s) = \frac{A_o}{1 - \frac{s}{p_1}} \quad (3.8)$$

donde,  $A_o$  es la ganancia DC del amplificador y  $p_1$  la frecuencia del polo, definidos como:

$$A_o = g_m r_{out} \quad (3.9)$$

$$p_1 = \frac{1}{r_{out} C_{Leff}}$$

donde la capacidad  $C_{Leff}$  es la capacidad efectiva que ve el amplificador en bucle abierto a la salida. Es decir:

$$C_{Leff} = C_L + \frac{C_f (C_p + C_s)}{C_f + C_p + C_s} \quad (3.10)$$

El factor de realimentación viene dado por el divisor capacitivo compuesto por  $C_f$  y  $C_s$ :

$$\beta = \frac{C_f}{C_f + C_p + C_s} \approx \frac{1}{2} \quad (3.11)$$



Para conocer la respuesta transitoria del sistema calculamos la función de transferencia en bucle cerrado:

$$Acl(s) = \frac{A}{1 - A\beta} = \frac{r_{out} g_m}{1 + r_{out} C_{Leff} s - \frac{C_f}{C_f + C_p + C_s} r_{out} g_m} \approx \frac{g_m}{C_{Leff} s - \frac{C_f}{C_f + C_p + C_s} g_m} \quad (3.12)$$

Al ser un sistema de primer orden, la constante de tiempo se corresponde con la inversa de la frecuencia del polo:

$$\tau = 2 \frac{C_{Leff}}{g_m} \quad (3.13)$$

Nótese que se corresponde con la constante de tiempo de un sistema con ancho de banda la mitad del producto ganancia ancho de banda del amplificador con una capacidad de carga  $C_{Leff}$ .

Es posible hacer un estudio más detallado del proceso de carga del condensador teniendo en cuenta el slew-rate del amplificador. La ecuación que rige el comportamiento del MDAC es la siguiente:

$$V_{out} = V_{in} + g(V_{in} - 2V_{dac}) \quad (3.14)$$

siendo  $g(x)$  la función que modela el efecto del *slew-rate* y el ancho de banda del amplificador sobre el proceso de carga, y tiene la siguiente forma:

$$g(x) = \begin{cases} x(1 - e^{-\frac{T_s}{2\tau}}) \xrightarrow{si} |x| \leq \tau\zeta \\ x - \text{sgn}(x)\tau\zeta e^{\left(\frac{|x| - T_s}{\tau\zeta} - 1\right)} \xrightarrow{si} \tau\zeta < |x| \leq (\tau + T_s)\zeta \\ \text{sgn}(x)\zeta \frac{T_s}{2} \xrightarrow{si} (\tau + T_s)\zeta < |x| \end{cases} \quad (3.15)$$

donde  $\tau$  representa el tiempo de establecimiento,  $\zeta$  el *slew-rate* del amplificador y  $T_s$  el tiempo de muestreo.



### 3.4. Offset en los DACs

El efecto del offset que está presente en los DACs es un cambio en los niveles de decisión, que ya no estarán equidistribuidos a lo largo del rango que va de  $-FS/2$  a  $FS/2$  (suponiendo un convertidor simétrico) sino que presentarán una varianza en torno al nivel ideal. Este inconveniente se acentúa al colocarlos en cascada.

### 3.5. Jitter

El ruido jitter está asociado al proceso de muestreo de señales analógicas para trabajar con señales en tiempo discreto. El mecanismo del jitter no está demasiado claro (se sabe que da como resultado un tiempo de muestreo no uniforme) y, por tanto, no hay muchas técnicas o diseños que traten el problema. Aumentar la resolución y la velocidad de los convertidores depende en gran medida de reducir el jitter.

El ruido jitter produce un error que incrementa la potencia total del error a la salida del cuantizador. La magnitud de este error es función de las propiedades estadísticas del jitter. El error introducido cuando una señal sinusoidal  $x(t)$  de amplitud  $A$  y frecuencia  $f_{sin}$  es muestreada en un instante dado con un error de  $\delta$  viene dado por:

$$x(t + \delta) - x(t) = 2\pi f_{sin} \delta A \cos(2\pi f_{sin} t) = \delta \frac{d}{dt} x(t) \quad (3.16)$$