

Capítulo 4:

Diseño y simulación del encoder de 6 bits

- 4.1 Árbol de Wallace**
- 4.2 Registros de almacenamiento**
- 4.3 Sumadores con acarreo anticipado**
- 4.4 Esquema general del encoder**

Diseño y simulación del encoder de 6 bits

En este capítulo se va a describir la labor de diseño simulación del encoder mediante la herramienta de simulación Cadence. Por una parte, se abordarán las consideraciones de diseño del esquema a implementar, y además algunas otras más específicas del montaje en la tecnología de 130 nm.

También se realizará una comparación de las prestaciones del circuito diseñado en ambas tecnologías, para comprobar los beneficios que se consiguen al migrar los diseños de una a otra tecnología.

En todos los diseños, la alimentación utilizada será de 1.2 V, que es el valor nominal admitido por esta tecnología. Para el diseño de este encoder, la principal restricción está en conseguir una frecuencia de reloj de 1 GHz. Las simulaciones que van a detallarse son las correspondientes a la tecnología de 130 nm, las de 90 nm también fueron realizadas, pero al presentar comportamientos similares tan sólo comentaremos las principales diferencias entre ambas.

Describimos pues a continuación los diversos componentes del diseño, así como el funcionamiento global del esquema del encoder en las herramientas de simulación. Comenzaremos describiendo las etapas por separado para finalmente llegar al esquema completo, cuya simulación constituye la prueba definitiva para comparar las prestaciones en ambas tecnologías. El orden para su desarrollo será por tanto el siguiente:

- Árbol de Wallace de 4 y 5 bits
- Registros de almacenamiento
- Sumadores con selección de acarreo de 6 bits
- Esquema completo del encoder de 6 bits

4.1 Árbol de Wallace

Como se describió anteriormente, el diseño del Árbol de Wallace se basa en una serie de células unidad cableadas unas con otras según el esquema descrito en la figura 7 (apartado 3.3.1). Para el diseño de esta parte se utilizaron dispositivos *High Speed*, puesto que en el diseño previo en tecnología de 250 nm ya había resultado la etapa más limitadora de la velocidad de todo el esquema. Por ello, es de suponer que en esta tecnología ocurra lo mismo, por lo que se opta por realizar los diseños con los componentes que mayor frecuencia pueden alcanzar.

El esquema implementado en Cadence es el siguiente para el árbol de Wallace de 4 bits:

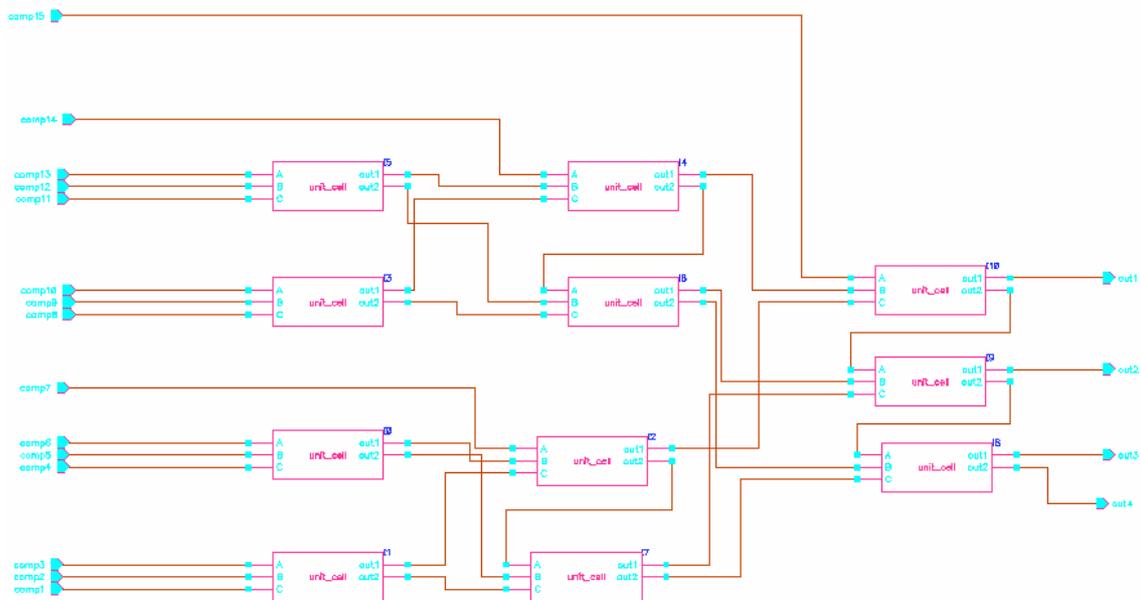


Figura 4.1.- Esquema en Cadence de árbol de Wallace de 4 bits

A partir de este esquema, utilizando dos árboles de Wallace de 4 bits y cableando sus salidas a otras celdas unidad como se indica en el esquema de la figura 3.7 (apartado 3.3.1), conseguimos obtener un árbol de Wallace de 5 bits, cuya implementación en Cadence se muestra a continuación:

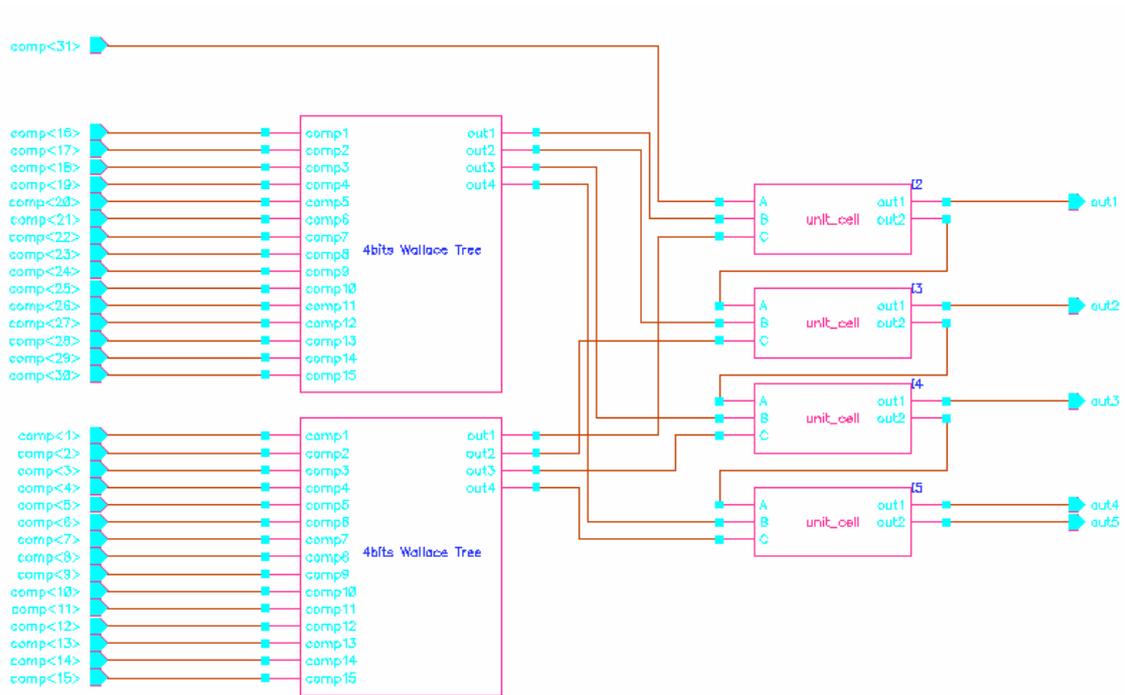


Figura 4.2.- Esquema en Cadence de árbol de Wallace de 5 bits

Como podemos observar, cada bloque del árbol de Wallace posee 31 entradas y 5 salidas. El diseño se basa en las celdas unidad descritas anteriormente, cuya implementación puede observarse a continuación:

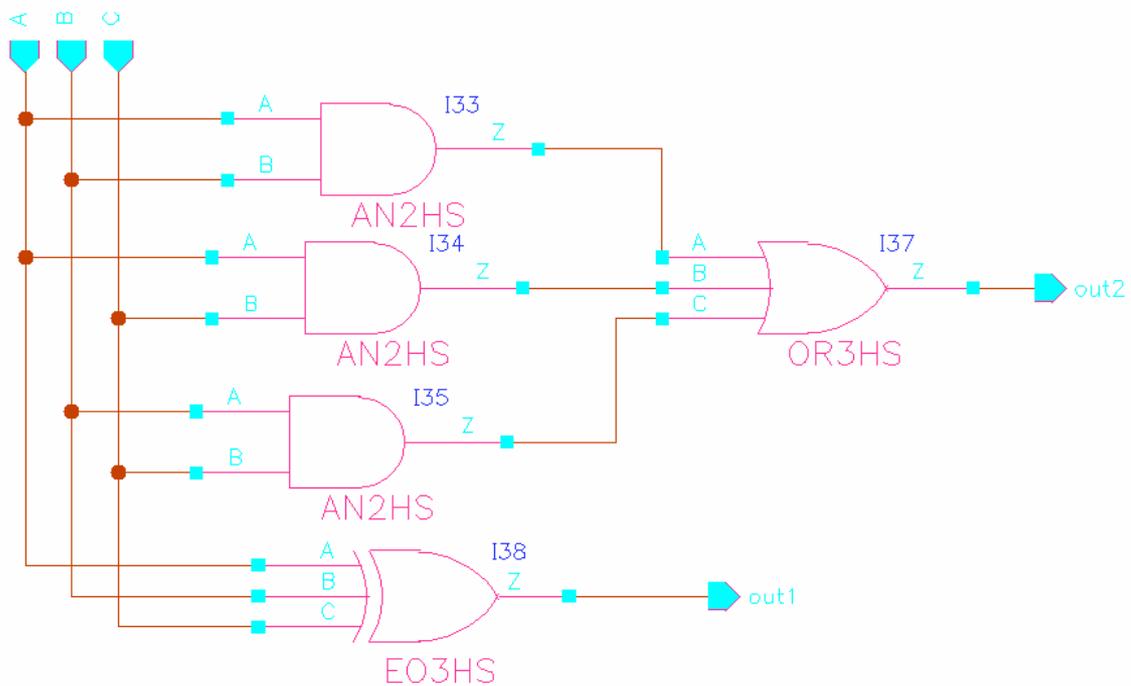


Figura 4.3.- Esquema de las células unidad para árboles de Wallace

En este esquema, vemos como los árboles de Wallace están constituidos por puertas lógicas *High Speed*, ya que se presupone que son la parte del diseño que más va a limitar el funcionamiento del encoder. Analizamos a continuación las simulaciones para así extraer algunas conclusiones de interés.

Las simulaciones que se presentan a continuación son tan sólo una parte de las realizadas. Aquí se ilustra el caso de la activación simultánea de todas las entradas para así apreciar uno de los problemas más evidentes: el distinto camino que deben seguir los bits de salida al implementar los árboles de 5 bits genera retrasos desiguales a la salida. La simulación se muestra en la figura:

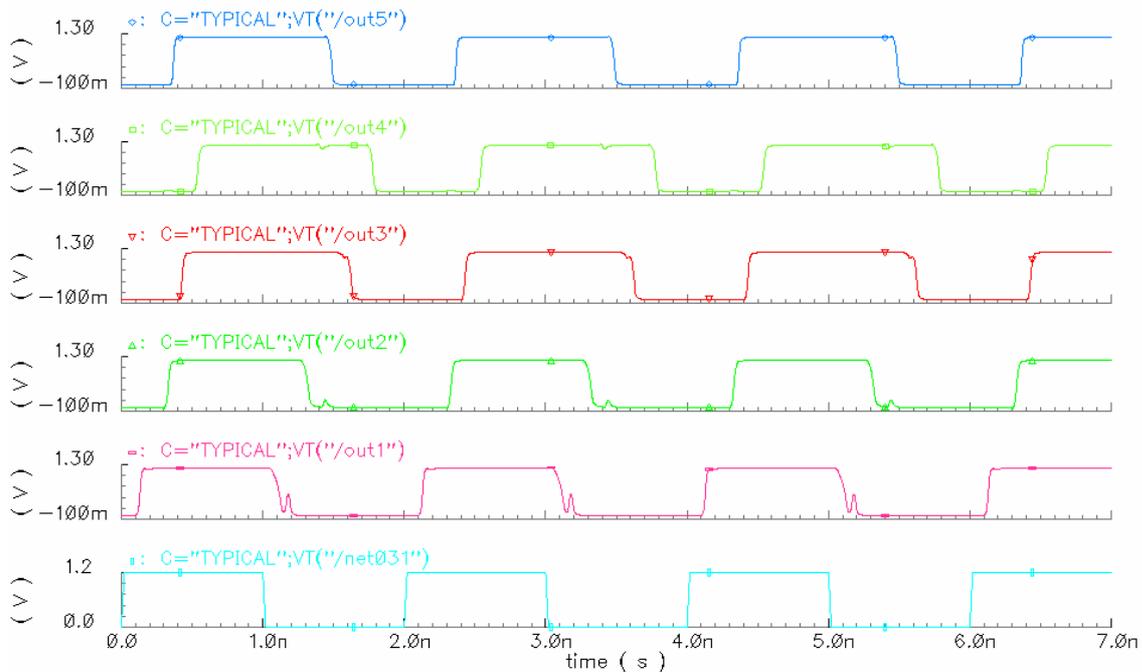


Figura 4.4.- Salidas del árbol de Wallace de 5 bits

Aquí se observa, en la parte inferior la señal de entrada que se cablea a todas las entradas a una frecuencia de 500Mhz, y las señales de salida para los 5 bits, de menor a mayor en orden ascendente en la figura. Se aprecia que el mayor retraso lo sufre el bit 4, y el menor el bit 1. Este efecto presenta un problema, y es que no podemos tomar las muestras para almacenarlas en los

registros en el momento que deseemos, sino que hay que respetar un margen para que todos los bits estén en el mismo estado.

De esta simulación se deduce de forma evidente que serán los bits 1 y 4 los que determinen estos rangos. Por tanto, medimos los márgenes de tiempo en que los bits 1 y 4 permanecen en el mismo estado. Veamos una simulación en la que podrá apreciarse mucho mejor a qué nos referimos:

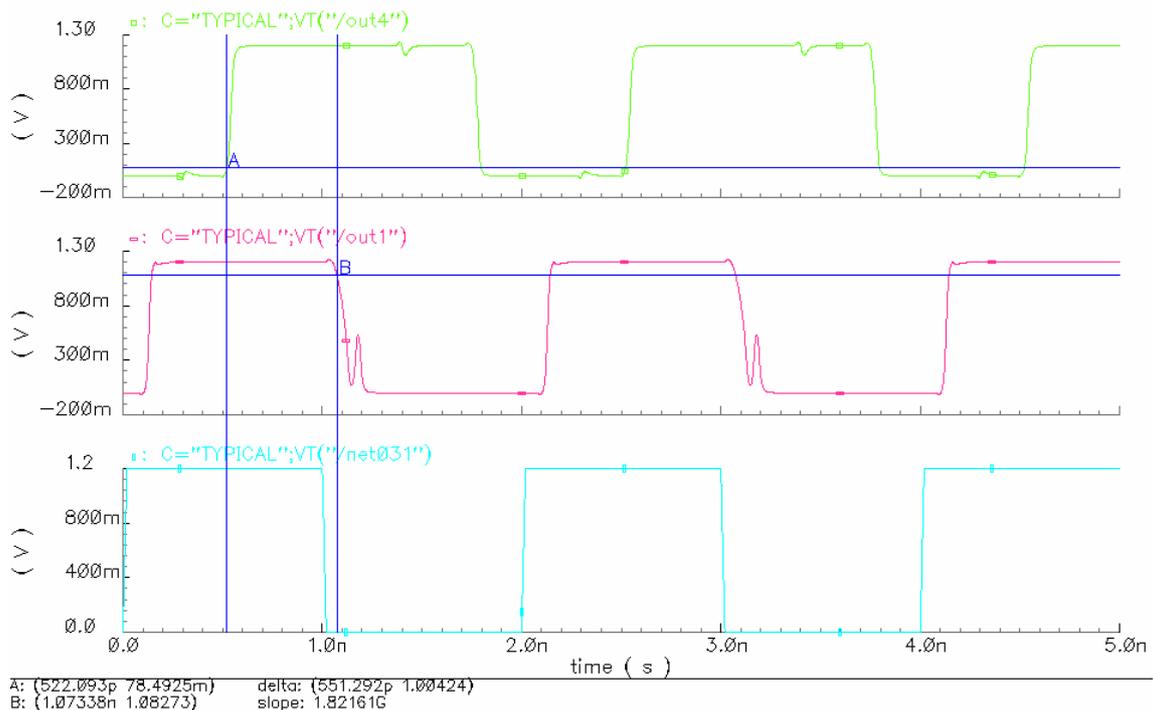


Figura 4.5.- Medida del rango con ambas salidas a nivel alto

Esta simulación se corresponde con el caso de que todas las salidas estén a uno o cero, por lo que la salida esperada deberá corresponderse con todos los bits a uno o a cero. Como vemos, en la práctica el valor de las salidas sólo se ajustará a lo esperado si tomamos la muestra en los instantes comprendidos entre las franjas de los cursores (para el caso de salida “1”), puesto que fuera de ellas los estados que aparecen no son estables sino que aún se ven afectados por retrasos que no deben reflejarse en el funcionamiento del encoder.

Dado que hay dos posibles estados lógicos para las salidas, “1” y “0”, existirán cuatro posibles combinaciones para medir los tiempos en que se mantienen en el estado real ambos bits de forma estable. Es necesario analizar todas estas combinaciones para ver cuál es la que marcará el rango más restrictivo.

Es decir, cuando ambos están a nivel alto, deberemos tomar la muestra después de que suba el bit 4 y antes de que baje el bit1, y si ambos están a nivel bajo justo al revés. Si dichas salidas están en valores diferentes se procede de forma análoga midiendo desde justo después del primer cambio en el bit 1 hasta antes del segundo cambio en el bit 4. Realizando las simulaciones pertinentes para conseguir todas las combinaciones posibles, se determinan los rangos de estabilidad en que los bits 1 y 4 coinciden, que quedan recogidos en la siguiente tabla:

Transiciones		Comienzo de estabilidad [nanosegundos]	Fin de estabilidad [nanosegundos]
Bit1	Bit4		
1 → 0	1 → 0	0.793	1.115
0 → 1	0 → 1	0.522	1.073
0 → 1	1 → 0	0.630	1.118
1 → 0	0 → 1	0.540	0.987

Tabla 4.1.- Rangos de estabilidad para salidas de árbol de Wallace

En esta tabla podemos ver que el rango en el que deberemos tomar las muestras para no cometer errores en el caso más desfavorable será el comprendido entre los 0.793 y 0.987 nanosegundos después de cada flanco de reloj. Es decir, que el funcionamiento máximo del encoder queda limitado por el de esta etapa a un periodo mínimo de 800 ns, que se corresponde con una frecuencia máxima de reloj de 1.2 GHz.

También se adjunta una simulación correspondiente a la transición más desfavorable que nos limita el rango, donde se puede apreciar como el presunto amplio margen que en teoría se supone queda reducido casi a menos de la tercera parte de la duración del reloj.

Aquí se muestra el rango de salida para medir un nivel bajo a la salida del encoder cuando todas las entradas pasan de nivel alto a nivel bajo:

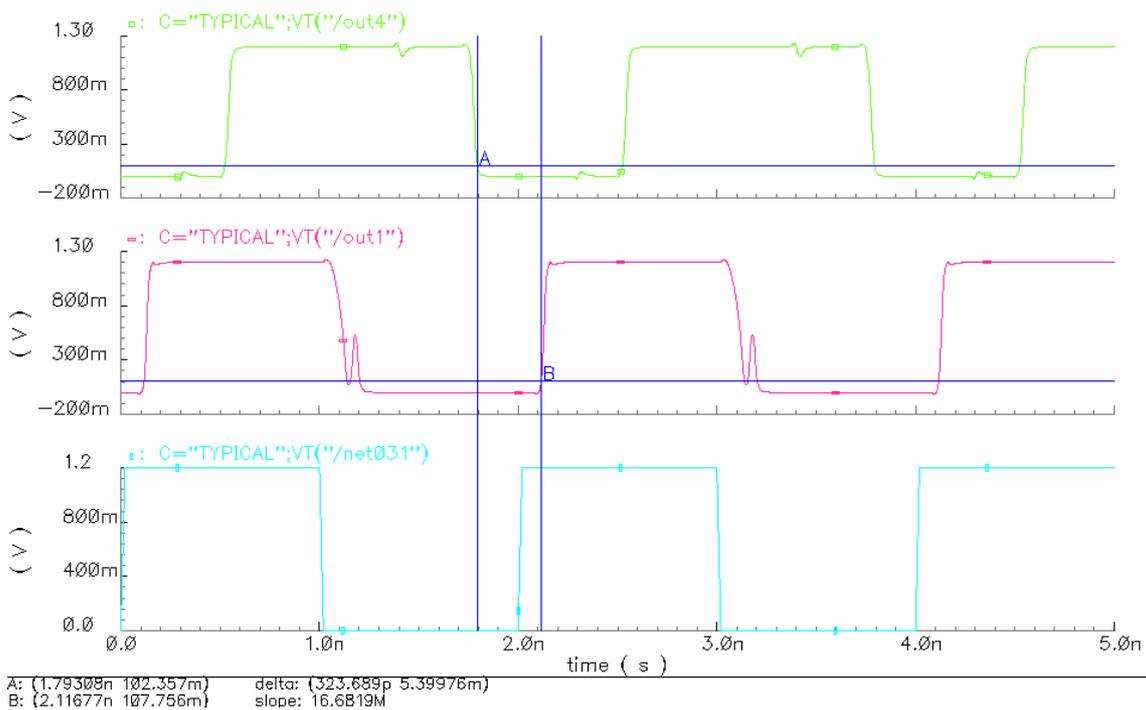


Figura 4.6.- Rango de estabilidad más restrictivo del árbol de Wallace

Como se ha comentado, vistas las simulaciones previas en otras tecnologías (250 nm), esta etapa parece en principio la que mayor restricción a la frecuencia de funcionamiento puede presentar. En principio, analizados este bloque es de esperar que el encoder completo funcione cumpliendo las especificaciones previstas, ya que supera en 200 MHz la frecuencia máxima deseada para este diseño.

4.2 Registros de almacenamiento

Estas etapas en realidad tienen la única finalidad de darle sincronismo al esquema y realizar la implementación pipelined para conseguir una mayor velocidad.

Lo único reseñable que puede comentarse de ellas es que han sido implementadas en Cadence usando flip-flops *Low Leakage* en lugar de *High Speed*. Puesto que la única labor que desempeñan es almacenar el valor de salida de la etapa anterior para ponerla en la entrada de la etapa posterior en el ciclo de reloj siguiente, no es clave la velocidad para su diseño.

En cambio, al tratarse de componentes que van a almacenar un valor durante un ciclo completo de reloj (que será teóricamente de 1 ns para un funcionamiento deseado a 1 GHz), sí es conveniente minimizar las pérdidas por corrientes de fuga para evitar posibles efectos de descarga en los valores almacenados, por lo que resulta beneficioso el uso de estos dispositivos *Low Leakage* frente a los *High Speed*.

En el encoder completo hay cuatro etapas de registros de almacenamiento, compuestas respectivamente por 50, 30, 18, 12 y 6 flip-flops. Éstos se conectan entre sí en paralelo, formando etapas de igual número de entradas que salidas, controladas por una señal de reloj (CLK) común a todos ellos que se cablea al habilitador de cada dispositivo. Así, conseguimos que se cambie el valor de la salida en cada flanco activo de reloj.

También se incluye un reset común a todos los dispositivos, que se utilizará en caso de fallo para restablecer todos los valores de la salida a un estado conocido en caso de que fuese necesario.

Se incluye el esquema en Cadence del registro de 18 flip-flops para observar su estructura gráficamente:

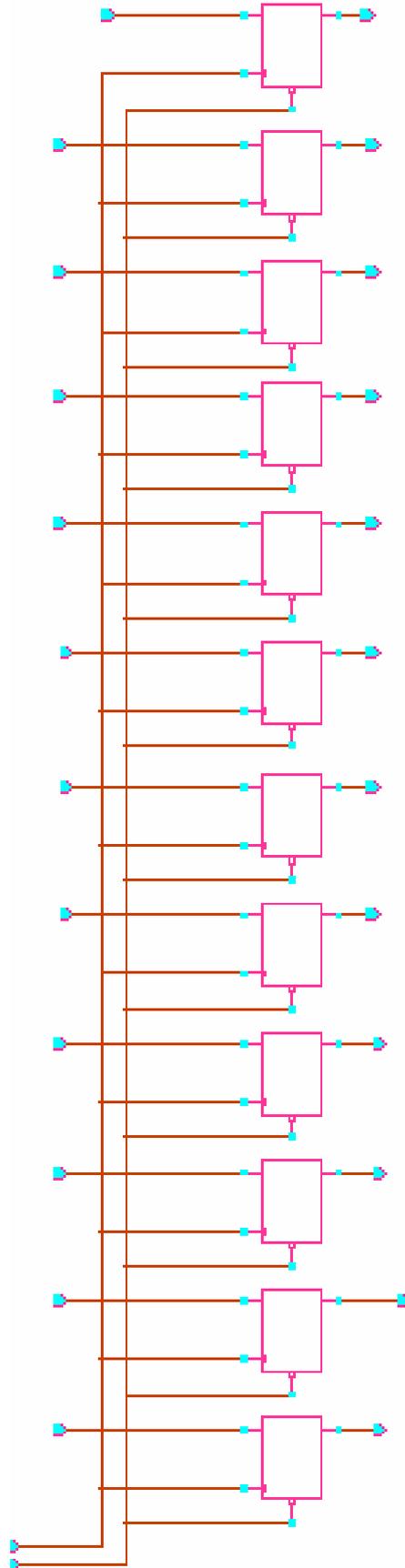


Figura 4.7. - Esquema de registro de almacenamiento con 18 flip-flops

4.3 Sumadores de 6 bits

La principal labor de estas etapas de sumadores consiste en ir sumando las salidas de cada etapa anterior para finalmente conocer el número total de unos lógicos a la entrada.

Como se comentó anteriormente, se ha optado por realizar el montaje mediante sumadores paralelos con acarreo anticipado, ya que es la estructura que presenta una mayor velocidad de procesamiento a pesar de que el coste en electrónica (y por tanto en potencia) sea algo mayor. El esquema seguido es el que se indica en la figura 3.8 (apartado 3.3.3) y que se implementa de la manera siguiente en Cadence:

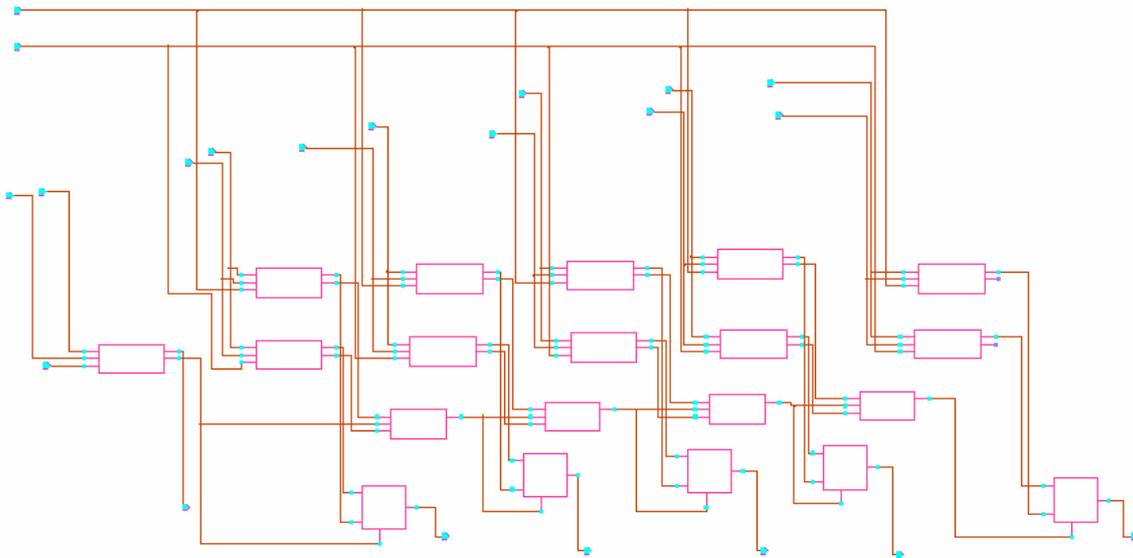


Figura 4.8.- Esquema de sumador de 6 bits

En el esquema pueden apreciarse tres tipos de componentes: las celdas unidad (iguales a las de los árboles de Wallace), los multiplexores y una función lógica para pasar el acarreo de un bit al siguiente. El funcionamiento, como ya se comentó anteriormente, se basa en realizar la suma y acarreo de todos los bits en paralelo y seleccionar mediante el acarreo del bit anterior el resultado que corresponda mediante un multiplexor.

Este esquema puede comprobarse en la figura anterior, donde se observan claramente dos filas de sumas, una para el acarreo 1 y otra para el acarreo 0, y una lógica de selección mediante multiplexores a la salida.

Para la simulación, si analizamos el esquema es fácil comprobar que el camino crítico va a venir dado por el acarreo en el quinto bit. Si hacemos que este tenga que cambiar para obtener el resultado del sexto bit, tendremos el caso más desfavorable de los posibles retrasos a la salida respecto de las entradas. Por tanto, realizamos simulaciones sumando dos números que permitan ver este cambio, además de con acarreo inicial igual a 1. Es decir:

$$111111 + 011110 + 1 \rightarrow 011110$$

Con estas entradas, la simulación correspondiente es la que se muestra a continuación en la figura:

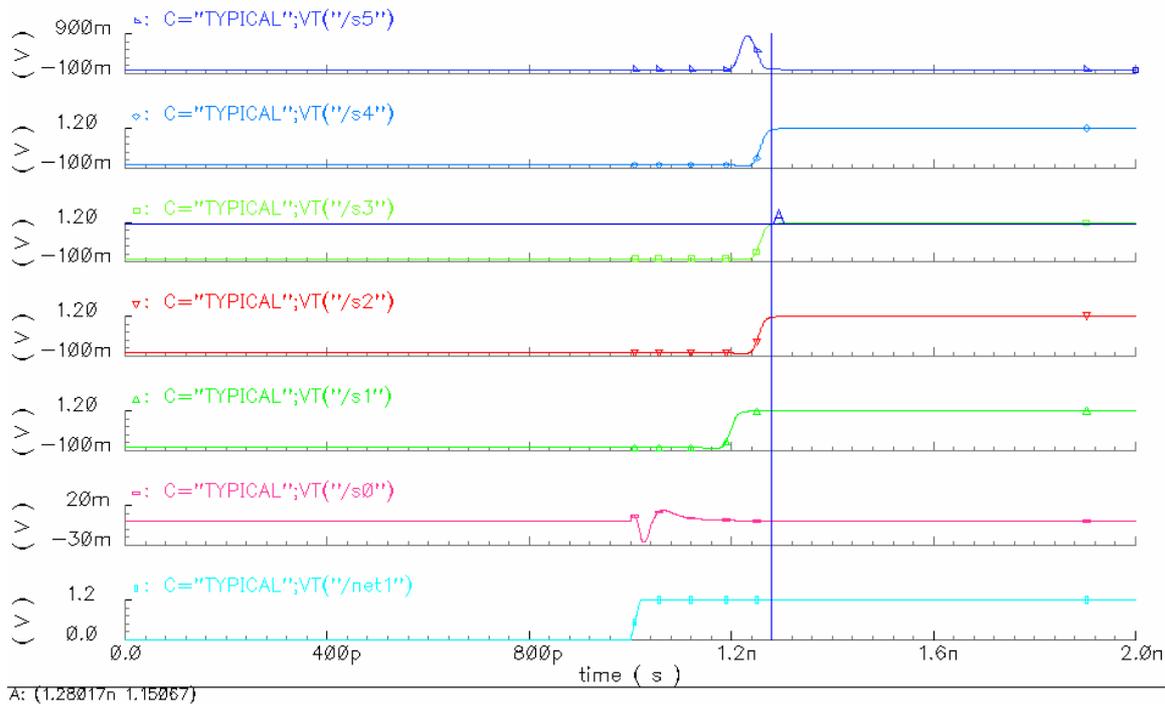


Figura 4.9. - Simulación de sumadores de 6 bits

Como resultado obtenemos el valor esperado, y se comprueba que efectivamente el retraso máximo que generará esta etapa no va a ser el factor limitante de la velocidad en el encoder, puesto que se obtiene un valor de aproximadamente 280 ns de retraso.

El esquema completo de los sumadores ha sido diseñado con puertas *Low Leakage* para disminuir así los posibles problemas de consumo debidos a corrientes de fuga. En caso de requerirse, aún podría optarse por utilizar puertas *High Speed*, con las que sería de esperar un mayor rendimiento en la velocidad de los sumadores.

No obstante, al no ser esta la etapa más lenta carece de utilidad tratar de mejorar sus prestaciones cuando no va a afectar a un mejor funcionamiento global del circuito.

4.4 Esquema general del encoder

Como se ha comentado en apartados anteriores, el circuito completo del encoder realiza una función de conversión de un código termométrico cuyas entradas se distribuyen de forma aleatoria a código binario.

El proceso ya ha sido explicado con detalle anteriormente, y el esquema seguido se encuentra en la figura 3.4 (apartado 3.3). En este esquema se integran los diversos componentes cuyo diseño ya ha sido descrito anteriormente, comunicados mediante los registros flip-flop entre sí.

El diseño responde a una estructura pipelined que realiza las operaciones en paralelo a una velocidad efectiva mayor de la inicialmente posible, a cambio de tener a la salida un determinado retraso fijo respecto a las entradas. Como ya se comentó, se realizaron dos versiones distintas del encoder, de las que sólo vamos a detallar la final puesto que es la que realmente presentará un funcionamiento más adecuado.

El esquema final implementado en Cadence se muestra a continuación:

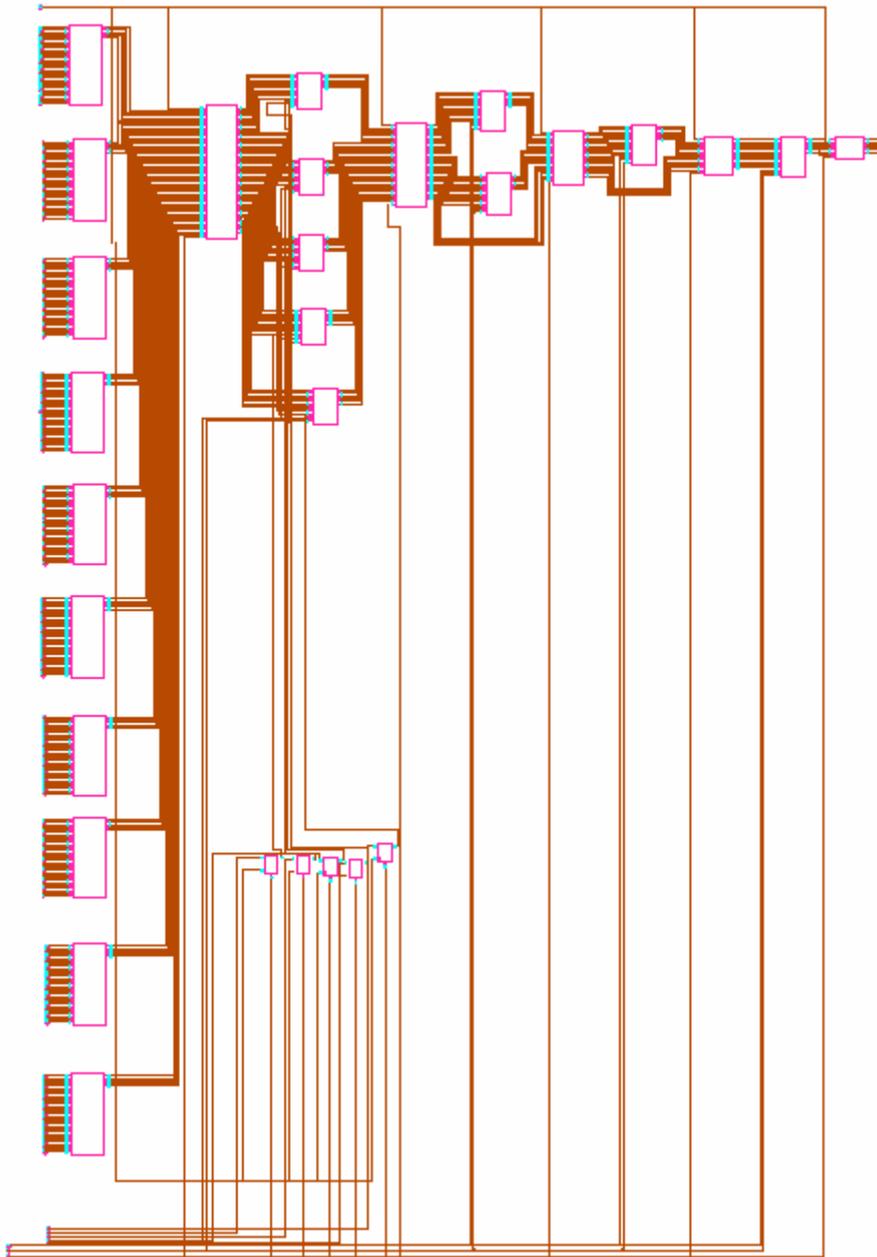


Figura 4.10.- Esquema final del encoder de 6 bits

Como se aprecia en la figura, el esquema consta de cinco etapas de procesamiento separadas mediante registros, con 315 entradas que se suministran a través de árboles de Wallace, más una adicional por cada dos de ellos. Esto se traduce en que las salidas tendrán un retaso de 5 ciclos de reloj respecto a las entradas.

La alimentación del circuito estará a 1.2 V, y la entrada de reloj deberá alcanzar como mínimo una frecuencia de 1 GHz para que el diseño cumpla con las expectativas deseadas.

Para comprobar su funcionamiento se colocan diversas entradas a nivel alto en diferentes posiciones y número, para comprobar que el encoder es capaz de representarlas correctamente. Recordemos que a pesar de que hay 315 entradas, la lógica de selección se encargará de seleccionar un máximo de 63 comparadores activos a la entrada, por lo que tenemos suficiente para representar el valor con 6 bits a la salida ($2^6 - 1 = 63$).

En la representación que se muestra en la figura, lo que colocamos a la entrada es una sucesión de valores que van conmutando a una frecuencia de reloj de 1.2 GHz. La elección de este valor responde a que se corresponde con un periodo de 800ns, tan sólo algo mayor que el máximo retraso del árbol de Wallace, que es el valor mínimo para un funcionamiento fiable. Así, colocamos respectivamente a nivel alto 15, 9, 6 y 0 entradas, todas ellas cambiando de uno a otro valor sucesivamente a dicha frecuencia de 1.2 Ghz. Simulando varios periodos de estas señales se obtienen los resultados siguientes:

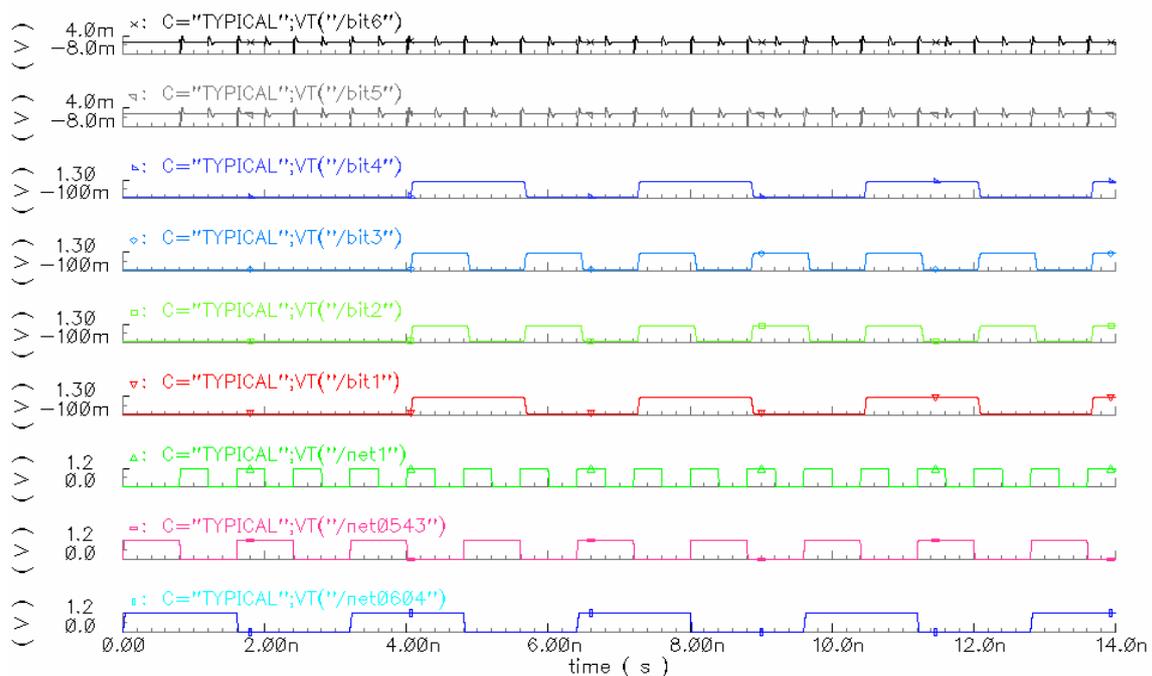


Figura 4.11.- Simulación del funcionamiento del encoder a 1.2 GHz

En la parte inferior se pueden observar los valores de las entradas, cableadas a una a 9 y otra a 6 entradas (respectivamente en orden ascendente), que van marcando los valores que deberemos obtener a la salida. Sus frecuencias son respectivamente de 600 y 300 MHz. La tercera señal representa el reloj del sistema, a una frecuencia de 1.2 GHz y con un retraso de 800ns para una correcta toma de las muestras, como ya se comentó en el apartado 4.1. El resto de las señales representan las salidas del convertidor en orden ascendente.

Analizando los resultados, vemos que el funcionamiento que se obtiene es el esperado. Se comprueba que a partir del quinto ciclo de reloj obtenemos las señales de salida correspondientes, por lo que cumple con el retraso previsto. Además, se comprueba como cambia a la frecuencia deseada entre las señales de entrada que tenemos activadas, mostrando a la salida la secuencia de bits correspondiente a 15, 9, 6 y 0. Los bits 5 y 6 se mantienen inactivos puesto que no hay valores que representar mediante ellos, aunque también se ha comprobado su correcto funcionamiento en otras simulaciones.

También se ha probado a reducir el periodo del reloj por debajo del límite de 800 ns con resultados no fiables, como por otra parte ya cabía esperar. Se comprueba que efectivamente la limitación a la velocidad viene impuesta por la etapa de entrada compuesta por árboles de Wallace de 5 bits. De las simulaciones en el apartado 4.3, idealmente los sumadores sólo nos estarían limitando a un periodo de 300ns, es decir, que supuestamente se alcanzaría una frecuencia máxima de algo más de 3 GHz sin la etapa de entrada.

Una vez vistos los resultados obtenidos, podemos realizar la comparación con el mismo esquema implementado en tecnología de 250 nm de longitud de canal. Las simulaciones correspondientes, así como una explicación detallada de su diseño, pueden encontrarse en el Proyecto Fin de Carrera *“Diseño de un convertidor analógico-digital con esquema e autocalibración”* de Rafael Ibáñez Hueso.

En 250 nm, el funcionamiento máximo del encoder que se consigue alcanza una frecuencia máxima reloj a 300 Mhz. Como hemos visto, en 130 nm los resultados para un reloj a 1.2 GHz son satisfactorios, por lo que al pasar de una a otra tecnología se ha conseguido una mejora en velocidad considerable. Con el mismo esquema en esta tecnología disponemos de un convertidor analógico-digital que es 4 veces más rápido que el anterior diseño en 250 nm, lo que claramente justifica el uso de esta nueva tecnología.

Por otra parte, el diseño del mismo esquema del encoder también se realizó en la tecnología de 90 nm, como parte importante para tomar una decisión sobre qué tecnología submicrométrica era más conveniente utilizar. No obstante, en ese caso los resultados obtenidos fueron similares, con una frecuencia de funcionamiento igual a la obtenida en 130 nm (1.2 GHz) a un tensión de alimentación de 1 V. El hecho de que la mejora no fuera nada significativa nos hizo decantarnos por la tecnología de 130 nm, puesto a menor tensión de alimentación se incrementan los efectos no deseados del escalado (como ya se comentó en el apartado capítulo 2) y en este esquema no se obtenía una mayor ventaja en términos de velocidad o funcionamiento, sino como mucho en consumo y a cambio de la posibilidad de algunos riesgos no contemplados en los modelos de simulación.