

Capítulo 5:

Convertidor Flash

- 5.1 Esquema general y artículos de partida**
- 5.2 Convertidor Flash: descripción de componentes**
 - 5.2.1 Preamplificador**
 - 5.2.2 Comparador**

Convertidor Flash

En este capítulo va a describirse el esquema general implementado para la realización del convertidor Flash, así como su funcionamiento y las características que hacen interesante su elección para implementarlo en esta tecnología.

Además, se comentarán las peculiaridades surgidas al migrar estos diseños de la tecnología de 250 nm en que también han sido montados, a la de 130 nm en la que es de esperar que los resultados obtenidos sean mejores.

Comenzaremos analizando a continuación los artículos de partida, principios de funcionamiento del convertidor y veremos las etapas de las que consta. Más adelante se analizarán en mayor detalle los distintos componentes que forman el convertidor, incluyendo sus características, especificaciones y peculiaridades concretas.

5.1 Esquema general y artículos de partida

El convertidor analógico-digital que se pretende diseñar se basa en el artículo “A 6 bits 1.2 GS/s Low-Power Flash-ADC in 0.13- μ m Digital CMOS” de C. Sandner y otros autores, reseñado en la bibliografía.

En él se propone un esquema para el convertidor analógico-digital basado en la interpolación capacitiva. Como la salida que se pretende obtener consta de 6 bits, a la entrada tendremos que disponer de $2^6 - 1 = 63$ niveles. Para llegar este número de niveles se requerirá un total de 4 etapas sucesivas que sigan una estructura determinada de interpolación. Así, el esquema que deberá implementarse para pasar de una etapa a la siguiente vendrá dado por la siguiente estructura:

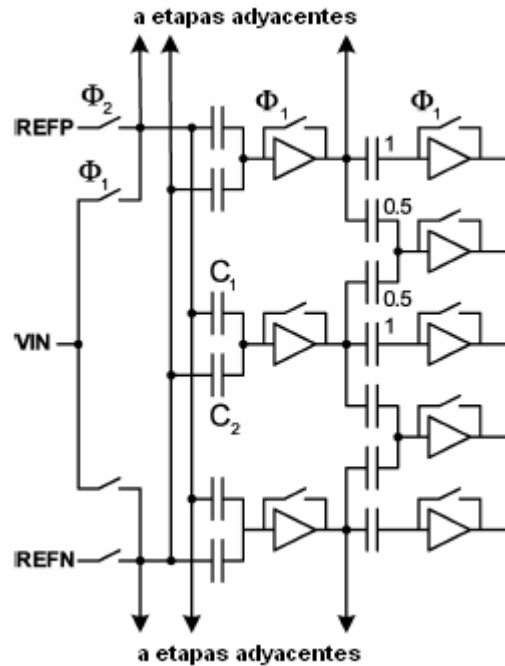


Figura 5.1.- Esquema de interpolación capacitiva

El esquema propuesto se basa, por una parte, en copiar la tensión de la etapa anterior de la salida a la entrada de los amplificadores, y por otra, en la interpolación de dos valores de salida mediante capacidades (de la mitad del valor de las de copia) para llevarlo a la entrada de otra nueva etapa amplificadora. Es decir, que en cada etapa vamos creando un nivel intermedio a partir de otro existente mediante la interpolación de tensiones a través de capacidades. Así, en cada etapa incrementamos el número de umbrales de referencia, partiendo inicialmente de 9 valores de tensión a la entrada y obteniendo así sucesivamente 17, 33 y finalmente 63 niveles.

Una de las principales ventajas que presenta este esquema de interpolación capacitiva es una teórica reducción del *offset* que se produce en otros diseños de convertidores flash. Habitualmente, la conversión analógico-digital se lleva a cabo mediante escaleras resistivas, que debido a sus elevadas tolerancias (alrededor del 5%) generan siempre un *offset* que es difícilmente minimizable puesto que no depende del diseño sino de la propia fabricación de los componentes. Al usar capacidades en lugar de resistencias, se debe conseguir una reducción apreciable del *offset* pues el desapareamiento dependerá ahora de capacidades, cuyas tolerancias rondan el 1%.

No obstante, para minimizar los efectos es más conveniente implementar los esquemas descritos mediante circuitos diferenciales. Por tanto, la conexión de estas etapas se realizará siguiendo el esquema diferencial siguiente, que se muestra para el caso de dos niveles y tres etapas.

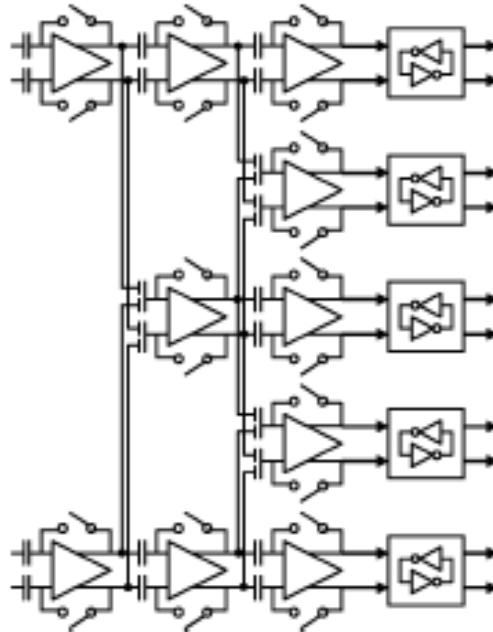


Figura 5.2. - Esquema diferencial de interpolación capacitiva

El esquema general será similar a éste, pero partiendo de 9 niveles de decisión iniciales (conseguidos igualmente mediante interpolación capacitiva) y constará de 4 etapas de amplificación antes de pasar las señales a los comparadores de la última etapa de salida. Así, el esquema final que se implemente presentará la estructura siguiente:

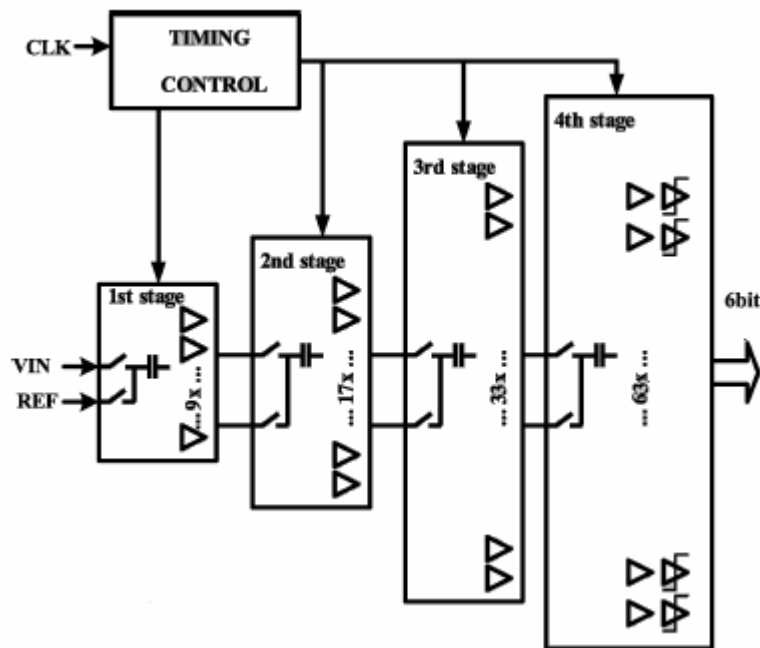


Figura 5.3.- Esquema general del convertidor Flash de 6 bits

Básicamente el diseño propuesto consta de dos componentes: preamplificadores y comparadores.

Los preamplificadores realizan la labor de amplificar las señales de entrada para conseguir una determinada ganancia a la salida de la cuarta etapa suficiente para que el comparador decida el nivel que le corresponde. El comparador realiza la labor de decisión entre la referencia del nivel correspondiente que da a su salida y la señal que recibe a la entrada. Los niveles de señal se ajustan a lo largo del esquema gracias a la estructura de interpolación capacitiva, cuyo funcionamiento se explicará algo más detalladamente en el apartado que describe su diseño, a lo largo del próximo capítulo.

Para hacer más sencillo el diseño, las especificaciones de ganancia de los preamplificadores se distribuirán entre las cuatro etapas de forma equitativa, de modo que como a la salida se desea obtener unos 10 dB de ganancia, se diseñarán los amplificadores con una ganancia de aproximadamente un poco más de 2.5 dB para que al pasar la señal por todos ellos se obtenga como resultado una amplificación de 10 dB sin tanta exigencia a nivel de diseño.

Una vez explicado el funcionamiento del esquema general, pasamos a comentar en el apartado siguiente los diseños en que nos hemos basado para los componentes del mismo.

5.2 Convertidor Flash: descripción de componentes

Como se ha comentado anteriormente, el esquema general del convertidor Flash se basa en dos componentes principales:

- Preamplificadores
- Comparadores

El esquema y las características de cada uno de ellos se analizan de forma específica a continuación.

5.2.1 Preamplificador

La principal labor de este componente consiste en proporcionar una amplificación de señal para que tras el paso por las sucesivas etapas del convertidor llegue de forma adecuada a la entrada del comparador. Las especificaciones que deberá cumplir serán tener una ganancia de aproximadamente 2.5 db y un ancho de banda de 3 GHz. Además, deberá ser un esquema diferencial capaz de dar un valor de tensión fijo para el modo común a la salida del mismo.

Para el esquema del preamplificador se ha optado por una configuración tradicional relativamente sencilla, basada en un par diferencial con resistencias que nos fije el modo común a la salida al valor que deseemos. El esquema a implementar, ya desarrollado en 250 nm, sería el siguiente:

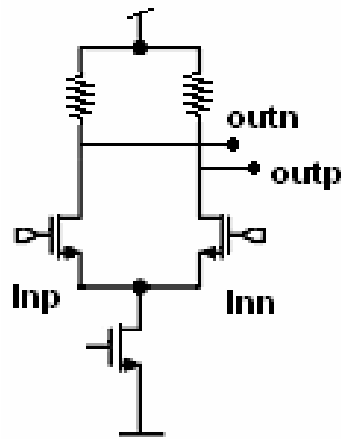


Figura 5.4.- Esquema del preamplificador diferencial

Como puede apreciarse, el diseño es relativamente sencillo, basado en un par diferencial y resistencias. La intensidad se suministra mediante la fuente de tensión en la parte inferior. Las especificaciones que queremos conseguir con este diseño son de aproximadamente 2.5 dB de ganancia y 3 GHz de ancho de banda en frecuencia. Posteriormente veremos las modificaciones que durante el diseño hubieron de realizarse en este esquema.

5.2.2 Comparador

El diseño del comparador se basa en otro artículo: “A high speed CMOS comparator with 8-b resolution”, de G. M. Yin, F. Opt’Eynde y W. Sansen. En él, se propone el esquema siguiente:

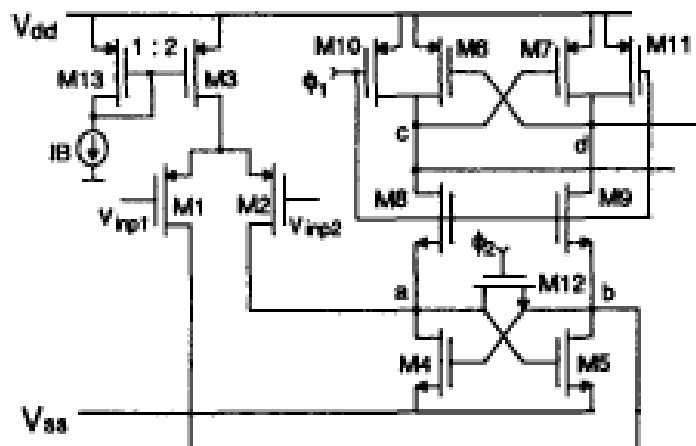


Figura 5.5.- Esquema propuesto del comparador para Flash ADC

La parte izquierda del circuito es la entrada de señal. Introducimos una entrada diferencial con un determinado valor de modo común a través de los transistores M1 y M2. Los transistores M13 y M3 son un espejo de corriente para disponer de la intensidad necesaria para el circuito a partir de otra externa bastante menor. El resto del circuito lo que hace es realizar la comparación de niveles a la entrada, de manera que cuando la entrada positiva sea mayor que la negativa se dará un pulso positivo, y en caso contrario otro negativo.

El principio de funcionamiento del circuito se basa en dos etapas distintas, caracterizadas cada una por una fase de reloj específica. Así, en una de ellas se realiza la comparación de las entradas, mientras que en la siguiente es necesario realizar la “limpieza” de la señal almacenada en la anterior para que el circuito no “memorice” el estado anterior sino que responda ante las entradas de forma eficaz. El principio de funcionamiento se describe de un modo mucho más exhaustivo en el Proyecto Fin de Carrera “Diseño de un convertidor flash de 6 bits con interpolación capacitiva”, realizado por Manuel Álvarez Morales.

Las especificaciones deseadas de funcionamiento para este circuito son varias. En primer lugar, como parte integrante del esquema general, en frecuencia queremos mantener las mismas propiedades que requerimos a los convertidores, es decir, 2.5 dB de ganancia y 3 GHz de ancho de banda. La frecuencia de reloj a la que deberán responder con una salida adecuada será de 1 GHz, y los pulsos deberán tener unos niveles reconocibles lo más cercanos posibles a la tensión de alimentación y a tierra. También deberemos conseguir una elevada precisión para el reconocimiento de los niveles a la entrada, que deberán ser más restrictivos que en el caso del diseño para 250 nm. Esto se explica debido a que la alimentación utilizada es de 1.2 V frente a la de 3.3 V usada en la otra tecnología, por lo que evidentemente los niveles son mucho menores y deberemos tener una precisión también mayor. En esta serie de consideraciones, así como un mayor detalle en las distintas partes del esquema, nos extenderemos en el capítulo siguiente, donde se describe el diseño y simulación del convertidor Flash.