

Capítulo 6:

Diseño y simulación del Flash ADC

6.1 Preamplificador

6.2 Comparador

Diseño y simulación del Flash ADC

En este capítulo van a describirse los diseños finalmente implementados en la herramienta de diseño Cadence, que en algún caso presentan algunas diferencias respecto a los esquemas de partida y/o diseños llevados a cabo en la tecnología de 250 nm.

Esto se debe a que algunos de estos diseños no estuvieran inicialmente pensados para esta tecnología (como el caso del preamplificador, elegido para su montaje en 250 nm) y en otros casos a las propias características de la tecnología empleada, que obligan a ciertas restricciones en los rangos de señal que pueden incluso modificar ciertos esquemas.

A continuación se describen en detalle tanto el diseño llevado a cabo, como las formas de onda resultantes de las numerosas simulaciones que muestran el correcto comportamiento de los distintos componentes del convertidor. En concreto, detallaremos los dos componentes básicos:

- Preamplificador
- Comparador

También forman parte del esquema las puertas de transmisión, aunque no se detallarán debido a la sencillez de su diseño.

Finalmente, se describirá el funcionamiento y diseño del esquema general del convertidor flash basado en la estructura de interpolación capacitiva con vistas a comprobar que los circuitos diseñados responden del modo deseado dentro del esquema del convertidor. Para ello, se ha realizado el montaje de un convertidor a menor escala del general que consta en lugar de 6 con 2 bits a la salida.

6.1 Preamplificador

El diseño inicial del preamplificador es el descrito en la figura 5.4 (apartado 5.2.1). No obstante, dicha configuración resulta imposible de implementar en la tecnología de 130 nm debido a requerimientos del comparador.

Inicialmente, el diseño estaba concebido para un modo común a la entrada de 0.6 V, en la mitad del rango de alimentación (1.2 V). Sin embargo, como veremos más adelante, el esquema usado para el comparador nos obliga a sustituir dicho valor del modo común por 0.3 V. Teniendo en cuenta que en el esquema general los preamplificadores van a acabar suministrándole la señal de entrada al comparador, se requiere que ambos tengan un mismo valor de modo común para las señales diferenciales que van a ser amplificadas.

De este modo, se opta por usar un diseño similar al original pero con la lógica complementaria, cambiando los transistores tipo nMOS por transistores tipo pMOS. El esquema implementado finalmente en Cadence para el preamplificador es el siguiente:

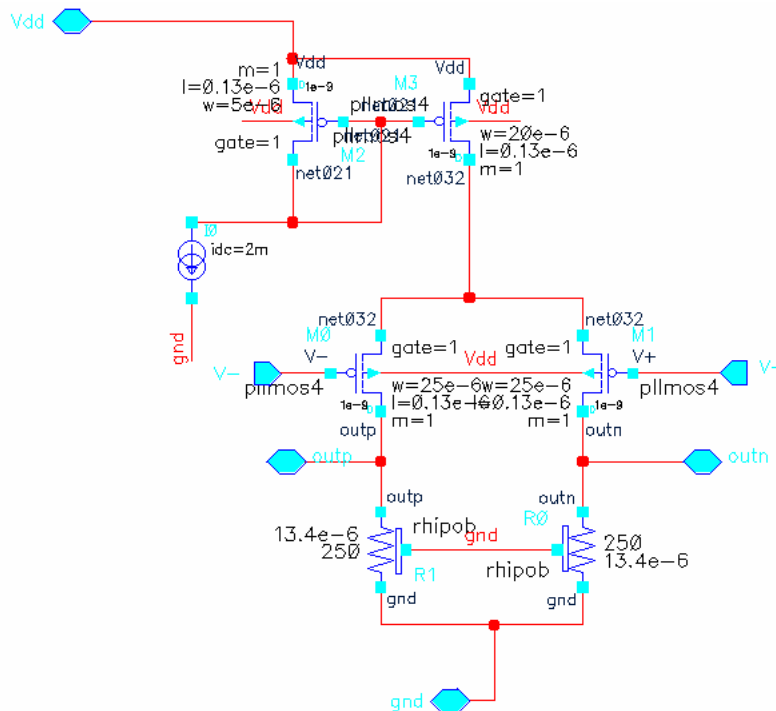


Figura 6.1.- Esquema del preamplificador diferencial en 130nm

El esquema en cualquier caso actúa de forma similar al anteriormente considerado. Al circuito se le suministra una determinada intensidad mediante la fuente de tensión de entrada (transistores superiores) cuyo modo común acaba siendo fijado por las dimensiones W , L de los transistores y el valor de la resistencia. Para este diseño, las resistencias utilizadas fueron de polisilicio latamente resistivo, puesto que permite alcanzar mayores resistividades ocupando una menor área de circuito. Por tanto, estas resistencias serán función de unas ciertas dimensiones W_R , L_R que también será n parámetros a considerar para cumplir las especificaciones.

Como se comentó anteriormente, el circuito requiere cumplir con un ancho de banda de 3 GHz y una ganancia de aproximadamente 2.5 dB a la salida. Además, es necesario fijar que el modo común a la salida sea de 0.3 V mediante los valores de polarización del circuito. Después de varias simulaciones, se comprueba que la ganancia y el ancho de banda presentan comportamientos opuestos frente a los valores de la resistencia. Así, al disminuir R (incrementando W_R para L_R fijada al mínimo tecnológico) conseguimos incrementar el ancho de banda a costa de tener menos ganancia. No obstante, esto puede compensarse mediante una mayor W de los transistores de entrada (V^- , V^+) para incrementar la ganancia.

Así pues, el proceso de diseño consistió en elegir un valor de R apropiado para cumplir con el ancho de banda y luego aumentar la W de los transistores hasta cumplir con la ganancia. Una vez llegados a un punto donde cumplimos las condiciones en frecuencia, se determina la intensidad que deberá pasar por los transistores para que se cumpla además la condición del modo común a la salida de 0.3 V. Tras varias simulaciones, se llega a la conclusión de que es necesaria una intensidad externa de polarización de 2 mA que es amplificada mediante un espejo con razón de 4:1 en las dimensiones de los transistores ($W_2 = 20 \mu\text{m}$, $W_3 = 5 \mu\text{m}$). El resto de dimensiones empleadas para el diseño del circuito y las especificaciones en ganancia (G) y ancho de banda (BW) conseguidas mediante ellas se detallan a continuación:

$$R = 250 \text{ Ohmios}$$

$$W_R = 13,4 \text{ } \mu\text{m}$$

$$W_0 = W_1 = 25 \text{ } \mu\text{m}$$

$$I_{dc} = 2 \text{ mA}$$

$$V_{dd} = 1.2 \text{ V}$$



$$G = 2.76 \text{ dB}$$

$$BW = 3.13 \text{ GHz}$$

Las capacidades empleadas a la salida del preamplificador para la simulación serán de 200 fF, valor suficiente para no enmascarar el ancho de banda del propio circuito.

A continuación se muestra el montaje realizado para simular el comportamiento en frecuencia del preamplificador en Cadence, así como una gráfica de simulación resultado de dichas pruebas, donde pueden apreciarse las características obtenidas para el esquema implementado:

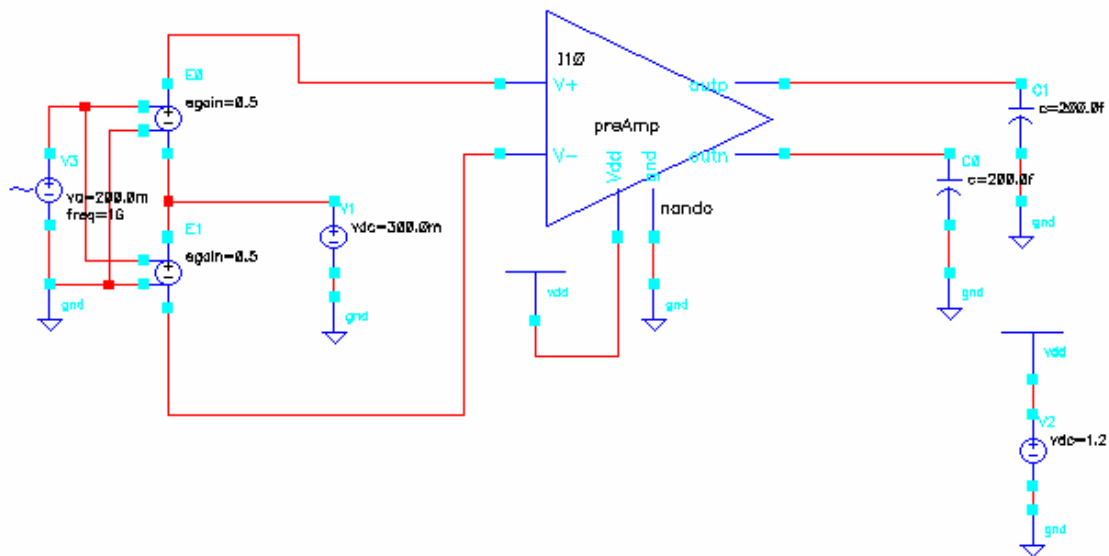


Figura 6.2.- Esquema para la simulación AC del preamplificador

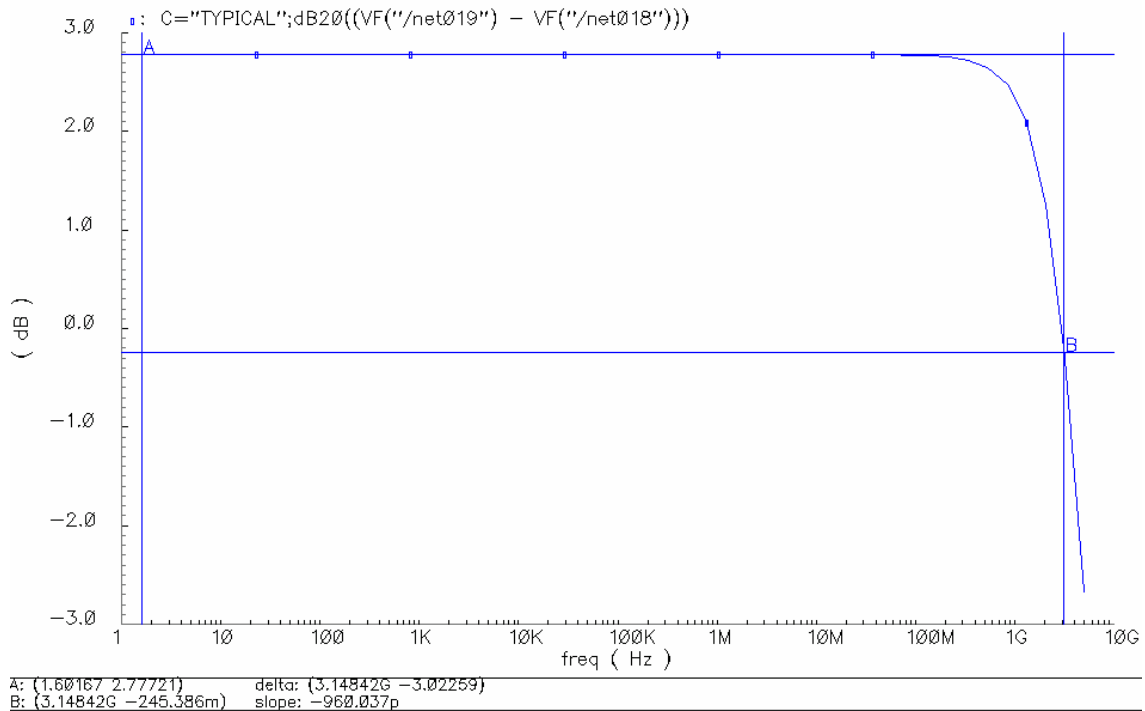


Figura 6.3.- Simulación en frecuencia del preamplificador

Como se aprecia en la figura, obtenemos unos resultados para la ganancia de 2.77 db y 3.13 Ghz para el ancho de banda, medido a 3 db de caída de la ganancia a baja frecuencia. Por tanto, cumplimos con las especificaciones deseadas de forma incluso algo por encima de lo necesario, proporcionando así un cierto margen de seguridad a etapas posteriores de fabricación.

También se comprueba midiendo la tensión en continua en la salida del preamplificador que efectivamente las señales de salida están al mismo nivel de modo común que las entradas (0.3 V).

Las prestaciones obtenidas son algo mejores en ancho de banda en este diseño frente al realizado en 250 nm, y el consumo también es algo menor, aunque esto se detallará más adelante en el capítulo dedicado a las conclusiones.

6.2 Comparador

El comparador realiza el paso final para la conversión analógico-digital en el diseño completo del Flash ADC, por lo que su importancia es muy grande para la precisión del circuito. El esquema montado es el que se describió en la figura XX, y cuya implementación en Cadence se muestra a continuación:

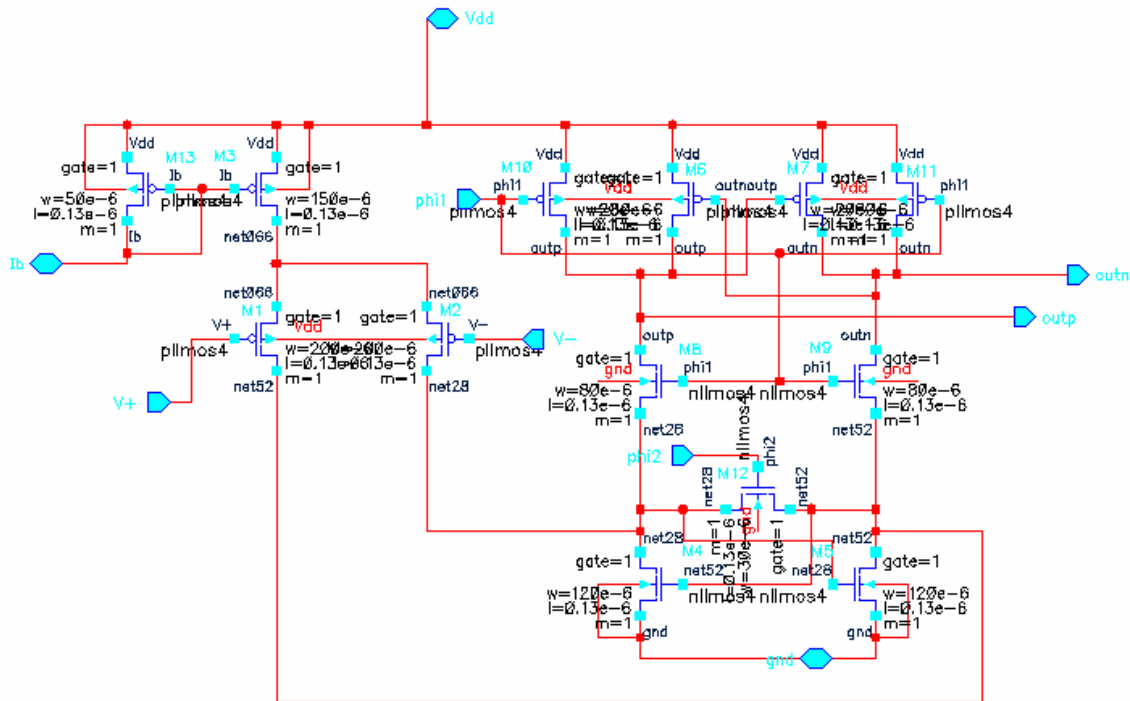


Figura 6.4.- Esquema del comparador en tecnología de 130 nm

Para el diseño del circuito, hay que realizar un análisis previo para evaluar si las condiciones supuestas en otras tecnologías son válidas aquí. Así, por ejemplo, en 250 nm el modo común de la entrada inicialmente supuesto para este esquema se sitúa en 1.65, centro del rango de entrada no diferencial [0 V, 3.3 V]. Es decir, que por analogía, en 130 usaríamos como modo común de entrada 0.6 V, valor intermedio entre 0 y 1.2 V (máximo valor de la alimentación).

No obstante, de un análisis de las condiciones de polarización del circuito se deduce que en este montaje se requiere que en el nodo que conecta la fuente de intensidad (espejo de los transistores M13 y M3) como los

transistores de entrada debe tener al menos una tensión de 0.9 V. Como para garantizar que M1 y M2 estén en saturación se requiere una caída de 0.6 V, la consecuencia inmediata es que el modo común de entrada no puede ser superior a 0.3 V para un funcionamiento fiable. Por tanto, fijamos dicho modo de entrada a ese nivel de tensión como una especificación más de nuestro esquema.

Las demás condiciones a cumplir nos afectarán bien en el análisis en frecuencia, como la ganancia (G) y ancho de banda (BW) o bien al análisis transitorio del circuito, como pueden ser el *offset* o la sensibilidad del comparador. Estos términos los definiremos más adelante cuando observemos las formas de onda del circuito. Esto es importante notarlo puesto que para el diseño no todos los transistores van a afectar de igual manera al funcionamiento, sino que unos tendrán más influencia en los análisis en frecuencia y otros en el transitorio. Explicamos a continuación brevemente la influencia de cada uno y el funcionamiento del circuito.

El esquema se basa en un funcionamiento mediante dos fases de reloj no solapadas Φ_1 y Φ_2 . En la primera de ellas, Φ_1 , se realiza la precarga de los transistores para dar la salida que corresponda a la entrada diferencial, mientras que en Φ_2 lo que se realiza es un reset de la carga para evitar que el circuito tenga memoria, es decir, que el resultado de una comparación influya en la siguiente debido a la carga almacenada en los transistores. Por eso es necesario realizar dicha fase de reset de manera que se minimice este efecto en la mayor medida. La comparación que se hace depende del valor diferencial de entrada, de manera que los resultados serán un pulso positivo o negativo dependiendo de si es positiva o no la semisuma de V_+ y V_- .

Para el diseño, debemos considerar qué transistores nos afectan para unas y otras especificaciones. En general, podemos agrupar los transistores por parejas puesto que se trata en su mayoría de pares diferenciales. Así, tendremos las siguientes relaciones:

$$M1 = M2 \quad M4 = M5 \quad M6 = M7 \quad M8 = M9 \quad M10 = M11$$

La relación entre M3 y M13 será de proporcionalidad para multiplicar por un factor la intensidad externa que se suministra al circuito y darle una mayor a los transistores de entrada (M1 y M2). El transistor M12 se utiliza para resetear la semilla de la señal de entrada en el match inferior y no está relacionado con los demás.

Para el diseño deberemos tener en cuenta cómo afectan unos y otros transistores al comportamiento del circuito. Tras numerosos análisis variando parámetros en sus dimensiones, se pueden deducir una serie de pautas:

- La relación entre M3 y M13 define la polarización del circuito.
- M1, M2 y M3 definen el ancho de banda y ganancia, aunque también afectan al comportamiento transitorio.
- M4, M5 y M12 compensan el ancho de banda del circuito dependiendo de su relación con los anteriores.
- M6, M7, M8, M9 afectan únicamente al comportamiento transitorio, donde también afecta M12.

Una vez conocido esto, el proceso de diseño que se realiza se basa en primer lugar en tratar de satisfacer las especificaciones en frecuencia: una ganancia de **G = 2.5 dB** y ancho de banda **BW = 3GHz**. Con el ancho de banda fijamos de forma aproximada los valores de M1 (M2) y M4 (M5). Una vez tenemos dichas especificaciones, obtenemos una ganancia acorde mediante la relación de M1 (M2) con M3 y M13, que definen la intensidad que suministramos al circuito para obtener la ganancia y ancho de banda deseados.

Cuando ya cumplimos las especificaciones en frecuencia, se realizan análisis transitorios para evaluar la calidad de los pulsos obtenidos a la salida y mejorar en la medida de lo posible el funcionamiento del circuito. Lo que buscamos en el régimen transitorio es tener unos pulsos lo más cercanos posible a los niveles de alimentación, es decir, un uno lógico cercano a 1.2 V (o -1.2 V para los pulsos negativos) y un nivel bajo lo más cercano a tierra posible.

Además, deben optimizarse las dimensiones para obtener una elevada sensibilidad y una baja histéresis.

La *sensibilidad* del comparador se define como el mínimo nivel de tensión detectable a la entrada que genera una salida correcta de manera fiable. Además, debe garantizarse que responda ante cambios de la señal de entrada y no sólo por una posible “memoria” del circuito.

La *histéresis* es el rango de incertidumbre que va a tener el comparador. Debido a que en la realidad la ganancia es limitada, al final por muy bien que se diseñe siempre va a haber un *offset* en el comparador que provoque incertidumbre. Así, aunque idealmente el cambio de la señal de salida de negativo a positivo debería producirse en el paso por 0 de la entrada, en la práctica encontraremos que hay un cierto rango de cambio donde las salidas no están definidas de forma unívoca para una misma entrada.

Mediante el ajuste de estas dos características se define el diseño completo eligiendo las dimensiones de M6 (M7), M8 (M9), M10 (M11) y M12, comprobando que el comportamiento en frecuencia se mantenga dentro del rango de funcionamiento deseado.

Por las razones relacionadas con el *missmatch* explicadas en el apartado 2.1.1 del capítulo 2 de este Proyecto Fin de Carrera, los dispositivos se mantienen con $L = L_{\min} = 0.13 \mu\text{m}$. Las dimensiones finales del ancho W de cada transistor determinadas tras numerosas simulaciones en frecuencia y tiempo son las siguientes:

M13 = 50 μm	M1 = M2 = 200 μm
M3 = 150 μm	M4 = M5 = 120 μm
M6 = M7 = 80 μm	M8 = M9 = 80 μm
M10 = M11 = 20 μm	M12 = 30 μm

Con estas dimensiones, los resultados obtenidos en frecuencia son una ganancia de **G = 2.8 dB** y un ancho de banda de **BW = 3.6 GHz**. La intensidad suministrada al circuito externamente es de 1.65 mA con una alimentación de

1.2 V, y la suministrada internamente a partir de ella mediante el espejo es de aproximadamente 5 mA en cada transistor de entrada (M1 y M2).

Para realizar las simulaciones del esquema implementado para el comparador se utiliza el siguiente montaje en Cadence:

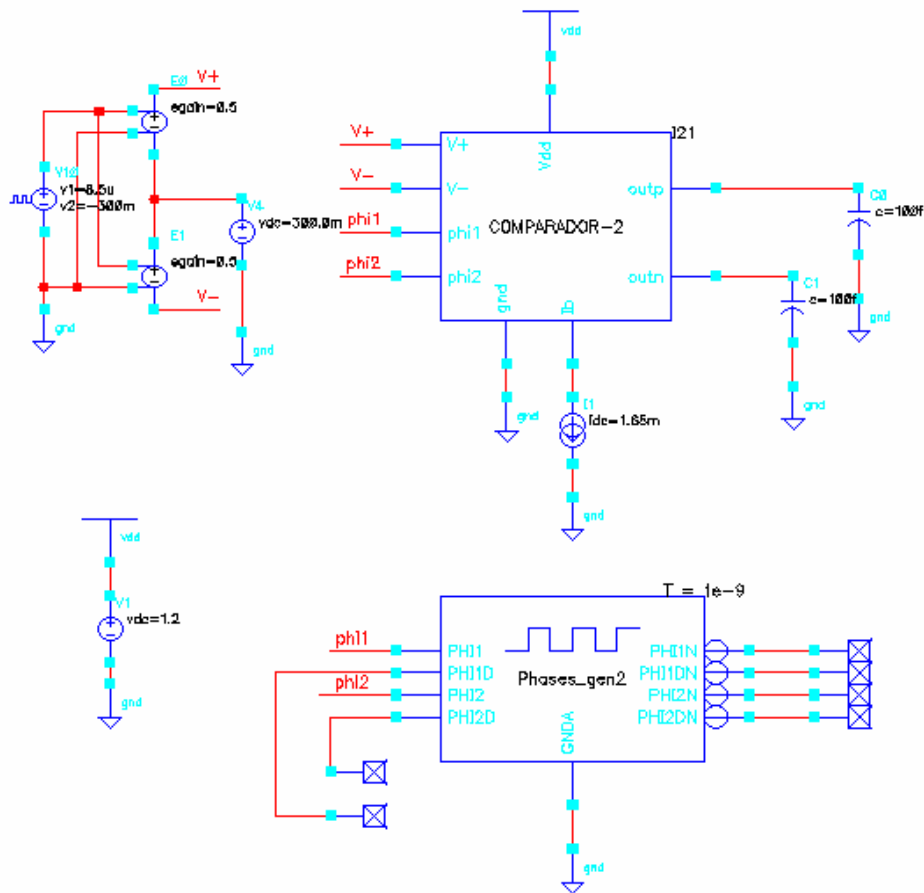


Figura 6.5.- Esquema para simulación del comparador en Cadence

A la izquierda vemos el circuito para dividir las entradas en componentes diferenciales, y debajo el circuito generador de reloj. Las fases de reloj Φ_1 y Φ_2 se obtienen de él con una frecuencia de 1 ns y siendo una la versión negada de la otra incorporando un cierto intervalo de guarda para minimizar los efectos de clock feedthrough.

Vemos en la siguiente figura estas fases de reloj no solapadas:

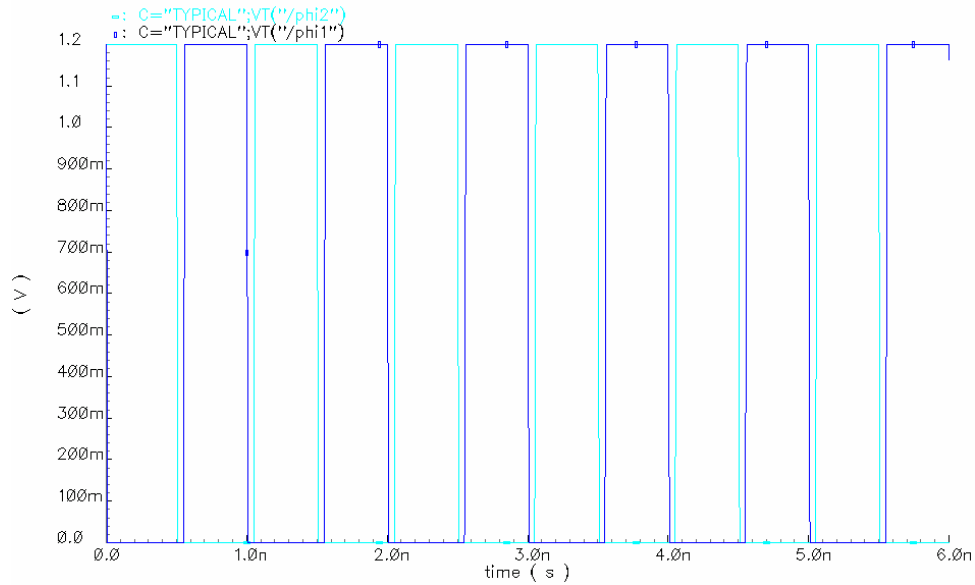


Figura 6.6. - Fases de reloj no solapadas a frecuencia 1 GHz

Para las simulaciones en frecuencia usamos una fuente de entrada sinusoidal y medimos a la salida la magnitud en decibelios (dB) de la diferencia entre las salidas diferenciales.

El resultado que se obtiene para el esquema anterior y las dimensiones detalladas anteriormente se puede observar en la simulación que se presenta a continuación:

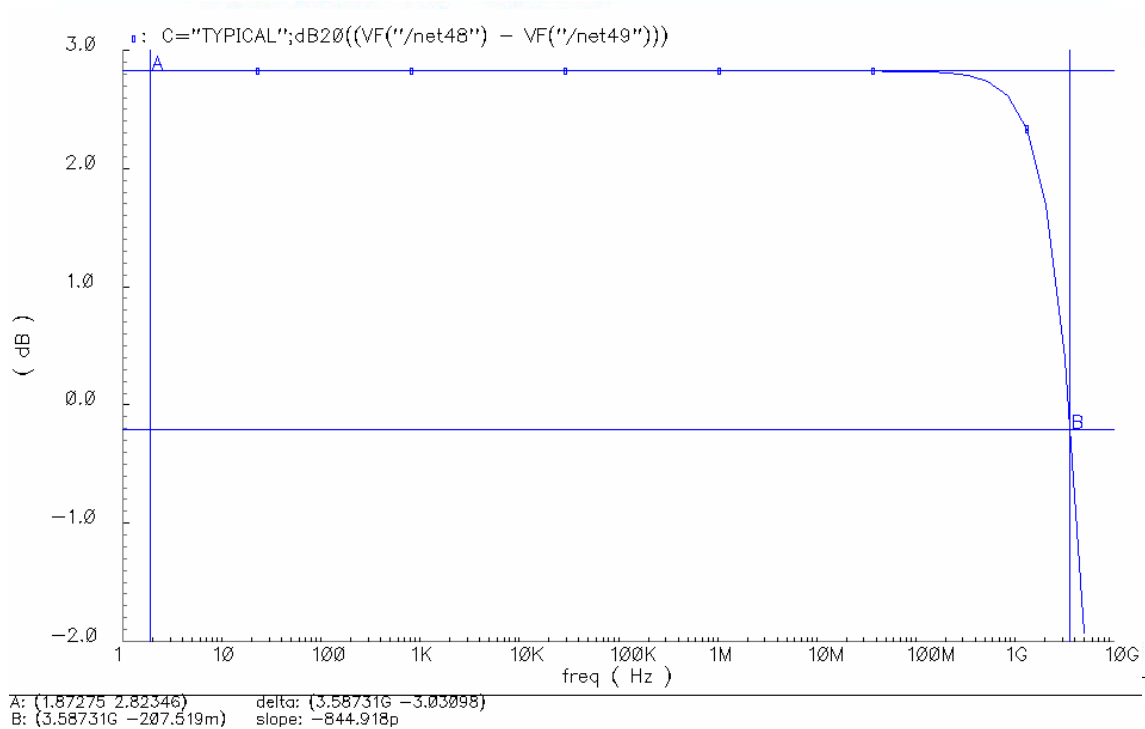


Figura 6.7. - Simulación en frecuencia del comparador

Se comprueban aquí los resultados en ganancia y anchos de banda ya mencionados previamente, donde se obtienen los valores de 2.8 dB y 3.6 GHz, respectivamente.

Para la simulación transitoria distinguimos dos tipos de simulaciones. En primer lugar, para determinar la histéresis se hace un barrido de todo el rango de entrada a una velocidad suficiente como para conseguir que veamos los valores de tensión a la entrada en los que cambia, así como el retraso que se produce en el cambio de dichos valores. Así, se muestra a continuación el resultado a la salida del comparador para una rampa de entrada que asciende y desciende de -20 μV a 20 μV con un periodo de 40 ns:

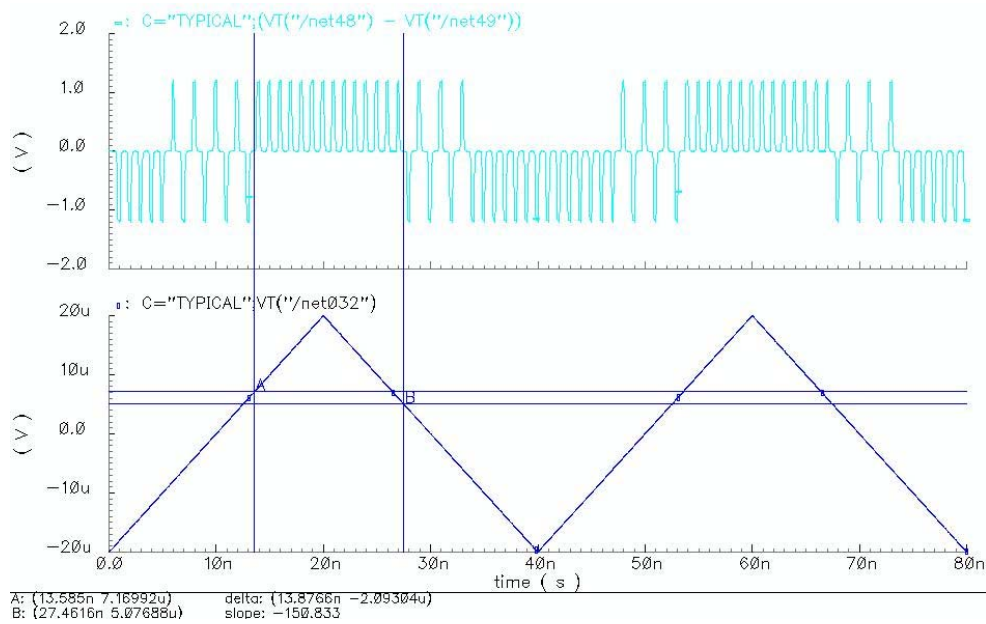


Figura 6.8.- Salida del comparador ante entrada en rampa

Se aprecia claramente que existen unos rango de incertidumbre alrededor de los 0 V de tensión a la entrada. Si medimos el desplazamiento en tensión y el retraso respecto al nivel ideal de cambio en subida y en bajada, quedará determinado el rango de incertidumbre del comparador.

Vemos a continuación una ampliación de la simulación anterior donde puede apreciarse la medida de la histéresis para el cambio de la entrada en el flanco de subida (que se corresponde a la salida con el cambio de un pulso negativo a uno positivo):

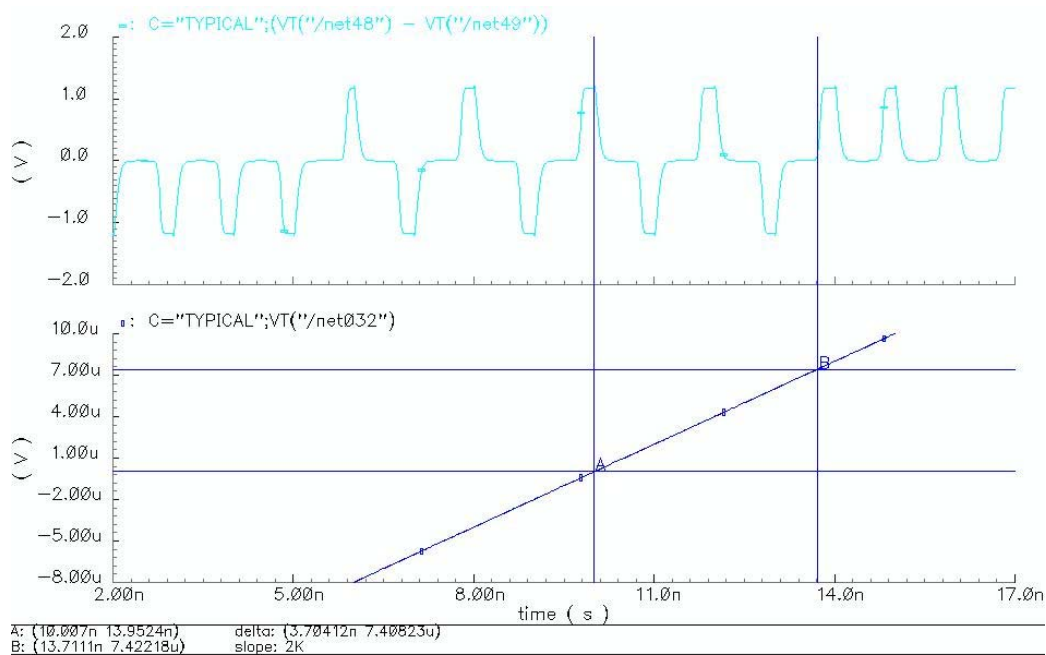


Figura 6.9. - Determinación de la histéresis en subida

Las medidas realizadas nos aportan una histéresis en subida de 3.6 ns de retraso y 7.4 μ V. Para la medida de la histéresis en bajada se procede de forma análoga, por lo que no se representa su medida, Los resultados que se obtienen son similares, por lo que tenemos una histéresis simétrica a ambos lados del origen de tiempos, en la que el rango de incertidumbre está acotado entre [-3.6, 3.6] ns en tiempo, y [-7.4, 7.4] μ V en tensión.

Además, este rango nos aporta la sensibilidad del comparador, puesto que marca el límite de cambio fijando un umbral. Ninguna señal que esté dentro del rango podrá identificarse de forma fiable, por lo que nos está indicando el mínimo nivel de entrada que será reconocible. Atendiendo a estas simulaciones, dicho límite será de 7.5 μ V sobre un rango de 1.2 V.

Se realizan por tanto una serie de simulaciones para pulsos de entrada con vistas a determinar si efectivamente el comportamiento del comparador responde de forma correcta hasta dicho límite. Se presenta la siguiente simulación para pulsos a la entrada conmutando entre -10 y 10 μ V:

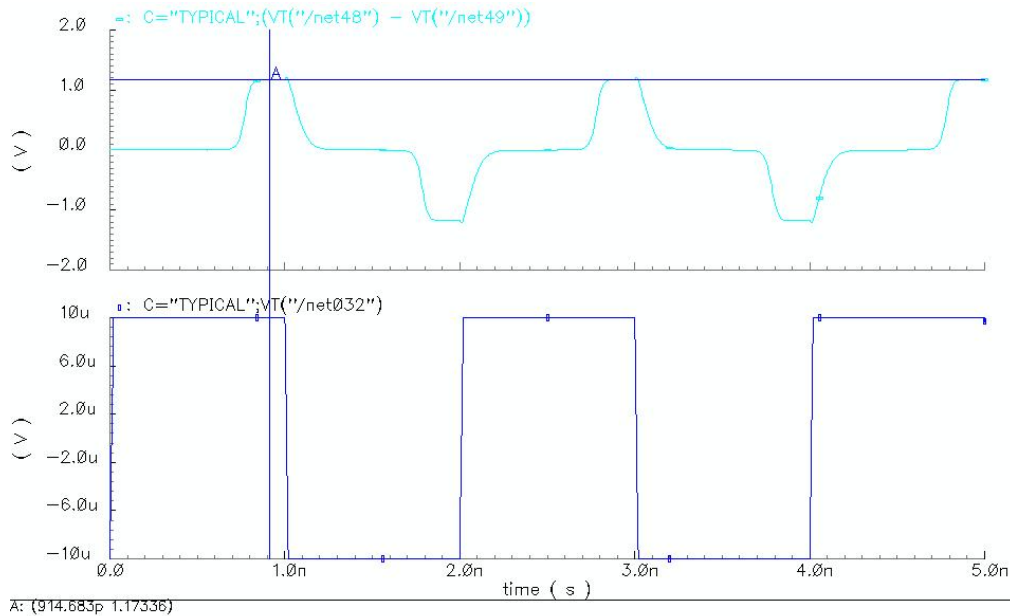


Figura 6.10.- Salida del comparador ante entrada de amplitud 10 μ V

Puede apreciarse como las salidas se corresponden con lo esperado para las entradas, identificando a la perfección los niveles de entrada. Además, se aprecian unos niveles de tensión a la salida muy cercanos a alimentación y tierra: 1.17 V a nivel alto y 30 mV a nivel bajo.

No obstante, no sólo hay que ver que el comparador funcione con este tipo de entradas de igual amplitud positiva y negativa. Además, es necesario que estos cambios a la entrada sean vistos por el comparador cuando el salto entre el nivel anterior y el nuevo sea mucho mayor de un modo fiable. Para ello, se realizan una serie de simulaciones ante entradas que conmuten entre niveles de varios mV y menos de 10 μ V para comprobar que el circuito es capaz de resetear el estado anterior de forma fiable y dar una salida correcta ante cambios bruscos de la entrada.

Como muestra de estas pruebas se presenta la simulación siguiente, consistente en una entrada que conmuta entre -300 mV y 6.5 μ V, que fue el mínimo valor para el que la salida se obtuvo de forma satisfactoria. El resultado puede apreciarse en la siguiente figura:

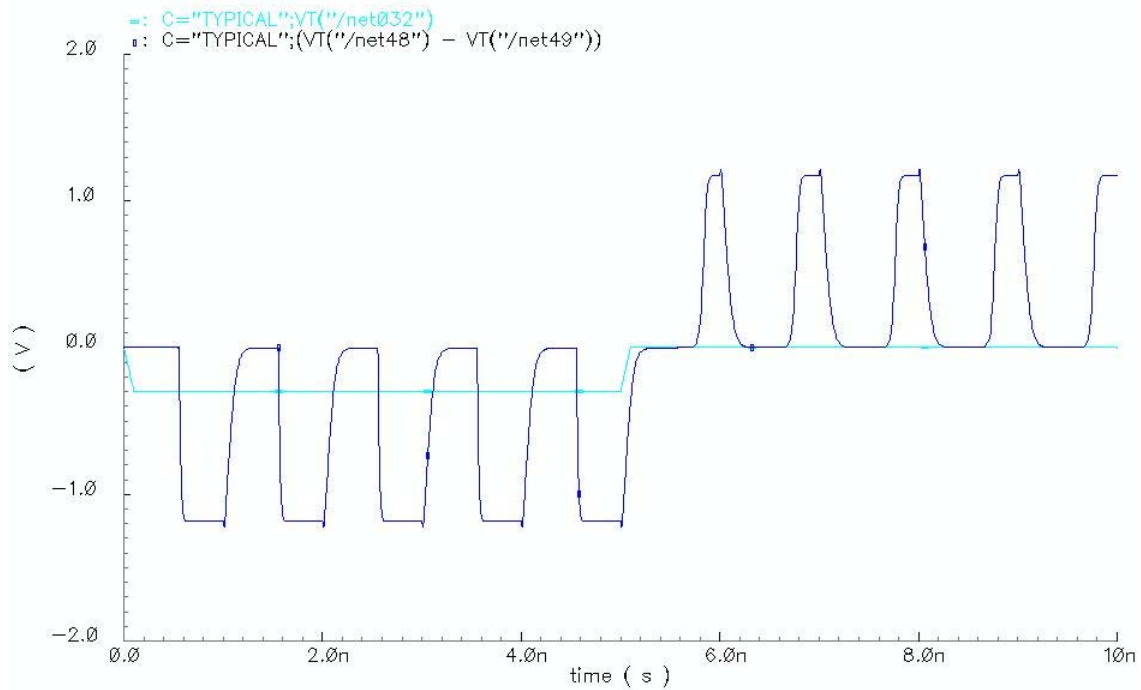


Figura 6.10.- Salida para mínimo nivel detectable a la entrada de 6.5 μ V

Como puede apreciarse, se obtiene una salida correcta incluso para un valor algo menor del teóricamente límite según el análisis de la histéresis. En cualquier caso, incluso considerando el umbral en los 10 μ V, estaríamos detectando una señal que es más de 4 órdenes de magnitud más pequeña del rango disponible.

Una comparación de los resultados con el diseño en la tecnología de 250 nm más detallada se llevará a cabo en las conclusiones de este Proyecto Fin de Carrera. No obstante, podemos anticipar que en 130 nm se obtiene un ancho de banda bastante mayor que en 250 nm con un comportamiento transitorio y consumo bastante similares o incluso mejores.

6.3 Convertidor Flash de 2 bits

Con vistas a probar el correcto funcionamiento de los diseños realizados para el convertidor Flash, se realizó un montaje a menor escala del esquema general de partida. Así, se optó por un diseño de prueba con 2 bits, correspondientes a tres niveles de salida. El esquema utilizado es el mismo explicado en el capítulo 5, pero reduciendo el número de etapas previas a los comparadores. En esta ocasión sólo se requieren tres niveles de salida, por lo que es suficiente con dos etapas amplificadoras y una única interpolación de los niveles. El esquema implementado se muestra a continuación:

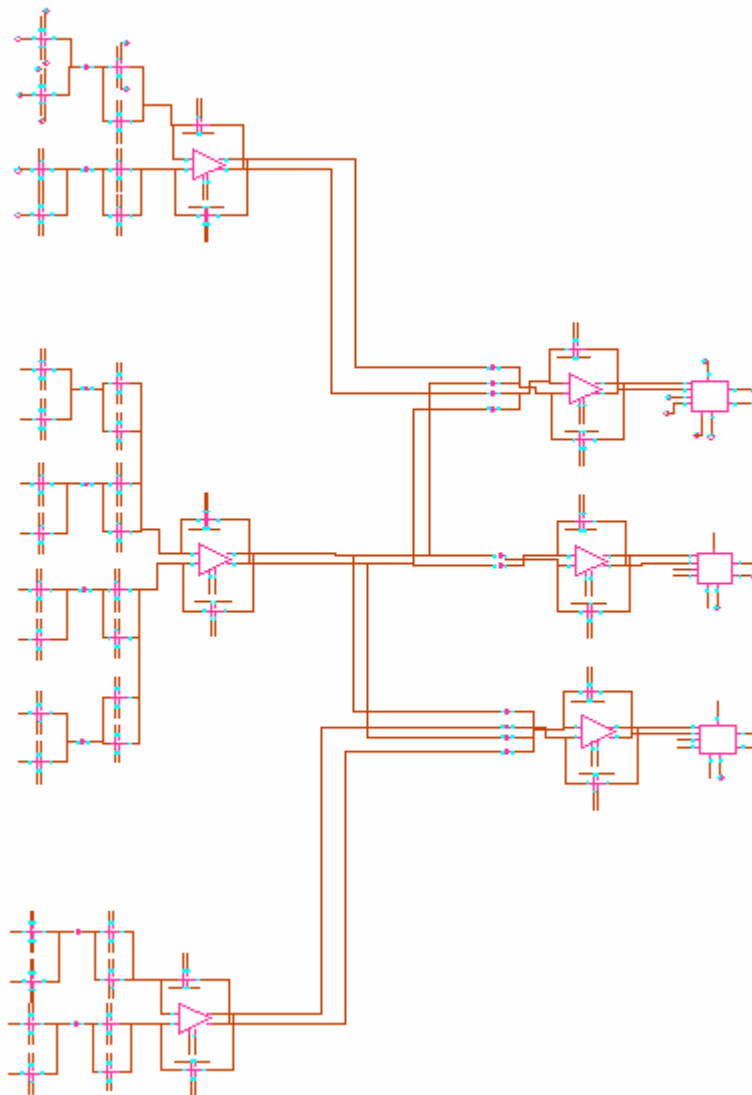


Figura 6.11.- Esquema de convertidor Flash de dos bits

La idea del esquema general es conseguir mediante interpolación capacitiva los niveles de tensión deseados a la salida. Su funcionamiento se basa en una serie de capacidades para interpolar en base a las tensiones de entrada que les llegan unos umbrales de salida. Para hacer funcionar el esquema es necesario el uso de una serie de fases de reloj no solapadas que accionan los *switches*. Un estudio detallado de esta operación y su fundamento se recoge en el Proyecto Fin de Carrera “*Diseño de un convertidor flash de 6 bits con interpolación capacitiva*” de Manuel Álvarez Morales. Veamos el esquema de entradas y capacidades a cada preamplificador:

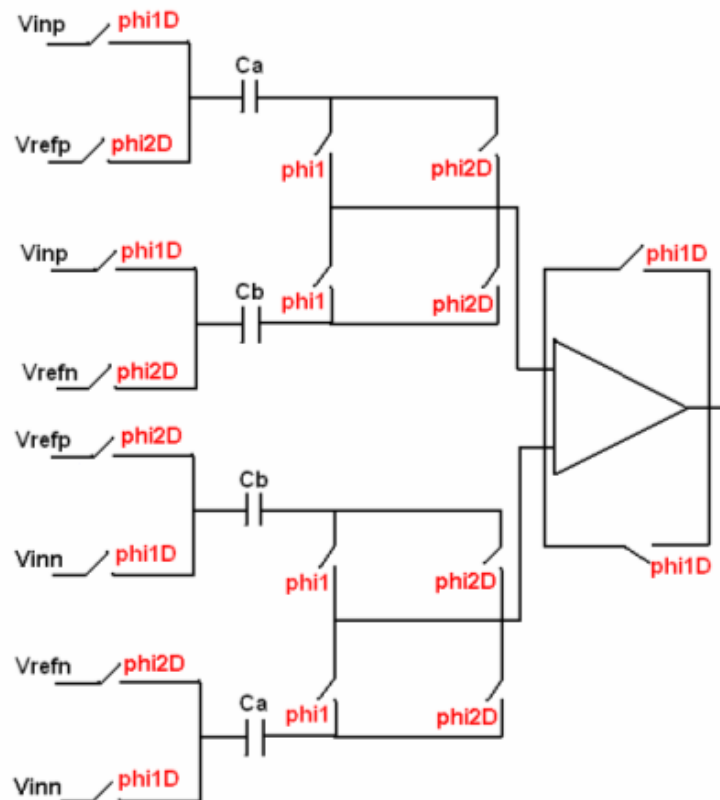


Figura 6.12.- Esquema de interpolación capacitiva

La interpolación de los niveles se consigue mediante una elección correcta de los valores de las capacidades C_a y C_b mediante la expresión siguiente:

$$V_{ref} = \frac{C_a - C_b}{C_a + C_b} V_{inp} \quad (XIV)$$

Así, para conseguir los niveles requeridos a la salida, sustituyendo el valor de $V_{inp} = 1.2V$ y las referencias deseadas obtenemos los valores siguientes:

- $V_{ref} = 0.6 V \rightarrow C_a = 600 \text{ fF} ; C_b = 200 \text{ fF}$
- $V_{ref} = 0 V \rightarrow C_a = 200 \text{ fF} ; C_b = 200 \text{ fF}$
- $V_{ref} = - 0.6 V \rightarrow C_a = 200 \text{ fF} ; C_b = 600 \text{ fF}$

Una vez diseñado el valor de las capacidades, se realizan las simulaciones para determinar el correcto funcionamiento del esquema. Para ello, en primer lugar se realiza un simulación con una rampa a la entrada que recorra todo el rango posible del convertidor (de -1.2 a 1.2 V) y así acotar de forma aproximada los niveles de cambio a la salida. Para ver de un modo claro estos cambios, la rampa deberá variar mucho más lentamente que el reloj del circuito (siempre a 1 GHz). Por ello, tomamos una señal triangular de periodo 200ns que recorra todo el rango de tensiones a la entrada. Los resultados se muestran en la siguiente gráfica:

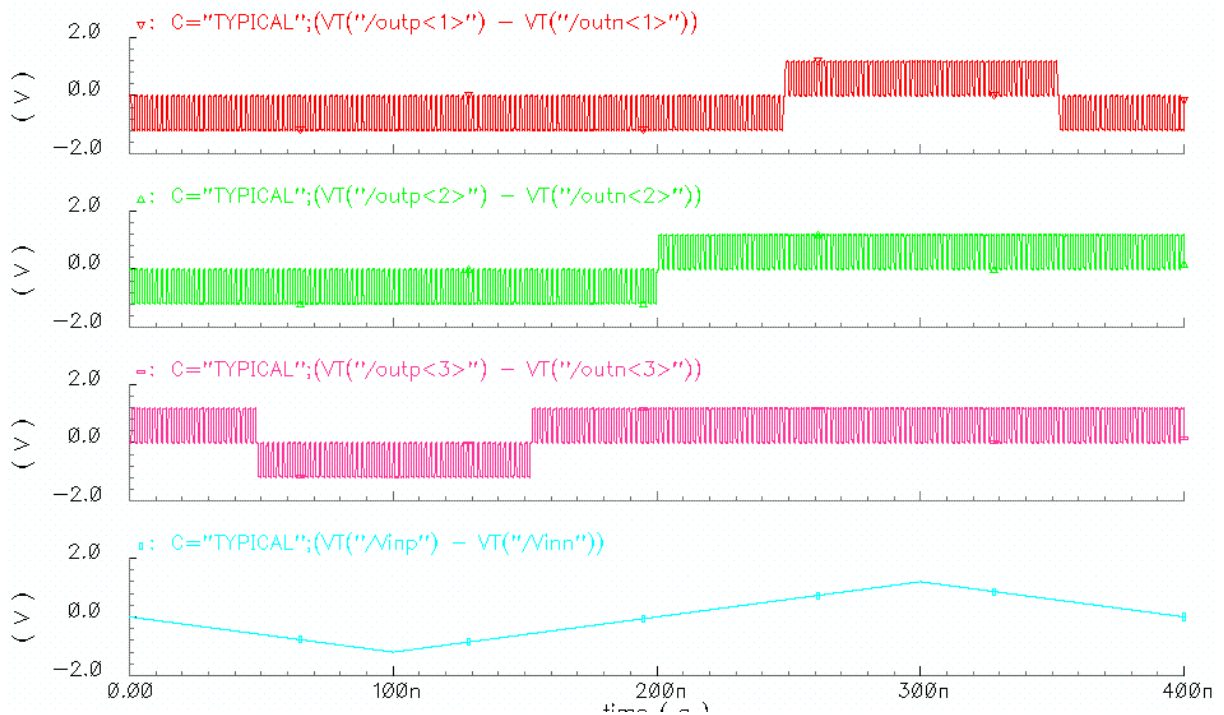


Figura 6.13.- Simulación del convertidor de 2 bits

Si medimos los niveles de cambio vemos que se encuentran levemente desplazados respecto a los 0.6 V y -0.6 V en el caso de las salidas 1 y 3, y perfectamente centrado en el caso de la salida 2. Esto nos indica que la interpolación de niveles genera un cierto offset en las salidas del circuito.

Para concretar los niveles de cambio obtenidos, realizamos simulaciones con un pulso a la entrada que cambie en valores cercanos al umbral hasta determinar el punto en el que se produce incertidumbre. Mediante este procedimiento obtenemos los siguientes resultados para los umbrales de salida:

Salida	Umbral ideal [V]	Rango de incertidumbre [mV]
1	0.6	562 a 588
2	0	-9 a 9
3	-0.6	-588 a -562

Tabla 6.1.- Rangos de incertidumbre para flash ADC de 2 bits usando switches ideales

Sobre estos rangos se pueden extraer dos conclusiones principales:

- La estructura de interpolación va a añadir un offset a los diseños
- La influencia en los umbrales interpolados es mayor que en los que tan sólo se copia la señal hasta la salida.

Cabe resaltar que estas simulaciones fueron realizadas con puertas de transmisión ideales. Los resultados para las mismas simulaciones usando switches reales no presentan una mejora sustancial, salvo una mayor aproximación al umbral ideal pero incrementando la amplitud del rango de incertidumbre. Esto puede apreciarse incluso en la simulación frente a una rampa de entrada, que se muestra a continuación:

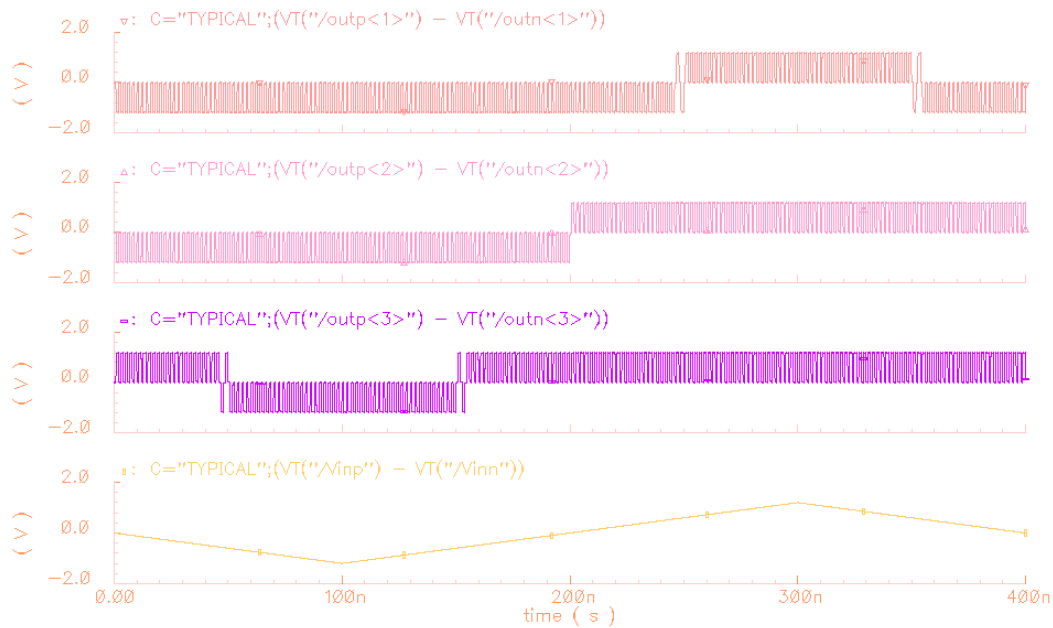


Figura 6.14. - Simulación frente a rampa con switches reales

Como se aprecia, el rango de incertidumbre ahora es mayor, puesto que para la misma entrada hay un par de ciclos de reloj en los que no llega a decidirse correctamente la salida. Los datos de las simulaciones para determinar el rango se recogen en la tabla siguiente:

<i>Salida</i>	<i>Umbral ideal [V]</i>	<i>Rango de incertidumbre [mV]</i>
1	0.6	544 a 610
2	0	-19 a 19
3	-0.6	-610 a -544

Tabla 6.2.- Rangos de incertidumbre para flash ADC de 2 bits usando switches reales

Nuevamente, se observa que las dos consecuencias extraídas anteriormente continúan siendo válidas, ya que el offset sigue presente y la incertidumbre es mayor en los estados interpolados que en los meramente copiados.

El análisis de estos resultados hace que sea necesario estudiar algo mejor los efectos introducidos por la estructura de interpolación capacitiva empleada para el esquema, puesto que realmente los umbrales obtenidos no tienen la precisión esperada. Hay que tener en cuenta que cuando la estructura completa del convertidor de 6 bits sea implementada, la separación entre los distintos niveles de salida (teniendo en cuenta una alimentación de 1.2 V) será aproximadamente de unos 40mV, es decir, del mismo orden que los rangos de incertidumbre mostrados en este esquema de prueba.

Por ello, deberá estudiarse en mayor detalle el funcionamiento de esta estructura de interpolación en la tecnología de 130 nm antes de poder llevar a cabo el diseño completo en 6 bits.