

# CAPÍTULO 4

## Implementación electrónica

### Índice del capítulo

1. Introducción.....	2
2. Modulador $\Sigma\Delta$ de 2.8 a 1.8 V de alimentación y muy bajo consumo.....	3
2.1. Primer integrador.....	3
2.2. Segundo integrador.....	9
2.3. Convertidor D/A.....	11
2.4. Implementación del modulador completo.....	12
2.5. Amplificadores operacionales.....	18
2.6. Comparador.....	36
2.6. Generador de fases de reloj.....	41
3. Modulador $\Sigma\Delta$ de 1.2 V de alimentación y muy bajo consumo.....	46
3.1. Introducción.....	46
3.2. Interruptor basado en transistores QFG.....	47
3.3. Primer integrador.....	50
3.4. Segundo integrador.....	51
3.5. Convertidor A/D.....	52
3.6. Amplificador operacional.....	52
3.7. Comparador.....	57
3.8. Generador de fases de reloj.....	57



## 1. Introducción.

En capítulos anteriores se han definido las especificaciones necesarias de cada uno de los bloques que componen el modulador  $\Sigma\Delta$ . En este capítulo se explica la implementación circuital a nivel de transistor de los bloques que componen el modulador. Como ya se comentó en el *apartado 3 del Capítulo 1* del presente trabajo, se han implementado dos versiones del modulador:

- ♦ La primera, de muy bajo consumo, trabaja con una tensión de alimentación que varía, durante el tiempo de vida de la batería del marca pasos, desde 2.8 V a 1.8 V. El objetivo del diseño es satisfacer las especificaciones de resolución minimizando el consumo. Se implementa usando como integradores dos amplificadores operacionales basados en la celda FVF<sup>1</sup> [7]. Estos amplificadores han sido diseñados mediante dos etapas (de entrada y de salida) clase AB y han sido denominados como Op-Amps clase AB/AB [5]. Debido a su comportamiento clase AB, estos amplificadores presentan un alto slew-rate con un consumo estático muy reducido. Además, los amplificadores han sido diseñados con transistores polarizados en inversión débil. Esta región de operación es muy conveniente cuando se añan especificaciones de bajo consumo, baja tensión de alimentación y baja frecuencia, ya que, se consigue maximizar el cociente  $g_m/I_D$  minimizando el consumo [8].
- ♦ La segunda versión se ha implementado utilizando técnicas que permiten el funcionamiento a baja tensión de alimentación (1.2 V). Los convertidores A/D en baja tensión usando circuitos SC tienen un grave problema: la tensión de alimentación no es suficiente para conmutar correctamente los transistores que funcionan como interruptores. Existen diversas técnicas para solucionar este problema como el uso de procesos con múltiples tensiones umbrales o la llamada de amplificadores operacionales conmutados. No obstante, la técnica predominante hoy día es el uso de dobladores de tensión. En esta segunda versión del modulador se hace uso una nueva técnica para la implementación de dobladores de tensión presentada en [13]. También, se han utilizado Op-Amps con etapa de salida clase AB, distintos a los de la primera versión, trabajando a 1.2 V de alimentación y presentados en [6]. El funcionamiento de estos está basado en la misma técnica que los dobladores usados. Por los mismos motivos que en la primera versión del modulador, también se han diseñado los amplificadores para que sus transistores trabajen en inversión débil.

El sistema ha sido diseñado en tecnología de 0.5- $\mu\text{m}$  CMOS doble-poly.

Se han utilizado montajes completamente diferenciales<sup>2</sup>, ya que presentan las siguientes ventajas:

---

1 Flipped Voltage Follower.

2 Un circuito se dice *diferencial* cuando las señales de interés se representan como diferencia entre dos magnitudes del circuito. A un circuito diferencial se le llama, además, *balanceado*, cuando el valor medio entre las magnitudes diferenciales (normalmente llamado valor de *modo común*) se mantiene constante. Para mantener constante el valor de modo común es necesario disponer de unos circuitos de realimentación adicionales que normalmente no se muestran en el diagrama del circuito y que suelen formar parte de los elementos activos.



- ◆ Debido al ruido de sustrato y al ocasionado por las alimentaciones, aparecen señales de modo común no deseadas. La estructura completamente diferencial presenta un alto rechazo a estas señales de modo común.
- ◆ Se eliminan los armónicos de orden par.
- ◆ Se producen un incremento de 3 dB en el rango dinámico respecto al circuito no diferencial, debido al aumento del rango dinámico en todas las señales del sistema.

Los inconvenientes del uso de estructuras completamente diferenciales se enumeran a continuación:

- ◆ Aumenta la complejidad del diseño.
- ◆ Aumenta el área de silicio utilizada.
- ◆ Aumenta el consumo de potencia.

A pesar de esto, las ventajas y mejoras en las prestaciones obtenidas compensan ampliamente los inconvenientes y una prueba de ello es el hecho de que actualmente todos los diseños analógicos se realizan mediante arquitecturas completamente diferenciales.

La descripción del modulador comenzará con la estructura usada para la implementación de los integradores mediante capacidades e interruptores. Luego se explicará el diseño de sus principales bloques constructivos, los amplificadores operacionales.

Se finalizará la descripción comentando el diseño del resto de bloques del modulador, es decir, el comparador, el DAC, el generador de fases de reloj y los dobladores de tensión (dentro de la versión que proceda).

## 2. Modulador $\Sigma\Delta$ de 2.8 a 1.8 V de alimentación y muy bajo consumo.

### 2.1. Primer integrador.

La arquitectura del primer integrador se muestra en **Fig. 4.2**, donde las tensiones  $V_{ip}$  y  $V_{in}$  son las entradas del modulador,  $V_{rip}$  y  $V_{rin}$  son las salidas del convertidor D/A y  $V_{cmi}$  la tensión de modo común a la entrada del amplificador operacional.  $C_{s1}$  y  $C_{i1}$  son las capacidades de muestreo y de integración, respectivamente y  $C_{cds}$  es la capacidad que implementa el *muestreo doble correlado* o CDS<sup>1</sup>.

La banda de frecuencias de interés de nuestra aplicación (desde 0 a 250 Hz) nos obliga a usar alguna técnica de supresión del ruido de baja frecuencia, fundamentalmente el ruido *flicker* de los amplificadores. Para ello, se han utilizado técnicas de *muestreo doble correlado*. Estas técnicas se emplean para minimizar errores como el *offset*, el ruido flicker y la ganancia finita en amplificadores operacionales [10]. Son técnicas aplicables, en general, a

<sup>1</sup> Correlated Double Sampling.

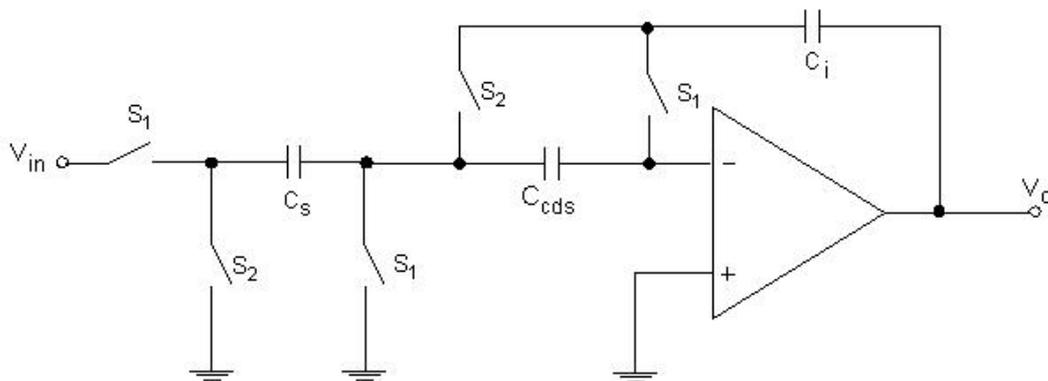


circuitos SC<sup>1</sup> de diferentes tipos. El principio de funcionamiento básico es similar en todos los casos:

- ◆ Durante una fase de calibración, el voltaje finito a la entrada del amplificador operacional es muestreado y almacenado mediante capacidades.
- ◆ Durante una fase de operación, el error de voltaje almacenado es restado a la señal mediante una conmutación apropiada de las capacidades involucradas.

Para explicar con más detenimiento el funcionamiento del *muestreo doble correlado* se ha tomado como referencia el integrador de **Fig. 4.1**.

En este integrador se usa una capacidad adicional,  $C_{cds}$ , que muestrea los errores de voltaje a la entrada del amplificador operacional durante la fase  $\Phi_1$ . En el siguiente paso, durante la fase  $\Phi_2$ ,  $C_{cds}$  es conectada en serie con la entrada del amplificador contrarrestando el error de voltaje existente en esta, que ha sido muestreado en la fase anterior. De esta forma, la fase de integración se está realizando, aparentemente, mediante un amplificador sin errores de voltaje en la entrada. Un comportamiento similar puede observarse en **Fig. 4.2** pero en una arquitectura completamente diferencial. Se explicará unas líneas más abajo.

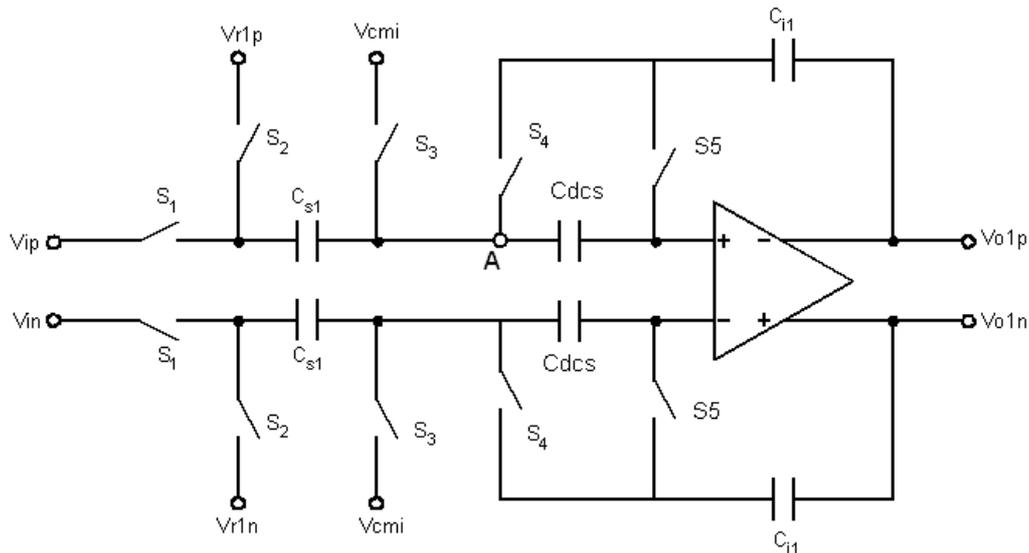


**Fig. 4.1:** Ejemplo de integrador con muestreo doble correlado.

Para que el efecto sea el deseado, las señales de error que se pretenden eliminar no pueden variar sustancialmente entre una fase de reloj y la siguiente. Esto equivale a decir que deben tener frecuencias mucho más bajas que la frecuencia de funcionamiento del integrador. El muestreo doble correlado es, por tanto, una técnica efectiva para eliminar errores de DC, como el *offset*, y ruido de muy baja frecuencia, como el ruido *flicker* en la entrada del amplificador.

Como los coeficientes  $a_1$  y  $b_1$  son iguales, la diferencia entre las señales de entrada y de realimentación se puede realizar usando la misma capacidad de muestreo. Por tanto, el ruido  $kT/C$  generado es menor (la mitad) que si se emplean capacidades de muestreo separadas para cada señal.

1 Switched Capacitors.



**Fig. 4.2:** Estructura del primer integrador.

El integrador trabaja de la siguiente forma:

- ♦ Durante la fase de muestreo  $\Phi_1$ , los interruptores  $S_1$ ,  $S_3$  y  $S_5$  están en conducción, mientras  $S_2$  y  $S_4$  están en corte. La tensión diferencial entre las capacidades de muestreo es  $V_i = V_{ip} - V_{in}$ . La carga sobre las capacidades de integración  $C_{i1}$  no cambia durante la fase de muestreo. Durante esa misma fase, en la capacidad  $C_{cds}$  se almacena el error de voltaje existente en la entrada del amplificador,  $V_{err}$ , (el voltaje a la entrada del amplificador es  $V_{cmi} + V_{err}$ . Este valor de tensión se muestrea en la capacidad  $C_{cds}$  con respecto a la tensión de modo común de entrada del Op-Amp,  $V_{cmi}$ , de modo que en la capacidad queda almacenado solo el error de voltaje  $V_{err}$ ).
- ♦ Durante la fase de integración  $\Phi_2$ ,  $S_1$ ,  $S_3$  y  $S_5$  entran en corte, mientras que  $S_2$  y  $S_4$  conducen. La carga proporcional a la diferencia entre  $V_i$  y la tensión de realimentación  $V_{r1}$ , se transfiere desde  $C_{s1}$  a  $C_{i1}$ . Al estar almacenado en  $C_{cds}$  el error de voltaje a la entrada del Op-Amp,  $V_{err}$ , el nodo A de **Fig. 4.2** hace de 'entrada virtual sin errores' del Op-Amp presentando una tensión de valor  $V_{cmi}$ .

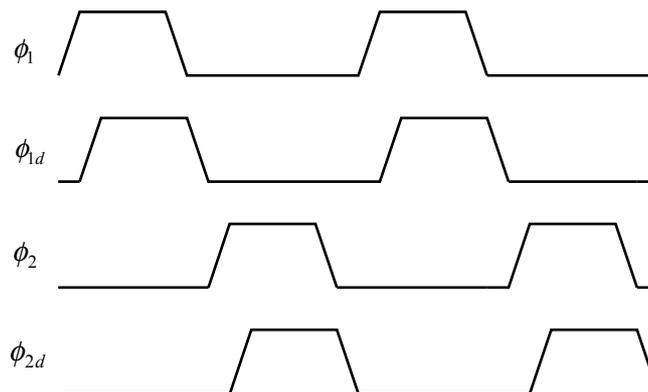
Ya se hizo mención, en el *apartado 1* del *Capítulo 2* de este trabajo, al hecho de que los integradores SC presentan una característica importante y es que ofrecen la posibilidad de escoger de forma independiente la tensión de modo común a la entrada y a la salida del amplificador operacional. En la arquitectura de los integradores de **Fig. 4.2** y **Fig. 4.4** puede verse como se hace uso de esta característica. Al valor de tensión de modo común a la



entrada del Op-Amp se le denomina  $V_{cmi}$ .  $V_{rip}$  y  $V_{rin}$  son las salidas del DAC y representan la realimentación de la salida del modulador hacia el primer integrador. El valor de  $V_{rip}$  y  $V_{rin}$  variará en función de la salida del modulador entre dos valores, alto y bajo, elegidos de forma que el valor medio de estas señales coincida con la tensión de modo común de salida de los amplificadores operacionales, llamada  $V_{cmo}$ . Las tensiones  $V_{cmi}$  y  $V_{cmo}$  son independientes, aunque para esta versión del modulador se han elegido, por comodidad, ambas iguales a 1 V.  $V_{cmo}$  normalmente se ajusta al valor medio de la tensión de alimentación, teniendo la ventaja de conseguir rango total de operación del integrador. Hay una parte del circuito del Op-Amp, llamada circuito de control de modo común, encargada de mantener la salida de los amplificadores a la tensión  $V_{cmo}$ , por tanto, con una estructura de integrador acertada, se tiene que conseguir que la entrada del Op-Amp se encuentre correctamente polarizada a la tensión de modo común previamente calculada,  $V_{cmi}$ . El funcionamiento es el siguiente:

- ♦ Durante la fase de muestreo  $\Phi_1$ , la entrada, que está previamente superpuesta a una tensión de modo común de valor  $V_{cmo}$ , es almacenada en la capacidad  $C_{s1}$  con respecto a la tensión  $V_{cmi}$ , de forma que la señal almacenada en la capacidad  $C_{s1}$  tiene una tensión de modo común de valor  $V_{cmo} - V_{cmi}$ .
- ♦ Durante la fase de integración  $\Phi_2$ , se transfiere la carga correspondiente desde la capacidad  $C_{s1}$  a la capacidad  $C_{i1}$ . Como esa transferencia de carga se realiza con respecto a la tensión  $V_{rip}$ , que tiene modo común de valor  $V_{cmo}$ , se consigue que la tensión de modo común en el nodo A de **Fig. 4.2** sea la deseada para una polarización correcta de los transistores de entrada del Op-Amp, es decir,  $V_{cmi}$ .

Los interruptores son controlados, como es habitual en circuitos SC, mediante el uso de fases de reloj no solapadas como las mostradas en **Fig. 4.3**. El primer integrador se controla con dos fases no solapadas  $\Phi_1$  y  $\Phi_2$ , y sus versiones retrasadas  $\Phi_{1d}$  y  $\Phi_{2d}$ . Las fases desplazadas se utilizan para minimizar los errores generados por la inyección de carga.



**Fig. 4.3:** Fases de reloj del primer integrador.

La inyección de carga modifica el valor de la carga almacenada en la capacidad de integración de un circuito SC cuando los interruptores conectados a la tierra virtual de los amplificadores operacionales pasan a corte. La inyección de carga se debe al acoplamiento de



la señal con el reloj a través de las capacidades parásitas  $C_{GS}$  y  $C_{GD}$ . A parte de las capacidades de solape, otro mecanismo influyente es que la carga almacenada en el canal debe ser eliminada cuando el transistor pasa a estar cortado [11].

El efecto de inyección de carga se minimiza haciendo mínimas las capacidades de solape y eso se consigue utilizando interruptores de tamaño mínimo.

Como ya se ha comentado, otro mecanismo para minimizar los errores producidos por la inyección de carga es el uso de fases de reloj desplazadas. Las fases desplazadas consiguen que cuando los interruptores controlados por ellas pasen a corte, no haya 'camino' para la carga hasta la capacidad de integración, porque los interruptores controlados con fases no desplazadas ya han sido cortados un instante antes [11].

Cuando los transistores que componen interruptores están cortados, la resistencia de paso,  $R_{OFF}$ , es tan elevada que puede modelarse por un circuito abierto. Cuando el interruptor está conduciendo, la resistencia  $R_{ON} = R_{DS}$  no es despreciable y ha de ser tenida en cuenta para la elección del tamaño del interruptor, sobre todo en circuitos de alta frecuencia. De esta forma, se elige un tamaño para el interruptor de forma que  $R_{ON}$  no sea un límite para el tiempo de carga y descarga de las capacidades del circuito SC. Así, se escoge  $W/L$  de cada transistor de manera que la constante de tiempo del interruptor,  $R_{ON}C_T^1$ , sea mucho menor que cierta fracción del periodo de la señal,  $\eta T$ . Es decir,  $R_{ON}C_T \ll \eta T$ , de forma que el objetivo es hacer mínimo el producto  $R_{ON}C_T$ . Conseguir  $R_{ON}$  pequeña significa escoger relaciones de aspecto ( $W/L$ ) grandes, y esto también generaría capacidades parásitas grandes, de lo que deduce que existe un conflicto en la elección de la dimensión de los transistores del interruptor.

En cualquier caso, dado que en el presente proyecto la velocidad requerida para el modulador es pequeña, la frecuencia de funcionamiento del circuito será muy baja y por tanto el periodo de reloj y el producto  $\eta T$  tendrán un valor alto. Esto garantiza que a pesar de elegir transistores de tamaño mínimo, la fracción del periodo de señal,  $\eta T$ , será lo suficientemente grande como para cumplir la restricción  $R_{ON}C_T \ll \eta T$ . Además la elección de interruptores de tamaño mínimo minimiza el valor de las capacidades parásitas y, por tanto, el efecto de inyección de carga.

Todos los interruptores utilizados en el integrador están implementados mediante puertas de transmisión CMOS. Para la implementación de algunos de los interruptores en los que no existen problemas con el rango de la señal a transmitir, sobretodo aquellos que transmiten una señal constante (ver por ejemplo  $S_3$  de **Fig. 4.2**), se podrían haber utilizado transistores simples. No obstante, tras estimar que el incremento en el efecto de inyección de carga no es considerable al tratarse de transistores de tamaño mínimo, por robustez y facilidad de diseño se ha optado por el uso de puertas CMOS en todos los interruptores.

En la **Tabla 4.1** se pueden ver las características de los interruptores elegidos para el primer integrador.

---

1  $C_T$  es la capacidad total (nominal+parásitas) que se carga a través del interruptor.



El Op-Amp trabaja con una tensión de modo común de entrada  $V_{cmi} = 1$  V.

Un aspecto fundamental desde el punto de vista del consumo es el tamaño de las capacidades. Para minimizar el consumo hay que diseñar las capacidades tan pequeñas como sea posible, de forma que la capacidad de carga para los amplificadores sea mínima pudiendo reducir al mínimo el valor de las corrientes de polarización. En este caso el ruido térmico se maximiza, así que en un diseño óptimo hay que fijar la capacidad mínima de forma que el ruido térmico integrado en banda se aproxime al ruido de cuantización sin superarlo. Usar capacidades menores permitiría reducir el consumo pero también provocaría la reducción del rango dinámico.

El ruido térmico admisible es lo que marca el valor de la capacidad mínima en el primer integrador (no es así en el segundo, que admite capacidades menores porque el ruido generado en este se ve afectado por el bucle de realimentación y reducido en la banda de interés por la conformación del ruido). Se ha fijado la capacidad mínima para el primer integrador en 100 fF asumiendo la consideración tomada en [1] por similitud en las especificaciones. El valor de las capacidades puede verse en la **Tabla 4.2** aunque el cálculo de los mismos se explicará en el *apartado 2.4*.

Interruptor	Reloj	Tipo	W/L ( $\mu\text{m}/\mu\text{m}$ )
S <sub>1</sub>	$\Phi_{1d}$	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6
S <sub>2</sub>	$\Phi_{2d}$	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6
S <sub>3</sub>	$\Phi_1$	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6
S <sub>4</sub>	$\Phi_2$	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6
S <sub>5</sub>	$\Phi_1$	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6

**Tabla 4.1:** Interruptores del primer integrador.

Capacidad	Valor
C <sub>s1</sub>	125 fF
C <sub>i1</sub>	500 fF
C <sub>eds</sub>	500 fF
Tensión	
V <sub>cmi</sub>	1 V

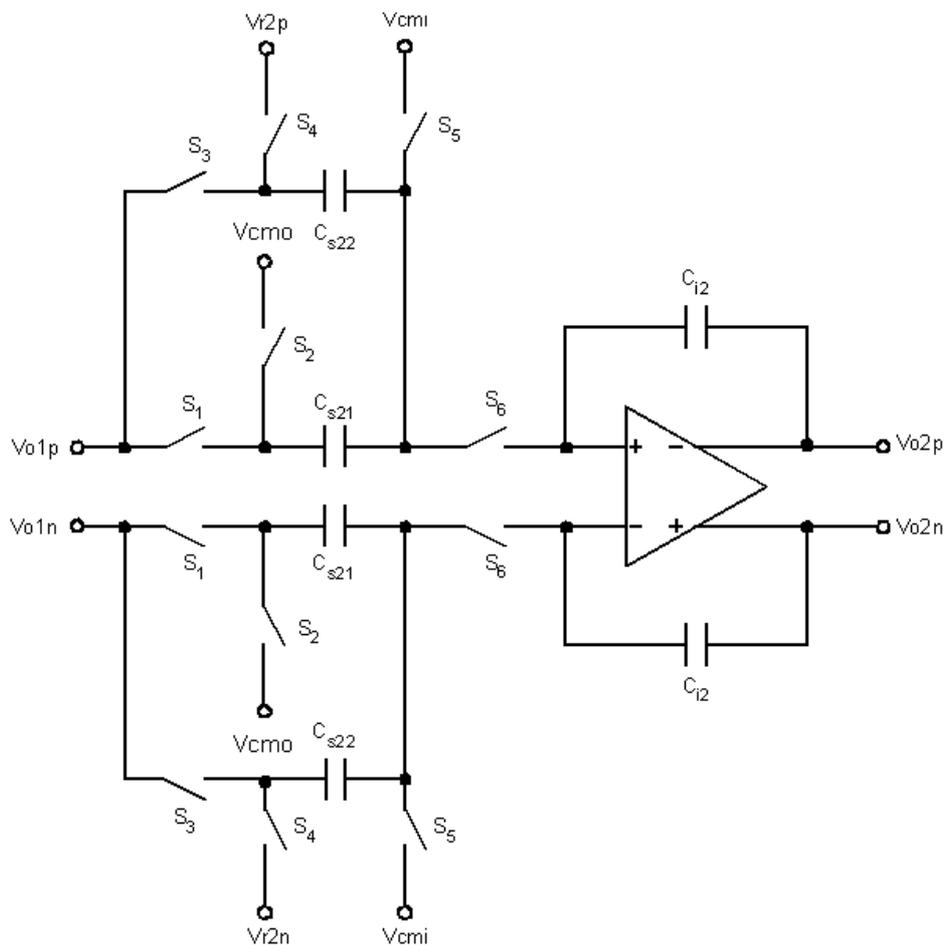
**Tabla 4.2:** Parámetros del primer integrador.



## 2.2. Segundo integrador.

El esquema del segundo integrador puede verse en **Fig. 4.4**, donde las tensiones  $V_{o1p}$  y  $V_{o1n}$  son las salidas del primer integrador,  $V_{r2p}$  y  $V_{r2n}$  son las salidas del convertidor D/A,  $V_{cmi}$  la tensión de modo común a la entrada del amplificador operacional y  $V_{cmo}$  la tensión de modo común a la salida del amplificador operacional.  $C_{s21}$  y  $C_{s22}$  son capacidades de muestreo y  $C_{i2}$  es la capacidad de integración.

En este integrador no se han empleado técnicas de muestreo doble correlado para reducir el ruido de baja frecuencia. El motivo es el mismo que en el *apartado 2.1* justificaba el uso de menores capacidades en el segundo integrador, permitiendo la generación de mayor ruido térmico. Tanto el ruido térmico como el ruido *flicker* generados en el segundo integrador se ven afectados por la conformación del ruido y reducidos por un cero en DC de la función de filtrado.



**Fig. 4.4:** Estructura del segundo integrador.

Como ahora los coeficientes del integrador,  $a_2$  y  $b_2$ , son distintos, es necesario usar dos



capacidades de muestreo diferentes,  $C_{s21}$  y  $C_{s22}$ . El funcionamiento del integrador es como se explica a continuación:

- ♦ Durante la fase de muestreo  $\Phi_1$ , los interruptores  $S_1$ ,  $S_3$  y  $S_5$  están en conducción, mientras  $S_2$  y  $S_4$  están en corte. La señal de entrada se almacena en ambas capacidades.
- ♦ Durante la fase de integración  $\Phi_2$ , la señal procedente del DAC solo se realimenta a una de las capacidades. Si  $C_{s21} = C_{s22}$ , la ganancia del camino directo es el doble que la del camino de realimentación.

El funcionamiento con respecto a la independencia entre el modo común a la entrada y a la salida del amplificador operacional, es similar al del primer integrador. La única diferencia es que la señal de entrada al segundo integrador ya no es, evidentemente, la entrada al modulador  $\Sigma\Delta$ , sino la salida del primer integrador. La tensión de modo común a la salida del primer integrador es también  $V_{cmo}$ , lo que supone que tal diferencia no cambia el funcionamiento. Las señales  $V_{r2p}$  y  $V_{r2n}$  también se corresponden con las salidas del DAC, así el principio de funcionamiento es idéntico al explicado en el apartado 2.1.

Para minimizar los errores producidos por el efecto de inyección de carga, ciertos interruptores, los señalados en la **Tabla 4.3**, serán controlados por fases de reloj desplazadas ( $\Phi_{1d}$  y  $\Phi_{2d}$ ) tal y como ocurría en el primer integrador.

Se han elegido puertas de transmisión de tamaño mínimo para implementar todos los interruptores por razones idénticas a las ya explicadas para el primer integrador.

El resto de parámetros importantes del segundo integrador se recogen en la **Tabla 4.3** y en la **Tabla 4.4**.

Interruptor	Reloj	Tipo	W/L( $\mu\text{m}/\mu\text{m}$ )
$S_1$	$\Phi_{1d}$	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6
$S_2$	$\Phi_{2d}$	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6
$S_3$	$\Phi_{1d}$	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6
$S_4$	$\Phi_{2d}$	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6
$S_5$	$\Phi_1$	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6
$S_6$	$\Phi_2$	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6

**Tabla 4.3:** Interruptores del segundo integrador.



Capacidad	Valor
$C_{s21}$	50 fF
$C_{s22}$	50 fF
$C_{i2}$	200 fF
Tensión	
$V_{cmi}$	1 V
$V_{cmo}$	1 V

**Tabla 4.4:** Parámetros del segundo integrador.

### 2.3. Convertidor D/A.

El DAC de 1 bit se ha diseñado usando interruptores controlados por las salidas del comparador (ver **Fig. 4.5**).

Estos interruptores son puertas de transmisión que están conectadas a unas referencias de tensión generadas externamente, que representan los posibles valores de la tensión a la salida del DAC. Como se dijo en el *apartado 2.1*, estos valores deben estar correctamente elegidos para que el nivel de continua de la señal de salida generada por el DAC coincida con la tensión de modo común a la salida de los amplificadores operacionales,  $V_{cmo}$ . Las referencias de tensión elegidas son  $V_{REFP}=1.5$  V y  $V_{REFN}=0.5$  V, de forma que el nivel de continua de la salida del DAC es  $1\text{ V}=V_{cmo}$ .

El principio de funcionamiento del DAC es sencillo. Las salidas del comparador, OOUTP y OOUTN, son complementarias, es decir, cuando una da un nivel alto la otra lo da bajo y viceversa. Ante, por ejemplo, una tensión diferencial de entrada al comparador positiva, este responderá con OOUTP a nivel alto y OOUTN a nivel bajo. Esto provoca que determinados interruptores conduzcan mientras otros permanecen cortados (mirar **Fig. 4.5**), permitiendo que se transmitan a las salidas del DAC,  $V_{rp}$  y  $V_{rn}$ , las referencias de tensión deseadas, en este caso:

- ◆  $V_{rp}=V_{REFP}=1.5$  V.
- ◆  $V_{rn}=V_{REFN}=0.5$  V.

Esto genera una tensión diferencial de realimentación a los integradores positiva de 1 V. En caso de que la entrada al comparador sea una tensión diferencial negativa ocurre todo lo contrario y la señal diferencial que se realimenta hacia los integradores sería negativa.

Todo este proceso se produce a la frecuencia de trabajo del modulador  $\Sigma\Delta$ ,  $f_s=16$  kHz. El comparador da el resultado de cada comparación en la fase de integración. Como el resultado del comparador es lo que marca el funcionamiento del convertidor D/A, es con  $\Phi_2$  cuando se producen los cambios en la salida del DAC.

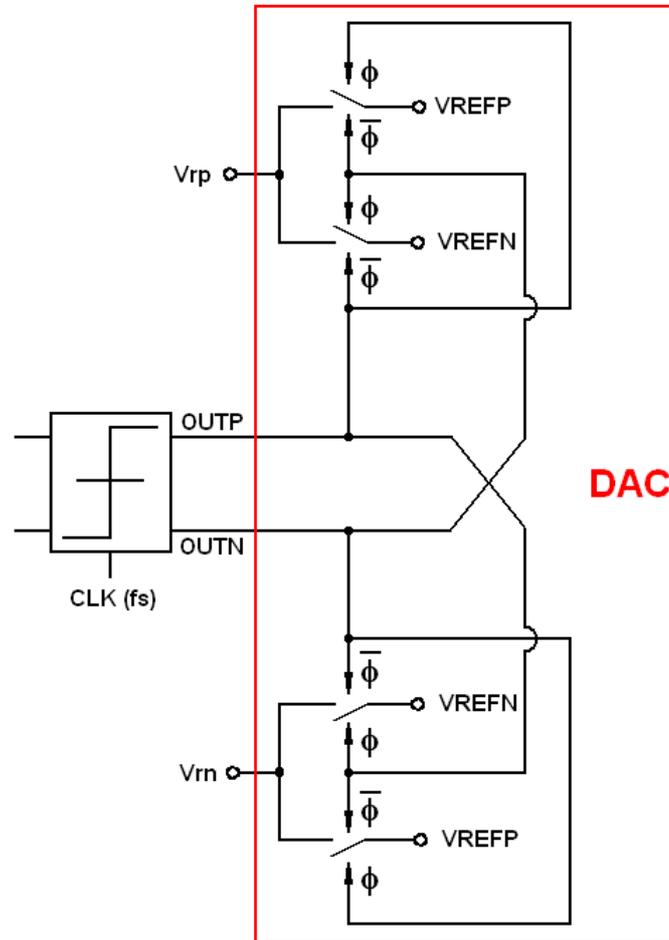


Fig. 4.5: Implementación del DAC con arquitectura completamente diferencial.

## 2.4. Implementación del modulador completo.

En los dos apartados anteriores, en la **Tabla 4.2** y la **Tabla 4.4**, se ha dado el valor de las capacidades de muestreo e integración que componen ambos integradores, pero no se han explicado los motivos de la elección de estos valores. La razón es que para calcular la capacidad de carga presentada a cada Op-Amp a la salida, es necesario estudiar un esquema del modulador completo ya que, por ejemplo, las capacidades de muestreo del segundo integrador influyen en la capacidad de carga presentada a la salida del Op-Amp del primer integrador. Hay que hacer notar que esta capacidad de carga varía dependiendo de la fase de reloj que se esté estudiando. Con el valor de las capacidades elegido se intentará que esta variación sea lo menor posible y, en cualquier caso, que se cubran las especificaciones impuestas sobre los Op-Amps, ya que una capacidad de carga mayor de la prevista podría provocar el incumplimiento de especificaciones sobre el Slew-Rate o el ancho de banda.



El valor final de las capacidades se decide en función de varios motivos:

- ◆ Para empezar, el valor de la capacidad mínima en el primer integrador, que está determinado por la potencia del ruido  $kT/C$  admisible en la banda de interés (siempre por debajo pero cercana a la potencia del ruido de cuantización) y por la viabilidad impuesta por la tecnología. Este valor mínimo será el punto de partida para dimensionar el resto de capacidades para optimizar el diseño en consumo. Por las razones dadas en el apartado 2.1, este valor se ha fijado en  $C_{\min} = 100$  fF en el primer integrador, pudiendo ser menor en el segundo.
- ◆ El valor de los coeficientes de los integradores. La ganancia de un integrador está determinada por la relación entre la capacidad de muestreo y la capacidad de integración de la siguiente forma:

$$a = \frac{C_s}{C_i} \quad [4.1]$$

Por tanto, si el coeficiente buscado es 0.25 debe cumplirse que  $C_i = 4C_s$ .

- ◆ La capacidad de carga,  $C_L$ , para la cual están diseñados los amplificadores operacionales.

El objetivo es elegir el valor de las capacidades, atendiendo a la relación [4.1], para que la carga de los amplificadores operacionales sea la menor posible, y así, minimizar el consumo. La capacidad de carga para el amplificador operacional del primer integrador es:

- ◆ Durante la fase de muestreo  $\Phi_1$ , se presentan en paralelo a la salida del Op-Amp las dos capacidades de muestreo del segundo integrador ( $C_{s21}$  y  $C_{s22}$ . Dado que ambas son iguales, el paralelo será  $2 \cdot C_{s2}$ ), el conjunto formado por la capacidad de integración del primer integrador ( $C_{i1}$ ) en serie con la capacidad parásita a la entrada del Op-Amp (este conjunto se hace despreciable frente a las demás capacidades puesto que la capacidad parásita tiene un valor muy pequeño) y la capacidad del circuito de control de modo común ( $C_{CMFB}$ ) que se asume de valor 50 fF en cualquier fase. La capacidad total de carga a la salida durante la fase de muestreo viene dada por:

$$C_{LI}^{\Phi_1} = C_{s21} + C_{s22} + C_{CMFB} = 2 \cdot C_{s2} + 50 \text{ fF} \quad [4.2]$$

- ◆ Durante la fase de integración  $\Phi_2$ , se presentan en paralelo a la salida del Op-Amp el conjunto formado por la capacidad de integración del primer integrador ( $C_{i1}$ ) en serie con la capacidad de muestreo de este integrador ( $C_{s1}$ ) y la capacidad del circuito de control de modo común ( $C_{CMFB}$ ). Teniendo en cuenta la condición [4.1], la capacidad total del conjunto es:



$$C_{L1}^{\Phi 2} = \frac{C_{i1} \cdot C_{s1}}{C_{i1} + C_{s1}} + C_{CMFB} = \frac{4}{5} \cdot C_{s1} + 50 \text{ fF} \quad [4.3]$$

De la misma forma, la capacidad de carga para el amplificador del segundo integrador es:

- ♦ Durante la fase de muestreo  $\Phi_1$ , se presentan en paralelo a la salida del Op-Amp la capacidad de muestreo del comparador ( $C_{COMP}$ ) y la capacidad del circuito de control de modo común ( $C_{CMFB}$ ). La capacidad total a la salida durante la fase de muestreo viene dada por [4.4]:

$$C_{L2}^{\Phi 1} = C_{COMP} + C_{CMFB} = C_{COMP} + 50 \text{ fF} \quad [4.4]$$

- ♦ Durante la fase de integración  $\Phi_2$ , se presentan en paralelo a la salida del Op-Amp el conjunto formado por la capacidad de integración del segundo integrador ( $C_{i2}$ ) en serie con la capacidad total de muestreo de este integrador ( $C_{s21} + C_{s22} = 2 \cdot C_{s2}$ ) y la capacidad del circuito de control de modo común ( $C_{CMFB}$ ). Teniendo en cuenta la condición [4.1], la capacidad total del conjunto es:

$$C_{L2}^{\Phi 2} = \frac{C_{i2} \cdot 2C_{s2}}{C_{i2} + 2 \cdot C_{s2}} + C_{CMFB} = \frac{8}{6} \cdot C_{s2} + 50 \text{ fF} = \frac{4}{3} \cdot C_{s2} + 50 \text{ fF} \quad [4.5]$$

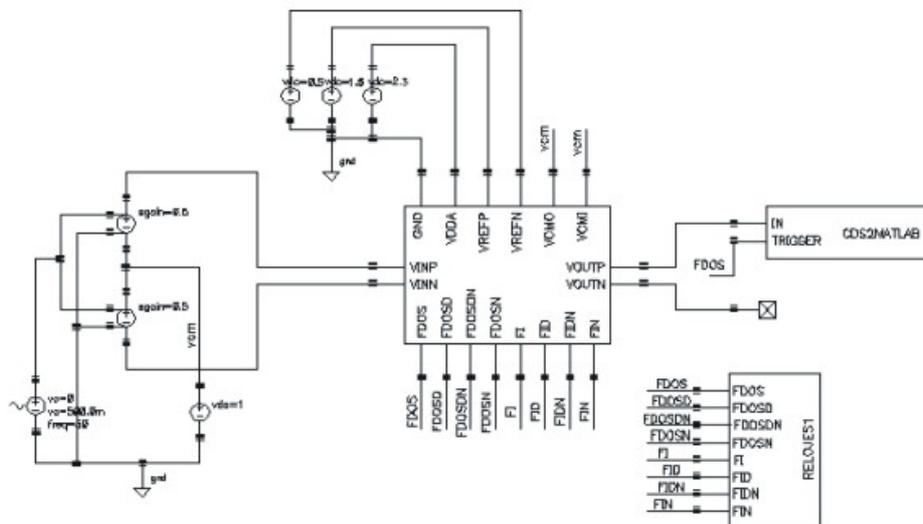
Se ha asumido que la capacidad mínima a utilizar en el primer integrador es 100 fF, así que para garantizar que el ruido térmico estará por debajo de lo admisible con cierto margen de seguridad, el valor que se ha elegido para la capacidad de muestreo del primer integrador es  $C_{s1} = 125 \text{ fF}$ . La capacidad de integración del primer amplificador es entonces  $C_{i1} = 500 \text{ fF}$ . Según [4.3] la capacidad de carga del amplificador del primer integrador durante la fase de muestreo es  $C_{L1}^{\Phi 2} = 150 \text{ fF}$ , por lo que, para manejarla con garantías, se ha utilizado un amplificador diseñado para 200 fF de carga en el primer integrador. Para aproximar la capacidad de carga durante la fase de integración a 150 fF, se elige  $C_{s2} = 50 \text{ fF}$  como capacidad de muestreo para el segundo integrador. Esto determina, a través de [4.2], que la capacidad de carga para el amplificador del primer integrador durante la fase de muestreo es  $C_{L1}^{\Phi 1} = 150 \text{ fF}$ . Fijada la capacidad de muestreo del segundo integrador, quedan también definidas la de integración a través de [4.1] ( $C_{i2} = 200 \text{ fF}$ ) y la de carga para el amplificador durante la fase de integración a través de [4.5] ( $C_{L2}^{\Phi 2} = 116.6 \text{ fF}$ ). La capacidad de carga del amplificador durante la fase de muestreo se puede ajustar mediante la elección de la capacidad de muestreo del comparador,  $C_{COMP} = 75 \text{ fF}$ . Esto establece según [4.4], que  $C_{L2}^{\Phi 2} = 125 \text{ fF}$ , por lo que se ha diseñado un Op-Amp para 125 fF de carga en el segundo integrador.

Puede verse un resumen de las capacidades utilizadas en la **Tabla 4.2** y en la **Tabla 4.4**.



Una vez se ha definido la implementación del modulador  $\Sigma\Delta$  y del DAC en términos de elementos circuitales reales (puertas de transmisión y capacidades, ver **Fig. 4.2**, **Fig. 4.4** y **Fig. 4.5**), es posible realizar simulaciones en CADENCE utilizando modelos AHDL para el resto de elementos del circuito que aun no han sido diseñados.

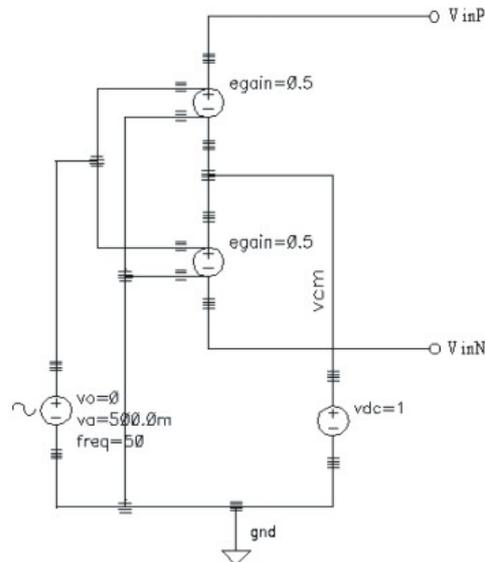
El esquema de simulación utilizado se muestra en **Fig. 4.6**. Entre otras entradas del modulador, se pueden observar las correspondientes a las ocho fases de reloj utilizadas en el circuito SC ( $\Phi_1$ ,  $\Phi_2$ , las dos fases desplazadas correspondientes para minimizar los efectos de inyección de carga y las cuatro fases negadas de las anteriores para manejar los transistores complementarios de las puertas de transmisión CMOS). También pueden verse las entradas correspondientes a las referencias externas de tensión para el DAC (VREFP y VREFN) y las referencias externas de tensión para los valores deseados del modo común a la entrada y a la salida de los amplificadores operacionales (VCM1 y VCM0). La función del bloque conectado tras el modulador es la de capturar la salida del comparador y almacenarla en un fichero de texto, convirtiendo previamente los niveles altos y bajos en 1 y -1 respectivamente. Este fichero se utilizará para procesar la salida del modulador mediante MATLAB y calcular, haciendo uso de la FFT<sup>1</sup>, la SNR y la forma del espectro de salida.



**Fig. 4.6:** Esquema de simulación del modulador.

En **Fig. 4.7** puede verse con mas detalle el montaje utilizado para generar la tensión de entrada diferencial sinusoidal sobre un valor de continua  $V_{cm0} = 1$  V.

1 Fast Fourier Transform (Transformada Rápida de Fourier)



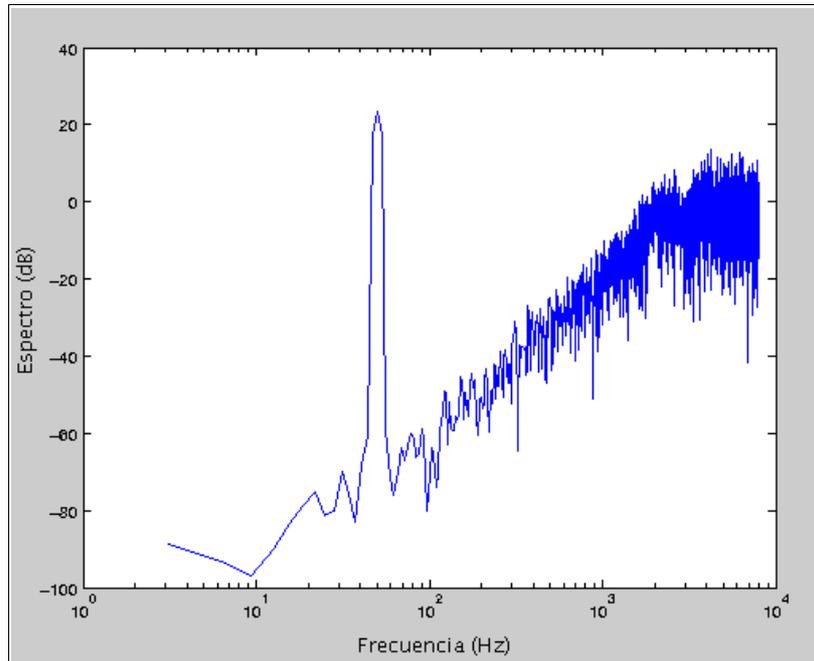
**Fig. 4.7:** Esquema para generación de entrada sinusoidal diferencial.

La simulación con el montaje de **Fig. 4.6** consiste en un análisis transitorio con una entrada sinusoidal a plena escala. El tiempo de simulación será el suficiente para obtener al menos 5120 muestras de la salida del comparador, de forma que el espectro calculado a partir de estas tenga una resolución suficiente que permita obtener resultados con precisión. A una frecuencia de trabajo de  $f_s=16$  kHz, el tiempo de simulación debe ser de 320 mseg para obtener las 5120 muestras. Se ha fijado el tiempo de simulación en 330 mseg para así poder desechar las primeras muestras. El motivo es que las primeras muestras pueden corresponder a una posible estabilización del circuito y su procesamiento degradaría los resultados con respecto a un régimen normal de funcionamiento del modulador.

Los resultados correspondientes al modulador implementado con modelos AHDL para los Op-Amps, el comparador y el generador de fases de reloj se muestran en **Fig. 4.8** y **Fig.4.9**.

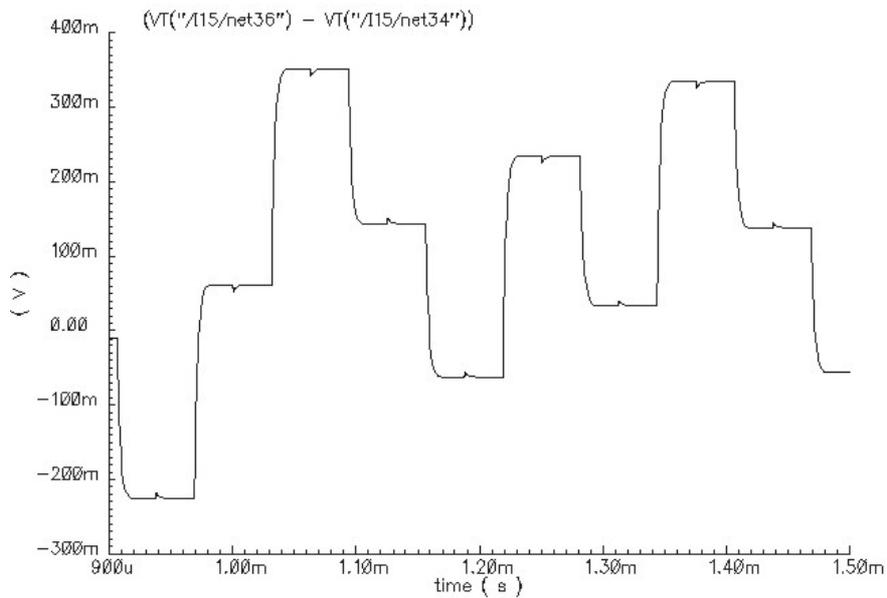
A falta de incluir el resto de elementos circuitales reales, puede comprobarse que el modulador supera con solvencia las especificaciones de resolución impuestas.

Una forma de evaluar el comportamiento dinámico de los integradores es observar el comportamiento de la señal diferencial de salida en estos. En **Fig. 4.9** se muestra la salida del primer integrador.



<b>SNR</b>	<b>57.4 dB</b>
------------	----------------

**Fig. 4.8:** Espectro de salida y SNR del modulador con DAC y switches reales.



**Fig. 4.9:** Señal diferencial de salida del primer integrador con DAC y switches reales.



La forma de trabajo ha consistido en ir sustituyendo los modelos AHDL por los circuitos reales a medida que se han ido diseñando. Amplificadores operacionales, comparador y generador de fases de reloj son los elementos que faltan para completar el diseño del modulador. En los próximos apartados se explicará el diseño de esos bloques a nivel de transistor según las especificaciones extraídas en el *Capítulo 3*.

### ***2.5. Amplificadores operacionales.***

Los amplificadores operacionales usados deben poseer algunas características importantes necesarias en las aplicaciones biomédicas como son:

- ◆ Capacidad para trabajar en condiciones de baja tensión de alimentación.
- ◆ Muy bajo consumo estático.
- ◆ Rango completo de tensión de salida.
- ◆ Slew-Rate alto.

Los amplificadores de dos etapas son la elección lógica en las aplicaciones de baja tensión de alimentación ya que permiten un rango completo de tensión de salida y permiten manejar tanto cargas resistivas como capacitivas [5].

En diseños clásicos de Op-Amps de dos etapas se utilizan para implementar ambas, la de entrada y la de salida, amplificadores clase A. Más recientemente se ha propuesto el uso de amplificadores clase AB como etapa de salida en diseños de Op-Amps para aplicaciones de baja tensión de alimentación. La limitación principal de estos amplificadores operacionales es que, si requiere un slew-rate alto, son necesarias corrientes de polarización altas para manejar la capacidad de compensación y por tanto aumenta el consumo estático.

Sin embargo, si ambas etapas del amplificador operacional tienen un comportamiento clase AB, es posible conseguir un slew-rate alto con corrientes de polarización relativamente bajas. En esta versión del modulador  $\Sigma\Delta$  se usan Op-Amps completamente diferenciales de dos etapas, ambas, la de entrada y la de salida, clase AB.

La arquitectura de las etapas de entrada y salida de los Op-Amps utilizados en ambos integradores del modulador es la mostrada en **Fig 4.10** y **Fig. 4.11** respectivamente.

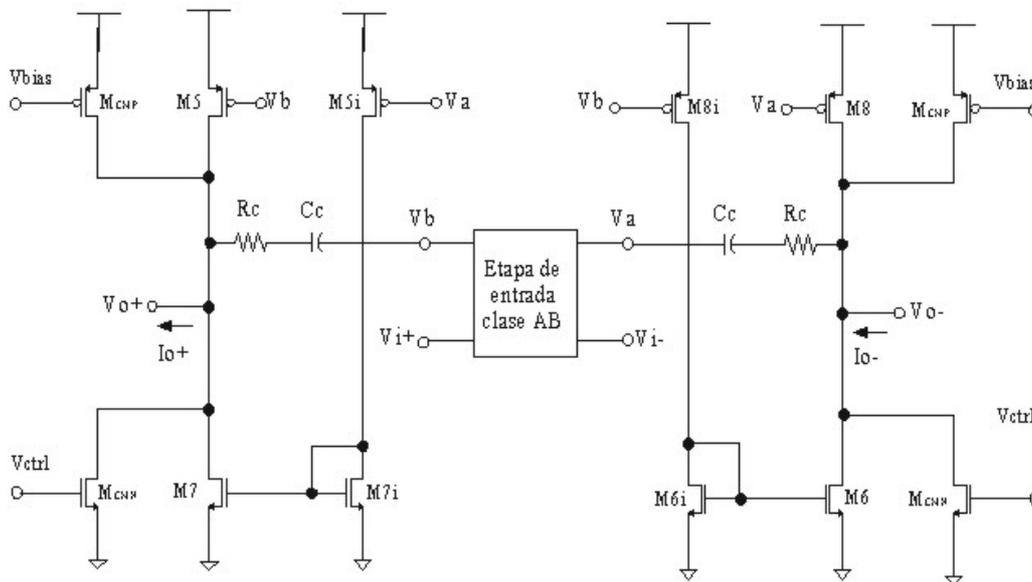
La etapa de entrada consta de los transistores  $M_1 - M_4$ ,  $M_{1P} - M_{2P}$ ,  $M_{FVF(1,2)}$ , y  $M_{B(1,2)}$ .

Como ya se ha mencionado, los transistores de entrada a la primera etapa de los Op-Amps se han elegido de tipo N. El motivo de esta elección tiene que ver con el hecho de que la fuente de alimentación con la que va a trabajar el sistema sufrirá un desgaste a lo largo de su vida útil por tratarse de una batería. Eso repercutirá en que la tensión de alimentación proporcionada al circuito va a decrecer desde 2.8 V a 1.8 V. Con el par diferencial de tipo N, el funcionamiento del circuito se verá menos afectado, ya que los transistores del par no podrán llegar a estar cortados a pesar de la disminución de la tensión de alimentación (al contrario de lo que podría ocurrir con transistores de tipo P). No obstante, como ya se ha comentado, todo el rango de tensiones de trabajo del modulador se ha situado entre 1.5 V y 0.5 V con lo que se asegura que la tensión más alta estará bastante por debajo de los 1.8 V de





Por otro lado, los demás transistores que componen la etapa de entrada,  $M_3$ ,  $M_4$ ,  $M_{3P}$ ,  $M_{4P}$ , constituyen espejos de corriente usados para generar corrientes complementarias en los nodos “a” y “b”,  $I_a = I_{D1} - I_{D2}$  e  $I_b = I_{D2} - I_{D1}$  ( $I_a = -I_b$ ). Estas corrientes son las que van a atacar las capacidades de compensación. Los voltajes de salida de la etapa de entrada,  $V_a$  y  $V_b$  son usados para establecer las corrientes de polarización de etapa de salida del amplificador operacional. Una propiedad interesante de esta etapa de entrada en términos de velocidad y distorsión, es que ninguno de los transistores  $M_1$ ,  $M_2$ ,  $M_{1P}$ ,  $M_{2P}$  se dirige a la región de corte cuando se aplica una tensión diferencial en la entrada, al contrario que ocurriría con un par diferencial común.



**Fig. 4.11:** Etapa de salida del amplificador operacional.

La etapa de salida se puede ver en **Fig. 4.11** y está formada por los transistores  $M_5 - M_8$ ,  $M_{5i} - M_{8i}$ . Como se ha dicho, la tensión de polarización de los nodos de salida de la primera etapa ( $V_a^Q$  y  $V_b^Q$ ) establece la corriente de polarización en la etapa de salida.

Considerando la sección de salida formada por  $M_5$ ,  $M_{5i}$ ,  $M_7$  y  $M_{7i}$  y suponiendo que  $M_7$ ,  $M_{7i}$  y  $M_5$ ,  $M_{5i}$  son transistores iguales. En condiciones de polarización las tensiones  $V_a = V_b = V_{DD} - V_{GS3}^Q = V_{DD} - V_{GS4}^Q$  inducen corrientes iguales en  $M_5$  y  $M_{5i}$ ,  $I_{D5}^Q = I_{D5i}^Q$ . Como  $M_7$  y  $M_{7i}$  forman un espejo de corriente de ganancia unidad, la corriente de polarización de  $M_7$  tendrá igual valor que la de  $M_5$ ,  $I_{D7}^Q = I_{D5}^Q$ , y la corriente estática de salida será cero.

Para variaciones positivas en  $V_a$  (que corresponderían a variaciones negativas en  $V_b$ ), la corriente que circula en el transistor  $M_5$  aumenta mientras que la que circula por  $M_{5i}$

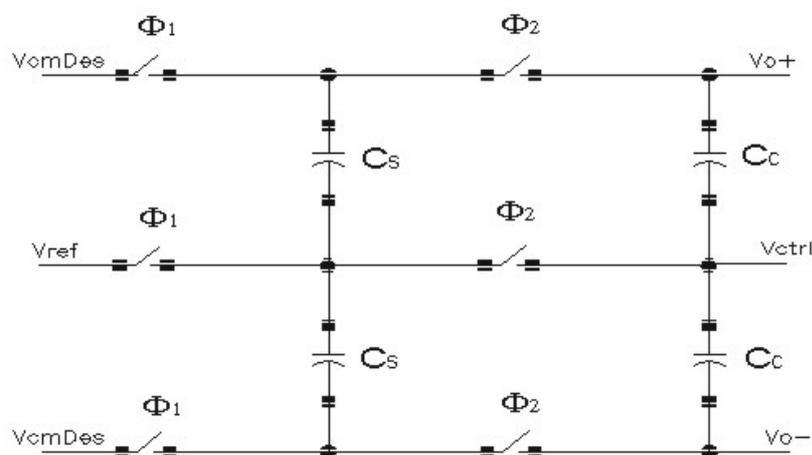


disminuye. Esto provoca un valor positivo de la corriente de salida  $I_{O+}$  que fluye hacia fuera del terminal  $V_{O+}$ . En la sección complementaria de la etapa de salida formada por  $M_6$ ,  $M_8$ ,  $M_{6i}$  y  $M_{8i}$  el resultado es al revés induciéndose una corriente positiva  $I_{O-}$  fluyendo hacia dentro por el terminal  $V_{O-}$ .

Algunas de las ventajas más significativas de esta etapa de salida son:

- ◆ No necesita circuito de control de la corriente de polarización para funcionar.
- ◆ Puede trabajar a muy baja tensión de alimentación  $V_{DD}^{\min} = V_{GS} + V_{DSsat}$ .
- ◆ Tiene rango completo de tensión a la salida.

Al usar amplificadores completamente diferenciales en aplicaciones realimentadas, la realimentación determina el valor de la tensión de la señal diferencial, pero no afecta a la tensión de modo común. Por tanto es necesario añadir circuitería adicional, que determine la tensión del modo común de salida y la controle para mantenerla igual a un determinado valor (típicamente, en torno a la mitad de la tensión de alimentación). Esta circuitería se denomina CMFB<sup>1</sup> *circuitry* o circuito de realimentación (control) de modo común. Existen dos formas de enfocar el diseño de un circuito de control de modo común, en tiempo continuo y con arquitectura de capacidades conmutadas [10].



**Fig. 4.12:** Circuito de control de modo común.

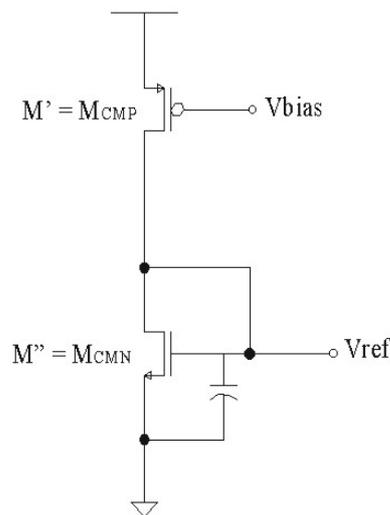
Puesto que se ha implementado el modulador  $\Sigma\Delta$  mediante una arquitectura de capacidades conmutadas, parece lógico elegir la segunda opción, así que la tensión de modo común de salida del amplificador operacional se fija a través del circuito de **Fig. 4.12**, usado habitualmente en arquitecturas de capacidades conmutadas.

Las capacidades  $C_C$  generan el valor medio de las tensiones de salida ( $V_{O+}$  y  $V_{O-}$ ), que es

<sup>1</sup> Del Inglés, Common-Mode FeedBack.



usado para generar la tensión de control ( $V_{CTRL}$ ) que va a manejar los transistores  $M_{CMN}$  de **Fig. 4.11**. El funcionamiento de este control consiste en introducir por la rama de salida del Op-Amp una pequeña corriente adicional mediante los transistores  $M_{CMP}$  (ver **Fig. 4.11**) y al mismo tiempo extraer parte de esa corriente mediante los transistores  $M_{CMN}$ , de forma que la diferencia entre la corriente introducida y la extraída se aporta a las corrientes de salida del operacional ( $I_{O+}$  e  $I_{O-}$ ). Estos transistores están diseñados para que, bajo condiciones de polarización, la tensión de modo común a la salida del amplificador sea la deseada. En régimen dinámico, cuando la tensión de modo común de salida sufre una variación, por ejemplo disminuye, el circuito de control de modo común provoca una bajada en la tensión  $V_{CTRL}$ . Esta tensión de control se aplica a la puerta de los transistores  $M_{CMN}$  haciendo que la corriente que circula por estos decrezca, lo que contribuye a aumentar ambas corrientes de salida ( $I_{O+}$  e  $I_{O-}$ ). Este aumento de las corrientes de salida incrementa la tensión de modo común a la salida del Op-Amp, corrigiendo de esa forma la desviación sufrida.



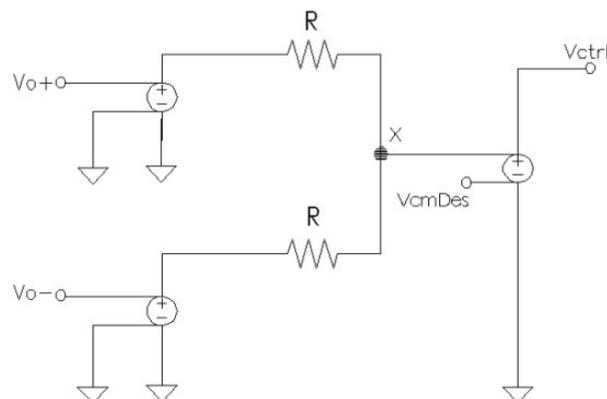
**Fig. 4.13:** Circuito para la obtención de  $V_{REF}$ .

El valor de continua existente en las capacidades  $C_C$  viene determinado por las capacidades  $C_S$  que son conmutadas entre la tensión de modo común deseada ( $V_{CmDes}$ ) y puestas en paralelo con las capacidades  $C_C$ . La tensión  $V_{REF}$  debe ser un valor cercano a la tensión  $V_{CTRL}$  ideal, es decir, la que habría a la puerta de los transistores  $M_{CMN}$  cuando la tensión de modo común a la salida tiene el valor deseado. Para obtenerla solo hay que reproducir esta situación ideal mediante el circuito de **Fig. 4.13**, que copia la corriente que circula por  $M_{CMP}$  en un transistor replica de este, para hacerla pasar por un transistor del mismo tamaño que  $M_{CMN}$  y así obtener la tensión que existiría en su puerta. La capacidad que se ve en **Fig. 4.13** tiene un valor de 500 fF y se utiliza a modo de almacén de carga para estabilizar el valor de  $V_{REF}$  en torno a un valor constante.

Dado que el circuito de control de modo común está basado en una arquitectura de capacidades conmutadas, no se ha podido utilizar en las simulaciones AC realizadas para el



diseño de los amplificadores. En estas simulaciones se ha usado un circuito ideal para fijar la tensión de modo común a la salida de los amplificadores. Este circuito se muestra en **Fig. 4.14**. Las dos resistencias forman un divisor de tensiones y al ser ambas del mismo valor, la tensión del nodo intermedio es  $V_x = \frac{V_{o+} + V_{o-}}{2}$  que es la tensión de modo común existente a la salida del amplificador. La tensión existente se compara con la deseada y, en función de la diferencia, se genera  $V_{CTRL}$  mediante una fuente de tensión dependiente de tensión con cierta ganancia. De esta forma, si por ejemplo la diferencia es positiva,  $V_{CTRL}$  aumenta haciendo que los transistores  $M_{CMN}$  conduzcan más corriente disminuyendo de esta forma el modo común a la salida.



**Fig. 4.14:** Circuito de control de modo común ideal.

El amplificador operacional se ha diseñado en tecnología CMOS de  $0.5 \mu\text{m}$  con los parámetros típicos mostrados en la **Tabla 4.5**:

Tipo N	Tipo P
$V_{TN} = 0.69 \text{ V}$	$V_{TP} = 0.9 \text{ V}$
$\mu_N = 462.2 \text{ cm}^2/\text{V}\cdot\text{s}$	$\mu_P = 155.69 \text{ cm}^2/\text{V}\cdot\text{s}$
$K_N = 57 \mu\text{A}/\text{V}^2$	$K_P = 19 \mu\text{A}/\text{V}^2$

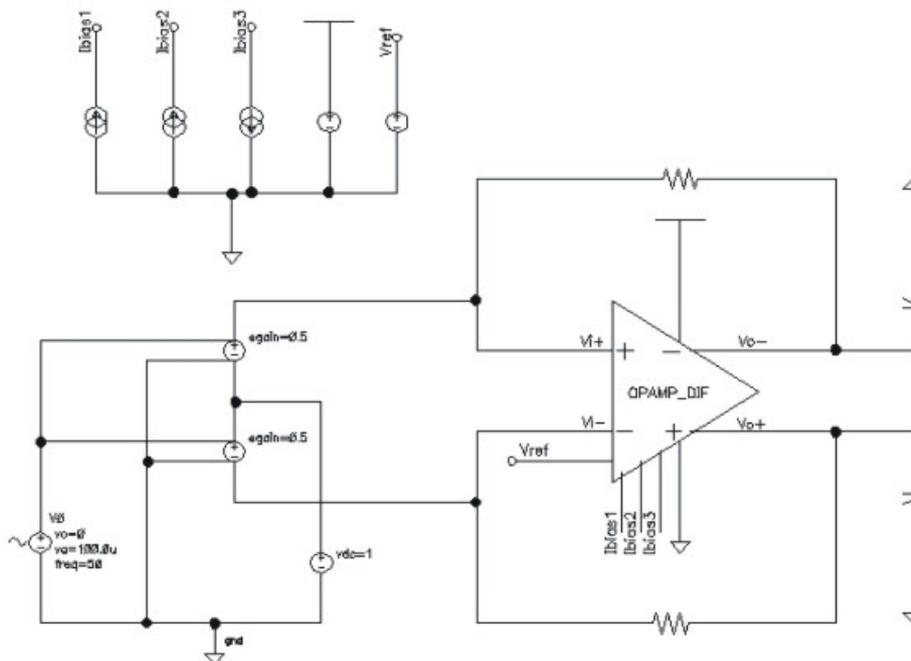
**Tabla 4.5:** Parámetros típicos de la tecnología usada.

Las simulaciones se han realizado usando *Spectre, Analog Simulation Environment* de CADENCE.

Para el análisis AC del amplificador se ha utilizado el esquema de **Fig. 4.15**. Como se ha



comentado, durante este análisis la tensión de modo común de salida del Op-Amp es controlada internamente mediante el esquema de **Fig. 4.14**. A fin de comprobar el comportamiento dinámico del Op-Amp se ha utilizado el integrador de capacidades conmutadas de **Fig. 4.16**.



**Fig. 4.15:** Esquema de simulación AC del Op-Amp.

Diseñar el amplificador operacional consiste en calcular el tamaño de los transistores y el valor de las corrientes de polarización necesarios para cubrir las especificaciones de ganancia estática, ancho de banda y slew-rate requeridas. Se ha diseñado el Op-Amp para que los transistores estén polarizados en inversión débil debido a que es la región de operación del transistor más propicia para satisfacer los requerimientos de muy bajo consumo, baja tensión de alimentación y baja frecuencia. Esto es así porque en esa región de operación se maximiza el cociente  $g_m/I_D$  y esto permite minimizar el consumo debido a que son necesarias menores corrientes de polarización para conseguir los mismos valores de la transconductancia.

Los modelos convencionales del transistor MOS proporcionan conjuntos de ecuaciones diferentes para cada región de operación, junto con complejas ecuaciones de enlace para la región intermedia. Esto ha hecho imposible al diseñador el poder predecir el comportamiento del circuito en inversión débil mediante cálculos simples a mano, así que habitualmente se ha adoptado una estrategia de diseño conservadora, haciendo que los transistores trabajen en la región de inversión fuerte con un consumo y velocidad mayores de los necesarios. Para obtener un dimensionamiento de partida del Op-Amp en este proyecto, se ha utilizado el método de diseño propuesto en [8] para diseñar los transistores  $M_1$ ,  $M_2$ ,



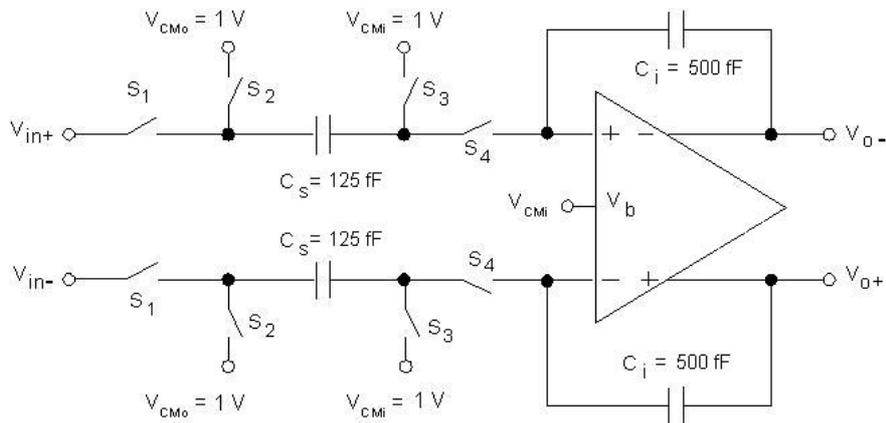
$M_{1P}$ ,  $M_{2P}$  y  $M_{FVF(1,2)}$  (el resto de transistores se han dimensionado a partir de estos en función de la corriente de cada uno en el punto de polarización). Este método no hace uso de ecuaciones de modelos convencionales del transistor MOS, sino que está basado en el modelo de transistor MOS de una ecuación para todas las regiones de operación propuesto en [14]. Estas son las expresiones del modelo de una ecuación usadas:

$$\frac{\Phi_t n g_m}{I_D} = \frac{2}{1 + \sqrt{1 + i_f}} \quad [4.6]$$

$$f_T \approx \frac{\mu \Phi_t}{2\pi L^2} 2(\sqrt{1 + i_f} - 1) \quad [4.7]$$

$$\frac{W}{L} = \frac{g_m}{\mu C_{ox} \Phi_t} \frac{1}{\sqrt{1 + i_f} - 1} \quad [4.8]$$

donde  $I_D$  es la corriente de drenador del transistor,  $n$  es un parámetro llamado *slope factor* que, para un transistor de tipo N, en la tecnología utilizada tiene valor  $n=1.5$ ,  $\Phi_t = \frac{KT}{q} = 0.025$  e  $i_f$  es un parámetro del modelo llamado nivel de inversión. Un transistor MOS trabaja en inversión débil cuando  $i_f < 1$  y en inversión fuerte cuando  $i_f > 100$ .



**Fig. 4.16:** Integrador de capacidades conmutadas.

Se han diseñado tres amplificadores operacionales distintos para diferentes capacidades de carga,  $C_L$  (125 fF, 150 fF y 200 fF), con el objetivo de poder simular diferentes configuraciones de las capacidades usadas en el modulador y elegir aquella con mejor



comportamiento. Como ejemplo de aplicación del método de diseño utilizado se explica a continuación el diseño del Op-Amp para  $C_L = 150$  fF. El proceso es similar para cualquier valor de la capacidad de carga.

Los pasos que se han seguido son los siguientes:

- ♦ Se calcula la transconductancia ( $g_m$ ) necesaria en función del ancho de banda requerido ( $U_{gf} = 150$  kHz) y la capacidad de compensación, que se asume igual a la de carga ( $C_L = C_C = 150$  fF):

$$g_m = 2\pi \cdot U_{gf} [Hz] \cdot C_L = 2\pi \cdot 150 \cdot 10^3 \cdot 150 \cdot 10^{-15} = 0,1414 \cdot 10^{-6} [A/V] \quad [4.9]$$

- ♦ Se determina el parámetro  $f_T$  relacionado con las especificaciones de velocidad. El método de diseño estima que debe ser de 3 a 10 veces el valor de  $U_{gf}$ . Se ha comprobado tras las simulaciones que la mejor opción es tomar solo el triple de  $U_{gf}$ , ya que un valor mayor sobredimensiona en exceso el ancho de banda del amplificador lo que se traduce en un consumo mayor del necesario:

$$f_T = 3 \cdot U_{gf} [Hz] = 450 \cdot 10^3 [Hz] \quad [4.10]$$

- ♦ Con los parámetros calculados se obtiene el nivel de inversión  $i_f$  despejando de la expresión [4.7].  $L$  es la longitud del transistor. Para esta la tecnología la longitud mínima del canal es  $0,6 \mu m$ . A partir de esta longitud mínima los transistores utilizados deben tener longitudes que sean múltiplos de  $0,3 \mu m$ , es decir, las longitudes posibles se obtendrían de la expresión  $L_K = L_{min} + K \cdot 0,3 \mu m$  donde  $K$  es un número entero. Para los transistores de la etapa de entrada del Op-Amp se ha escogido una longitud de valor  $L = 3 \mu m$ . No existe un motivo determinante en la elección de esta longitud, simplemente, elegir un valor mayor contribuye a aumentar el área del diseño, cosa que siempre es bueno evitar a pesar no representar un objetivo en este proyecto. Elegir un valor menor contribuye a aumentar el ruido flicker y los efectos de canal corto. El nivel de inversión resulta entonces:

$$i_f = \left( \frac{f_T \pi L^2}{\mu \Phi_t} + 1 \right)^2 - 1 = 0,022 \quad [4.11]$$

Al ser  $i_f < 1$  los transistores que se están dimensionando trabajarán en la región de inversión débil. La causa de esto, según [4.11], es el valor del parámetro  $f_T$ , que es muy bajo debido a la baja frecuencia de funcionamiento requerida.



- ♦ A través de la expresión [4.8] se obtiene la relación de aspecto para los transistores de entrada del Op-Amp (  $M_1$ ,  $M_2$ ,  $M_{1P}$ ,  $M_{2P}$  y  $M_{FVF(1,2)}$  ):

$$\frac{W}{L} = \frac{g_m}{\mu C_{ox} \Phi_t} \frac{1}{\sqrt{1+i_f}-1} = \frac{0,1414 \cdot 10^{-6}}{114 \cdot 10^{-6} \cdot 0,025} \frac{1}{\sqrt{1+0,022}-1} = 4,53 \quad [4.12]$$

La relación de aspecto para el resto de transistores de la etapa de entrada se estima en función de la corriente que conducen en el punto de polarización. La relación de aspecto de los transistores  $M_{B(1,2)}$  será 3 veces la de los transistores  $M_1$ ,  $M_2$ ,  $M_{1P}$ ,  $M_{2P}$  y  $M_{FVF(1,2)}$ , por conducir el triple de corriente en el punto de polarización. Lo mismo ocurre con la de  $M_3$ ,  $M_4$ ,  $M_{3P}$  y  $M_{4P}$  pero por distinto motivo. Al ser estos de tipo P la movilidad es tres veces menor, por ese motivo, para la misma corriente deben tener una relación de aspecto tres veces mayor que uno de tipo N. El dimensionamiento de los transistores de la etapa de entrada puede verse en la **Tabla 4.6**.

Transistor	Tipo	W/L	L	W
$M_1$ , $M_2$ , $M_{1P}$ , $M_{2P}$ y $M_{FVF(1,2)}$	N	4,5	3 $\mu\text{m}$	13,5 $\mu\text{m}$
$M_{B(1,2)}$	N	13,5	3 $\mu\text{m}$	40,5 $\mu\text{m}$
$M_3$ , $M_4$ , $M_{3P}$ y $M_{4P}$	P	13,5	3 $\mu\text{m}$	40,5 $\mu\text{m}$

**Tabla 4.6:** Dimensiones de los transistores de la etapa de entrada.

- ♦ Los transistores de la etapa de salida se han dimensionado con una relación de aspecto de partida del doble de los de la etapa de entrada. Tras algunas simulaciones se ha comprobado que el segundo polo de la respuesta en frecuencia del amplificador se acerca demasiado a la frecuencia de ganancia unidad, lo que provoca que no se alcance el margen de fase deseado y, por tanto, generando inestabilidad. Para alejar este polo a frecuencias más altas existen varias alternativas, como son: aumentar la transconductancia de la etapa de salida, disminuir la capacidad de carga o disminuir la capacidad parásita de salida del Op-Amp. Para aumentar la transconductancia hay que aumentar la corriente que circula por las ramas de salida en el punto de polarización y, por tanto, también el consumo. Como minimizar el consumo es objetivo dominante en este diseño hay que descartar esa opción. La capacidad de carga tampoco se puede modificar puesto que es una especificación del diseño. La única alternativa posible es la de minimizar la capacidad parásita de salida del Op-Amp y por eso se han escogido transistores de longitud mínima ( $L_{\text{MIN}}=0.6 \mu\text{m}$ ) para la etapa de salida. El dimensionamiento de partida de los transistores de la etapa de salida puede verse en la **Tabla 4.7**.

Existe un efecto de segundo orden en los transistores MOS llamado efecto de canal corto que, como su propio nombre indica, se acentúa al disminuir la longitud del canal del transistor. Este efecto provoca que la corriente de drenador ( $I_D$ ) deje de ser constante en la región de saturación, a diferencia del modelo ideal, y pase a aumentar



en función de la tensión drenador-fuente ( $V_{DS}$ ) según la ecuación

$$I_D = K \frac{W}{L} \cdot (V_{GS} - V_{Tn})^2 \cdot [1 + \lambda(V_{DS} - V_{eff})]$$

. El parámetro  $\lambda$  se hace máximo para transistores de longitud mínima, por lo que pequeñas variaciones en la tensión ( $V_{DS}$ ) provocan grandes variaciones en la corriente de drenador ( $I_D$ ), dando como resultado corrientes mucho mayores de las deseadas en las ramas de salida y por tanto mayor consumo. Este constituye uno de los motivos por el cual el dimensionamiento obtenido tras estos cálculos no ha sido el definitivo, sino que tras algunas simulaciones se ha ajustado el tamaño de los transistores para obtener la respuesta deseada.

- ♦ A los transistores que se encargan del control de la tensión de modo común a la salida del amplificador, se les da la mitad de tamaño que a los del mismo tipo de las ramas de salida, puesto que deben conducir una corriente sensiblemente menor a la de esta. Posteriormente se ajustará este tamaño para obtener un buen equilibrado de sus corrientes en el punto de polarización. La longitud de estos transistores también será mínima ya que contribuyen a aumentar la capacidad parásita de salida del amplificador, que se quiere minimizar.

Transistor	Tipo	W/L	L	W
M <sub>7</sub> , M <sub>7i</sub> , M <sub>6</sub> , M <sub>6i</sub>	N	9	0.6 μm	5.4 μm
M <sub>5</sub> , M <sub>5i</sub> , M <sub>8</sub> , M <sub>8i</sub>	P	27	0.6 μm	16.2 μm
M <sub>CMN</sub>	N	4,5	0.6 μm	2.7 μm
M <sub>CMP</sub>	P	13,5	0.6 μm	8.1 μm

**Tabla 4.7:** Dimensiones de los transistores de la etapa de salida.

- ♦ Para finalizar se calcula la corriente de polarización necesaria en los transistores M<sub>1</sub>, M<sub>2</sub>, M<sub>1P</sub>, M<sub>2P</sub> y M<sub>FVF(1,2)</sub>, despejando de la expresión **[4.6]**.

$$I_D = \frac{\Phi_t n g_m}{2} (1 + \sqrt{1 + i_f}) = \frac{0,025 \cdot 1,5 \cdot 0,1414 \cdot 10^{-6}}{2} (1 + \sqrt{1 + 0,022}) = 5,3 \cdot 10^{-9} [A] \quad [4.13]$$

<b>I<sub>BIAS</sub></b>	5.3 nA
-------------------------	--------

- ♦ Con respecto a la red de compensación formada por R<sub>C</sub> y C<sub>C</sub>, ya se ha comentado que se asume que C<sub>C</sub> toma el valor de la capacidad de carga C<sub>L</sub> por motivos de estabilidad. Mediante simulación se ha determinado que un buen punto de partida para R<sub>C</sub> es 1 MΩ . R<sub>C</sub> se ajustará más tarde para conseguir el margen de fase requerido, que se ha estimado en 60° como mínimo.

Una vez obtenido un dimensionamiento de partida para el amplificador es posible realizar las primeras simulaciones DC para ajustar, entre otras cosas, el valor de las corrientes de las ramas de salida en el punto de polarización. Como se ha dicho, debido al efecto de canal



corto estas corrientes resultan mucho mayores de lo esperado. Para este dimensionamiento en concreto, la corriente que circula en los transistores de salida es 5 veces mayor de la estimada, es decir, 50 nA. Hay que disminuir el valor de la corriente hasta el valor estimado (del orden de 10 nA), disminuyendo la relación de aspecto de los transistores de la etapa de salida. Tras este ajuste que permite reducir el consumo de la etapa de salida, el dimensionamiento de amplificador puede verse en la **Tabla 4.8**. En **Fig. 4.17** puede verse la respuesta en frecuencia del Op-Amp antes y después de la reducción del tamaño de los transistores de la etapa de salida. El Op-Amp tiene una ganancia estática de 93 dB y un ancho de banda de 175 kHz con lo que, en principio, satisface las especificaciones impuestas en el *Capítulo 3*. Resaltar que la modificación realizada no influye en la magnitud de la respuesta en frecuencia. Quizá lo más destacable es que la disminución de la corriente de polarización en la etapa de salida afecta al segundo polo de la respuesta en frecuencia, que reacciona acercándose a la frecuencia de ganancia unidad y provoca la caída del margen de fase del amplificador.

Transistor	Tipo	W/L	L	W
$M_1, M_2, M_{1P}, M_{2P}$ y $M_{FVF(1,2)}$	N	4,5	3 $\mu\text{m}$	13.5 $\mu\text{m}$
$M_{B(1,2)}$	N	13,5	3 $\mu\text{m}$	40.5 $\mu\text{m}$
$M_3, M_4, M_{3P}$ y $M_{4P}$	P	13,5	3 $\mu\text{m}$	40.5 $\mu\text{m}$
$M_7, M_{7i}, M_6, M_{6i}$	N	4	0.6 $\mu\text{m}$	2.4 $\mu\text{m}$
$M_5, M_{5i}, M_8, M_{8i}$	P	12	0.6 $\mu\text{m}$	7.2 $\mu\text{m}$
$M_{CMN}$	N	2,5	0.6 $\mu\text{m}$	1.5 $\mu\text{m}$
$M_{CMP}$	P	7,5	0.6 $\mu\text{m}$	4.5 $\mu\text{m}$

$I_{BIAS}$	5.3 nA
------------	--------

**Tabla 4.8:** Dimensionamiento del amplificador tras el ajuste de los transistores de la etapa de salida.

Como se ve en **Fig. 4.17** el ancho de banda del amplificador diseñado cumple en exceso las especificaciones obtenidas en el *Capítulo 3* que indicaban que debía ser de 150 kHz. Además, es práctica habitual tomar como ancho de banda del amplificador al menos 5 veces la frecuencia de trabajo del circuito (que para este diseño sería 80 kHz de ancho de banda), con lo que el requerimiento de 150 kHz se torna conservador. Según todo esto es posible ajustar el ancho de banda del Op-Amp obtenido disminuyendo las corrientes de polarización del circuito, lo que permitiría reducir aun más el consumo. Tras algunas simulaciones el valor para la corriente de polarización se sitúa en 4.2 nA. La respuesta en frecuencia para la nueva corriente de polarización puede verse en **Fig. 4.18**, donde se comprueba que el ancho de banda ha sido reducido hasta el valor deseado, 150 kHz.

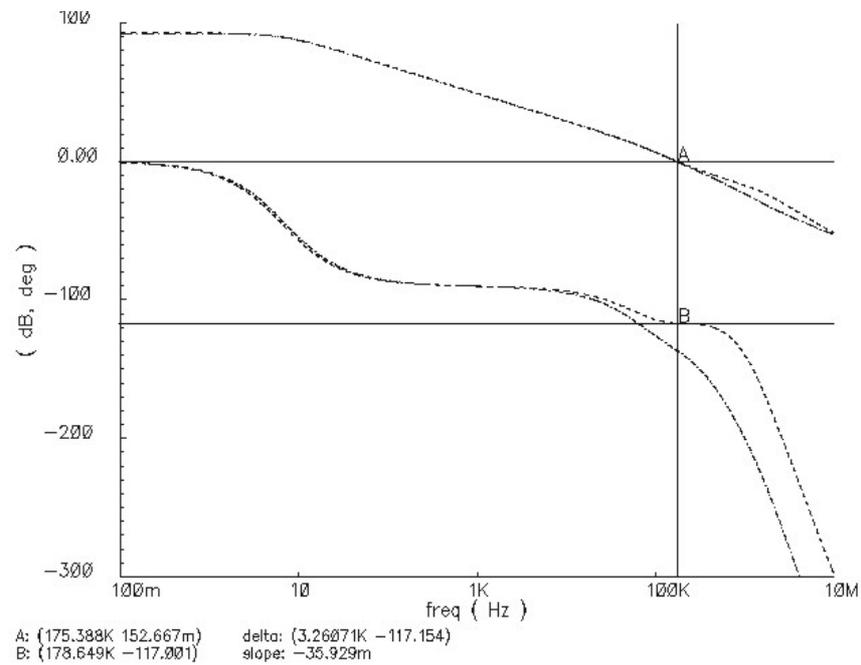


Fig. 4.17: Respuesta en frecuencia del Op-Amp antes y después del ajuste de los transistores de salida.

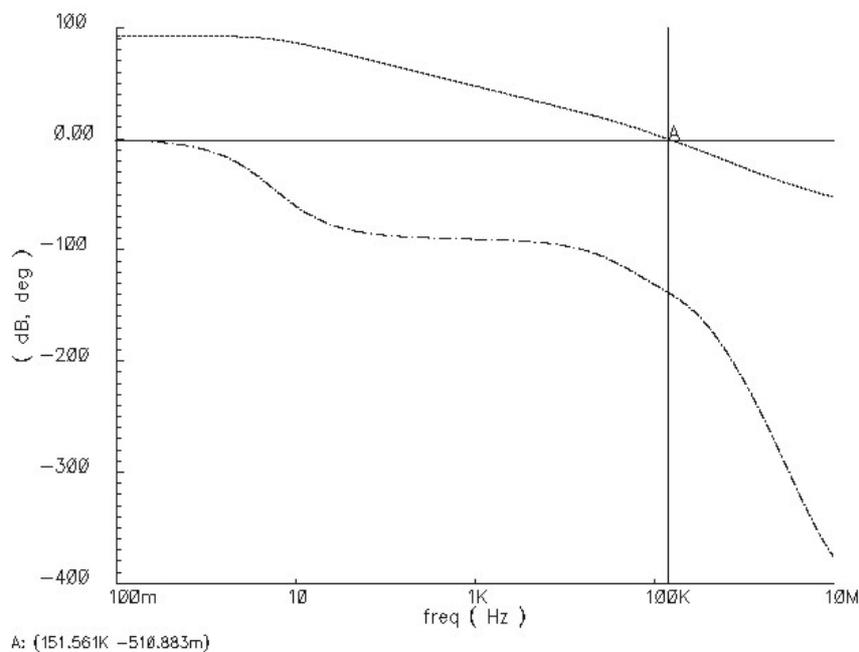
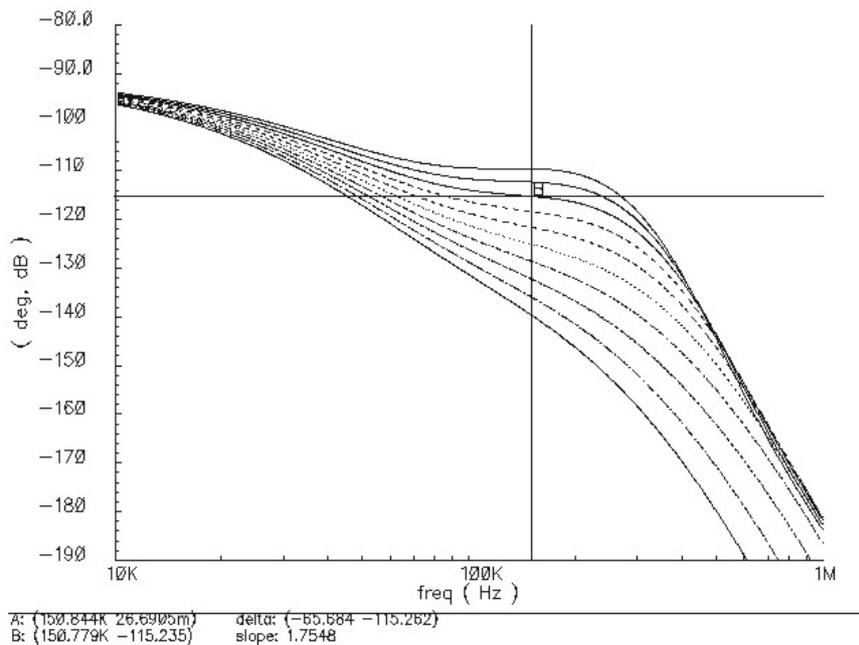


Fig. 4.18: Respuesta en frecuencia del Op-Amp con corriente de polarización ajustada.



Para finalizar el diseño del amplificador solo resta ajustar el valor de la resistencia de la red de compensación ( $R_C$ ) con el objetivo de aumentar el margen de fase por encima del límite mínimo propuesto de  $60^\circ$ . Para ello se ha realizado un análisis paramétrico variando el valor de la resistencia entre  $1\text{ M}\Omega$  y  $5.5\text{ M}\Omega$  con pasos de  $0.5\text{ M}\Omega$ . En **Fig. 4.19** puede verse un zoom sobre la fase de la respuesta en frecuencia del amplificador centrado en la frecuencia de ganancia unidad  $U_{gf} = 150\text{ kHz}$ . Puede verse como el aumento de la resistencia de compensación provoca el acercamiento de polos y ceros a la frecuencia de ganancia unidad, lo que hace que comience a elevarse el valor de la fase a dicha frecuencia. Se ha elegido la curva correspondiente a  $R_C = 4.5\text{ M}\Omega$ , ya que es la que ofrece mejor margen de fase ( $MF = 65^\circ$ ) sin llegar a inestabilizar la respuesta del amplificador.

En la **Tabla 4.9** puede verse el dimensionamiento definitivo del amplificador operacional diseñado para una capacidad de carga de  $C_L = 150\text{ fF}$ . La respuesta en frecuencia definitiva se muestra en **Fig. 4.20**.



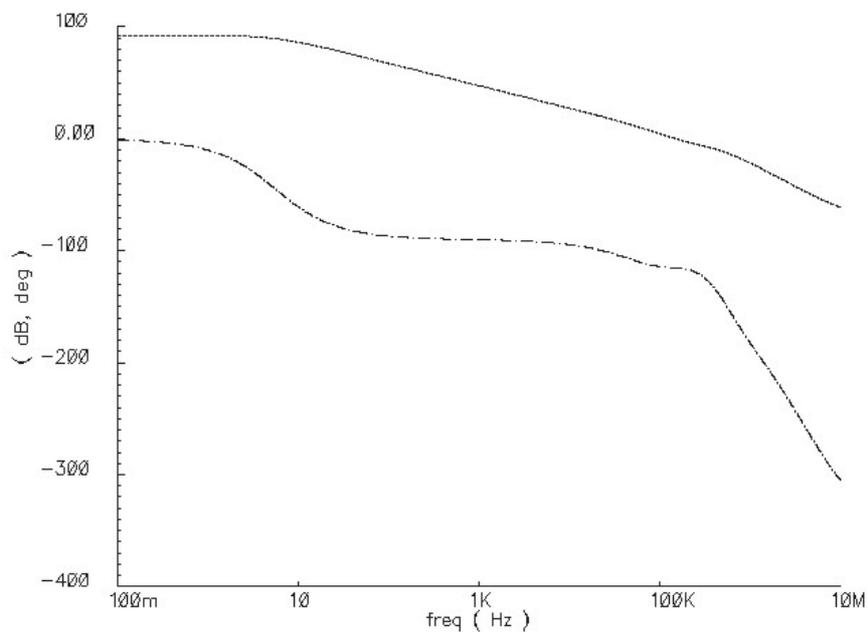
**Fig. 4.19:** Análisis paramétrico con la resistencia de compensación.

El amplificador diseñado tiene una ganancia estática de  $92\text{ dB}$  y presenta un ancho de banda de  $150\text{ kHz}$  para  $150\text{ fF}$  de capacidad de carga. El margen de fase conseguido es de  $65^\circ$ . Todo esto trabajando con una tensión de alimentación de valor situado entre  $2.8\text{ V}$  y  $1.8\text{ V}$ . Presenta un consumo estático de  $185\text{ nW}$  para la tensión de alimentación de  $2.4\text{ V}$  utilizada en el diseño.



Transistor	Tipo	W/L	L	W
$M_1, M_2, M_{1P}, M_{2P}$ y $M_{FVF(1,2)}$	N	4,5	3 $\mu\text{m}$	13,5 $\mu\text{m}$
$M_{B(1,2)}$	N	13,5	3 $\mu\text{m}$	40,5 $\mu\text{m}$
$M_3, M_4, M_{3P}$ y $M_{4P}$	P	13,5	3 $\mu\text{m}$	40,5 $\mu\text{m}$
$M_7, M_{7i}, M_6, M_{6i}$	N	4	0,6 $\mu\text{m}$	2,4 $\mu\text{m}$
$M_5, M_{5i}, M_8, M_{8i}$	P	12	0,6 $\mu\text{m}$	7,2 $\mu\text{m}$
$M_{CMN}$	N	2,5	0,6 $\mu\text{m}$	1,5 $\mu\text{m}$
$M_{CMP}$	P	7,5	0,6 $\mu\text{m}$	4,5 $\mu\text{m}$
<b>Red de compensación</b>				
$R_C$	4,5 $\text{M}\Omega$			
$C_C$	150 fF			
<b>Tensiones y corrientes</b>				
Ibias	4,2 nA			
$V_{CMI}$	1 V			
$V_{CMO}$	1 V			

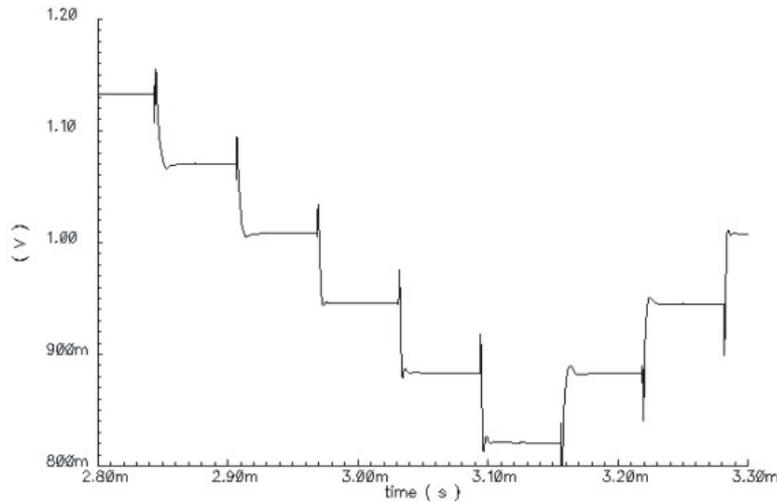
**Tabla 4.9:** Dimensionamiento del Op-Amp para 150 fF de capacidad de carga.



**Fig. 4.20:** Respuesta en frecuencia definitiva del Op-Amp.



En **Fig. 4.21** se representa la respuesta del integrador de **Fig. 4.16** a una señal de entrada cuadrada de 1.6 kHz de frecuencia usando una señal de reloj de 16 kHz. Esta simulación comprueba que el amplificador tiene un comportamiento dinámico correcto. Además, al tratarse de un circuito de capacidades conmutadas, mediante esta simulación también es posible comprobar el funcionamiento del circuito de control de modo común real mostrado en **Fig. 4.12**.



**Fig. 4.21:** Comportamiento dinámico del amplificador.

En la **Tabla 4.10** puede verse el dimensionamiento de un Op-Amp diseñado para 125 fF de capacidad de carga y en la **Tabla 4.11** puede verse el de otro Op-Amp diseñado para 200 fF de capacidad de carga.

Transistor	Tipo	W/L	L	W
M <sub>1</sub> , M <sub>2</sub> , M <sub>1P</sub> , M <sub>2P</sub> y M <sub>FVF(1,2)</sub>	N	3,8	3 μm	11.4 μm
M <sub>B(1,2)</sub>	N	11,4	3 μm	34.2 μm
M <sub>3</sub> , M <sub>4</sub> , M <sub>3P</sub> y M <sub>4P</sub>	P	11,4	3 μm	34.2 μm
M <sub>7</sub> , M <sub>7i</sub> , M <sub>6</sub> , M <sub>6i</sub>	N	3,5	0.6 μm	2.1 μm
M <sub>5</sub> , M <sub>5i</sub> , M <sub>8</sub> , M <sub>8i</sub>	P	10,5	0.6 μm	6.3 μm
M <sub>CMN</sub>	N	2,5	0.6 μm	1.5 μm
M <sub>CMP</sub>	P	7,5	0.6 μm	4.5 μm
<b>Red de compensación</b>				
R <sub>C</sub>		6.75 MΩ		



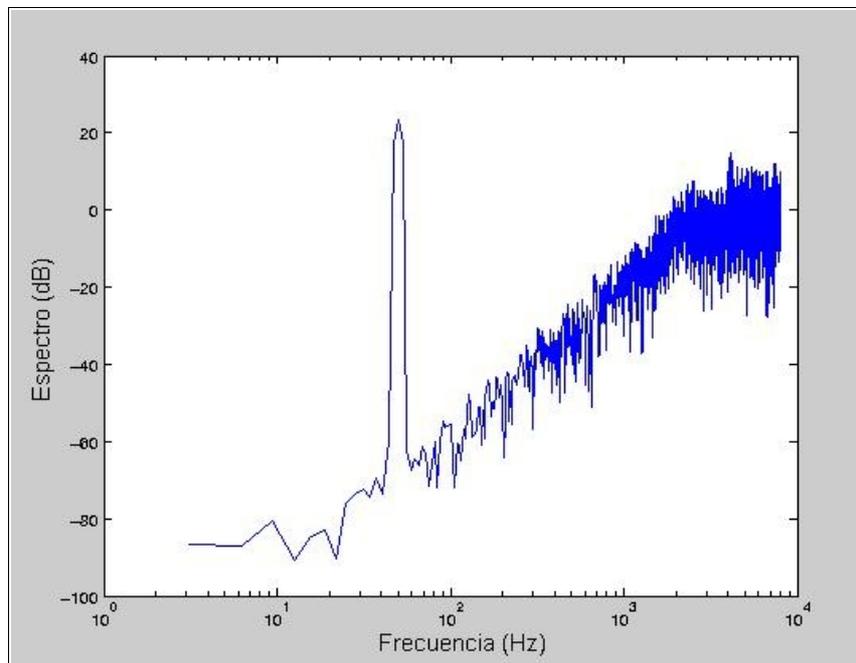
$C_C$	125 fF
<b>Tensiones y corrientes</b>	
Ibias	3.5 nA
$V_{CMI}$	1 V
$V_{CMO}$	1 V

**Tabla 4.10:** Dimensionamiento del Op-Amp para 125 fF de capacidad de carga.

Transistor	Tipo	W/L	L	W
$M_1, M_2, M_{1P}, M_{2P}$ y $M_{FVF(1,2)}$	N	6	3 $\mu\text{m}$	18 $\mu\text{m}$
$M_{B(1,2)}$	N	18	3 $\mu\text{m}$	54 $\mu\text{m}$
$M_3, M_4, M_{3P}$ y $M_{4P}$	P	18	3 $\mu\text{m}$	54 $\mu\text{m}$
$M_7, M_{7i}, M_6, M_{6i}$	N	5	0.6 $\mu\text{m}$	3 $\mu\text{m}$
$M_5, M_{5i}, M_8, M_{8i}$	P	15	0.6 $\mu\text{m}$	9 $\mu\text{m}$
$M_{CMN}$	N	3,5	0.6 $\mu\text{m}$	2.1 $\mu\text{m}$
$M_{CMP}$	P	10,5	0.6 $\mu\text{m}$	6.3 $\mu\text{m}$
<b>Red de compensación</b>				
$R_C$				5.5 M $\Omega$
$C_C$				200 fF
<b>Tensiones y corrientes</b>				
Ibias				5.5 nA
$V_{CMI}$				1 V
$V_{CMO}$				1 V

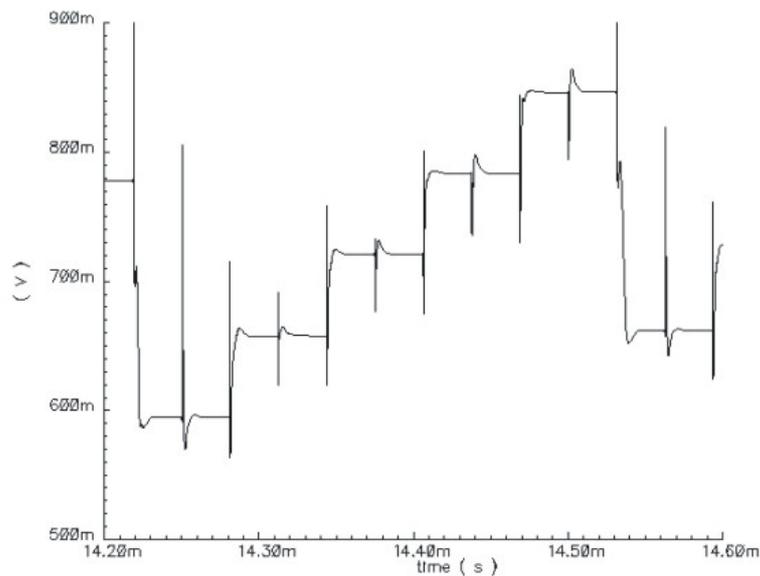
**Tabla 4.11:** Dimensionamiento del Op-Amp para 200 fF de capacidad de carga.

Para finalizar solo queda verificar el comportamiento del modulador  $\Sigma\Delta$  con los amplificadores reales sustituyendo en el esquema del modulador los modelos AHDL por los Op-Amps diseñados. Se han estudiado varias combinaciones de Op-Amps para distintas capacidades de carga en la primera y la segunda etapa, ajustando las capacidades de muestreo e integración así como las del circuito de control de modo común y la etapa de muestreo y retención del comparador. Finalmente, se ha escogido la solución que mejor reúne un buen comportamiento dinámico a la salida de los integradores, bajo consumo y una SNR que satisfaga las especificaciones en cuanto a resolución. Se ha optado por utilizar un Op-Amp de 200 fF de carga para el primer integrador y uno de 125 fF para el segundo.



SNR	55.7 dB
-----	---------

**Fig. 4.22:** Espectro de salida y SNR del modulador con DAC, switches y Op-Amps reales.



**Fig. 4.23:** Señal diferencial de salida del primer integrador con DAC, switches y Op-Amps reales.

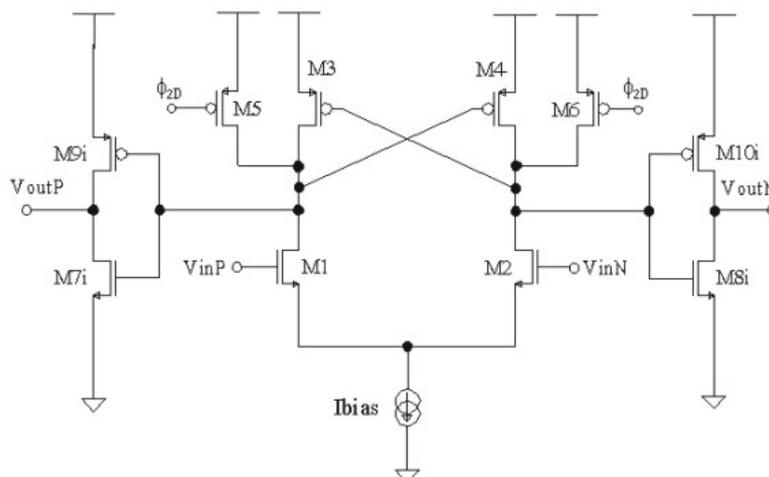


El espectro de salida del modulador se muestra en **Fig. 4.22**. Para la combinación de amplificadores seleccionada, el modulador proporciona un rango dinámico de 55.7 dB. En **Fig. 4.23** puede ver la señal diferencial de salida del primer integrador.

## 2.6. Comparador.

Para realizar la conversión de un solo bit, se ha utilizado un comparador basado en una arquitectura de *latch*, similar a los presentados en [3] y [4]. Esta topología permite satisfacer las suaves especificaciones, en cuando a velocidad y precisión, exigidas en el modulador. El comparador consta de una etapa de entrada que realiza funciones de muestreo y retención, de un *latch* e inversores de salida. No se ha usado etapa amplificadora previa con el objetivo de minimizar el consumo de potencia.

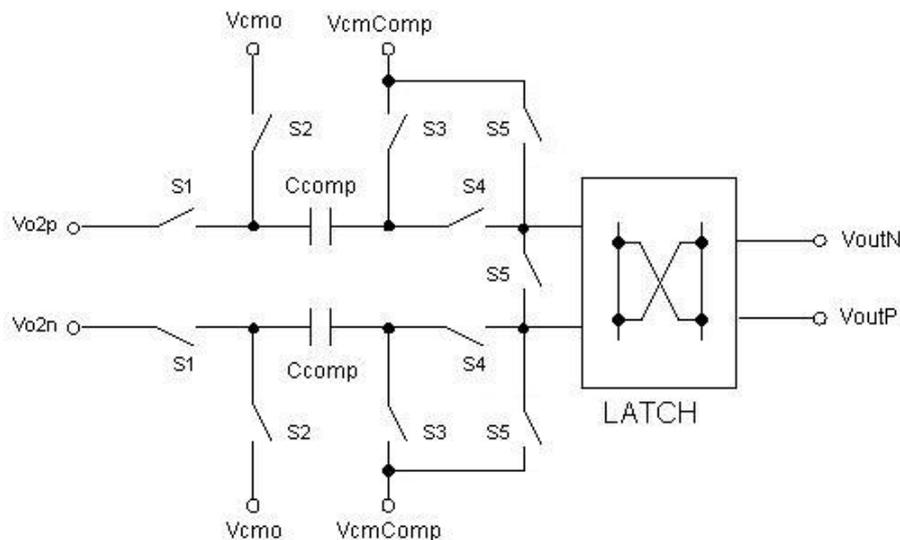
El *latch* puede verse en **Fig. 4.24**. Los transistores del par diferencial de entrada ( $M_1$  y  $M_2$ ) se han elegido NMOS por el mismo motivo por el que se eligieron también de tipo N los de entrada al amplificador operacional, es decir, con el objetivo de inmunizar el funcionamiento del circuito ante el descenso de la tensión de alimentación. La carga está formada por dos transistores PMOS ( $M_3$  y  $M_4$ ) con interruptores en paralelo ( $M_5$  y  $M_6$ ) cuya función es resetear el *latch*. Cuando el reloj  $\Phi_{2D}$  está a nivel bajo, las salidas diferenciales del *latch* se conectan a alimentación igualando las corrientes de ambas ramas y equilibrando el par diferencial. Por otro lado, cuando  $\Phi_{2D}$  está a nivel alto, el *latch* entra en fase de comparación y, a través del bucle de realimentación positiva formado por  $M_3$  y  $M_4$ , la señal de entrada proveniente del muestreo de la salida del segundo integrador desbalancea las corrientes llevando las salidas a nivel alto o bajo.



**Fig. 4.24:** Latch del comparador.



Se ha añadido una etapa de entrada al comparador que realiza funciones de muestreo y retención que puede verse en **Fig. 4.25**. Como ocurría en los integradores, al tratarse de un circuito de capacidades conmutadas, es posible utilizar tensiones de modo común independientes a la entrada del *latch* y a la salida del segundo integrador. En esta versión del modulador ambas son compatibles y se han diseñado iguales a 1 V por simplicidad en el diseño, así que no ha sido necesario el desplazamiento de nivel. No es así en la versión del modulador para baja tensión de alimentación.



**Fig. 4.25:** Etapa de entrada del comparador.

El desplazamiento de nivel funciona de forma similar a como se hacía en los integradores:

- ◆ Durante la fase de muestreo,  $\Phi_1$ , los interruptores  $S_1$ ,  $S_3$  y  $S_5$  conducen, mientras  $S_2$  y  $S_4$  están cortados; de esta forma, el voltaje a través de  $C_{COMP}$  es aproximadamente igual a  $V_{O2} - V_{CmComp}$ .

Por otro lado, también durante la fase de muestreo,  $S_5$  elimina la carga parásita almacenada sobre  $S_4$  reduciendo la histéresis del comparador. Al mismo tiempo iguala el valor de la tensión los nodos de entrada al *latch*, contribuyendo de esa forma al equilibrado del par diferencial durante el reseteo.

- ◆ Durante la fase de comparación,  $\Phi_2$ ,  $S_1$ ,  $S_2$  y  $S_5$  se cortan, mientras que  $S_2$  y  $S_4$  pasan a estar en conducción, y la tensión de entrada del *latch* es  $V_{O2} - V_{CmComp} - V_{cmo}$ . Por esto, el nivel de continua de la señal de entrada,  $V_{cmo}$ , se elimina y se sustituye por un nuevo nivel de continua,  $V_{CmComp}$ , que será la tensión de modo común de entrada del *latch*.

En la **Tabla 4.12** se puede ver el dimensionamiento de los transistores y la corriente de polarización. Los transistores  $M_1$ ,  $M_2$ ,  $M_3$ ,  $M_4$ ,  $M_5$  y  $M_6$  se han diseñado de longitud mínima con la intención de minimizar la capacidad parásita en el nodo de salida del *latch* y acelerar



en ese sentido la respuesta de la comparación. Por la misma razón se han diseñado de tamaño mínimo los transistores que componen los inversores de salida. Esto hace lenta la respuesta de los inversores, lo que no supone un problema en este diseño dada su baja frecuencia de trabajo.

Transistor	Tipo	W/L	L	W
M <sub>1</sub> y M <sub>2</sub>	N	3,5	0.6 μm	2.1 μm
M <sub>3</sub> , M <sub>4</sub> , M <sub>5</sub> y M <sub>6</sub>	P	2,5	0.6 μm	1.5 μm
M <sub>7i</sub> y M <sub>8i</sub>	N	2,5	0.6 μm	1.5 μm
M <sub>9i</sub> y M <sub>10i</sub>	P	2,5	0.6 μm	1.5 μm
Corriente				
Ibias		20 nA		

**Tabla 4.12:** Dimensionamiento del *latch*.

En la **Tabla 4.13** pueden verse los parámetros de la etapa de entrada al comparador. Todos los interruptores se han implementado mediante puertas de transmisión CMOS por motivos similares a los dados en los *apartados 2.1 y 2.2*.

Interruptor	Reloj	Tipo	W/L(μm/μm)
S <sub>1</sub>	Φ <sub>1d</sub>	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6
S <sub>2</sub>	Φ <sub>2d</sub>	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6
S <sub>3</sub>	Φ <sub>1d</sub>	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6
S <sub>4</sub>	Φ <sub>2d</sub>	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6
S <sub>5</sub>	Φ <sub>1</sub>	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6
S <sub>6</sub>	Φ <sub>2</sub>	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6
Tensiones			
V <sub>CMO</sub>		1 V	
V <sub>CmComp</sub>		1 V	
Capacidad de muestreo			
C <sub>COMP</sub>		75 fF	

**Tabla 4.13:** Parámetros de la etapa de entrada del comparador.

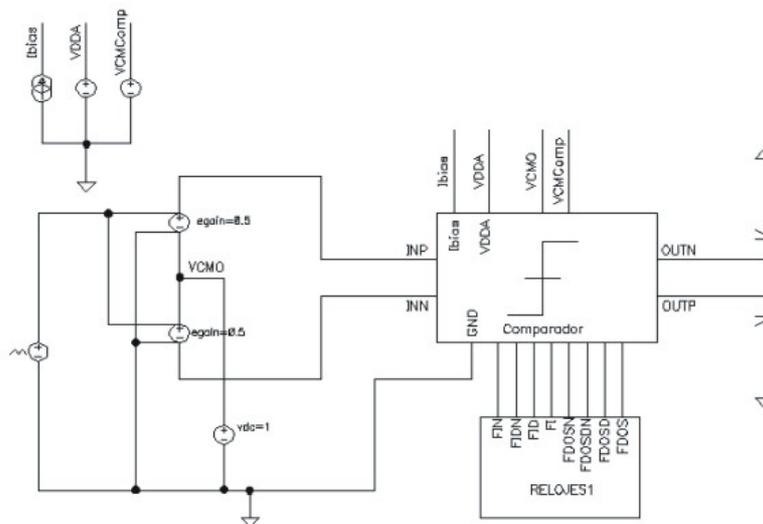
Para controlar los interruptores S<sub>1</sub>, S<sub>2</sub>, S<sub>3</sub> y S<sub>4</sub> se han utilizado fases de reloj desplazadas



con el objetivo de minimizar los errores producidos por el efecto de inyección de carga.

El valor de la capacidad  $C_{COMP}$  ha sido calculado para ajustar el valor de la capacidad de carga del Op-Amp del segundo integrador durante la fase de muestreo.

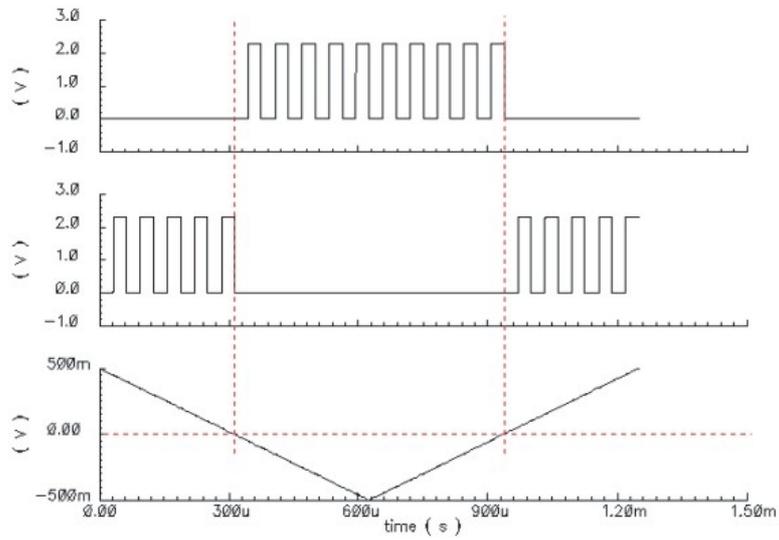
Para comprobar el funcionamiento del comparador y medir su histéresis se han realizado simulaciones transitorias con una señal de entrada en forma de rampa. En **Fig. 4.26** puede verse el esquema de simulación.



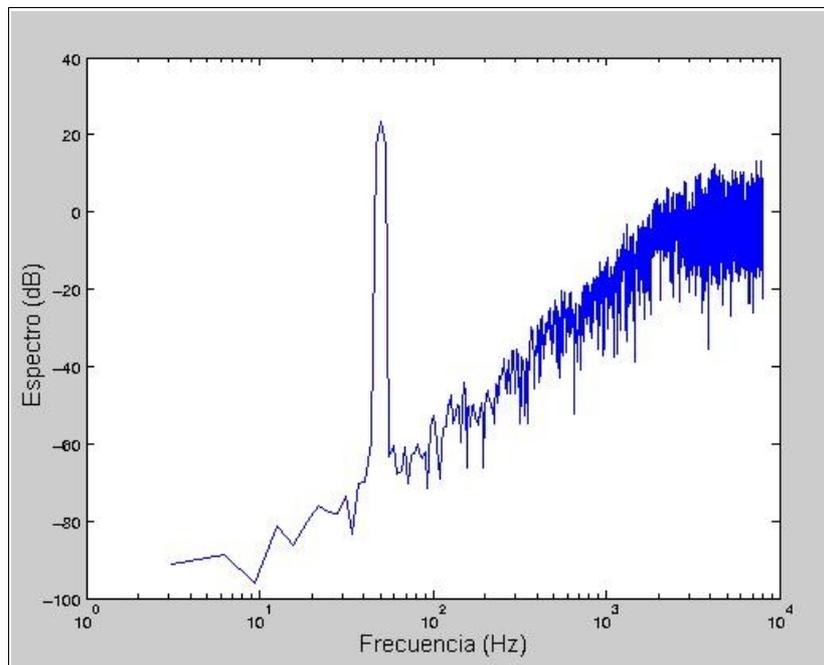
**Fig. 4.26:** Esquema de simulación del comparador.

En **Fig. 4.27** se representa el resultado de una de esas simulaciones, que demuestra el correcto funcionamiento del comparador. Los dos primeros ejes coordenados muestran las señales de los dos nodos de salida del comparador; estas señales son complementarias y tienen la función de controlar los interruptores del DAC. En último lugar se representa la señal diferencial de entrada, que está formada por dos rampas consecutivas, descendente y ascendente respectivamente, entre 0.5 V y -0.5 V. El periodo de muestreo del comparador es de 62.5  $\mu\text{seg}$ , coincidiendo con la frecuencia de funcionamiento del circuito. Se ha hecho que la duración de las rampas sea de 625  $\mu\text{seg}$  cada una, de forma que el comparador realice diez comparaciones en cada rampa. Las líneas discontinuas verticales de **Fig. 4.27** marcan los instantes en los que la entrada pasa de ser positiva a ser negativa. Como puede verse, en las comparaciones correspondientes a muestras obtenidas antes y después de estas líneas cambia el sentido de la comparación.

Para determinar la histéresis del comparador se han hecho simulaciones sucesivas disminuyendo el barrido de la amplitud de entrada con el objetivo de localizar con más exactitud el valor que cambia el sentido de la comparación tanto en la rampa de subida como en la de bajada. Operando de ese modo se ha llegado a la conclusión de que el comparador diseñado tiene una histéresis menor de 20 nV.



**Fig. 4.27:** Resultado de la simulación transitoria del comparador.

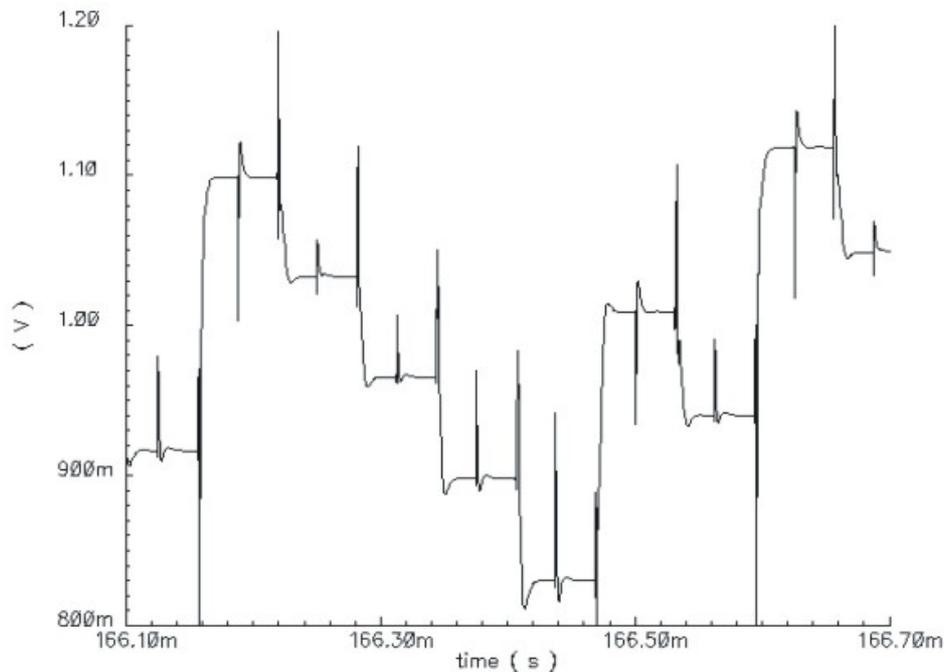


<b>SNR</b>	<b>57.6 dB</b>
------------	----------------

**Fig. 4.28:** Espectro de salida y SNR del modulador con DAC, switches, Op-Amps y comparador reales.



Por último, como se ha hecho con el resto de bloques del modulador, se sustituye el en el esquema el modelo AHDL del comparador por el circuito diseñado y se comprueba que el modulador sigue cumpliendo los requisitos en cuanto a resolución. Los resultados pueden verse en **Fig. 4.28** y **Fig. 4.29**.



**Fig. 4.29:** Señal diferencial de salida del primer integrador con DAC, switches, Op-Amps y comparador reales.

## 2.6. Generador de fases de reloj.

Como se ha comentado reiteradamente durante toda la memoria, el modulador  $\Sigma\Delta$  requiere para funcionar dos fases de reloj no solapadas,  $\Phi_1$  y  $\Phi_2$ , que representan las fases de muestreo e integración. También son necesarias otras dos fases de reloj generadas a partir de las anteriores,  $\Phi_{1D}$  y  $\Phi_{2D}$ , tales que sus flancos de bajada estén ligeramente retrasados con respecto a los de las dos primeras. Estas últimas fases son usadas, como se ha dicho en el apartado 2.1 de este capítulo, para el control de ciertos interruptores con el objetivo de minimizar los errores producidos por la inyección de carga. Finalmente, puesto que todos los interruptores están implementados mediante puertas de transmisión, se necesitan las versiones negadas de las cuatro fases de reloj comentadas, que se generan a partir de estas mediante inversores.

En **Fig. 4.30** puede verse un esquema de cómo serían las fases buscadas. Para aprovechar al máximo el carácter de baja velocidad del diseño con el objetivo de minimizar el consumo, se ha implementado un reloj de transiciones lo más lentas posible. Para ello, los tiempos de subida y bajada,  $T_c$ , son del orden del 1% del periodo de la señal, es decir,  $T_c$  toma un valor



de aproximadamente 600 nseg. Las fases desplazadas deben cortar sus transistores inmediatamente después de haberlo hecho las fases no desplazadas, así que el tiempo de desplazamiento se ha igualado al tiempo de bajada de la señal,  $T_d = 600$  nseg. Finalmente, el tiempo de no solapamiento,  $T_{ns}$ , interesa que sea lo menor posible ya que durante ese tiempo no está conduciendo ningún interruptor en el circuito, lo que resta tiempo de muestreo e integración provocando errores. De esa forma,  $T_{ns} = 0$  y la fase  $\Phi_2$  debe empezar a subir justo cuando  $\Phi_{1D}$  pase a estar a nivel bajo.

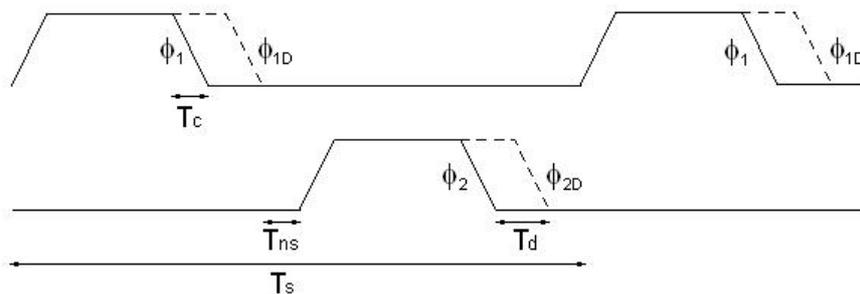


Fig. 4.30: Esquema de fases de reloj.

Para generar dos fases de reloj no solapadas se ha utilizado un circuito con la estructura representada en el esquema de Fig. 4.31. La realimentación mediante puertas NAND aseguran el no solapamiento entre fases. El bloque dibujado como dos inversores en serie representa un conjunto de celdas de retraso que están implementadas mediante cadenas de inversores. Mediante el diseño de estas celdas se controla el tiempo de no solapamiento y el tiempo de desplazamiento.

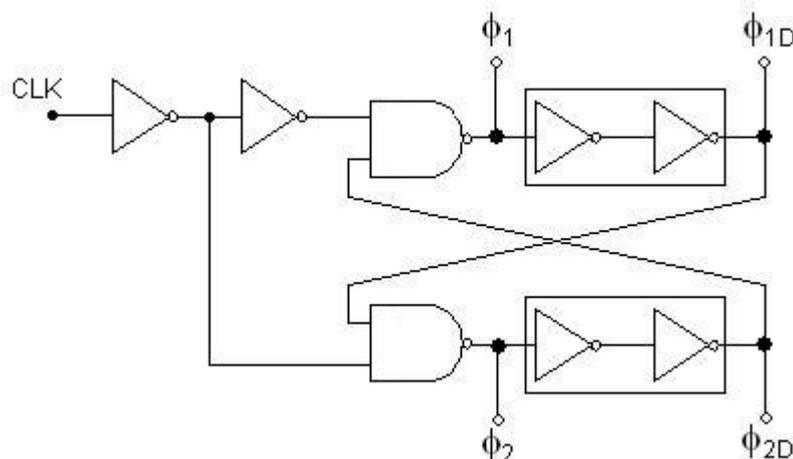
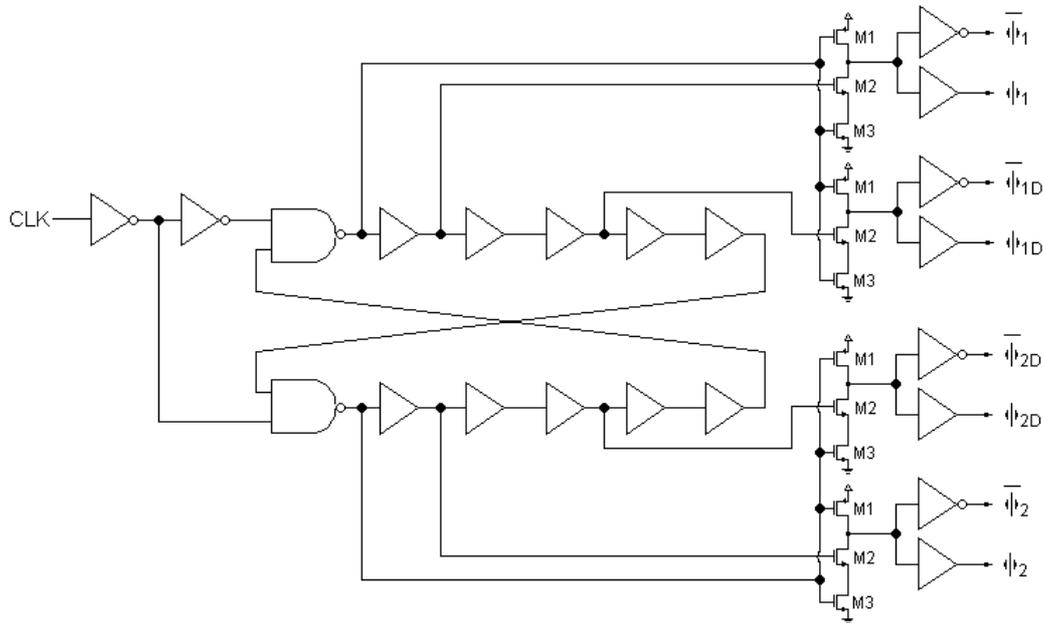


Fig. 4.31: Esquema del generador de fases de reloj.



El circuito de generación de fases de reloj completo se muestra en **Fig. 4.32**.



**Fig. 4.32:** Circuito de generación de las fases de reloj.

Los grupos de transistores  $M_1$ - $M_3$  se utilizan para alinear los flancos de subida de las fases desplazadas y no desplazadas. Utilizando inversores a la salida generamos las versiones negadas de cada una de las cuatro fases. Variando el tamaño de los inversores y *buffers* de salida se controlan los tiempos de subida y bajada de las señales de reloj. Unos tiempos de transición tan altos (alrededor de 600 nseg) requieren inversores con una relación de aspecto muy baja, debido a que la carga a la salida del generador de fases de reloj es pequeña ya que solo la constituyen las capacidades parásitas de puerta de los interruptores. Se ha comprobado que los inversores con una relación de aspecto tan pequeña no tienen un buen comportamiento ya que generan picos de tensión justo antes de las transiciones. Otro de los problemas derivados es el hecho de que un inversor tan pequeño genera un gran tiempo de retardo, por lo que al haber un inversor de diferencia entre una fase y su negada<sup>1</sup>, la primera resulta demasiado retrasada con respecto a la segunda y no se cruzan en el punto medio del rango de tensión. Para conseguir los tiempos de transición deseados solo ha quedado la alternativa de aumentar la capacidad de carga del circuito a pesar de no ser la solución óptima con respecto al consumo. Para ello, se conectará a cada nodo de salida del generador de reloj un PAD del circuito integrado en paralelo con los interruptores a controlar, consiguiendo de ese modo una carga capacitiva extra de 5 pF.

En **Fig. 4.33** y **Fig. 4.34** pueden verse ampliaciones sobre las transiciones de las señales de salida del generador para un reloj de entrada de 16 kHz. Se puede apreciar como se han minimizado el tiempo de no solapamiento y el tiempo de desplazamiento.

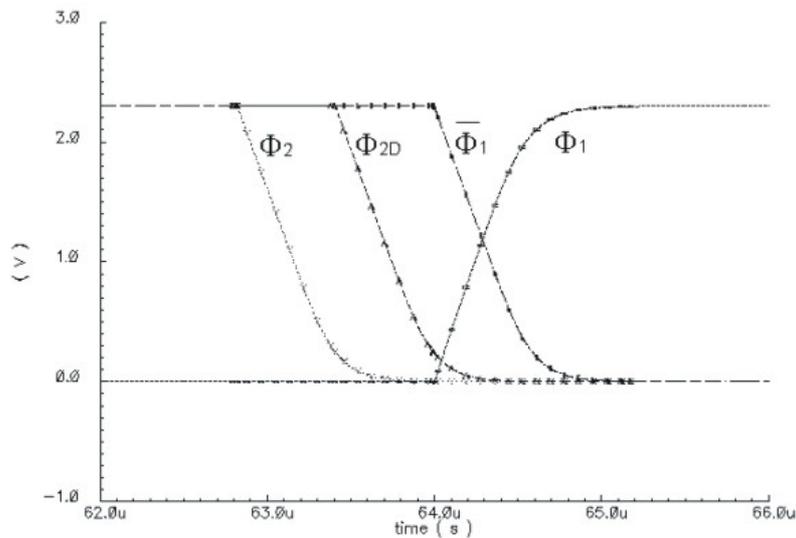
En **Fig. 4.35** puede verse el espectro de la señal de salida del modulador  $\Sigma\Delta$  al sustituir el

<sup>1</sup> Un *buffer* está compuesto de dos inversores en serie.

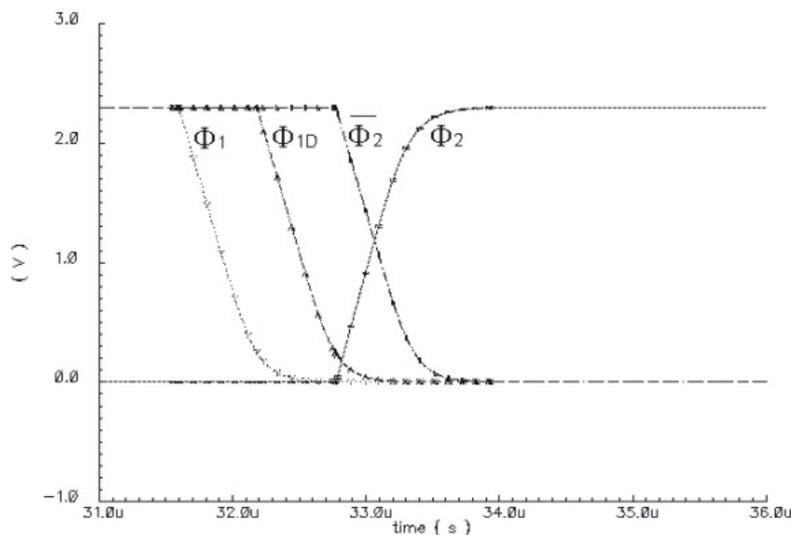


modelo AHDL del generador de fases de reloj por el circuito real. Con todos los elementos reales se consigue un rango dinámico de 56.2 dB con lo que se cumplen sobradamente las especificaciones de 8 bits de resolución.

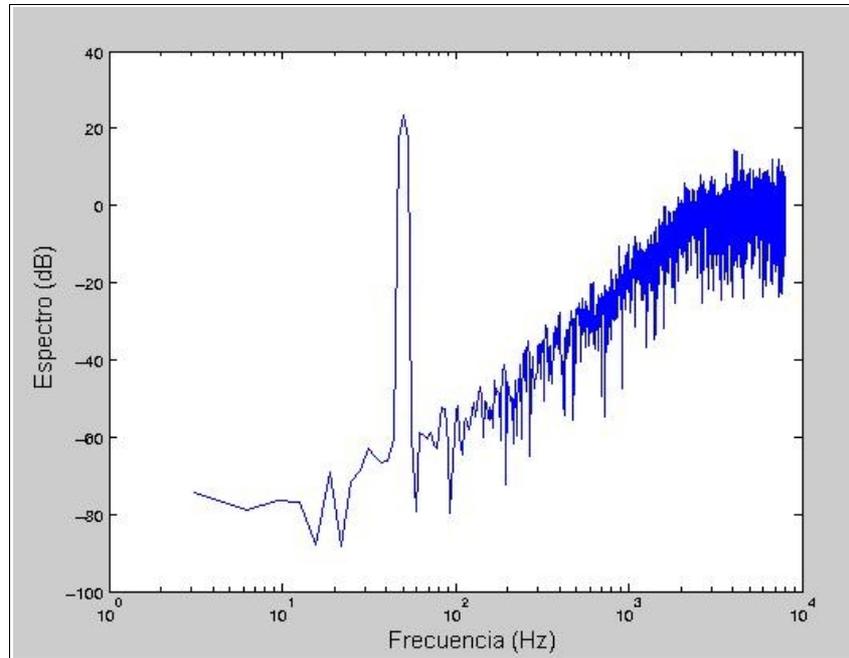
Finalmente, en **Fig. 4.36** puede verse la señal diferencial de salida del primer integrador.



**Fig. 4.33:** Tiempos de transición en las fases de reloj.

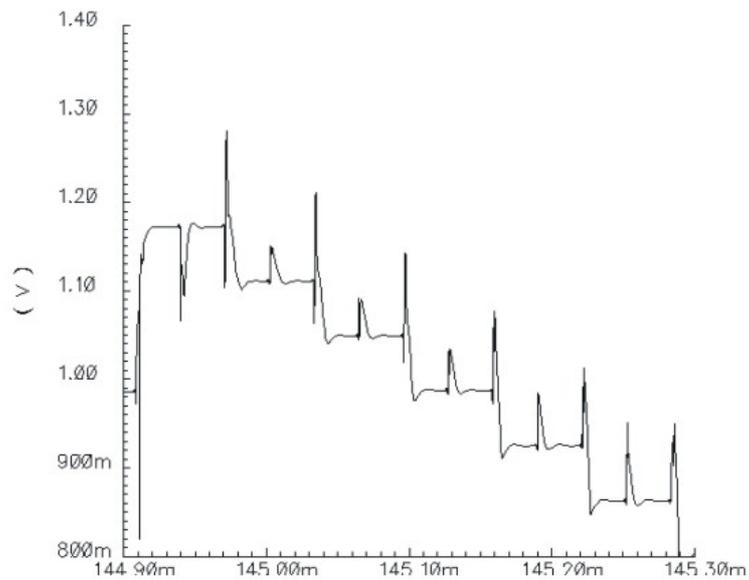


**Fig. 4.34:** Tiempos de transición en las fases de reloj.



<b>SNR</b>	<b>56.2 dB</b>
------------	----------------

**Fig. 4.35:** Espectro de salida y SNR del modulador con todos los elementos circuitales reales.



**Fig. 4.36:** Señal diferencial de salida del primer integrador todos los elementos circuitales reales.

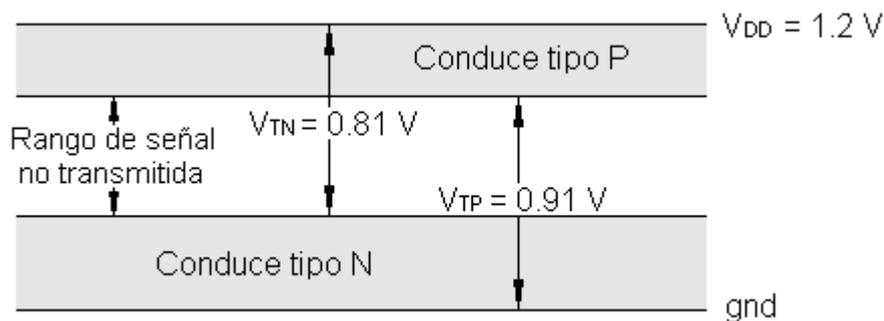


### 3. Modulador $\Sigma\Delta$ de 1.2 V de alimentación y muy bajo consumo.

#### 3.1. Introducción.

Para esta segunda versión del modulador, el objetivo perseguido ha sido mantener las prestaciones obtenidas en la primera versión, en cuanto a resolución, reduciendo la tensión de alimentación a 1.2 V y por tanto el consumo. La arquitectura del modulador no se ha modificado en lo que se refiere a valor de los coeficientes, implementación de los integradores mediante circuitos SC e implementación del DAC, dado que con la original se cubren las especificaciones (ver apartado 2.4).

Los convertidores A/D de baja tensión de alimentación implementados mediante el uso de circuitos SC tienen un grave problema: la tensión de alimentación no es suficiente para conmutar correctamente los transistores que funcionan como interruptores. Esto es debido a que la tensión umbral de los transistores se hace comparable a la tensión de alimentación, por lo que hay zonas del rango de señal en las que ninguno de los transistores de la puerta de transmisión estaría conduciendo, ver **Fig. 4.37**.



**Fig. 4.37:** Rango de conducción en interruptores con baja tensión de alimentación.

Existen diversas técnicas para solucionar este problema, como el uso de procesos con múltiples tensiones umbrales o la llamada de amplificadores operacionales conmutados. La primera consiste en utilizar procesos de fabricación que ofrecen dispositivos con bajas tensiones umbrales, con los inconvenientes de que son procesos muy costosos y además los dispositivos obtenidos tienen corrientes de fuga que degradan el comportamiento de los integradores. La segunda técnica comentada tiene el inconveniente de que da lugar a integradores más complejos y además debe diseñarse el amplificador operacional de forma que pueda desconectarse durante una de las fases.

La técnica predominante hoy día para resolver el problema es el uso de dobladores de tensión. Los dobladores de tensión generan, a partir de la señal de reloj existente, una señal de reloj con el doble de amplitud, evitando de esa forma los problemas de insuficiencia de tensión para la conmutación interruptores. En esta segunda versión del modulador  $\Sigma\Delta$  se usa



una alternativa a los dobladores de tensión pero basada en la idea de utilizar señales de reloj de amplitud multiplicada en la puerta de los transistores que actúan como switches. Se hace uso de los switches propuestos en [13] implementados mediante el uso de transistores QFG<sup>1</sup>. Estos interruptores se explicarán con más detalle en los próximos apartados.

Otro cambio importante es el Op-Amp utilizado. En esta versión del modulador se ha empleado el amplificador de dos etapas, con etapa de salida clase AB presentado en [6]. Persiguiendo el objetivo de optimizar el consumo del circuito y aprovechando su baja frecuencia de funcionamiento, también se han diseñado los amplificadores para que sus transistores estén polarizados en la región de inversión débil, al igual que en la primera versión del modulador.

Como el modulador es el mismo para las mismas especificaciones y con esta segunda versión lo que se pretende conseguir es disminuir la tensión de alimentación a 1.2 V, los siguientes apartados están centrados en comentar las diferencias introducidas con respecto a la primera versión.

### 3.2. Interruptor basado en transistores QFG.

Ya se ha explicado que uno de los principales problemas en los circuitos de baja tensión de alimentación es que no hay tensión suficiente para aplicar una señal de reloj adecuada en la puerta de los transistores que implementan los interruptores, lo que provoca una fuerte limitación en el rango de señal.

Actualmente, la solución más ampliamente adoptada es duplicar la tensión de las señales de reloj mediante dobladores de tensión. Como alternativa a esto, el uso de transistores QFG permite la transmisión de señales de rango completo con mayor eficiencia en el consumo que los habituales dobladores de tensión y sin afectar a la velocidad del circuito.

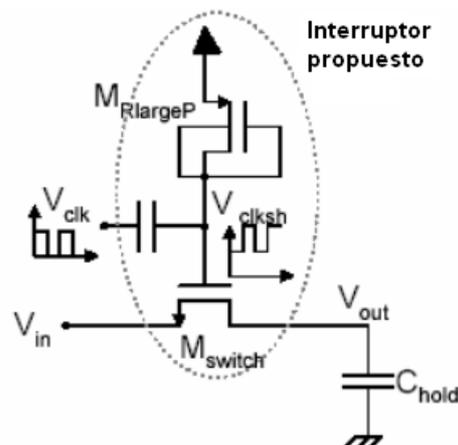


Fig. 4.38: Interruptor basado en un transistor QFG.

En Fig. 4.38 puede verse como un transistor QFG de una entrada,  $M_{\text{SWITCH}}$ , puede

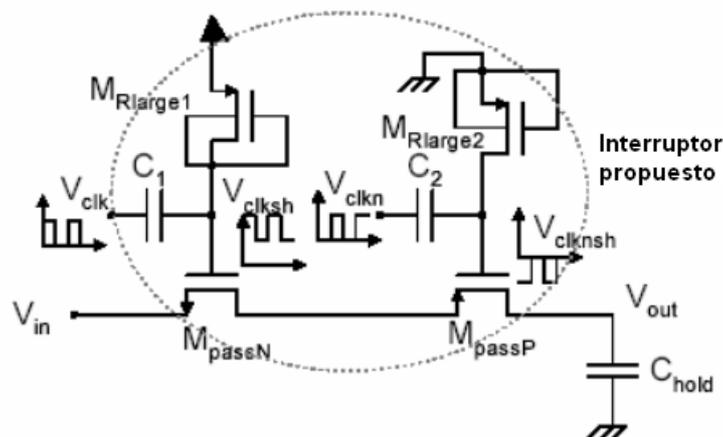
<sup>1</sup> Quasi-Floating Gate.



utilizarse como un interruptor en un circuito de muestreo y retención.

La puerta del transistor  $M_{\text{SWITCH}}$  se fija a alimentación a través de  $M_{\text{RlargeP}}$  (que es un transistor de tipo P con una conexión diodo) y la señal de reloj es acoplada a la puerta del transistor  $M_{\text{SWITCH}}$  a través de la capacidad  $C$  de valor pequeño. Como la tensión de la puerta está fijada, la capacidad proporciona un desplazamiento de tensión de valor aproximadamente  $V_{\text{DD}}$ , ya  $M_{\text{RlargeP}}$ , que implementa una resistencia de gran valor, impide que la capacidad se descargue con rapidez a través de ella. El resultado es la aplicación de una señal de reloj que varía aproximadamente entre  $V_{\text{DD}}$  y  $2V_{\text{DD}}$  (por tanto con un nivel de continua cercano a  $1.5 V_{\text{DD}}$ ) en la puerta del transistor  $M_{\text{SWITCH}}$ . Esto permite la conmutación del interruptor en condiciones de muy baja tensión de alimentación.

A pesar de esto, no puede decirse aun que el circuito de **Fig. 4.38** implemente correctamente un interruptor analógico. Esto se debe a que no es posible cortar el transistor  $M_{\text{SWITCH}}$  para señales cercanas a tierra, ya que el mínimo valor de tensión aplicado a la puerta es  $V_{\text{DD}}$  y esto provoca que se deje pasar señal durante la fase de retención. Este problema es resuelto mediante el circuito de **Fig. 4.39**.



**Fig. 4.39:** Interruptor basado en dos transistores QFG.

En este circuito se utilizan dos transistores QFG de una entrada complementarios,  $M_{\text{passP}}$  y  $M_{\text{passN}}$ , conectados en serie. Ahora, la puerta de  $M_{\text{passP}}$  está fijada a tierra a través del transistor PMOS  $M_{\text{Rlarge2}}$ , que actúa como una resistencia dependiente de tensión de gran valor. Señales de reloj complementarias  $V_{\text{CLK}}$  y  $V_{\text{CLKN}}$  se aplican a uno de los terminales de las capacidades  $C_1$  y  $C_2$ . El otro terminal de estas capacidades es conectado a su correspondiente nodo QFG. En esta situación, durante la fase de retención, el transistor  $M_{\text{passP}}$  estará cortado para señales cercanas a tierra mientras que el transistor  $M_{\text{passN}}$  lo estará para señales cercanas a alimentación, solucionando el problema planteado con el switch de un solo transistor. El funcionamiento durante la fase de muestreo no plantea problemas, así que la conmutación de señales de rango completo queda garantizada.

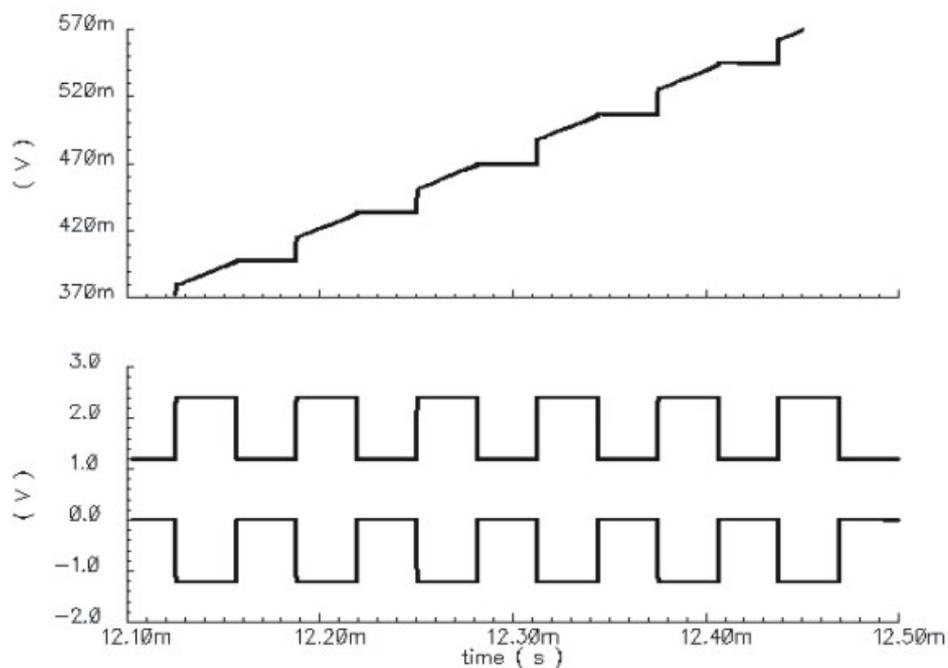
En la **Tabla 4.14** pueden verse los parámetros del switch diseñado y en **Fig. 4.40**, señales obtenidas como resultado de una simulación del interruptor en un circuito de



muestreo y retención. En los ejes coordenados de la zona inferior de **Fig. 4.40**, se observan las señales de reloj aplicadas a la puerta de los transistores  $M_{\text{passN}}$  y  $M_{\text{passP}}$ . La primera es el reloj  $V_{\text{CLK}}$  superpuesto a la tensión de alimentación y la segunda, el reloj complementario  $V_{\text{CLKN}}$  superpuesto al valor. En los ejes de la zona superior se aprecia la tensión de salida almacenada en la capacidad  $C_{\text{HOLD}}$ ,  $V_{\text{OUT}}$ , como resultado del muestreo y retención de un señal de entrada sinusoidal,  $V_{\text{IN}}$ .

Transistor	Tipo	W/L	L	W
$M_{\text{passN}}$	N	2,5	0.6 $\mu\text{m}$	1.5 $\mu\text{m}$
$M_{\text{passP}}$	P	5	0.6 $\mu\text{m}$	3 $\mu\text{m}$
$M_{\text{rlarge1}}$ , $M_{\text{Rlarge2}}$	P	1,25	1.2 $\mu\text{m}$	1.5 $\mu\text{m}$
Red de compensación				
$C_1$ , $C_2$	2 pF			

**Tabla 4.14:** Parámetros del interruptor.



**Fig. 4.40:** Simulación del interruptor en un circuito de muestreo y retención.



### 3.3. Primer integrador.

Como se ha comentado la arquitectura del primer integrador permanece invariable y es la representada en **Fig. 4.2**.

La tensión de modo común a la salida de los amplificadores operacionales si va a sufrir una variación debido al cambio en la tensión de alimentación y se sitúa en  $V_{cmo} = 0.6 \text{ V}$  para centrarla justo a la mitad de este rango.

Debido a este cambio, también debe modificarse el valor medio de la señal cuadrada proveniente de la realimentación de la salida del DAC,  $V_{rip}$  y  $V_{rin}$ , para que coincida con la nueva  $V_{cmo}$  como ocurría en la primera versión. Esto es necesario para el correcto funcionamiento del integrador, por lo que deberán cambiar los valores de las referencias externas de tensión del DAC, para situarse en torno a  $0.6 \text{ V}$  en lugar de en torno a  $1 \text{ V}$ .

La tensión de modo común a la entrada de los amplificadores también se ha modificado por motivos que se explicarán en el apartado correspondiente a los Op-Amps y se sitúa en  $V_{cmi} = 0.9 \text{ V}$ .

Finalmente, los cambios más importantes se han producido en los interruptores. Para implementar el integrador se han utilizado tres tipos de interruptores como se indica en la **Tabla 4.15**. Se han mantenido puertas de transmisión de tamaño mínimo (como las usadas para implementar todos los interruptores en la primera versión del modulador) en aquellos interruptores que tienen que transmitir valores de tensión cercanos a cualquiera de los raíles de alimentación ( $S_2$  de **Fig. 4.2**. En el apartado correspondiente al DAC se explicará por qué se escogerán como niveles alto y bajo de la señal de salida, los raíles de alimentación y tierra). Se han usado los switches basados en transistores QFG para implementar los interruptores que necesitan transmitir rango completo de señal ( $S_1$  de **Fig. 4.2**). Por último, se han utilizado puertas de transmisión con mayor relación de aspecto en sus transistores para implementar los interruptores que tienen que transmitir valores cercanos a los límites mostrados en **Fig. 4.37**, como  $V_{cmi} = 0.9 \text{ V}$  ( $S_3, S_4$  y  $S_5$  de **Fig. 4.2**).

Interruptor	Reloj	Tipo	W/L ( $\mu\text{m}/\mu\text{m}$ )
$S_1$	$\Phi_{1d}$	Switch QFG	<i>Apartado 3.2</i>
$S_2$	$\Phi_{2d}$	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6
$S_3$	$\Phi_1$	Puerta de transmisión LV	N-MOS: 4.8/0.6 P-MOS: 4.8/0.6
$S_4$	$\Phi_2$	Puerta de transmisión LV	N-MOS: 4.8/0.6 P-MOS: 4.8/0.6
$S_5$	$\Phi_1$	Puerta de transmisión LV	N-MOS: 4.8/0.6 P-MOS: 4.8/0.6

**Tabla 4.15:** Interruptores del primer integrador.

Capacidad	Valor
$C_{s1}$	125 fF



$C_{i1}$	500 fF
$C_{cds}$	500 fF
<b>Tensión</b>	
$V_{cmi}$	0,9 V

**Tabla 4.16:** Parámetros del primer integrador.

### 3.4. Segundo integrador.

Al igual que en el primer integrador, tampoco ha sido necesario modificar la estructura del segundo, manteniendo la arquitectura presentada en **Fig. 4.4**. Únicamente se han realizado los cambios necesarios en la implementación de ciertos interruptores para permitir que el circuito trabaje con la nueva tensión de alimentación. Estos cambios están reflejados en la **Tabla 4.16** y en la **Tabla 4.17**.

Interruptor	Reloj	Tipo	W/L( $\mu\text{m}/\mu\text{m}$ )
$S_1$	$\Phi_{1d}$	Switch QFG	<i>Apartado 3.2</i>
$S_2$	$\Phi_{2d}$	Switch QFG	<i>Apartado 3.2</i>
$S_3$	$\Phi_{1d}$	Switch QFG	<i>Apartado 3.2</i>
$S_4$	$\Phi_{2d}$	Puerta de transmisión	N-MOS: 1.5/0.6 P-MOS: 1.5/0.6
$S_5$	$\Phi_1$	Puerta de transmisión LV	N-MOS: 4.8/0.6 P-MOS: 4.8/0.6
$S_6$	$\Phi_2$	Puerta de transmisión LV	N-MOS: 4.8/0.6 P-MOS: 4.8/0.6

**Tabla 4.16:** Interruptores del segundo integrador.

Capacidad	Valor
$C_{s21}$	50 fF
$C_{s22}$	50 fF
$C_{i2}$	200 fF
<b>Tensión</b>	
$V_{cmi}$	0.9 V
$V_{cmo}$	0.6 V

**Tabla 4.17:** Parámetros del segundo integrador.



### 3.5. Convertidor D/A.

Tampoco ha sido necesario modificar la estructura del DAC y por tanto se mantiene la mostrada en **Fig. 4.5**.

El límite máximo para el rango de tensión de la señal de entrada viene marcado por el rango de señal existente a la salida del DAC, ya que una señal de entrada mayor saturaría entonces los integradores. Es por eso que se ha llamado, en el *Capítulo 2*, amplitud de plena escala, a la amplitud que tendría una señal senoidal de entrada que produce la máxima señal de salida en el cuantizador sin llegar a la sobrecarga.

Por otro lado, dado que el rango dinámico del modulador está limitado por la potencia del ruido térmico, este crecerá con el aumento de la potencia de la señal de entrada. Entoces, para maximizar el rango dinámico del modulador, es importante maximizar el rango dinámico de la señal de entrada eligiendo los railes de alimentación como los niveles de salida del convertidor D/A. Por este motivo se han modificado las referencias externas de tensión del DAC y para esta versión del modulador pasan a valer:

- ♦  $V_{rp}=V_{REFP}=1.2\text{ V}$ .
- ♦  $V_{rn}=V_{REFN}=0\text{ V}$ .

Como los valores de tensión a transmitir son alimentación y tierra, no ha sido necesario modificar la implementación de los interruptores del DAC siendo suficientes puertas de transmisión de tamaño mínimo para su correcto funcionamiento.

### 3.6. Amplificador operacional.

Los amplificadores de dos etapas son la elección lógica para aplicaciones de baja tensión de alimentación. Cuando es requerido un alto slew-rate, es habitual utilizar una etapa de salida clase AB para mantener el consumo estático a un nivel reducido pero conseguir corrientes de salida sustancialmente mayores que la corriente de polarización.

La mayoría de las etapas de salida de clase AB pueden considerarse implementaciones del esquema que se muestra en **Fig. 4.41**, donde una batería flotante de valor  $V_{bat}$  se conecta entre las puertas de los transistores de salida. Esta batería permite que las variaciones de la tensión del nodo X sean transmitidas, con un desplazamiento de nivel, al nodo Y, dotando a la etapa de salida del funcionamiento clase AB.

El Op-Amp usado para esta versión del modulador se muestra en **Fig. 4.42**. Es un amplificador de dos etapas con una implementación muy compacta para la etapa de salida, que es de clase AB, propuesto en [6].

La única diferencia respecto a un Op-Amp de dos etapas clase A convencional, es que la etapa de salida incluye un elemento resistivo de valor muy alto implementado mediante el uso de un transistor PMOS de tamaño mínimo con conexión diodo,  $M_R$ , y una capacidad de pequeño valor,  $C_{bat}$ . Esta estructura implementará la batería flotante y tiene un modo de operación muy parecido al de los switches comentados en el *apartado 3.2*.



En el punto de polarización no circula corriente a través del transistor  $M_R$  por lo que el valor de tensión en la puerta de  $M_7$  es el mismo que en la puerta de  $M_5$ , así que las corrientes que circulan por  $M_7$  y  $M_5$  serán del mismo valor,  $I_b$ . Por otro lado, el transistor  $M_6$  debe tener una relación de aspecto de aproximadamente el doble que los transistores  $M_3$  y  $M_4$ , para que en el punto de polarización su corriente sea también  $I_b$ . En régimen dinámico, cuando la tensión de salida del operacional varía, la tensión del nodo X sufre también una variación. La capacidad  $C_{bat}$  no puede cargarse y descargarse rápidamente a través de la alta resistencia implementada por  $M_R$ , esto hace que  $C_{bat}$  actúe como batería flotante transfiriendo las variaciones de tensión del nodo X al nodo Y, proporcionando a la etapa de salida el comportamiento clase AB comentado.

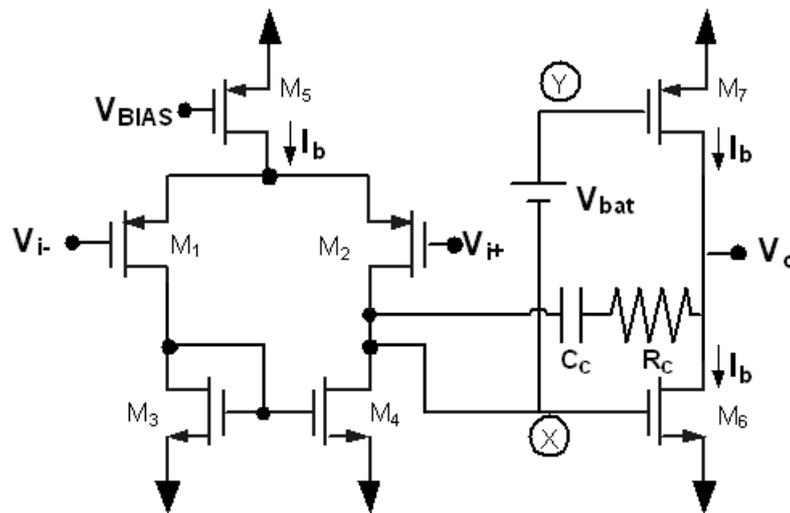


Fig. 4.41: Op-Amp con etapa de salida de clase AB.

El circuito de control de modo común a la salida del amplificador operacional coincide con el utilizado en la primera versión del modulador (Fig. 4.12) por ser un circuito sencillo de diseñar y habitualmente usado en arquitecturas de capacidades conmutadas. Sin embargo en esta versión, al contrario de lo que ocurría en la primera, la tensión de control se ejerce sobre las puertas de los transistores  $M_3$  y  $M_4$  que controlarán la corriente de la etapa de entrada. Para generar la tensión de control  $V_{ctrl1}$  (ver Fig. 4.42) se utiliza el circuito de Fig. 4.43, que trata de replicar la situación ideal de la etapa de entrada. El circuito de Fig. 4.12 genera una tensión de control  $V_{ctrl}$  a partir de las variaciones del modo común a la salida y basándose en una tensión de referencia  $V_{ref} = V_{cmi}$ . Esa tensión  $V_{ctrl}$  se aplica en el terminal de su nombre del circuito de Fig. 4.43, que es uno de los terminales de entrada de la réplica del par diferencial de la etapa de entrada del Op-Amp. Las variaciones de  $V_{ctrl}$  harán evolucionar al circuito generando la correspondiente  $V_{ctrl1}$  que es la tensión que se aplica en la puerta de los transistores  $M_3$  y  $M_4$  de Fig. 4.42.





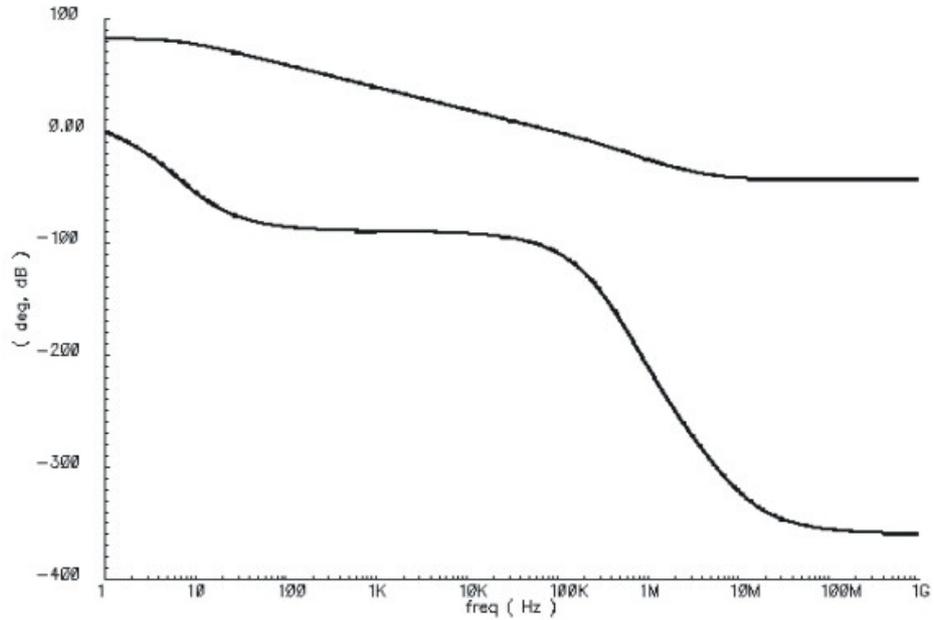
En la **Tabla 4.18** se muestran los parámetros del Op-Amp diseñado.

Transistor	Tipo	W/L	L	W
M <sub>1</sub> , M <sub>2</sub>	N	4,5	3 μm	13.5 μm
M <sub>3</sub> , M <sub>4</sub>	P	27	1.5 μm	40.5 μm
M <sub>5</sub>	N	9	3 μm	27 μm
M <sub>5i</sub>	N	4,5	3 μm	13.5 μm
M <sub>6</sub> , M <sub>6p</sub>	P	30	0.6 μm	18 μm
M <sub>7</sub> , M <sub>7i</sub>	N	10	0.6 μm	6 μm
M <sub>R</sub>	P	2,5	0.6 μm	1.5 μm
<b>Red de compensación</b>				
R <sub>C</sub>				0 Ω
C <sub>C</sub>				150 fF
<b>Tensiones y corrientes</b>				
I <sub>bias</sub>				4 nA
I <sub>b</sub>				8 nA
V <sub>CM1</sub>				0.9 V
V <sub>CM0</sub>				0.6 V

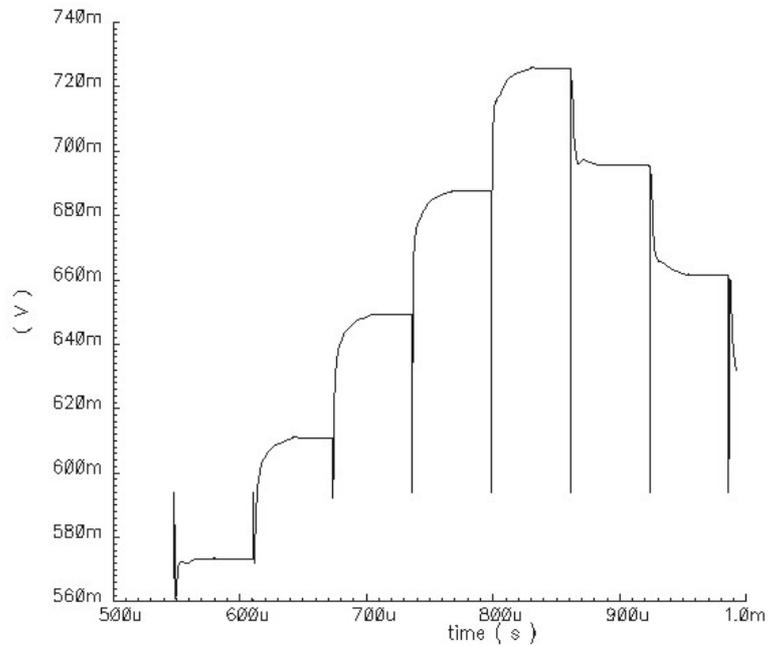
**Tabla 4.9:** Dimensionamiento del Op-Amp.

En **Fig. 4.44** se muestra la respuesta en frecuencia del Op-Amp diseñado obtenida mediante una simulación AC en el esquema de **Fig. 4.15**. El amplificador presenta una ganancia estática superior a 80 dB y un margen de fase de aproximadamente 75°.

**Fig. 4.45** muestra la señal de salida del Op-Amp en una simulación transitoria usando el integrador SC **Fig. 4.16**, de la que puede deducirse el buen comportamiento dinámico del amplificador.



**Fig. 4.44:** Respuesta en frecuencia del Op-Amp.



**Fig. 4.45:** Comportamiento dinámico del amplificador.



### 3.7. Comparador.

El diseño del comparador utilizado no ha variado con respecto al de la primera versión del modulador excepto en la implementación de algunos de los interruptores de la etapa de muestreo y retención. El comparador es el mostrado en **Fig. 4.24** y **Fig. 4.25** y la modificación en los interruptores es la que se muestra en la **Tabla 4.19**.

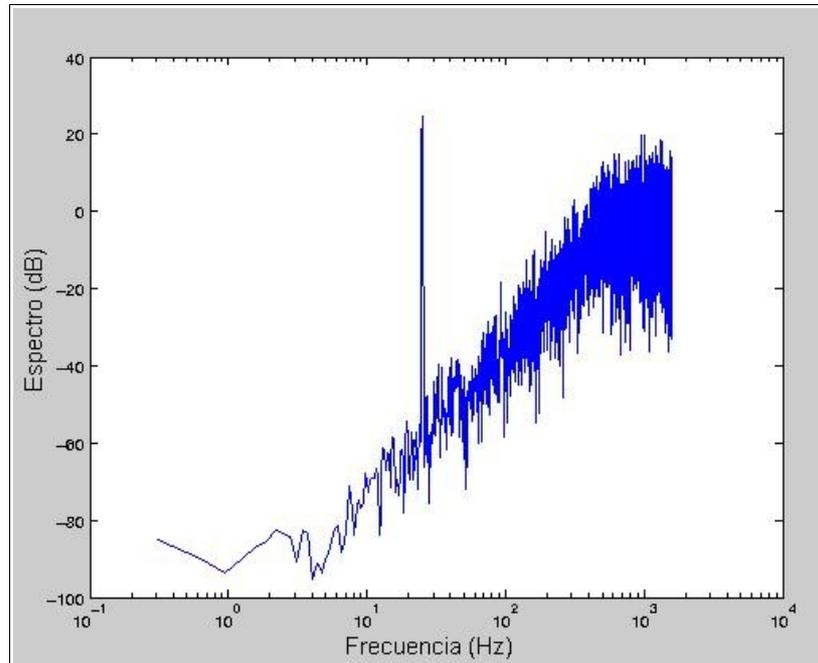
Interruptor	Reloj	Tipo	W/L( $\mu\text{m}/\mu\text{m}$ )
S <sub>1</sub>	$\Phi_{1d}$	Switch QFG	<i>Apartado 3.2</i>
S <sub>2</sub>	$\Phi_{2d}$	Switch QFG	<i>Apartado 3.2</i>
S <sub>3</sub>	$\Phi_{1d}$	Puerta de transmisión LV	N-MOS: 4.8/0.6 P-MOS: 4.8/0.6
S <sub>4</sub>	$\Phi_{2d}$	Puerta de transmisión LV	N-MOS: 4.8/0.6 P-MOS: 4.8/0.6
S <sub>5</sub>	$\Phi_1$	Puerta de transmisión LV	N-MOS: 4.8/0.6 P-MOS: 4.8/0.6
S <sub>6</sub>	$\Phi_2$	Puerta de transmisión LV	N-MOS: 4.8/0.6 P-MOS: 4.8/0.6
<b>Tensiones</b>			
$V_{CMO}$		0.6 V	
$V_{CmComp}$		0.9 V	
<b>Capacidad de muestreo</b>			
$C_{COMP}$		75 fF	

**Tabla 4.19:** Parámetros de la etapa de entrada del comparador.

### 3.8. Generador de fases de reloj.

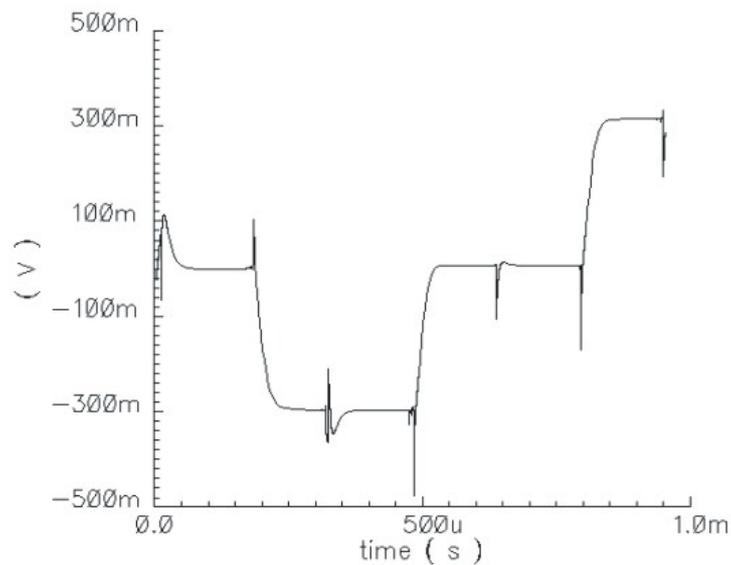
Es el único bloque que no sufre ninguna variación con respecto al explicado en el *apartado 2.6*. La única diferencia está en la tensión de alimentación, que ahora es de 1.2 V. Las señales de reloj generadas tienen la misma forma que puede verse en **Fig. 4.33** y **Fig. 4.34** en cuanto a tiempos de desplazamiento, conmutación y no solapamiento, cambiando el valor de tensión de nivel alto que pasa a ser igual a la tensión de alimentación.

Diseñados todos los elementos del modulador y definidos los cambios realizados, en **Fig. 4.46** puede verse el espectro de la señal de salida. El modulador presenta un rango dinámico de 57 dB con lo que se cubren las especificaciones en cuanto a resolución. En **Fig. 4.47** puede comprobarse que la salida del integrador tiene un buen comportamiento dinámico, con lo que puede darse por finalizado el diseño de la segunda versión del modulador.



<b>SNR</b>	<b>57 dB</b>
------------	--------------

**Fig. 4.46:** Espectro y SNR de la señal de salida del modulador con todos los elementos circuitales reales.



**Fig. 4.47:** Señal diferencial de salida del primer integrador todos los elementos circuitales reales.