

Capítulo 8

Conclusiones y líneas futuras de investigación

Cumpliendo con el primer objetivo del proyecto, se ha preparado una base teórica sólida y consistente para dar sustento al diseño de una interfaz LVDS completa, partiendo desde el bloque serializador hasta llegar al circuito que se encarga de transformar los datos a un formato paralelo. Esto ha exigido una primera fase de documentación cuyos resultados han quedado plasmados en los primeros capítulos de esta memoria, dedicados a los sistemas AER y LVDS, que constituyen las bases teóricas del trabajo que se presenta. De esta forma, el lector puede comprender las decisiones de diseño tomadas a posteriori y el diseñador ha tenido la oportunidad de conocer a fondo los fundamentos de los sistemas objeto de diseño.

El resultado fundamental de este proyecto ha sido el diseño completo hasta el nivel de layout de una interfaz LVDS versátil, robusto y plenamente operativo. La arquitectura fundamental del circuito fue expuesta en [1], habiéndose hecho en este proyecto una optimización y adaptación de la misma a la tecnología de 90 nm. Entre las principales características del diseño presentado cabe nombrar:

- Es capaz de adaptarse a varias frecuencias de una forma dinámica. Esto se ha conseguido utilizando un bucle de control dinámico del retraso que se encarga de ajustar las características de la unidad de recuperación del reloj según las características del propio reloj recuperado
- La arquitectura es muy robusta frente a variaciones del proceso de fabricación y el jitter en el reloj del transmisor, con lo que no se necesitan ni complejos esquemas de calibración ni un reloj muy preciso.
- Se tienen todas las ventajas del estándar LVDS: bajo consumo, inmunidad frente a ruido (sobre todo de modo común), mayores tasas binarias, esquema de transmisión diferencial,...

- Para aumentar la flexibilidad de la interfaz también se han incorporado en el receptor una serie de elementos (convertidores de datos, latches, llaves de paso, . . .) encargados de permitir la sincronización cuando la transmisión es en modo ráfaga, así como la definición de un protocolo basado en cabeceras para detectar el inicio de una transmisión.

La interfaz de comunicaciones diseñada podrá ser utilizada directamente conectando la salida paralela de estos sistemas con el bloque diseñado. Así, la migración de paralelo a serie se hace de forma automática, sin necesidad de variar el diseño del resto del sistema AER, lo que supone una gran ventaja. Además, la disminución de la complejidad que supone la reducción del número de líneas necesarias para la comunicación hace que se puedan construir sistemas más complejos con capacidades de procesamiento mayores y, al mismo tiempo, ocupando un espacio razonable. Este es el primer paso para conseguir que las ventajas de los sistemas AER puedan ser aprovechadas a nivel industrial en sistemas compactos.

En el capítulo dedicado a presentar los resultados del diseño se han mostrado tan sólo resultados de simulación obtenidos a través de un simulador eléctrico (*Spectre*). Sería deseable disponer de resultados experimentales obtenidos en el laboratorio que confirmen estas simulaciones preliminares, pero el tiempo necesario para la fabricación de prototipos es demasiado grande y hubiera demorado en exceso el proyecto. Además, sería necesario definir la forma en la que la interfaz se va a probar: con un chip que contenga sólo la circuitería de la interfaz o bien combinándolo con algún bloque más que apoye su funcionamiento. Por otro lado, es necesario diseñar la PCB para incluir los elementos externos que se especificaron para el control del receptor durante los tiempos de silencio de la línea: los convertidores analógico-digital y digital-analógico, el latch, los condensadores y resistencias del PFD, . . .

Como es natural el proyecto no es cerrado, sino que más bien abre perspectivas y tareas futuras, entre las que cabe destacar las que se nombran a continuación:

- Fabricar el chip y realizar el testado con las consideraciones que se expusieron en el capítulo 3 sobre los procedimientos de prueba de interfaces LVDS.
- Integrarlo en un sistema AER y comprobar la disminución de la complejidad del sistema completo, así como el incremento de la velocidad de transmisión en las comunicaciones entre chips.
- Mejorar la interfaz diseñando un driver y un transmisor optimizados para la aplicación. Una de las mayores limitaciones de velocidad del driver es que están fabricados con transistores alimentados con 2.5V, lo cual limita la máxima tasa de bit que se puede conseguir. No obstante, la tensión de alimentación estándar de la tecnología no nos permite conseguir cumplir con el estándar LVDS en lo que a la fijación del modo común se refiere, pero sí nos permitiría incrementar la velocidad. Por tanto, se tienen unos retos de diseño importantes para conciliar velocidad con prestaciones LVDS.

- Integrar los convertidores en el chip de forma que se minimicen el número de elementos externos que se necesitan para implementar la interfaz y permitir el funcionamiento a ráfagas del enlace.
- Mejorar el sistema de memorización del estado del lazo de realimentación del modo común para reducir la complejidad del receptor.

