

Índice general

1. Introducción	3
2. Comunicación por impulsos entre neuronas: el protocolo AER	7
2.1. Introducción	7
2.2. Comunicación por impulsos	9
2.3. Protocolo AER: idea básica	11
2.4. Ventajas del protocolo AER	12
2.5. Parámetros de un sistema AER	14
2.6. Generador AER	15
2.7. Necesidad de serializar el enlace	21
3. Interfaces LVDS	27
3.1. Introducción	27
3.2. Generalidades de la interfaz	28
3.3. Estandarización	31
3.4. Comparación con otros estándares	33
3.5. Configuraciones existentes	34
3.6. Integración en FPGAs y ASICs	35
3.7. Consideraciones de EMI	36
3.8. Procedimientos de prueba de interfaces LVDS	40
4. Estudio de drivers y receptores LVDS	45
4.1. Introducción	45
4.2. Arquitecturas para drivers LVDS	45
4.3. Arquitecturas para receptores LVDS	53
4.4. Librería IO90GPSVTHVT_LVDS_STD_50	58
5. Diseño del circuito Serializador-Deserializador	63
5.1. Introducción	63
5.2. El serializador	64
5.3. El codificador Manchester	67
5.4. La unidad de recuperación de reloj	69

5.5. La unidad de retraso	72
5.6. El circuito de control del retraso	75
5.7. El deserializador	80
5.8. Problemas de la transmisión a ráfagas	82
6. Layout del circuito	85
6.1. Introducción	85
6.2. Layout mediante celdas estándar	86
6.3. Layout de la interfaz	88
7. Resultados de simulación del enlace	93
7.1. Introducción	93
7.2. Simulación del transmisor	94
7.3. Modelo para el medio de transmisión	97
7.4. Simulación del receptor	101
7.5. Corners de la tecnología	105
7.6. Comportamiento del receptor frente a jitter	111
8. Conclusiones y líneas futuras de investigación	115
Bibliografía	119